



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0064085
(43) 공개일자 2019년06월10일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
H01L 27/3211 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2017-0163373
(22) 출원일자 2017년11월30일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최혁
경기도 파주시 월롱면 엘지로 245
남철
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인천문

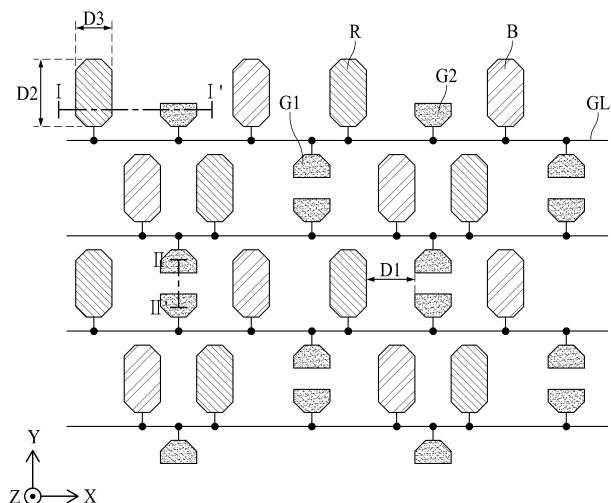
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요 약

본 출원은 개구율을 향상시킨 유기 발광 표시 장치에 관한 것이다. 본 출원에 따른 유기 발광 표시 장치는 제 1 색상 서브 화소, 제 2 색상 서브 화소, 제 3 색상 서브 화소, 및 제 1 방향으로 마련되어 제 1 내지 제 3 색상 서브 화소에 게이트 신호를 공급하는 게이트 라인을 포함하는 표시 패널을 갖는다. 제 2 색상 서브 화소는 하나의 화소마다 2개씩 배치된다. 제 2 색상 서브 화소는 제 1 방향으로 인접한 제 1 색상 서브 화소와 제 3 색상 서브 화소 사이에 배치되며, 제 2 색상 서브 화소는 제 1 방향과 교차하는 제 2 방향으로 서로 인접하게 배치된다.

대 표 도 - 도3



(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 51/5203 (2013.01)
(72) 발명자
이슬
경기도 파주시 월롱면 엘지로 245

이동현
경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

제 1 색상 서브 화소, 제 2 색상 서브 화소, 제 2 녹색 서브 화소, 제 3 색상 서브 화소, 및 제 1 방향으로 마련되어 상기 제 1 내지 제 3 서브 화소에 게이트 신호를 공급하는 게이트 라인을 포함하는 표시 패널을 갖고,

상기 제 2 색상 서브 화소는 하나의 화소마다 2개씩 배치되고,

상기 제 2 색상 서브 화소는 상기 제 1 방향으로 인접한 상기 제 1 색상 서브 화소와 상기 제 3 색상 서브 화소 사이에 배치되며,

상기 제 2 색상 서브 화소는 상기 제 1 방향과 교차하는 제 2 방향으로 서로 인접하게 배치되고,

상기 제 2 방향으로 서로 인접하게 배치된 제 2 색상 서브 화소를 이루는 발광층은 서로 연결된 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 방향으로 서로 인접하게 배치된 상기 제 2 색상 서브 화소는 서로 다른 게이트 신호를 공급받는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 게이트 라인들에 상기 게이트 신호를 공급하는 게이트 구동부를 더 포함하며,

상기 제 2 방향으로 서로 인접하게 배치된 상기 제 2 색상 서브 화소는 상기 게이트 구동부를 이루는 트랜지스터들 중 서로 다른 트랜지스터와 연결된 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 색상 서브 화소의 면적은 상기 제 1 색상 서브 화소의 면적보다 작고,

상기 제 2 색상 서브 화소의 면적은 상기 제 3 색상 서브 화소의 면적보다 작은 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 색상 서브 화소와 상기 제 2 색상 서브 화소는 상기 제 1 방향으로 제 1 거리만큼 이격되고,

상기 제 1 거리는 뱅크의 폭과 동일한 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 색상 서브 화소와 상기 제 3 색상 서브 화소는 상기 제 2 방향으로 지그재그 형태로 배치된 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 표시 패널은,

평탄화막;

상기 평탄화막 상에 배치된 상기 애노드 전극;

상기 애노드 전극의 상부에 배치된 뱅크;

상기 애노드 전극의 상부 및 상기 뱅크의 상부 중 일부에 배치된 상기 발광층; 및

상기 발광층의 상부 및 상기 뱅크의 상부에 배치된 캐소드 전극을 더 포함하며,

상기 제 1 색상 서브 화소를 이루는 애노드 전극과 상기 제 2 색상 서브 화소를 이루는 애노드 전극은 서로 분리되고,

상기 제 1 색상 서브 화소를 이루는 발광층과 상기 제 2 색상 서브 화소를 이루는 발광층은 서로 분리된 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 방향으로 서로 인접하게 배치된 제 2 색상 서브 화소를 이루는 애노드 전극은 서로 분리되어 있고,

상기 제 2 방향으로 서로 인접하게 배치된 제 2 색상 서브 화소를 이루는 애노드 전극 사이에 뱅크가 배치되고,

상기 애노드 전극 사이에 배치된 뱅크의 상부 전체에 상기 발광층이 배치된 유기 발광 표시 장치.

청구항 9

제 7 항에 있어서,

상기 제 2 방향으로 서로 인접하게 배치된 제 2 색상 서브 화소를 이루는 애노드 전극은 서로 분리되어 있고,

상기 서로 분리된 제 2 색상 서브 화소를 이루는 애노드 전극 사이에서 상기 애노드 전극과 동일한 층에 상기 발광층이 배치된 유기 발광 표시 장치.

청구항 10

제 7 항에 있어서,

서로 분리된 상기 제 2 색상 서브 화소를 이루는 애노드 전극 사이에서 상기 발광층은 상기 평탄화막의 상부 면에 직접 접촉하는 유기 발광 표시 장치.

청구항 11

제 7 항에 있어서,

서로 분리된 상기 제 2 색상 서브 화소를 이루는 애노드 전극 사이에서 상기 뱅크가 배치되지 않는 유기 발광 표시 장치.

청구항 12

제 9 항에 있어서,

서로 분리된 상기 제 2 색상 서브 화소를 이루는 애노드 전극 사이에서 상기 발광층의 높이는 상기 애노드 전극 이 배치된 영역의 발광층의 높이보다 낮은 유기 발광 표시 장치.

청구항 13

제 1 항에 있어서,

상기 제 1 방향으로 상기 제 1 색상 서브 화소, 상기 제 2 색상 서브 화소, 상기 제 3 색상 서브 화소, 상기 제 2 색상 서브 화소의 순서로 상기 케이트 라인과 연결되는 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서,

상기 제 2 방향으로 마련되어 상기 제 1 색상 서브 화소, 상기 제 2 색상 서브 화소, 및 상기 제 3 색상 서브 화소에 데이터 전압을 공급하는 데이터 라인을 더 포함하며,

상기 데이터 라인은 상기 제 1 색상 서브 화소 및 상기 제 3 색상 서브 화소와 교번하면서 연결되거나, 상기 제 2 색상 서브 화소와 연속적으로 연결된 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 출원은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시 장치 분야 기술이 많이 개발되고 있다. 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 화상을 표시한다. 유기 발광 표시 장치는 빠른 응답속도를 가짐과 동시에 자발광에 따라 저계조 표현력이 가능하여 차세대 디스플레이로 각광받고 있다.

[0003] 유기 발광 표시 장치는 화상을 표시하는 화소들이 마련된 표시 영역과 표시 영역의 외곽에 배치되어 화상을 표시하지 않는 비표시 영역을 갖는 표시 패널을 포함한다. 화소들 각각은 스캔 신호에 의해 구동하며, 데이터 전압의 크기에 대응하는 밝기로 발광한다.

[0004] 현재 유기 발광 표시 장치 구조에서는 표시 패널의 제조 중 미세 금속 마스크(Fine Metal Mask, FMM) 공정의 한계에 의해 최소한의 뱅크(Bank) 폭이 필요하다. 뱅크에 의하여 개구율을 증가시키는 데 한계가 있으며, 뱅크의 폭 축소 없이 개구율을 증가시키기 어렵다.

[0005] 게다가, 고해상도로 갈수록 개구율이 감소한다. 개구율이 감소하는 경우, 휘도를 감소시키고, 유기 발광 표시 장치의 수명을 감소시키는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 개구율을 향상시킨 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 출원에 따른 유기 발광 표시 장치는 제 1 색상 서브 화소, 제 2 색상 서브 화소, 제 3 색상 서브 화소, 및 제 1 방향으로 마련되어 제 1 내지 제 3 색상 서브 화소에 게이트 신호를 공급하는 게이트 라인을 포함하는 표시 패널을 갖는다. 제 2 색상 서브 화소는 하나의 화소마다 2개씩 배치된다. 제 2 색상 서브 화소는 제 1 방향으로 인접한 제 1 색상 서브 화소와 제 3 색상 서브 화소 사이에 배치되며, 제 2 색상 서브 화소는 제 1 방향과 교차하는 제 2 방향으로 서로 인접하게 배치된다.

발명의 효과

[0008] 본 출원은 제 2 색상 서브 화소들을 이웃하게 배치하여 비발광 영역(Dead Zone)을 감소시킨다. 이에 따라, 본 출원은 적색, 녹색, 청색 서브 화소들의 개구율을 향상시킬 수 있다.

[0009] 또한, 본 출원은 제 2 색상 서브 화소들을 서로 이웃하게 배치하여 제 2 색상 서브 화소들을 이루는 발광층을 하나의 미세 금속 마스크 패턴으로 동시에 형성할 수 있다. 이에 따라, 하나의 공정으로 2개의 서브 화소를 형성할 수 있다.

[0010] 또한, 본 출원은 고해상도 표시 장치를 제조하기 위해 크기가 작은 서브 화소들을 증착하는 공정 수행하는 경우에도, 발광층이 인접한 다른 색상의 서브 화소에 겹쳐지거나 정렬에 오류가 발생하여 원하지 않는 빛 샘 현상이

발생하는 문제를 방지할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 출원에 따른 유기 발광 표시 장치의 개념적 블록도이다.

도 2는 본 출원의 일 예에 따른 화소의 내부 회로도이다.

도 3은 본 출원에 따른 표시 패널의 평면도이다.

도 4는 일 예에 따른 도 3의 I-I`의 단면도이다.

도 5는 일 예에 따른 도 3의 II-II`의 단면도이다.

도 6은 다른 예에 따른 도 3의 III-III``의 단면도이다.

도 7은 일 예에 따른 표시 패널의 렌더링 개념도이다.

도 8은 비교예와 실시예의 휙도에 따른 수명을 나타낸 표이다.

도 9는 휙도 별 개구율에 따른 수명을 나타낸 그래프이다.

도 10은 비교예와 실시예의 휙도에 따른 소비 전력을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 헤릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.

[0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0018] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.

[0019] "제 1 수평 축 방향", "제 2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0020] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

- [0021] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0022] 이하에서는 본 출원에 따른 유기 발광 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시 되더라도 가능한 한 동일한 부호를 가질 수 있다.
- [0023] 도 1은 본 출원에 따른 유기 발광 표시 장치의 개념적 블록도이다. 본 출원에 따른 유기 발광 표시 장치는 표시 패널(100), 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(Timing Controller, T-CON)(130)를 포함한다.
- [0024] 표시 패널(100)은 표시영역과 표시영역의 주변에 마련된 비표시영역을 포함한다. 표시영역은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 비표시영역은 표시 패널(100)의 외곽에 있으며, 표시영역을 외부의 충격으로부터 보호하는 영역이다. 표시 패널(100)에는 게이트 라인들(GL₁~GL_p, p는 2 이상의 양의 정수), 데이터 라인들(DL₁~DL_q, q는 2 이상의 양의 정수) 및 센싱 라인들(SL₁~SL_q)이 마련된다.
- [0025] 데이터 라인들(DL₁~DL_q) 및 센싱 라인들(SL₁~SL_q)은 게이트 라인들(GL₁~GL_p)과 교차할 수 있다. 데이터 라인들(DL₁~DL_q)과 센싱 라인들(SL₁~SL_q)은 서로 평행할 수 있다. 표시 패널(100)은 화소(P)들이 마련되는 하부기판과 외부의 이물질로부터 화소(P)들을 보호하기 위한 봉지(Encapsulation) 기능을 수행하는 상부기판을 포함할 수 있다. 화소(P)들 각각은 게이트 라인들(GL₁~GL_p) 중 어느 하나, 데이터 라인들(DL₁~DL_q) 중 어느 하나 및 센싱 라인들(SL₁~SL_q) 중 어느 하나에 접속될 수 있다.
- [0026] 게이트 구동부(110)는 타이밍 컨트롤러(130)로부터 게이트 구동부 제어 신호(GCS)를 공급받고, 게이트 구동부 제어 신호(GCS)에 따라 게이트 신호들을 생성하여 게이트 라인들(GL₁~GL_p)에 공급한다.
- [0027] 데이터 구동부(120)는 타이밍 컨트롤러(130)로부터 데이터 구동부 제어 신호(DCS)를 공급받고, 데이터 구동부 제어 신호(DCS)에 따라 데이터전압들을 생성하여 데이터 라인들(DL₁~DL_q)에 공급한다. 또한, 데이터 구동부(120)는 화소(P)들 각각의 전압 및 전류 특성을 센싱하여 센싱 데이터(SEN)를 생성하여 타이밍 컨트롤러(130)로 공급한다.
- [0028] 타이밍 컨트롤러(130)는 외부로부터 화상의 표시 타이밍을 제어하는 타이밍 신호(TS)와 화상을 구현하기 위한 색상 별 정보를 포함하고 있는 디지털 비디오 데이터(DATA)를 공급받는다. 타이밍 컨트롤러(130)의 입력단에는 타이밍 신호(TS)와 디지털 비디오 데이터(DATA)가 설정된 프로토콜에 의해 입력된다. 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120)로부터 화소(P)들 각각의 전압 및 전류 특성에 따른 센싱 데이터(SEN)를 공급받는다.
- [0029] 타이밍 신호(TS)는 수직 동기 신호(Vertical sync signal, Vsync), 수평 동기 신호(Horizontal sync signal, Hsync), 데이터 인에이블 신호(Data Enable signal, DE), 및 도트 클럭(Dot clock, DCLK)을 포함한다. 타이밍 컨트롤러(130)는 센싱 데이터(SEN)에 기초하여 디지털 비디오 데이터(DATA)를 보상한다.
- [0030] 타이밍 컨트롤러(130)는 게이트 구동부(110), 데이터 구동부(120), 스캔 구동부 및 센싱 구동부의 동작 타이밍을 제어하기 위한 구동부 제어 신호들을 생성한다. 구동부 제어 신호들은 게이트 구동부(110)의 동작 타이밍을 제어하기 위한 게이트 구동부 제어 신호(GCS), 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 구동부 제어 신호(DCS), 스캔 구동부의 동작 타이밍을 제어하기 위한 스캔 구동부 제어 신호 및 센싱 구동부의 동작 타이밍을 제어하기 위한 센싱 구동부 제어 신호를 포함한다.
- [0031] 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다. 표시 모드는 표시 패널(100)의 화소(P)들이 화상을 표시하는 모드이고, 센싱 모드는 표시 패널(100)의 화소(P)들 각각의 구동 트랜지스터(DT)의 전류를 센싱하는 모드이다. 표시 모드와 센싱 모드 각각에서 화소(P)들 각각에 공급되는 스캔 신호의 파형과 센싱 신호의 파형이 변경되는 경우, 표시 모드와 센싱 모드 각각에서 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호 역시 변경될 수 있다. 따라서, 타이밍 컨트롤러(130)는 표시 모드와 센싱 모드 중 어느 모드인지에 따라 해당하는 모드에 대응하여 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호를 생성한다.
- [0032] 타이밍 컨트롤러(130)는 게이트 구동부 제어 신호(GCS)를 게이트 구동부(110)로 출력한다. 타이밍 컨트롤러

(130)는 보상 디지털 비디오 데이터와 데이터 구동부 제어 신호(DCS)를 데이터 구동부(120)로 출력한다. 타이밍 컨트롤러(130)는 스캔 구동부 제어 신호를 스캔 구동부로 출력한다. 타이밍 컨트롤러(130)는 센싱 구동부 제어 신호를 센싱 구동부로 출력한다.

[0033] 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 표시 모드와 센싱 모드 중에 어느 모드로 구동할지에 따라 해당 모드를 구동하기 위한 모드 신호를 생성한다. 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다.

[0034] 도 2는 본 출원의 일 예에 따른 화소(P)의 내부 회로도이다. 일 예에 따른 화소(P)는 구동 트랜지스터(DT), 발광 소자(EL), 스토리지 커패시터(Cst), 및 제 1 내지 제 6 트랜지스터(T1~T6)을 포함한다. 이하의 설명에서, 본 출원의 일 예에 다른 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)는 게이트(gate) 전극, 소스 (source) 전극, 및 드레인(drain) 전극을 갖는 P형 MOSFET으로 구현되는 것으로 가정하기로 한다.

[0035] 구동 트랜지스터(DT)의 게이트 전극은 스토리지 커패시터(Cst)의 일 측 전극, 제 1 트랜지스터(T1)의 드레인 전극, 및 제 5 트랜지스터(T5)의 드레인 전극이 연결된 제 1 노드(Node)(N1)에 접속된다. 구동 트랜지스터(DT)의 소스 전극은 화소 구동 전원(ELVDD)을 소스 전극으로 공급받는 제 3 트랜지스터(T3)의 드레인 전극과 연결된다. 구동 트랜지스터(DT)의 드레인 전극은 제 4 트랜지스터(T4)의 소스 전극과 연결된다.

[0036] 구동 트랜지스터(DT)의 게이트 전극에 문턱 전압보다 큰 전압이 공급되는 경우 턴-온 된다. 턴-온 된 구동 트랜지스터(DT)는 소스 전극에서 드레인 전극으로 구동 전류를 흘린다.

[0037] 발광 소자(EL)는 애노드 전극 및 캐소드 전극을 포함한다. 발광 소자(EL)는 애노드 전극으로부터 캐소드 전극으로 구동 전류를 흘린다. 발광 소자(EL)의 애노드 전극은 제 4 트랜지스터(T4)의 드레인 전극이 연결된 제 2 노드(N2)에 접속된다. 발광 소자(EL)의 캐소드 전극은 저전위 전원 전압(ELVSS)이 형성된 접지 라인에 캐소드 전극이 연결된다. 발광 소자(EL)는 구동 트랜지스터(DT)로부터 흐르는 구동 전류에 대응하는 밝기로 발광한다.

[0038] 스토리지 커패시터(Cst)는 양 측 전극을 갖는다. 스토리지 커패시터(Cst)의 일 측 전극은 제 1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)의 타 측 전극은 화소 구동 전원(ELVDD) 라인에 연결된다.

[0039] 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 5 트랜지스터(T5)가 턴-온 된 경우 화소 구동 전원(ELVDD)과 제 1 노드(N1)의 차전압을 저장한다. 스토리지 커패시터(Cst)는 제 5 트랜지스터(T5)가 턴-오프 된 경우 제 1 노드(N1)에 저장한 차전압을 유지한다. 또한, 스토리지 커패시터(Cst)는 저장되어 유지한 전압을 이용하여 구동 트랜지스터(DT)의 구동을 제어할 수 있다.

[0040] 제 1 트랜지스터(T1)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 1 트랜지스터(T1)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 1 트랜지스터(T1)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 1 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vtp)의 합인 Vdata+Vtp까지 상승시킨다.

[0041] 제 2 트랜지스터(T2)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 2 트랜지스터(T2)의 소스 전극은 데이터 라인(DL)과 연결되어 데이터 전압(Vdata)을 공급받는다. 제 2 트랜지스터(T2)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 2 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)을 공급한다.

[0042] 제 3 트랜지스터(T3)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 3 트랜지스터(T3)의 소스 전극은 화소 구동 전원(ELVDD)을 공급받는다. 제 3 트랜지스터(T3)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 3 트랜지스터(T3)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 트랜지스터(DT)에 화소 구동 전원(ELVDD)을 공급하여 구동 트랜지스터(DT)가 구동 전류를 흐르게 한다.

[0043] 제 4 트랜지스터(T4)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 4 트랜지스터(T4)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 4 트랜지스터(T4)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 4 트랜지스터(T4)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 전류가 발광 소자(EL)를 흐르게 하여 발광 소자(EL)를 발광시킨다.

[0044] 제 5 트랜지스터(T5)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 5 트랜지스터(T5)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 5 트랜지스터(T5)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 5 트랜지스터(T5)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 초기화 전압(Vinit)으로

초기화시킨다.

[0045] 제 6 트랜지스터(T6)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 6 트랜지스터(T6)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 6 트랜지스터(T6)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 6 트랜지스터(T6)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 2 노드(N2)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.

[0046] 본 발명의 제 1 실시예에 따른 화소(P)는 7개의 박막 트랜지스터(Thin Film Transistor, TFT)와 1개의 커패시터(Capacitor)로 이루어져 있어 7T1C 보상 회로로 통칭한다. 또한, 본 발명의 제 1 실시예에 따른 화소(P)는 2종류의 스캔 신호(Scan)와 1종류의 발광 제어 신호(EM)로 동작한다.

[0047] 임의의 프레임(Frame)이 시작하는 시점에 구동 트랜지스터(DT)의 게이트 전압과 소스 전극의 차전압(Vgs)은 게이트 로우 전압(VGL) 상태를 유지하고 있다. 또한, 발광 제어 신호(EM) 역시 게이트 로우 전압(VGL) 상태이다. 이에 따라, 제 3 및 제 4 트랜지스터(T3, T4)가 턴-온 된다. 이에 따라 구동 트랜지스터(DT)에 일정량의 구동 전류가 흐르게 되어 발광 소자(EL)를 발광시킨다.

[0048] 이후, 발광 제어 신호(EM)가 게이트 하이 전압(VGH)을 갖고, 구동 트랜지스터(DT)의 소스 전극과 드레인 전극은 플로팅(Floating) 상태가 된다.

[0049] 이후, 화소(P)는 초기화(Initialization) 단계를 갖는다. 초기화 단계에서, 제 1 스캔 신호(Scan1)가 게이트 로우 전압(VGL)이 되면 제 5 트랜지스터(T5)가 턴-온 되고, 초기화 전압(Vinit)이 제 1 노드(N1)에 인가된다. 초기화 단계 후 제 1 스캔 신호(Scan1)가 다시 게이트 하이 전압(VGH)이 되면 제 5 트랜지스터(T5)는 턴-오프 되고 제 1 노드(N1)는 플로팅 상태가 된다.

[0050] 이후, 화소(P)는 프로그래밍(Programming) 단계를 갖는다. 프로그래밍 단계에서, 제 2 스캔 신호(Scan2)가 게이트 로우 전압(VGL)이 되면 제 1, 2, 6 트랜지스터(T1, T2, T6)가 턴-온 된다. 제 6 트랜지스터(T6)에 의해 발광 소자(EL)는 리셋된다. 또한, 제 2 트랜지스터(T2)가 턴-온 되어 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)이 공급된다.

[0051] 본 출원의 일 예에 따른 화소(P)의 초기화 전압(Vinit)은 데이터 전압(Vdata)보다 낮다. 또한, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)이 공급되고, 구동 트랜지스터(DT)의 게이트 전극에 초기화 전압이 공급된다. 이에 따라, 구동 트랜지스터(DT)의 게이트 전압과 소스 전극의 차전압(Vgs)은 음(negative, -)의 전압 값을 갖게 된다.

[0052] 게이트 전압과 소스 전압의 차전압(Vgs)이 음의 전압 값을 갖는 경우 구동 트랜지스터(DT)는 선형(Lineair) 영역에서 동작한다. 이에 따라, 구동 트랜지스터(DT)의 드레인 전극의 전압은 상승한다. 제 1 트랜지스터(T1)가 턴-온 되어 있는 상태이기 때문에 구동 트랜지스터의 드레인 전극과 게이트 전극은 전기적으로 동일한 노드로 볼 수 있다. 결과적으로, 제 1 노드(N1)의 전압은 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 합한 전압 값인 Vdata+Vth까지 상승한다. 여기에서 문턱 전압(Vth)은 음의 전압 값을 갖는다.

[0053] 이후, 화소(P)는 문턱 전압(Vth) 센싱(sensing) 단계를 갖는다. 문턱 전압(Vth) 센싱 단계에서, 제 1 노드(N1)의 전압이 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 합한 전압 값까지 상승한 상태이므로, 구동 트랜지스터(DT)는 턴-오프되어 누설(Subthreshold) 전류만이 흐르는 상태가 된다.

[0054] 이 때, 데이터 전압(Vdata)을 기준으로 구동 트랜지스터(DT)의 게이트 전극의 전압인 Vdata+Vth를 센싱하여 문턱 전압(Vth)을 센싱할 수 있다.

[0055] 이후, 발광 제어 신호(EM)가 다시 게이트 로우 전압(VGL)이 될 때 구동 트랜지스터의 드레인 전극에 화소 구동 전압(ELVDD)이 공급된다. 이에 따라 다음 프레임이 시작하고, 발광 소자(EL)는 발광한다.

[0056] 도 3은 본 출원에 따른 표시 패널(100)의 평면도이다. 본 출원에 따른 표시 패널(100)은 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 청색 서브 화소(B), 및 게이트 라인(GL)을 포함한다. 적색 서브 화소(R)는 제 1 색상 서브 화소일 수 있다. 제 1 및 제 2 녹색 서브 화소(G)는 제 2 색상 서브 화소일 수 있다. 청색 서브 화소(B)는 제 3 색상 서브 화소일 수 있다. 제 2 색상 서브 화소는 각각의 화소(P)마다 2개씩 배치된다. 각각의 화소(P)는 하나의 제 1 녹색 서브 화소(G1)와 하나의 제 2 녹색 서브 화소(G2)를 갖는다.

[0057] 적색 서브 화소(R)는 적색광을 방출한다. 제 1 및 제 2 녹색 서브 화소(G1, G2)는 녹색광을 방출한다. 청색 서브 화소(B)는 청색광을 방출한다.

- [0058] 게이트 라인(GL)은 제 1 방향(X)으로 마련되어 게이트 구동부(110)가 생성한 게이트 신호를 전달한다. 게이트 라인(GL)은 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 및 청색 서브 화소(B)와 연결된다. 게이트 라인(GL)은 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 및 청색 서브 화소(B)에 게이트 신호를 공급한다.
- [0059] 일 예에 따른 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 적색 서브 화소(R)와 청색 서브 화소(B) 사이에 배치된다. 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 제 1 방향(X)으로 인접한 적색 서브 화소(R)와, 제 1 방향으로 인접한 청색 서브 화소(B) 사이에 배치된다. 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 제 1 방향(X)으로 배치된 적색 서브 화소(R)와 청색 서브 화소(B) 사이에 교대로 배치된다. 임의의 제 1 방향(X)으로 배치된 적색 서브 화소(R)와 청색 서브 화소(B) 사이에 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)가 배치된 경우, 그 적색 서브 화소(R) 또는 그 청색 서브 화소(B)의 타 측에는 청색 서브 화소(B) 또는 적색 서브 화소(R)가 배치된다.
- [0060] 제 1 및 제 2 녹색 서브 화소(G1, G2)를 적색 서브 화소(R)와 청색 서브 화소(B) 사이에 배치하는 경우, 하나의 녹색 서브 화소(G)를 적색 서브 화소(R)와 청색 서브 화소(B) 사이에 배치하는 경우보다 높은 개구율을 확보할 수 있다. 제 1 및 제 2 녹색 서브 화소(G1, G2)를 배치하여 높은 개구율을 확보하는 경우, 제 1 및 제 2 녹색 서브 화소(G1, G2)를 합한 휘도는 하나의 녹색 서브 화소(G)를 배치하는 경우의 휘도보다 높다. 이에 따라, 고 휘도를 구현할 수 있으며, 동일한 휘도에서는 소비 전력을 저감할 수 있는 표시 패널(100)을 구현할 수 있다.
- [0061] 일 예에 따른 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 제 1 방향(X)과 교차하는 제 2 방향(Y)으로 서로 인접하게 배치된다. 제 1 및 제 2 녹색 서브 화소(G1, G2)의 제 1 방향(X)으로의 길이는 적색 서브 화소(R) 또는 청색 서브 화소(B)의 제 1 방향(X)으로의 길이의 0.8배 이상 1.2배 이하이다. 반면, 제 1 및 제 2 녹색 서브 화소(G1, G2)의 제 2 방향(Y)으로의 길이는 적색 서브 화소(R) 또는 청색 서브 화소(B)의 제 2 방향(Y)으로의 길이의 0.3배 이상 0.5배 이하이다. 이에 따라, 제 1 및 제 2 녹색 서브 화소(G1, G2)는 서로 접촉하지 않고 이격된 상태를 유지하면서 제 2 방향(Y)으로 서로 인접하게 배치된다.
- [0062] 적색 서브 화소(R) 또는 청색 서브 화소(B)의 제 1 방향(X)으로의 길이 대비 제 2 방향(Y)으로의 길이 비율은 1:2에 근접한다. 제 1 및 제 2 녹색 서브 화소(G1, G2)를 제 2 방향(Y)으로 인접하게 배치하는 경우, 제 1 및 제 2 녹색 서브 화소(G1, G2)의 제 1 방향(X)으로의 길이 대비 제 2 방향(Y)으로의 길이 비율이 상대적으로 1:1에 가까워진다. 이 경우, 제 1 및 제 2 녹색 서브 화소(G1, G2)를 용이하게 설계할 수 있다.
- [0063] 일 예에 따른 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 서로 다른 게이트 라인(GL)에 연결된다. 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 서로 다른 게이트 신호를 공급받는다.
- [0064] 서로 다른 게이트 신호를 공급받는 서브 화소는 서로 다른 화소(P)에 포함된 서브 화소이다. 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 서로 다른 화소(P)에 포함된 서브 화소가 된다. 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)는 서로 다른 화소(P)를 구성한다.
- [0065] 서로 인접하게 배치된 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)가 서로 다른 화소(P)를 구성하는 경우, 보다 다양한 화상을 표시할 수 있다. 또한, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 선택적으로 구동할 수 있어, 미세한 계조 변화의 표현이 가능하다.
- [0066] 일 예에 따른 유기 발광 표시 장치는 게이트 라인(GL)들에 게이트 신호를 공급하는 게이트 구동부(110)를 더 포함한다. 이 때, 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)는 게이트 구동부(110)를 이루는 트랜지스터들 중 서로 다른 트랜지스터와 연결된다.
- [0067] 일 예에 따른 게이트 구동부(110)는 표시 패널(100)의 양 측 비표시 영역에 게이트 인 패널(Gate in Panel, GIP) 방식으로 마련된다. 게이트 구동부(110)는 복수의 게이트 신호들을 생성하기 위해 복수의 스테이지들을 갖는다. 각각의 스테이지들은 트랜지스터로 구성된다.
- [0068] 일 예에 따른 제 1 및 제 2 녹색 서브 화소(G1, G2)는 게이트 구동부(110)의 서로 다른 스테이지와 연결된다. 이에 따라, 게이트 구동부(110)에 별도의 구성 요소를 부가하지 않고 제 1 및 제 2 녹색 서브 화소(G1, G2)에 서로 다른 게이트 신호를 공급할 수 있는 구조를 구현할 수 있다.
- [0069] 일 예에 따른 제 1 녹색 서브 화소(G1)의 면적 및 제 2 녹색 서브 화소(G2)의 면적은 적색 서브 화소(R)의 면적

보다 작다. 일 예에 따른 제 1 녹색 서브 화소(G1)의 면적 및 제 2 녹색 서브 화소(G2)의 면적은 청색 서브 화소(B)의 면적보다 작다.

[0070] 제 1 녹색 서브 화소(G1)의 면적 및 제 2 녹색 서브 화소(G2)의 면적을 합한 면적은 적색 서브 화소(R)의 면적 또는 청색 서브 화소(B)의 면적의 0.8배 이상 1.2배 이하가 될 수 있다. 하나의 화소(P)는 서로 인접하지 않은 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 포함한다. 이에 따라, 하나의 화소(P)는 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 및 청색 서브 화소(B)로 이루어지므로, 이들을 합한 경우 모두 적색, 녹색, 청색을 균형 있게 표시할 수 있다.

[0071] 또한, 서로 인접하지 않은 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 하나의 화소(P)로 표현하는 경우, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 서로 다른 케이트 신호를 이용하여 동작시킬 수 있다. 이에 따라, 하나의 화소(P) 내에서 미세한 녹색 휘도를 표현할 수 있다. 또한, 하나의 화소(P) 내 두 곳의 위치에 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)가 나누어서 배치되므로, 화소(P)의 내부 또는 인접한 화소(P)들 사이의 영역에서 색상 전환이 보다 부드럽게 될 수 있다.

[0072] 일 예에 따른 적색 서브 화소(R)와 제 1 녹색 서브 화소(G1)는 제 1 방향(X)으로 제 1 거리(D1)만큼 이격된다. 일 예에 따른 적색 서브 화소(R)와 제 2 녹색 서브 화소(G2) 역시 제 1 방향(X)으로 제 1 거리(D1)만큼 이격된다. 제 1 거리(D1)는 $19.0\mu\text{m}$ 이상 $20.0\mu\text{m}$ 이하이다.

[0073] 일 예에 따른 적색 서브 화소(R)와 청색 서브 화소(B)는 제 2 방향(Y)으로 지그재그 형태로 배치된다. 적색 서브 화소(R) 대비 청색 서브 화소(B)는 제 2 방향(Y)으로 아래에 배치될 때, 제 1 방향(X)으로 소정의 간격만큼 이격된 위치에 배치될 수 있다. 일 예로, 청색 서브 화소(B)는 적색 서브 화소(R)의 우측 하단에 배치될 수 있다. 또한, 적색 서브 화소(R)는 청색 서브 화소(B)의 좌측 하단에 배치될 수 있다. 이와 같은 구조를 반복하면, 적색 서브 화소(R)와 청색 서브 화소(B)가 교대로 배치되면서 제 2 방향(Y)으로 지그재그 형태로 배치될 수 있다.

[0074] 적색 서브 화소(R)와 청색 서브 화소(B)는 제 2 방향(Y)으로의 길이인 제 2 길이(D2)가 제 1 방향(X)으로의 길이인 제 3 길이(D3)보다 길다. 제 2 길이(D2)와 제 3 길이(D3)의 비율은 2:1일 수 있다.

[0075] 적색 서브 화소(R)와 청색 서브 화소(B)를 제 2 방향(Y)으로 일직선 상에 배치할 경우, 적색 서브 화소(R)와 청색 서브 화소(B) 사이의 간격이 필요하다. 적색 서브 화소(R)와 청색 서브 화소(B) 사이의 최소 간격을 마련하지 않는 경우 적색 서브 화소(R)와 청색 서브 화소(B)가 전기적으로 단락되거나, 적색 서브 화소(R)와 청색 서브 화소(B)를 구성하는 유기물들이 혼합되어 혼색이 발생하는 문제가 발생할 수 있다.

[0076] 일 예에 따른 적색 서브 화소(R)와 청색 서브 화소(B)는 제 2 방향(Y)으로 형성된 가상의 직선 상에 배치되지 않고, 직선 상에서 소정의 간격만큼 벗어나도록 배치된다. 직선 상에서 소정의 간격만큼 벗어나기 때문에 적색 서브 화소(R)와 청색 서브 화소(B)의 간격이 확보된다. 이에 따라, 제 2 방향(Y)으로는 적색 서브 화소(R)와 청색 서브 화소(B) 사이의 간격을 최소화할 수 있다.

[0077] 제 1 방향으로 소정의 간격만큼 벗어나도록 배치되는 경우, 제 2 방향(Y)을 기준으로는 적색 서브 화소(R)와 청색 서브 화소(B) 사이의 간격이 없거나, 제 2 방향(Y)을 기준으로는 적색 서브 화소(R)와 청색 서브 화소(B)가 일부 중첩되도록 배치될 수도 있다. 이와 같이 적색 서브 화소(R)와 청색 서브 화소(B)를 제 2 방향(Y)으로 밀집되도록 배치하는 경우, 적색 서브 화소(R)와 청색 서브 화소(B)의 개구율을 증가시킬 수 있다.

[0078] 도 4는 일 예에 따른 도 3의 I-I`의 단면도이다. 도 5는 일 예에 따른 도 3의 II-II`의 단면도이다. 도 6은 다른 예에 따른 도 3의 III-III`의 단면도이다. 도 7은 일 예에 따른 표시 패널의 렌더링 개념도이다. 일 예에 따른 화소(P)는 베이스층(210), 베퍼층(220), 반도체층(230), 게이트 절연층(235), 제 1 금속층(240), 제 2 금속층(250), 제 1 층간 절연막(260), 제 3 금속층(270), 제 2 층간 절연막(280), 평탄화막(290), 애노드 전극(300), 랭크(310), 발광층(320), 및 캐소드 전극(330)을 포함한다.

[0079] 베이스층(210)은 유기 발광 표시 장치의 최하층을 형성한다. 베이스층(210)은 상부에 마련된 회로부를 이루는 회로 소자들 및 배선들을 지지할 수 있다. 또는, 베이스층(210)은 가요성이 있는 플라스틱으로 형성되어, 유기 발광 표시 장치가 가요성이 있도록 할 수 있다.

[0080] 베퍼층(220)은 베이스층(210)의 상부를 덮는다. 베퍼층(220)은 절연성이 우수한 재료로 형성된다. 베퍼층(220)은 베이스층(210)의 상부에 마련된 회로부를 이루는 회로 소자들 및 배선들을 외부의 충격 또는 정전기로부터 보호한다.

- [0081] 반도체층(230)은 베피층(220)의 상부에 배치된다. 반도체층(230)은 도핑된 반도체로 이루어진다. 반도체층(230)은 화소(P)를 구성하는 박막 트랜지스터의 채널을 형성한다. 반도체층(230)은 게이트 채널(231), 제 1 채널(232), 및 제 2 채널(233)을 포함한다. 게이트 채널(231)은 박막 트랜지스터의 게이트 전극의 채널을 형성한다. 제 1 및 제 2 전극층(233)은 박막 트랜지스터의 소스 전극 및 드레인 전극의 채널을 형성한다.
- [0082] 게이트 절연층(235)은 베피층(220) 및 반도체층(230)의 상부에 배치된다. 게이트 절연층(235)은 베피층(220) 및 반도체층(230)을 전체적으로 덮는다. 게이트 절연층(235)은 절연성이 우수한 재료로 형성된다. 게이트 절연층(235)은 반도체층(230)이 제 1 금속층(240)과 단락되는 것을 방지하고, 반도체층(230)이 이루는 박막 트랜지스터의 채널을 구분한다.
- [0083] 제 1 금속층(240)은 게이트 절연층(235)의 상부에 배치된다. 제 1 금속층(240)은 박막 트랜지스터의 게이트 전극 및 게이트 라인(GL1~GLp)을 형성하는 게이트 금속층이다. 제 1 금속층(240)은 전기 전도성이 우수한 금속 또는 합금으로 형성될 수 있다.
- [0084] 제 1 충간 절연막(260)은 제 1 금속층(240)의 상부에 배치된다. 제 1 충간 절연막(260)은 전기 절연성이 우수한 물질로 형성된다.
- [0085] 제 3 금속층(270)은 제 1 충간 절연막(260)의 상부에 배치된다. 제 3 금속층(270)은 제 1 금속층(240) 중 박막 트랜지스터의 게이트 전극을 형성하는 제 1 금속층(240)과 중첩되어 배치된다. 제 3 금속층(270)은 박막 트랜지스터의 게이트 전극을 형성하는 제 1 금속층(240)과 상호 정전 용량을 형성한다. 제 3 금속층(270)은 스토리지 커퍼시턴스의 일 측 전극의 기능을 수행한다.
- [0086] 제 2 충간 절연막(280)은 제 1 충간 절연막(260) 및 제 3 금속층(270)의 상부에 배치된다. 제 2 충간 절연막(280)은 전기 절연성이 우수한 물질로 형성된다.
- [0087] 제 2 금속층(250)은 제 2 충간 절연막(280)의 상부에 배치된다. 제 2 금속층(250)은 화소(P)를 이루는 박막 트랜지스터의 제 1 전극(251) 및 제 2 전극(252)을 형성한다. 제 2 금속층(250)은 제 1 연결 트랜지스터(CT1)의 제 1 전극(253), 반전 인에이블 라인(254), 인에이블 라인(255), 및 점등 검사 데이터 라인(256)을 형성한다. 제 2 금속층(250)은 제 1 금속층(240)의 상부에 배치된 소스/드레인 금속층이다. 제 2 금속층(250)은 전기 전도성이 우수한 금속 또는 합금으로 형성될 수 있다.
- [0088] 평탄화막(290)은 제 2 충간 절연막(280) 및 제 2 금속층(250)의 상부에 배치된다. 평탄화막(290)은 상부면의 높이 차이를 감소시킨다. 이에 따라, 평탄화막(290)은 베이스층(210)을 기준으로 Z축 방향으로의 높이가 영역에 따라 편차가 발생하는 것을 해결할 수 있다.
- [0089] 애노드 전극(300)은 평탄화막(290)의 상부에 배치된다. 애노드 전극(300)은 화소(P)를 이루는 박막 트랜지스터의 제 2 전극(252)과 연결된다. 애노드 전극(300)은 박막 트랜지스터의 제 2 전극(252)에 구동 전압 또는 데이터 전압을 공급한다. 애노드 전극(300)은 화소(P) 별로 구분될 수 있다. 서로 인접한 애노드 전극(300) 사이는 격벽(340)으로 인하여 전기적으로 절연될 수 있다.
- [0090] 뱅크(310)는 애노드 전극(300)들의 상부에 마련되거나, 화소(P)들의 애노드 전극(300) 사이에 마련된다. 뱅크(310)는 화소(P)들을 구획한다. 뱅크(310)는 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 및 청색 서브 화소(B)들을 서로 분할한다. 뱅크(310)는 애노드 전극(300)들이 서로 전기적으로 단락되는 것을 방지하기 위하여 전기 절연성이 우수한 물질로 형성된다.
- [0091] 일 예에 따른 적색 서브 화소(R)와 제 1 녹색 서브 화소(G1)는 제 1 방향(X)으로 제 1 거리(D1)만큼 이격되어 배치된다. 제 1 거리(D1)는 뱅크(310)의 폭과 동일하다. 적색 서브 화소(R)와 제 1 녹색 서브 화소(G1)는 전기적으로 단락되는 것을 방지하기 위한 최소한의 거리만큼 이격되어 있다. 적색 서브 화소(R)와 제 2 녹색 서브 화소(G2) 역시 전기적으로 단락되는 것을 방지하기 위한 최소한의 거리만큼 이격되어 있다. 이에 따라, 적색 서브 화소(R)와 제 1 녹색 서브 화소(G1) 및 적색 서브 화소(R)와 제 2 녹색 서브 화소(G2) 사이의 거리를 최소화하여 표시 패널(100)의 개구율을 증가시킬 수 있다.
- [0092] 발광층(320)은 애노드 전극(300) 상에 마련된다. 발광층(320)은 정공 수송층(hole transporting layer), 유기 발광층(organic light emitting layer), 전자 수송층(electron transporting layer)을 포함할 수 있다. 발광층(320)은 애노드 전극(300)과 캐소드 전극(330)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동되어 유기 발광층에서 서로 결합하여 발광하게 된다.

- [0093] 캐소드 전극(330)은 뱅크(310) 및 발광층(320) 상에 마련된다. 캐소드 전극(330)은 구동 전압을 공급한다.
- [0094] 일 예에 따른 표시 패널(100)은 평탄화막(290), 평탄화막(290) 상에 배치된 애노드 전극(300), 애노드 전극(300)의 상부에 배치된 뱅크(310), 애노드 전극(300)의 상부 및 뱅크(310)의 상부 중 일부에 배치된 발광층(310), 및 발광층(320)의 상부 및 뱅크(310)의 상부에 배치된 캐소드 전극(330)을 포함한다. 애노드 전극(300)의 구분에 따라 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 및 청색 서브 화소(B)가 구분된다. 애노드 전극(300)을 구분하는 경우 서브 화소 별로 구동할 수 있다.
- [0095] 보다 구체적으로 도 4를 결부하여 설명하면, 적색 서브 화소(R)를 이루는 애노드 전극(300)과 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)은 서로 분리된다. 적색 서브 화소(R)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300)은 서로 분리된다. 이와 동일한 방식으로, 청색 서브 화소(B)를 이루는 애노드 전극(300)과 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)은 서로 분리된다. 청색 서브 화소(B)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300)은 서로 분리된다.
- [0096] 또한, 도 4와 같이 일 예에 따른 적색 서브 화소(R)를 이루는 발광층(320)과 제 1 녹색 서브 화소(G1)를 이루는 발광층(320)은 서로 분리된다. 적색 서브 화소(R)를 이루는 발광층(320)과 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)은 서로 분리된다. 이와 동일한 방식으로, 청색 서브 화소(B)를 이루는 발광층(320)과 제 1 녹색 서브 화소(G1)를 이루는 발광층(320)은 서로 분리된다. 청색 서브 화소(B)를 이루는 발광층(320)과 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)은 서로 분리된다.
- [0097] 서로 다른 색상을 이루는 발광층(320)이 연결되는 경우, 발광층(320)이 연결된 부분에서 색상이 혼합된 상태로 발광하여 혼색이 발생할 수 있다. 이에 따라, 서로 다른 색상을 이루는 발광층(320)은 서로 분리되어야만 한다.
- [0098] 일 예에 따른 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300)은 서로 분리되어 있다. 이에 따라, 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300)은 서로 게이트 신호에 의해 독립적으로 구동할 수 있다. 이에 따라, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 이용하여 보다 다양한 녹색 계조를 표현할 수 있다.
- [0099] 일 예에 따른 제 1 녹색 서브 화소(G1)를 이루는 발광층(320)과 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)은 서로 연결된다. 제 1 녹색 서브 화소(G1)를 이루는 발광층(320)과 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)은 단일한 마스크를 이용하여 패터닝되어 형성될 수 있다. 인접하게 배치된 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)은 하나의 마스크 패턴을 통해 형성될 수 있다. 이에 따라, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 제조하는 비용을 감소시킬 수 있다.
- [0100] 또한, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)가 모두 턴-온 되는 경우, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)은 애노드 전극(300)과 캐소드 전극(330)의 전압에 따라 일체로 발광할 수 있다.
- [0101] 애노드 전극(300)이 배치되지 않은 영역의 발광층(320)은 애노드 전극(300) 상부의 발광층(320)보다 낮은 휘도로 발광한다. 그러나, 발광층(320)이 분리되어 배치되어 애노드 전극(300)이 배치되지 않은 영역에 발광층이 배치되지 않은 경우보다는 높은 휘도로 발광할 수 있다. 애노드 전극(300)이 배치되지 않은 영역의 발광층(320)도 녹색으로 발광하는 경우, 발광층(320)을 분리하여 배치하는 경우보다 발광 면적이 증가할 수 있다. 이에 따라, 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2)를 이루는 발광층(320)이 분리된 경우 대비 녹색의 개구율을 증가시킬 수 있다.
- [0102] 일 예로, 도 5와 같이 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300) 사이에 뱅크(310)가 배치될 수 있다. 보다 구체적으로, 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300)은 서로 분리되어 있다.
- [0103] 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에 뱅크(310)가 배치된다. 뱅크(310)는 애노드 전극(300) 사이의 평탄화막(290) 상부 및 애노드 전극(300)의 상부 중 평탄화막(290)과 인접한 애노드 전극(300)의 상부에 마련된다.
- [0104] 애노드 전극(300) 사이에 배치된 뱅크(310)의 상부 전체에 발광층(320)이 배치된다. 발광층(320)은 뱅크(310)의 상부면 및 양 측면에 모두 배치된다. 이에 따라, 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)은 서로 연결된다.
- [0105] 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)은 하나의

패턴을 이룬다. 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)은 단일한 미세 금속 마스크(Fine Metal Mask, FMM) 공정을 통해 형성된다.

[0106] 이 경우, 제 1 녹색 서브 화소(G1)의 애노드 전극(300)과 제 2 녹색 서브 화소(G2) 사이의 애노드 전극(300)을 확실하게 전기적으로 절연시킬 수 있다.

[0107] 또한, 동일한 색상으로 발광하는 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)을 하나의 패턴으로 형성하여, 단일한 미세 금속 마스크(Fine Metal Mask, FMM) 공정을 통해 형성할 수 있으므로, 제조 공정을 단순화시키고 제조 비용을 감소시킬 수 있다.

[0108] 다른 예로, 도 6과 같이 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300)의 사이에 발광층(320)이 배치될 수 있다. 보다 구체적으로, 도 5와 동일하게 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300)은 서로 분리되어 있다.

[0109] 발광층(320)은 애노드 전극(300)의 상부 및 측면에 배치된다. 애노드 전극(300)이 배치된 영역에서 발광층(320)은 애노드 전극(300)의 상부 면에 접하도록 배치된다. 애노드 전극(300)이 배치되지 않은 영역 중, 서로 분리된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에서 애노드 전극(300)과 동일한 층에 발광층(320)이 배치된다. 애노드 전극(300)이 배치되지 않은 영역에서는 평탄화막(290)의 상부 면이 발광층(320)의 하부에 배치된다. 이에 따라, 서로 분리된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에서 발광층(320)은 평탄화막(290)의 상부 면에 직접 접촉한다.

[0110] 발광층(320)은 애노드 전극(300)이 배치된 영역에서는 애노드 전극(300)의 상부에 배치되고, 애노드 전극(300)이 배치되지 않은 영역에서는 평탄화막(290)의 상부에 배치된다. 이에 따라, 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)은 서로 연결된다.

[0111] 발광층(320)은 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 반도체층(230), 제 1 금속층(240), 및 제 2 금속층(250)이 배치되지 않은 영역까지 연장된다. 이에 따라, 발광층(320)은 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 박막 트랜지스터가 배치된 영역과 배치되지 않은 영역 상에 모두 배치된다.

[0112] 도 5와 동일하게 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)은 하나의 패턴을 이룬다. 제 2 방향(Y)으로 서로 인접하게 배치된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 발광층(320)은 단일한 미세 금속 마스크(Fine Metal Mask, FMM) 공정을 통해 형성된다.

[0113] 또한, 서로 분리된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에는 뱅크(310)가 배치되지 않는다. 서로 분리된 적색 서브 화소(R)와 제 1 녹색 서브 화소(G1), 적색 서브 화소(R)와 제 2 녹색 서브 화소(G2), 청색 서브 화소(B)와 제 1 녹색 서브 화소(G1), 청색 서브 화소(B)와 제 2 녹색 서브 화소(G2) 사이에는 뱅크(310)가 배치된다. 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에만 뱅크(310)가 배치되지 않는다. 이에 따라, 서로 분리된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에서 뱅크(310)가 배치되지 않는다.

[0114] 제 1 녹색 서브 화소(G1)와 제 2 녹색 서브 화소(G2) 사이에 뱅크(310)를 생략할 수 있다. 이 경우, 제 1 녹색 서브 화소(G1)를 이루는 애노드 전극(300)과 제 2 녹색 서브 화소(G2)를 이루는 애노드 전극(300) 사이의 간격을 감소시킬 수 있다. 이에 따라, 제 1 및 제 2 녹색 서브 화소(G1, G2)의 면적을 증가시킬 수 있다. 결과적으로, 제 1 및 제 2 녹색 서브 화소(G1, G2)의 개구율을 증가시킬 수 있다.

[0115] 또한, 애노드 전극(300)이 배치되지 않은 영역인 단차 영역에서 발광층(320)의 높이는 애노드 전극(300) 상에 배치된 발광층(320)의 높이보다 낮다. 이에 따라, 서로 분리된 제 1 및 제 2 녹색 서브 화소(G1, G2)를 이루는 애노드 전극(300) 사이에서 발광층(320)의 높이는 애노드 전극(300)이 배치된 영역의 발광층(320)의 높이보다 낮다.

[0116] 일 예에 따른 유기 발광 표시 장치에서 제 1 방향(X)으로 적색 서브 화소(R), 제 2 녹색 서브 화소(G2), 청색 서브 화소(B), 제 1 녹색 서브 화소(G1)의 순서로 게이트 라인(GL)과 연결된다. 서로 인접한 제 1 및 제 2 녹색 서브 화소(G1, G2)는 교대로 인접한 게이트 라인(GL)과 연결된다. 이에 따라, 도 5와 같이 표시 패널(100)에서 제 1 방향(X)으로의 화소 색상 배열에 따른 디지털 비디오 데이터(DATA)를 설정하는 작업인 렌더링의 방향은 레드, 그린, 블루, 그린의 순서대로 이루어진다.

[0117] 일 예에 따른 유기 발광 표시 장치는 데이터 라인(DL)을 더 포함한다. 데이터 라인(DL)은 제 2 방향(Y)으로 마련된다. 데이터 라인(DL)은 적색 서브 화소(R), 제 1 녹색 서브 화소(G1), 제 2 녹색 서브 화소(G2), 및 청색

서브 화소(B)에 데이터 전압을 공급한다.

[0118] 일 예에 따른 데이터 라인(DL)은 적색 서브 화소(R) 및 청색 서브 화소(B)와 연결된다. 또는, 일 예에 따른 데이터 라인(DL)은 제 1 녹색 서브 화소(G1) 및 제 2 녹색 서브 화소(G2)와 연결된다.

[0119] 적색 서브 화소(R) 및 청색 서브 화소(B)와 연결된 데이터 라인(DL)과 인접한 데이터 라인(DL)은 제 1 녹색 서브 화소(G1) 및 제 2 녹색 서브 화소(G2)와 연결된다.

[0120] 이에 따라, 도 7과 같이 표시 패널(100)에서 제 2 방향(Y)으로는 레드, 블루, 레드, 블루의 순서대로 렌더링이 이루어지거나, 그린이 지속적으로 반복되도록 렌더링이 이루어진다. 또한, 레드, 블루, 레드, 블루의 순서대로 렌더링이 이루어지는 데이터 라인(DL)과 인접한 데이터 라인(DL)은 그린이 지속적으로 반복되도록 렌더링이 이루어진다.

[0121] 제 1 방향(X)으로 레드, 그린, 블루, 그린의 순서대로 렌더링을 수행하고, 제 2 방향(Y)으로 레드, 블루, 레드, 블루의 순서대로 렌더링이 이루어지는 라인이 존재하고, 그와 인접하게 배치되어 그린이 지속적으로 반복되도록 렌더링이 이루어지는 라인이 존재하는 렌더링 구조는 제 1 및 제 2 녹색 서브 화소(G1, G2)를 갖는 화소(P) 구조에서 효율적인 구조이다. 또한, 제 1 방향(X)에서 제 1 및 제 2 녹색 서브 화소(G1, G2)를 적색 서브 화소(R)와 청색 서브 화소(B) 사이에 배치하고, 제 2 방향으로는 R-B-R-B 형태로 서브 화소를 배치하고 그와 인접하게 G-G-G-G 형태로 서브 화소를 배치하는 렌더링 방식은 널리 사용되어 있어 이와 대응하도록 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(130) 내부의 알고리즘이 설정된다. 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(130) 내부의 알고리즘 자체를 변경하는 경우, 추가적인 비용이 소요된다. 일 예에 따른 렌더링 방식은 기존의 알고리즘을 변경하지 않아 추가적인 비용이 소요되지 않는다.

[0122] 도 8은 비교예와 실시예의 휘도에 따른 수명을 나타낸 표이다.

[0123] 기존의 유기 발광 표시 장치인 비교예의 경우, 380Nit의 휘도로 지속적으로 구동시키는 경우 500시간(Hrs)의 수명을 갖고, 600Nit의 휘도로 지속적으로 구동시키는 경우 250시간(Hrs)의 수명을 갖는다.

[0124] 반면, 본 출원의 실시예에 따른 유기 발광 표시 장치의 경우, 380Nit의 휘도로 지속적으로 구동시키는 경우 850시간(Hrs)의 수명을 갖고, 600Nit의 휘도로 지속적으로 구동시키는 경우 430시간(Hrs)의 수명을 갖는다. 따라서, 본 출원의 실시예에 따른 유기 발광 표시 장치는 비교 예에 비하여 70% 이상 72% 이하 수명이 증가하였음을 확인할 수 있다.

[0125] 도 9는 휘도 별 개구율에 따른 수명을 나타낸 그래프이다.

[0126] 제 1 휘도(L1)에서 제 3 휘도(L3)으로 갈수록 높은 휘도를 나타낸다. 이에 따라, 휘도가 증가할수록 유기 발광 표시 장치의 수명은 감소하는 것을 알 수 있다.

[0127] 또한, 개구율이 증가할수록 수명이 증가함을 알 수 있다. 보다 구체적으로, 개구율이 10% 이상 20% 이하인 경우 보다 개구율이 20% 이상 30% 이하인 경우 모든 휘도에서 수명이 1.5배 이상 3배 이하 증가하였음을 알 수 있다.

[0128] 유기 발광 표시 장치가 정상적으로 사용되기 위한 최소 수명 시간을 350시간(Hrs)으로 설정한다. 개구율이 10% 이상 20% 이하인 경우, 제 2 및 제 3 휘도(L2, L3)와 같은 고휘도로 지속적으로 구동하는 경우, 수명 시간은 200시간(Hrs) 이상 350시간(Hrs) 이하이다. 이에 따라, 개구율이 20% 이상 30% 이하인 구조를 갖는 경우에만 휘도에 관계 없이 최소 수명 시간을 확보할 수 있음을 알 수 있다.

[0129] 도 10은 비교예와 실시예의 휘도에 따른 소비 전력을 나타낸 그래프이다.

[0130] 제 1 휘도(L1)에서 비교예에 따른 유기 발광 표시 장치는 제 1 전력(P1)만큼 소비 전력을 사용한다. 비교예에 따른 유기 발광 표시 장치는 휘도를 제 1 휘도(L1)에서 제 2 휘도(L2)로 증가시키는 경우 제 2 전력(P2)을 사용한다. 제 2 전력(P2)은 제 1 전력(P1)보다 79.9% 크다. 이에 따라, 비교예에 따른 유기 발광 표시 장치는 제 1 휘도(L1)에서보다 제 2 휘도(L2)에서 79.9% 추가로 소비 전력을 더 사용한다.

[0131] 반면, 본 출원의 실시예에 따른 유기 발광 표시 장치는 제 2 휘도(L2)에서 제 3 전력(P3)을 사용한다. 제 3 전력(P3)은 제 2 전력(P2) 대비 37.6% 감소한 값을 갖는다. 또한, 본 출원의 실시예에 따른 유기 발광 표시 장치를 제 1 휘도(L1)에서 구동하는 경우, 제 4 전력(P4)을 사용한다. 제 4 전력(P4)은 제 3 전력(P3) 대비 43.5% 감소한 값을 갖는다. 이에 따라, 본 출원의 실시예에 따른 유기 발광 표시 장치는 소비 전력을 저감할 수 있다.

[0132] 본 출원은 제 1 및 제 2 녹색 서브 화소들을 이웃하게 배치하여 비발광 영역(Dead Zone)을 감소시킨다. 이에 따

라, 본 출원은 적색, 녹색, 청색 서브 화소들의 개구율을 향상시킬 수 있다.

[0133] 또한, 본 출원은 제 2 색상 서브 화소들을 서로 이웃하게 배치하여 제 2 색상 서브 화소들을 이루는 발광층을 하나의 미세 금속 마스크 패턴으로 동시에 형성할 수 있다. 이에 따라, 하나의 공정으로 2개의 서브 화소를 형성할 수 있다.

[0134] 또한, 본 출원은 고해상도 표시 장치를 제조하기 위해 크기가 작은 서브 화소들을 증착하는 공정 수행하는 경우에도, 발광층이 인접한 다른 색상의 서브 화소에 겹쳐지거나 정렬에 오류가 발생하여 원하지 않는 빛 샘 현상이 발생하는 문제를 방지할 수 있다.

[0135] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

100: 표시 패널 110: 게이트 구동부

120: 데이터 구동부 130: 타이밍 컨트롤러

P: 화소 DT: 구동 트랜지스터

EL: 발광소자 Cst: 스토리지 커페시터

T1~T6: 제 1 내지 제 6 트랜지스터 R: 적색 서브 화소

G1: 제 1 녹색 서브 화소 G2: 제 2 녹색 서브 화소

B: 청색 서브 화소 210: 베이스층

220: 버퍼층 230: 반도체층

235: 게이트 절연층 240: 제 1 금속층

250: 제 2 금속층 260: 제 1 층간 절연막

270: 제 3 금속층 280: 제 2 층간 절연막

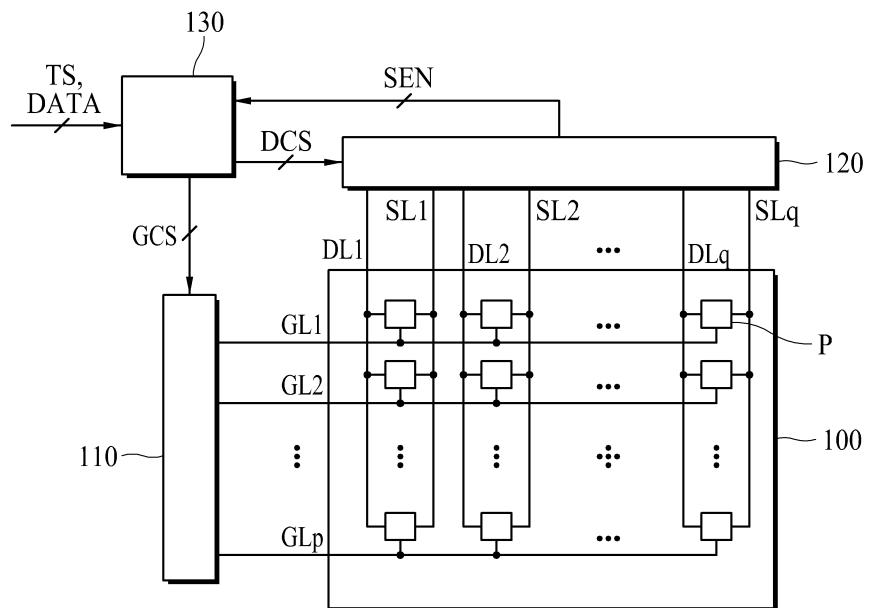
290: 평탄화막 300: 애노드 전극

310: 뱅크 320: 발광층

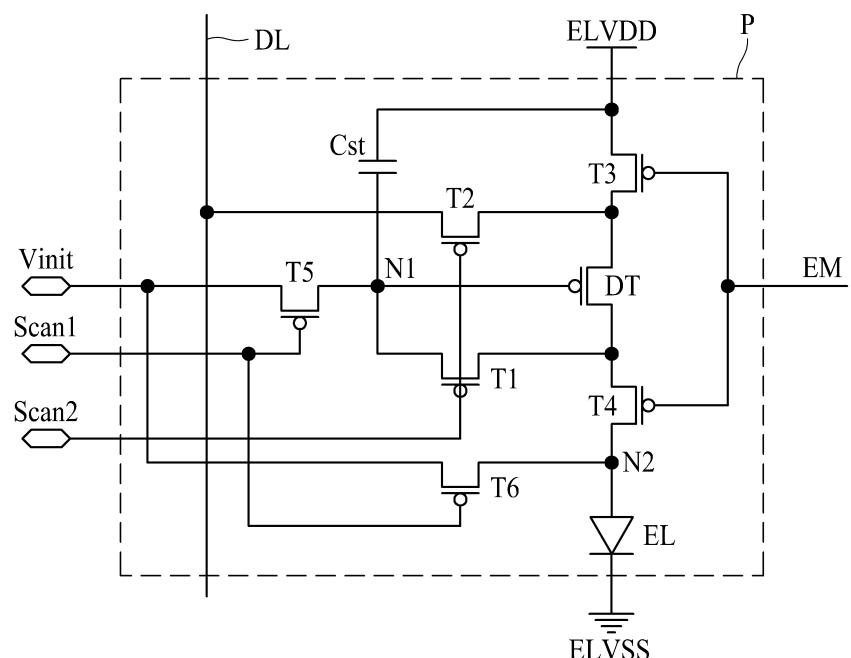
330: 캐소드 전극

도면

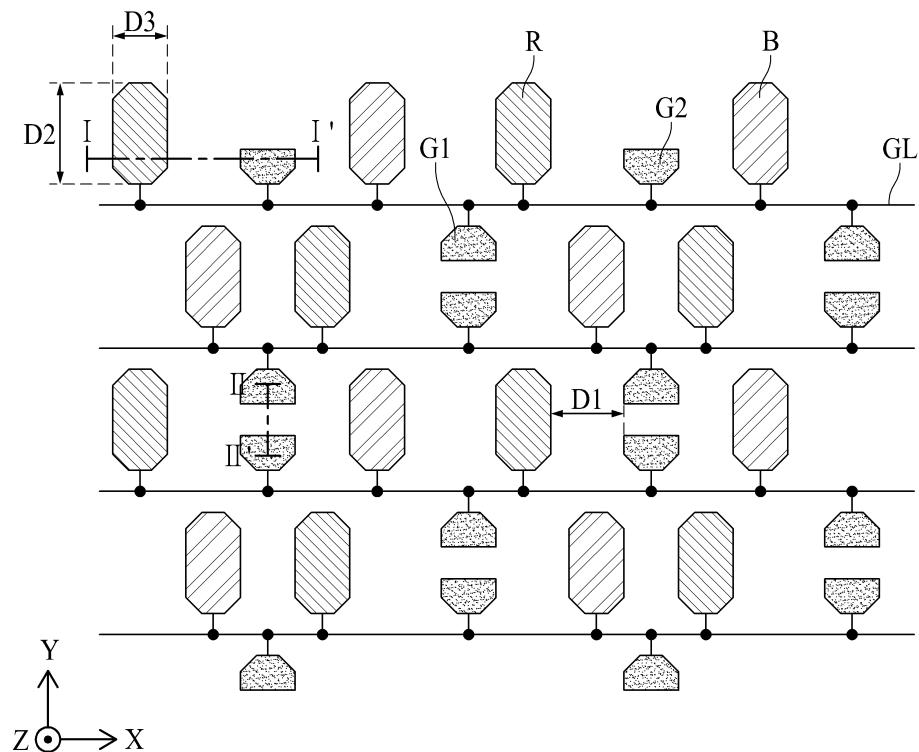
도면1



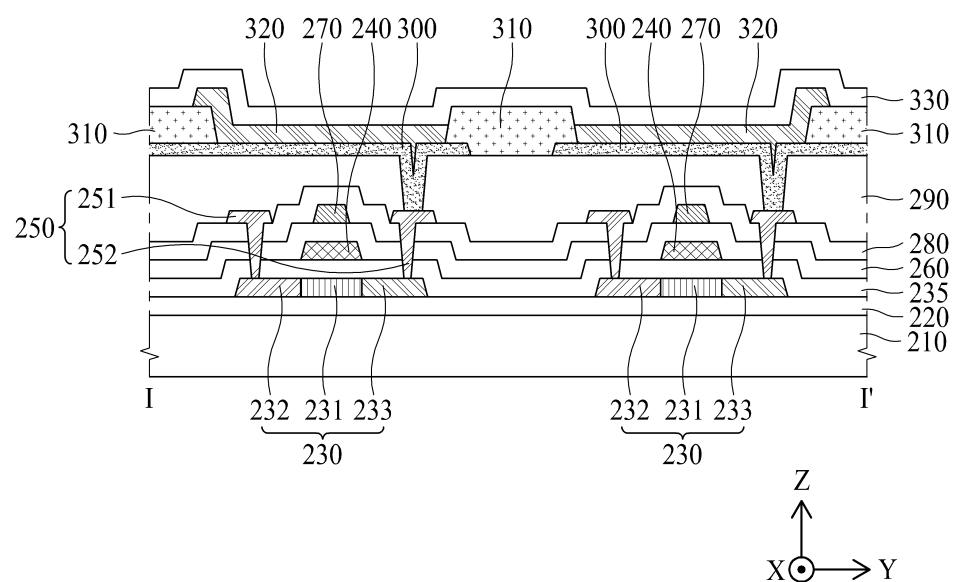
도면2



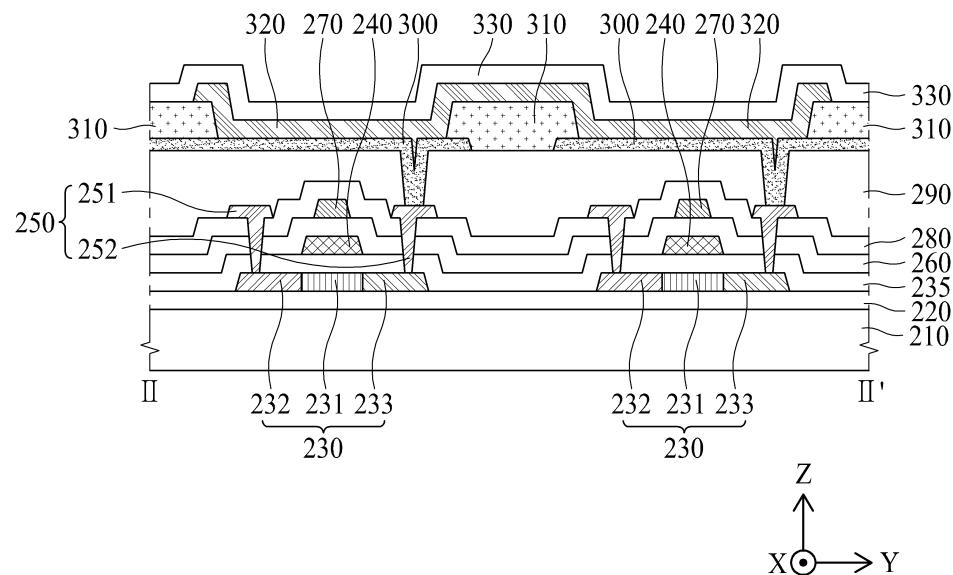
도면3



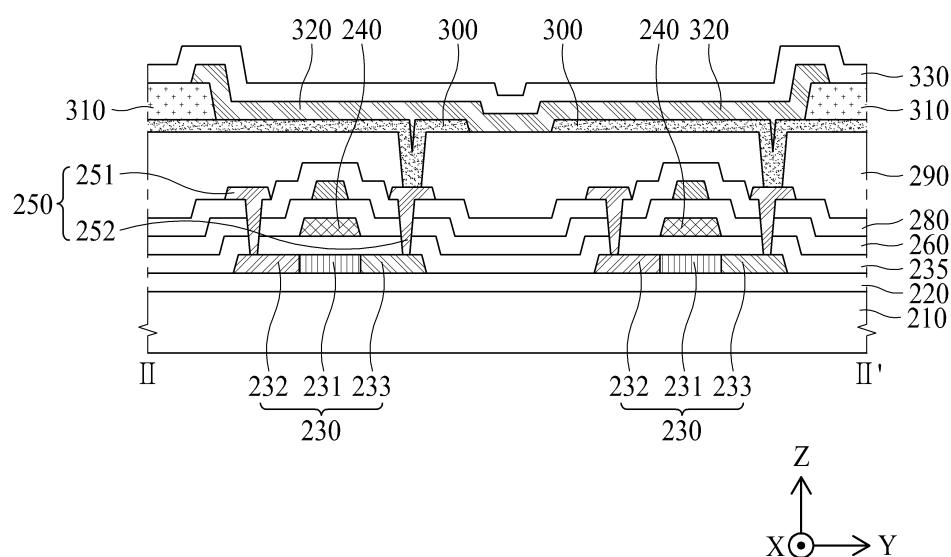
도면4



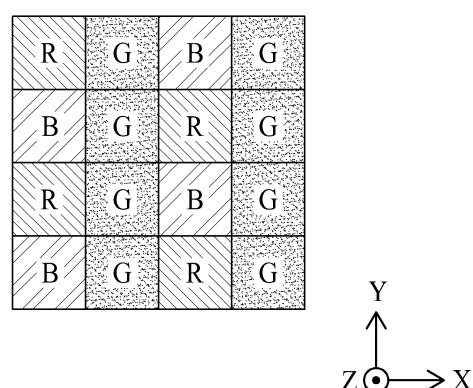
도면5



도면6



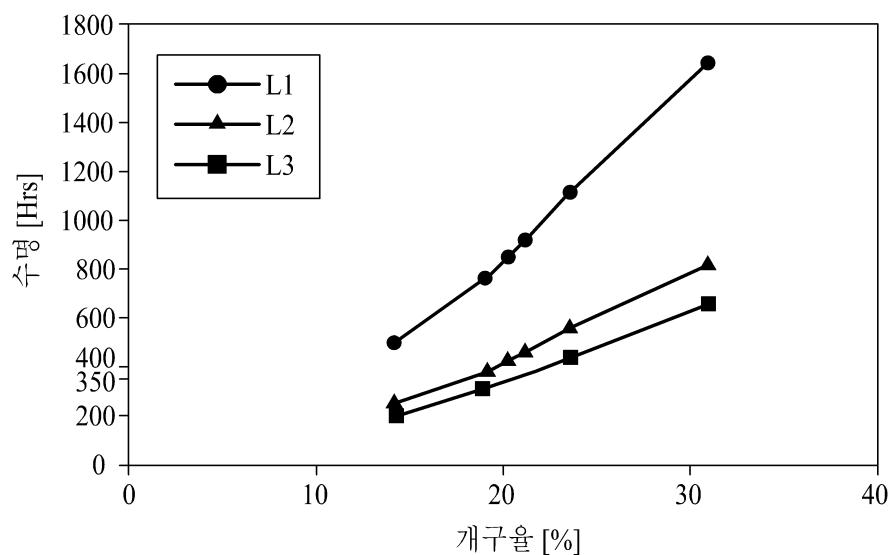
도면7



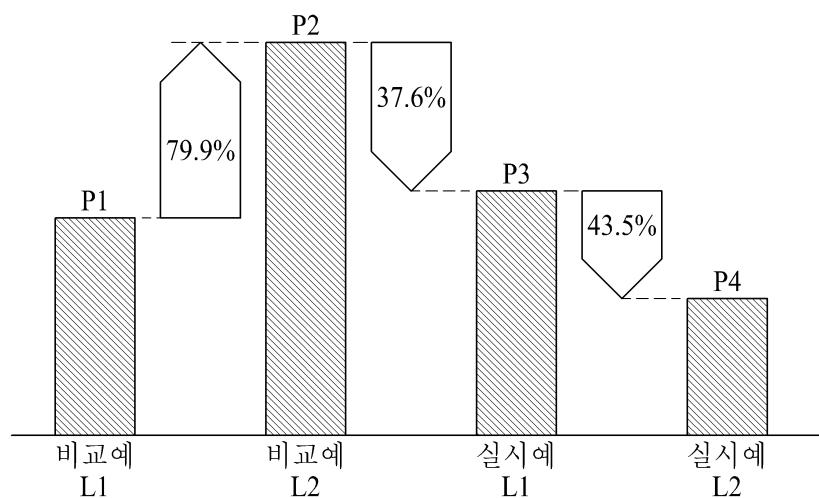
도면8

	비교 예		실시 예	
휘도 [Nit]	380	600	380	600
수명 [Hrs]	500	250	850	430

도면9



도면10



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190064085A	公开(公告)日	2019-06-10
申请号	KR1020170163373	申请日	2017-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최혁 남철 이슬 이동현		
发明人	최혁 남철 이슬 이동현		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3211 H01L27/3246 H01L27/3262 H01L51/5203		
外部链接	Espacenet		

摘要(译)

本申请涉及具有改善的开口率的有机发光显示装置。根据本申请的有机发光二极管显示器包括第一颜色子像素，第二颜色子像素，第三颜色子像素和沿第一方向设置的栅极线，以将栅极信号提供给第一至第三颜色子像素。包括显示面板。为每个像素设置两个第二颜色子像素。第二颜色子像素设置在在第一方向上相邻的第一颜色子像素和第三颜色子像素之间，并且第二颜色子像素在与第一方向交叉的第二方向上彼此相邻地设置。

