



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0131727

(43) 공개일자 2018년12월11일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 27/3246 (2013.01)

(21) 출원번호 10-2017-0068102

(22) 출원일자 2017년05월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박상무

경기도 고양시 일산동구 위시티4로 46 211동 802
호 (식사동, 위시티일산자이2단지아파트)

정원준

서울특별시 광진구 능동로32길 50 202호 (능동)

(74) 대리인

특허법인(유한)유일하이스트

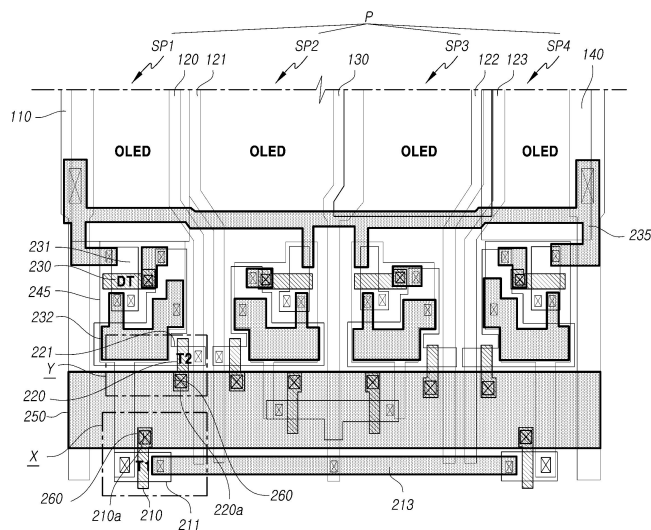
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 실시예는 유기발광 표시장치는 개시한다. 개시된 본 실시예에 따른 유기발광 표시장치는 기판 상에 배치되는 복수의 수직라인, 복수의 수직라인과 교차하는 적어도 1 개의 금속 배선, 금속 배선과 일부 영역이 중첩하는 적어도 1 개의 게이트 전극 패턴, 금속 배선 상에 배치되는 적어도 1층의 유기절연층, 유기절연층의 컨택홀을 통해 상기 금속 배선과 접촉하는 제 1 전극, 제 1 전극 상에 배치되는 बैं크, बैं크 상에 배치되는 유기발광층, 유기발광층 상에 배치되는 제 2 전극을 포함하고, 제 1 전극은 상기 유기절연층의 상면의 일부를 노출하도록 배치된다. 이를 통해, 금속 배선과 제 2 전극 사이의 기생 커패시턴스를 줄일 수 있다.

대표도



(52) CPC특허분류

H01L 27/3258 (2013.01)

명세서

청구범위

청구항 1

발광부와 회로부로 구분되는 기관;
상기 기관 상에 배치되는 복수의 수직라인;
상기 복수의 수직라인과 교차하고, 상기 회로부에 배치되는 적어도 1 개의 금속 배선;
상기 금속 배선과 일부 영역이 중첩하는 적어도 1 개의 게이트 전극 패턴;
상기 금속 배선 상에 배치되는 적어도 1층의 유기절연층;
상기 유기절연층의 콘택홀을 통해 상기 금속 배선과 접촉하는 제 1 전극;
상기 제 1 전극 상에 배치되는 बैं크;
상기 बैं크 상에 배치되는 유기발광층;
상기 유기발광층 상에 배치되는 제 2 전극;을 포함하고,
상기 제 1 전극은 상기 유기절연층의 상면의 일부를 노출하도록 배치되는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,
상기 게이트 전극 패턴의 일부 영역과 중첩하는 액티브층을 포함하고,
상기 액티브층은 상기 복수의 수직라인 중 기준전압라인과 연결되는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,
상기 게이트 전극 일부 영역과 중첩하는 액티브층을 포함하고,
상기 액티브층은 상기 복수의 수직라인 중 데이터 라인과 연결되는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,
상기 제 1 전극은 상기 콘택홀과 대응되는 영역에 배치되고, 상기 유기절연층의 상면의 일부에만 배치되는 유기발광 표시장치.

청구항 5

제 1 항에 있어서,
상기 제 1 전극에 의해서 상기 유기절연층이 노출된 영역과 대응되는 영역에서, 상기 제 2 전극과 상기 금속 배선 사이에 적어도 1 층의 유기절연층, बैं크 및 유기발광층이 위치하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 금속 배선과 유기절연층 사이에 적어도 1 층의 무기절연층이 배치되는 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 게이트 전극 패턴과 상기 금속 배선 사이에 적어도 1층의 절연층을 더 포함하고, 상기 절연층 중 적어도 1 층의 절연층은 유기절연층인 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 게이트 전극 패턴과 상기 유기절연층 사이에 적어도 1 층의 무기절연층이 배치되는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 유기절연층과 상기 무기절연층은 상기 게이트 전극 패턴의 상면의 일부를 노출하는 컨택홀을 구비하고, 금속 배선은 상기 컨택홀을 통해 상기 게이트 전극 패턴과 접촉하는 유기발광 표시장치.

청구항 10

제 1 항에 있어서,

상기 복수의 수직라인 중 적어도 하나의 수직라인과 상기 금속 배선이 교차하는 영역에서,

상기 복수의 수직라인과 상기 금속 배선 사이에 적어도 1층의 유기절연층이 배치되는 유기발광 표시장치.

청구항 11

제 1 항에 있어서,

상기 게이트 전극 패턴과 중첩하는 영역에서 상기 제 1 전극은 수평방향을 기준으로 한 최대폭이 상기 게이트 전극 패턴의 수평방향을 기준으로 한 최대폭과 동일하거나 작은 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 실시예는 유기발광 표시장치에 관한 것이다.

배경 기술

[0003] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광소자(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 유기발광소자는 애노드전극

및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML) 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공(도면에서 "+"로 표시)과 전자수송층(ETL)을 통과한 전자(도면에서 "-"로 표시)가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 이러한 유기발광 표시장치의 해상도와 패널의 크기가 증가할수록, 화소의 개수가 증가하고, 게이트 RC 로드가 커져, 데이터 기입 시간이 증가하기 때문에 발광 시간이 줄어들며, 줄어든 발광 시간으로 인하여 발광 구간 동안에 더 높은 휘도 발광하여야 하고, 이로 인해 발광 전류가 증가하게 된다. 이와 같이, 발광 전류가 증가하게 되면, IR-drop이 증가하여 전원 전압을 더 높게 주어야 하기 때문에 소비 전력이 증가한다는 문제가 있다.

[0005] 이러한 문제를 해결하기 위해, 게이트 라인 상부에 적어도 1층으로 이루어진 금속 배선을 배치하여 게이트 RC 로드를 저감하고자 하였다. 그러나, 금속 배선 상에는 뱅크가 배치되는데, 금속 배선과 뱅크 사이의 접착력이 약하여 금속 배선이 배치된 영역에서 뱅크가 들뜨거나, 분리되는 문제가 추가로 발생하였다. 이를 해결하기 위해, 금속 배선과 뱅크 사이에 추가로 유기발광소자의 제 1 전극을 배치하여 뱅크가 들뜨거나 분리되는 현상을 방지하였다.

[0006] 한편, 금속 배선과 뱅크 사이에 접착력을 향상시키기 위한 방편으로 제 1 전극이 추가 배치됨으로써, 유기발광소자의 제 1 전극 및 금속배선과 유기발광소자의 제 2 전극 사이의 기생 커패시턴스가 증가하였다. 이를 해결하기 위한 방편으로, 뱅크를 두껍게 형성하는 방안이 제시되었으나, 한번의 공정으로는 불가하여 뱅크를 형성하는 공정이 추가 발생됨으로써, 공정이 복잡해지는 다른 문제가 대두되었다.

발명의 내용

해결하려는 과제

[0008] 본 실시예는 상술한 문제를 해결하기 위한 것으로, 화소의 회로부에 발생하는 기생 커패시턴스를 줄이고, 공정이 간단한 유기발광 표시장치를 제공하고자 한다.

과제의 해결 수단

[0010] 본 실시예에 따른 유기발광 표시장치는 기판 상에 배치되는 복수의 수직라인, 복수의 수직라인과 교차하는 적어도 1 개의 금속 배선, 금속 배선과 일부 영역이 중첩하는 적어도 1 개의 게이트 전극 패턴, 금속 배선 상에 배치되는 적어도 1층의 유기절연층, 유기절연층의 컨택홀을 통해 상기 금속 배선과 접촉하는 제 1 전극, 제 1 전극 상에 배치되는 뱅크, 뱅크 상에 배치되는 유기발광층, 유기발광층 상에 배치되는 제 2 전극을 포함하고, 제 1 전극은 상기 유기절연층의 상면의 일부를 노출하도록 배치된다.

발명의 효과

[0012] 본 실시예에 따른 유기발광 표시장치는 제 1 전극에 의해 오버코트층의 상면의 일부가 노출된 영역과 대응되는 영역에서, 금속 배선과 제 2 전극 사이에 적어도 1 층의 절연층, 뱅크 및 유기발광층이 배치됨으로써, 금속 배선과 제 2 전극 사이의 기생 커패시턴스를 줄일 수 있는 효과가 있다.

[0013] 또한, 본 실시예에 따른 유기발광 표시장치는 금속 배선을 구비함으로써, 소스/드레인 배선을 형성하는 공정을 삭제하고, 뱅크를 형성하는 공정을 단순화 함으로써, 공정을 간단하게 할 수 있는 효과가 있다.

도면의 간단한 설명

[0015] 도 1은 본 실시예에 따른 표시장치의 개략적인 시스템 구성도이다.

도 2는 본 실시예에 따른 표시패널의 화소의 등가회로도를 예시적으로 나타낸 도면이다.

도 3 은 본 실시예에 따른 표시패널의 평면도이다.

4는 도 3의 X 영역을 확대한 도면이다.

도 5는 도 4를 A-B를 따라 절단한 단면도이다.

도 6은 도 4의 G영역을 도시한 단면도이다.

도 7은 도 3의 Y 영역을 확대한 도면이다.

도 8은 도 7을 C-D를 따라 절단한 단면도이다.

도 9은 비교예에 따른 표시장치의 센싱 트랜지스터가 배치된 영역을 확대한 도면이다.

도 10은 도 9를 E-F를 따라 절단한 도면이다.

도 11은 도 9의 H 영역을 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0018] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0019] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.
- [0020] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다.
- [0021] 도 1은 본 실시예에 따른 표시장치의 개략적인 시스템 구성도이다. 도 1을 참조하면, 본 실시예에 따른 표시장치(1000)는 다수의 데이터 라인(DL~DLm) 및 다수의 게이트 라인(GL1~GLn)이 배치되고, 다수의 서브픽셀(Sub Pixel)이 배치된 표시패널(1100), 다수의 데이터 라인(DL~DLm)을 구동하는 데이터 구동부(1200), 다수의 게이트 라인(GL1~GLn)을 구동하는 게이트 구동부(1300), 데이터 구동부(1200) 및 게이트 구동부(1300)를 제어하는 제어부(1400) 등을 포함한다.
- [0022] 데이터 구동부(1200)는 다수의 데이터 라인으로 데이터 전압을 공급함으로써 다수의 데이터 라인을 구동한다. 그리고, 게이트 구동부(1300)는 다수의 게이트 라인으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인을 순차적으로 구동한다.
- [0023] 또한, 제어부(1400)는 데이터 구동부(1200) 및 게이트 구동부(1300)로 제어신호를 공급함으로써 데이터 구동부(1200) 및 게이트 구동부(1300)를 제어한다. 이러한 제어부(1400)는 각 프레임에서 구현하는 타이밍에 따라 스

캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 구동부(1200)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.

- [0024] 게이트 구동부(1300)는 제어부(1400)의 제어에 따라 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인으로 순차적으로 공급하여 다수의 게이트 라인을 순차적으로 구동한다. 또한, 게이트 구동부(1300)는 구동 방식이나 표시패널 설계 방식 등에 따라서, 도 1에서와 같이, 표시패널(1100)의 일 측에만 위치할 수도 있고, 경우에 따라서는 양측에 위치할 수도 있다.
- [0025] 또한, 게이트 구동부(1300)는 하나 이상의 게이트 구동부 집적회로(Gate Driver Integrated Circuit)를 포함할 수 있다. 각 게이트 구동부 집적회로는 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(1100)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(1100)에 직접 배치될 수도 있으며, 경우에 따라서 표시패널(1100)에 집적화되어 배치될 수도 있다.
- [0026] 또한, 각 게이트 구동부 집적회로는, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 게이트 구동부 집적회로에 해당하는 게이트 구동 칩은 연성 필름에 실장되고, 연성 필름의 일 단이 표시패널(1100)에 본딩될 수 있다.
- [0027] 데이터 구동부(1200)는 특정 게이트 라인이 열리면 제어부(1400)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인으로 공급함으로써, 다수의 데이터 라인을 구동한다. 그리고, 데이터 구동부(1200)는 적어도 하나의 소스 드라이버 집적회로(Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0028] 각 소스 드라이버 집적회로는 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(1100)의 본딩 패드(Bonding Pad)에 연결되거나, 표시패널(1100)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(1100)에 집적화되어 배치될 수도 있다.
- [0029] 또한, 각 소스 드라이버 집적회로는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 이 경우, 각 소스 드라이버 집적회로에 해당하는 소스 구동 칩은 연성 필름에 실장되고, 연성 필름의 일 단은 적어도 하나의 소스 인쇄회로기판(Source Printed Circuit Board)에 본딩되고, 타 단은 표시패널(1100)에 본딩된다.
- [0030] 소스 인쇄회로기판은 연성 플랫 케이블(FFC: Flexible Flat Cable) 또는 연성 인쇄 회로(FPC: Flexible Printed Circuit) 등의 연결 매체를 통해 컨트롤 인쇄회로기판(Control Printed Circuit Board)과 연결된다. 컨트롤 인쇄회로기판에는 제어부(1400)가 배치된다.
- [0031] 또한, 컨트롤 인쇄회로기판에는 표시패널(1100), 데이터 구동부(1200) 및 게이트 구동부(1300) 등으로 전압 또는 전류를 공급해주거나 공급할 전압 또는 전류를 제어하는 전원 컨트롤러(미 도시)가 더 배치될 수 있다. 위에서 언급한 소스 인쇄회로기판과 컨트롤 인쇄회로기판은 하나의 인쇄회로기판일 수도 있다.
- [0032] 한편, 표시장치(1000)는 액정표시장치(Liquid Crystal Display Device), 유기발광표시장치(Organic Light Emitting Display Device) 등일 수 있다. 이러한 표시장치들은 도전층 상에 절연막이 배치되고, 절연막 상에 다른 도전층이 배치되는 구조가 반복되는 하부 기판을 포함한다. 후술하는 설명에서는 설명의 편의를 위하여, 표시장치(1000)가 유기발광표시장치인 구성을 중심으로 설명한다.
- [0033] 이러한 표시장치(1000)에 포함되는 표시패널(1100)의 등가회로도를 검토하면 다음과 같다. 도 2는 본 실시예에 따른 표시패널의 화소의 등가회로도를 예시적으로 나타낸 도면이다. 실시예들이 적용되는 표시장치가 유기발광 표시장치인 경우, 각 화소는 일 예로 유기발광소자(OLED)와, 구동전압(VDD)을 공급받고 유기발광소자(OLED)를 구동시키기 위한 구동 트랜지스터(DT)와 게이트 라인(GLj)을 통해 공급된 스캔 신호(SCAN)에 의해 제어되며 기준전압(Vref: Reference Voltage)이 공급되는 기준전압 라인(RVL: Reference Voltage Line)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결되는 센서 트랜지스터(SENT: Sensor Transistor)과, 게이트 라인(GLj)을 통해 공급된 스캔 신호(SCAN)에 의해 제어되며 데이터 라인(DLi)과 구동 트랜지스터(DT)의 제2노드(N2) 사이에 연결되는 스위칭 트랜지스터(SWT: Switching Transistor)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되는 스토리지 캐패시터(Cstg: Storage Capacitor) 등을 포함한다.
- [0034] 위에서 언급한 3개의 트랜지스터(DT, SWT, SENT)는 N 타입을 예로 든 것으로서, P 타입으로도 설계할 수 있다. 따라서, 아래에서, 언급하는 소스 전극과 소스 전극부는 드레인 전극과 드레인 전극부로도 해석될 수 있고, 드레인 전극과 드레인 전극부는 소스 전극과 소스 전극부로도 해석될 수 있을 것이다.

- [0035] 도 2에 도시된 화소 구조는 3개의 트랜지스터(DT, SWT, SENT)와 1개의 캐패시터(Cstg)로 구성된 3T1C 화소 구조로서, 이는 유기발광표시장치의 화소 구조의 일 예일 뿐, 이에 제한되지는 않는다. 예를 들어, 구동 트랜지스터(DT), 스위칭 트랜지스터(SWT) 및 스토리지 캐패시터(Cstg)만으로 구성된 화소 구조, 또는 구동 트랜지스터(DT), 스위칭 트랜지스터(SWT), 센서 트랜지스터(SENT) 및 스토리지 캐패시터(Cstg) 뿐만 아니라, 적어도 하나의 트랜지스터 및/또는 적어도 하나의 캐패시터 등을 더 포함하여 화소 구조가 구성될 수도 있다.
- [0036] 이러한 표시패널은 각종 회로들이 구비되는 회로부와 화상을 표시하는 발광부로 구분될 수 있다. 한편, 표시장치의 해상도와 패널의 크기가 증가할수록, 화소의 개수가 증가하고, 게이트 RC 로드가 커져, 데이터 기입 시간이 증가하기 때문에 발광 시간이 줄어들며, 줄어든 발광 시간으로 인하여 발광 구간 동안에 더 높은 휘도 발광하여야 하고, 이로 인해 발광 전류가 증가하게 된다. 이와 같이, 발광 전류가 증가하게 되면, IR-drop이 증가하여 전원 전압을 더 높게 주어야 하기 때문에 소비 전력이 증가한다는 문제가 있다.
- [0037] 이러한 문제를 해결하기 위해, 게이트 라인(또는 게이트 패턴, 게이트 전극 패턴) 상부에 적어도 1층으로 이루어진 금속 배선(또는 패턴, 설명의 편의를 위해서 금속 배선으로 용어를 통일함)을 배치하여 게이트 RC 로드를 저감하고자 하였다. 구체적으로는, 회로부의 일부 영역에서 게이트 라인, 소스/드레인 금속, 금속 배선, बैं크, 유기발광층 및 유기발광소자의 제 2 전극이 중첩될 수 있다. 여기서, 게이트 라인 상부에 배치되는 소스/드레인 금속과 बैं크 사이에 적어도 1층으로 이루어진 금속 배선을 배치하여 RC-load를 저감하고자 하였다.
- [0038] 그러나, 금속 배선과 बैं크 사이의 접촉력이 약하여 금속 배선이 추가로 배치된 영역에서 बैं크가 들뜨거나, 분리되는 문제가 추가로 발생하였다. 이를 해결하기 위해, 금속 배선과 बैं크 사이에 추가로 유기발광소자의 제 1 전극을 배치하여 बैं크가 들뜨거나 분리되는 현상을 방지하였다.
- [0039] 한편, 금속 배선과 बैं크 사이에 접촉력을 향상시키기 위한 방편으로 제 1 전극이 추가 배치됨으로써, 유기발광소자의 제 1 전극 및 금속배선과 유기발광소자의 제 2 전극 사이의 기생 커패시턴스가 증가하였다. 이를 해결하기 위한 방편으로, बैं크를 두껍게 형성하는 방안이 제시되었으나, 한번의 공정으로는 불가하여 बैं크를 형성하는 공정이 추가 발생됨으로써, 공정이 복잡해지는 다른 문제가 대두되었다.
- [0040] 본 실시예에 따른 표시장치는 이러한 문제를 해결하기 위한 것으로, 회로부의 특정 영역의 기생 커패시턴스를 저감하는 동시에, 공정을 간단하게 할 수 있는 표시장치를 제공한다. 이러한 구성을 도 3을 참조하여 구체적으로 검토하면 다음과 같다.
- [0041] 도 3은 본 실시예에 따른 표시패널의 평면도이다. 도 3을 참조하면, 1개의 화소(P)는 4개의 서브화소(SP1, SP2, SP3, SP4)를 포함한다. 구체적으로는, 1개의 화소(P)는 제 1 서브화소(SP1), 제 2 서브화소(SP2), 제 3 서브화소(SP3) 및 제 4 서브화소(SP4)를 포함한다. 이 때, 제 1 서브화소(SP1), 제 2 서브화소(SP2), 제 3 서브화소(SP3) 및 제 4 서브화소(SP4) 각각은 적색(R), 백색(W), 청색(B) 또는 녹색(G) 중 적어도 어느 하나의 서브화소일 수 있으나, 본 실시예가 이에 국한되는 것은 아니다.
- [0042] 각각의 서브화소(SP1, SP2, SP3, SP4)는 적어도 1 개의 발광부(EA)와 적어도 1 개의 회로부(CA)를 구비할 수 있다. 이 때, 각각의 서브화소(SP1, SP2, SP3, SP4)의 발광부(EA)의 면적은 서로 상이할 수 있으나, 본 실시예가 이에 국한되는 것은 아니다.
- [0043] 본 실시예에 따른 표시패널은 복수의 수직라인(110, 120, 121, 122, 123, 130, 140)과 복수의 게이트 전극 패턴(210, 220, 230) 및 적어도 1 개의 수평라인(250)을 포함한다. 복수의 수직라인(110, 120, 121, 122, 123, 130, 140)은 구동전압 라인(110, 140)과 데이터 라인(120, 121, 122, 123)을 포함하고, 적어도 1 개의 수평라인(250)은 적어도 1 개의 금속 배선(250)을 포함할 수 있다. 여기서, 복수의 수직라인(110, 120, 121, 122, 123, 140)은 불투명한 금속으로 이루어질 수 있으며, 광차단층의 역할을 할 수 있다.
- [0044] 또한, 본 실시예에서는 게이트 라인에서 분기된 복수의 게이트 전극 대신, 복수의 게이트 전극 패턴(210, 220, 230)이 각각의 서브화소(SP1, SP2, SP3, SP4) 영역에 구비되는 구성을 예시로 설명한다.
- [0045] 각각의 서브화소(SP1, SP2, SP3, SP4)는 수평라인(250)과 수직라인(120, 121, 122, 123, 데이터 라인 역할)이 교차하여 정의될 수 있다. 이러한 서브화소(SP1, SP2, SP3, SP4)들은 구동 트랜지스터(DT), 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 1 개의 스토리지 커패시터 및 1 개의 유기발광 소자(OLED)를 구비할 수 있다. 한편, 본 실시예에 따른 표시장치의 구동 트랜지스터(DT), 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)는 산화물 트랜지스터(Oxide Transistor) 구조로 설계된 것을 가정한 것일 뿐 본 실시예가 이에 국한되는 것은 아니다.
- [0046] 또한, 본 실시예에 따른 표시장치에서 제 1 트랜지스터(T1)는 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노

드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(Sensing Transistor)일 수 있고, 제 2 트랜지스터(T2)는 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터인 구성 일 일례로 설명한다.

- [0047] 구체적으로 제 1 서브화소(SP1)를 중심으로 설명하면, 제 1 서브화소(SP1)의 회로부(CA)에 배치된 제 1 트랜지스터(T1)는 스캔신호에 의해 제어되며, 기준전압라인(130)으로부터 기준전압(Vref)을 공급 받을 수 있다. 이 때, 제 1 트랜지스터(T1)는 기준전압라인(130)과 연결된 제 1 연결배선(213)을 통해 기준전압(Vref)을 공급 받을 수 있다.
- [0048] 또한, 제 2 트랜지스터(T2) 스캔 신호에 의해 제어되며 데이터 라인(120)으로부터 데이터전압을 공급받을 수 있다. 구동 트랜지스터(DT)는 구동 트랜지스터(DT)의 게이트 전극(230)에 인가된 전압에 의해 제어되며, 구동전압라인(110)으로부터 구동전압(EVDD)을 드레인 노드로 인가받아 소스 노드로 전류를 출력한다. 이 때, 구동 트랜지스터(DT)는 구동전압라인(110)과 연결된 제 2 연결배선(235)을 통해 구동전압(EVDD)을 드레인 노드로 인가 받을 수 있다.
- [0049] 또한, 제 1 서브화소(SP1)에는 트랜지스터 등의 회로를 보호하기 위한 용도로 광차단층(245, LS: Light Shield)이 배치될 수 있다. 이 때, 광차단층(245)은 복수의 수평라인(110, 120, 121, 122, 123, 130, 140)과 동일층에 배치되고, 동일 물질로 이루어질 수 있다. 광차단층(245)은 제 2 트랜지스터(T2)와 연결된 플레이트(232)와 중첩하도록 배치됨으로써, 스토리지 커패시터(Cstg)를 형성할 수 있다. 또한, 광차단층(245)은 수직방향으로 연장되어, 제 1 트랜지스터(T1)의 소스 전극 역할을 할 수 있다.
- [0050] 그리고, 제 1 서브화소(SP1)의 발광부(EA)에는 구동 트랜지스터(DT)의 드레인전극과 컨택홀을 통해 연결되는 유기발광소자의 제 1 전극이 배치된다. 유기발광소자(OLED)의 제 1 전극은 뱅크 패턴에 의해 상면의 일부가 노출될 수 있다. 노출된 제 1 전극의 상면에는 유기발광소자(OLED)의 유기발광층이 배치될 수 있으며, 유기발광층이 배치된 기판 상에는 유기발광소자(OLED)의 제 2 전극이 배치될 수 있다. 유기발광소자(OLED)의 제 1 전극
- [0051] 한편, 본 실시예에 따른 표시장치는 복수의 수직 라인(110, 120, 121, 122, 123, 130, 140)과 교차하도록 회로부(CA)에 배치되는 적어도 1 개의 금속 배선(250)을 포함할 수 있다. 도 5에서는 1개의 화소(P)에서 1개의 금속 배선(250)이 수평 방향으로 연장되는 구성을 개시하고 있으나, 본 실시예는 이에 국한되지 않으며, 1개의 화소(P)에서 2개 이상의 금속 배선(250)이 수평 방향으로 서로 평행하게 연장되는 구성 역시 포함할 수 있다.
- [0052] 금속 배선(250)은 회로부(CA)에서 제 1 트랜지스터(T1)의 제 1 게이트 전극 패턴(210) 및 제 2 트랜지스터(T2)의 제 2 게이트 전극 패턴(220)과 중첩할 수 있다. 이때, 금속 배선(250)은 제 1 게이트 전극 패턴(210)과 제 2 게이트 전극 패턴(220) 상부에 위치할 수 있다. 또한, 금속 배선(250)은 제 1 연결배선(213), 제 2 연결배선(235) 및 플레이트(232)와 동일층에 배치되고, 동일물질로 이루어질 수 있으나, 이는 예시일 뿐, 본 실시예가 이에 국한되는 것은 아니다.
- [0053] 그리고, 금속 배선(250)은 제 1 게이트 전극 패턴(210)과 제 2 게이트 전극 패턴(220)과 중첩하는 일부 영역에서 컨택홀을 통해 직접적으로 접촉될 수 있다. 구체적으로는, 금속 배선(250)은 제 1 컨택홀(210a)을 통해 제 1 게이트 전극 패턴(210)과 접촉할 수 있으며, 금속 배선(250)은 제 2 컨택홀(220a)을 통해 제 2 게이트 전극 패턴(220)과 직접적으로 접촉할 수 있다.
- [0054] 또한, 제 1 컨택홀(210a)과 대응되는 영역에서 금속 배선(250)과 제 1 전극(260)이 직접적으로 접촉할 수 있으며, 제 2 컨택홀(220a)과 대응되는 영역에서 금속 배선(250)과 제 1 전극(260)이 직접적으로 접촉할 수 있다.
- [0055] 한편, 제 1 및 제 2 게이트 전극 패턴(210)과 금속 배선(250) 사이에는 적어도 1층의 절연층이 구비될 수 있으며, 금속 배선(250)과 제 1 전극(260) 사이에도 적어도 1층의 절연층이 구비될 수 있다.
- [0056] 이와 같이, 제 1 및 제 2 게이트 전극 패턴(210, 220)과 금속 배선(250) 사이에 적어도 1층의 절연층이 구비됨으로써, 제 1 및 제 2 컨택홀(210a, 220a)을 통해 제 1 게이트 전극 패턴(210) 및 제 2 게이트 전극 패턴(220) 각각이 금속 배선(250)과 접촉하는 영역을 제외하고 서로 이격하여 배치될 수 있다. 따라서, 제 1 게이트 전극 패턴(210)과 금속 배선(250) 사이의 기생 커패시턴스를 저감하고, 제 2 게이트 전극 패턴(220)과 금속 배선(250) 사이의 기생 커패시턴스를 저감할 수 있다.
- [0057] 또한, 제 1 게이트 전극 패턴(210) 및 금속 배선(250)과 중첩하는 제 1 전극(160)은 수평방향을 기준으로 한 최대폭이 제 1 게이트 전극 패턴(210)의 수평방향을 기준으로 한 폭과 동일하거나 작을 수 있다. 즉, 제 1 전극(260)은 금속 배선(250)의 일부와 중첩될 수 있다. 이와 같이, 회로부(CA)에서 제 1 전극(260)이 일부 영역에만

구비됨으로써, 제 1 전극(260) 상부에 배치되는 유기발광 소자의 제 2 전극 사이에 발생하는 기생 커패시턴스를 줄일 수 있다.

[0058] 이러한 구성을 도 4 및 도 5를 참조하여 자세히 검토하면 다음과 같다. 도 4는 도 3의 X 영역을 확대한 도면이다. 도 5는 도 4를 A-B를 따라 절단한 단면도이다. 도 6은 도 4의 G영역을 도시한 단면도이다. 도 4 및 도 5에 따른 설명은 앞서 설명한 도 1 내지 도 3에 따른 표시장치와 동일한 구성요소를 포함할 수 있다. 앞서 설명한 도 1 내지 도 3에 따른 표시장치와 중복되는 설명은 생략할 수 있다. 또한, 동일한 구성은 동일한 도면부호를 갖는다.

[0059] 먼저 도 4를 참조하면, 본 실시예에 따른 표시장치의 회로부에는 제 1 트랜지스터(T1)가 배치될 수 있다. 제 1 트랜지스터(T1)는 제 1 게이트 전극 패턴(210), 제 1 액티브층(211) 및 소스 전극 및 드레인 전극을 포함할 수 있다.

[0060] 한편, 제 1 트랜지스터(T1)의 A-B 영역에서는 제 1 게이트 전극 패턴(210), 금속 배선(250), 제 1 전극(260) 및 제 2 전극(290)이 차례로 중첩하도록 배치될 수 있다. 이러한 본 실시예에 따른 구조에서 제 1 게이트 전극 패턴(210)과 금속 배선(250) 사이의 기생 커패시턴스를 줄이고, 제 1 전극(260)과 제 2 전극(290) 또는 금속 배선(250)과 제 2 전극(290) 사이의 기생 커패시턴스를 줄일 수 있는 구조를 도 5를 통해 자세히 검토한다.

[0061] 도 5에서는 도 4의 A-B 영역에서 기관(100) 상에 제 1 절연층(101)이 배치되고, 제 1 절연층(101) 상에 제 1 게이트 전극 패턴(210)이 배치되고, 제 1 게이트 전극 패턴(210) 상에 제 2 절연층(201)이 배치된다. 제 2 절연층(201) 상에는 제 3 절연층(202)이 배치되고, 제 3 절연층(202) 상에는 금속 배선(250)이 배치된다. 금속 배선(250) 상에는 제 4 절연층(203)과 제 5 절연층(204)이 배치되고, 제 5 절연층(204) 상에는 제 1 전극(260)이 배치된다. 또한, 제 1 전극(260) 상에는 뱅크(270), 유기발광층(280) 및 제 2 전극(290)이 차례로 배치될 수 있다.

[0062] 여기서, 제 1 절연층(101)은 버퍼층이고, 제 2 절연층(201)은 게이트 절연층이고, 제 3 절연층(202)은 제 1 오버코트층이고, 제 4 절연층(203)은 층간절연막이며, 제 5 절연층(204)은 제 2 오버코트층일 수 있으나, 이는 예시일 뿐 본 실시예가 이에 국한되는 것은 아니다.

[0063] 한편, 금속 배선(250)은 제 2 절연층(201) 및 제 3 절연층(202)에 구비된 제 1 콘택홀(210a)을 통해 제 1 게이트 전극 패턴(210)과 접촉할 수 있다. 그리고, 제 1 콘택홀(210a)이 구비된 영역에서 제 4 절연층(203) 및 제 5 절연층(204)에 콘택홀이 구비될 수 있으며, 제 4 절연층(203) 및 제 5 절연층(204)에 구비된 콘택홀을 통해 제 1 전극(260)과 금속 배선(250)이 접촉할 수 있다.

[0064] 여기서, 제 1 절연층(101), 제 2 절연층(201) 및 제 4 절연층(203)은 무기절연층이고, 제 3 절연층(202) 및 제 5 절연층(204)은 유기절연층일 수 있다. 이 때, 제 3 절연층(202) 및 제 5 절연층(204)의 두께는 제 1 절연층(101), 제 2 절연층(201) 및 제 4 절연층(203)의 두께보다 두꺼울 수 있다.

[0065] 이와 같이, 제 1 게이트 전극 패턴(210)과 금속 배선(250) 사이에 두께가 두꺼운 제 3 절연층(202)이 배치됨으로써, 제 1 게이트 전극 패턴(210)과 금속 배선(250) 사이의 거리가 늘어나게 되어 제 1 게이트 전극 패턴(210)과 금속 배선(250) 사이의 기생 커패시턴스를 줄일 수 있다.

[0066] 그리고, 제 1 전극(260)은 제 1 콘택홀(210a)과 대응되는 영역과 제 5 절연층(204)의 상면의 일부에만 구비될 수 있다. 다시 설명하면, 제 1 전극(260)은 제 5 절연층(204)의 상면의 대부분을 노출하도록 배치될 수 있다. 따라서, 제 5 절연층(204)이 제 1 전극(160)으로 인해 노출된 영역에서는 제 2 전극(290)과 금속 배선(250) 사이에 기생 커패시턴스가 발생하게 되는데, 제 2 전극(290)과 금속 배선(250) 사이에는 유기발광층(280), 뱅크(270), 제 5 절연층(204) 및 제 4 절연층(203)이 배치됨으로써, 거리가 멀어지므로 제 2 전극(290)과 금속 배선(250) 사이에 기생 커패시턴스가 줄어들 수 있다.

[0067] 또한, 제 1 전극(260)은 제 1 콘택홀(210a)과 대응되는 영역에서 주로 배치되므로, 제 1 전극(260)과 제 2 전극(290) 사이의 거리가 충분히 확보 될 수 있어, 제 1 전극(260)과 제 2 전극(290) 사이의 기생 커패시턴스를 줄일 수 있다.

[0068] 한편, 상술한 구조를 통해서 서브화소의 회로부에서 복수의 배선들이 중첩된 영역에서도 기생 커패시턴스를 줄일 수 있다. 구체적으로, 도 6을 참조하면, 데이터라인(120)과 금속 배선(250)이 중첩한 영역에서, 데이터라인(120)과 금속 배선(250) 사이에 제 1 절연층(101) 및 제 2 절연층(201)이 배치되고, 이와 더불어 두께가 두꺼운 제 3 절연막(202)이 추가로 배치됨으로써, 데이터라인(120)과 금속 배선(250) 사이의 기생 커패시턴스를 줄일

수 있다.

- [0069] 이어서, 도 7 및 도 8을 참조하여 도 3의 Y영역을 검토하면 다음과 같다. 도 7은 도 3의 Y 영역을 확대한 도면이다. 도 8은 도 7을 C-D를 따라 절단한 단면도이다. 도 7 및 도 8에 따른 설명은 앞서 설명한 도 1 내지 도 3에 따른 표시장치와 동일한 구성요소를 포함할 수 있다. 앞서 설명한 도 1 내지 도 3에 따른 표시장치와 중복되는 설명은 생략할 수 있다. 또한, 동일한 구성은 동일한 도면부호를 갖는다.
- [0070] 먼저 도 7을 참조하면, 본 실시예에 따른 표시장치의 회로부에는 제 2 트랜지스터(T2)가 배치될 수 있다. 제 2 트랜지스터(T2)는 제 2 게이트 전극 패턴(220), 제 2 액티브층(221) 및 소스 전극 및 드레인 전극을 포함할 수 있다. 한편 제 2 트랜지스터(T2)의 제 2 게이트 전극 패턴(220)이 배치된 C-D 영역에서는 제 2 게이트 전극 패턴(220), 금속 배선(250), 제 1 전극(260) 및 제 2 전극(290)이 차례로 중첩하도록 배치될 수 있다. 이러한 구조를 도 8을 통해 자세히 검토한다.
- [0071] 도 8에서는 도 7의 C-D 영역에서 기판(100) 상에 제 1 절연층(101)이 배치되고, 제 1 절연층(101) 상에 제 2 게이트 전극 패턴(220)이 배치되고, 제 2 게이트 전극 패턴(220) 상에 제 2 절연층(201)이 배치된다. 제 2 절연층(201) 상에는 제 3 절연층(202)이 배치되고, 제 3 절연층(202) 상에는 금속 배선(250)이 배치된다. 금속 배선(250) 상에는 제 4 절연층(203)과 제 5 절연층(204)이 배치되고, 제 5 절연층(204) 상에는 제 1 전극(260)이 배치된다. 또한, 제 1 전극(260) 상에는 बैं크(270), 유기발광층(280) 및 제 2 전극(290)이 차례로 배치될 수 있다.
- [0072] 한편, 금속 배선(250)은 제 2 절연층(201) 및 제 3 절연층(202)에 구비된 제 2 콘택홀(220a)을 통해 제 2 게이트 전극 패턴(220)과 접촉할 수 있다. 그리고, 제 2 콘택홀(220a)이 구비된 영역에서 제 4 절연층(203) 및 제 5 절연층(204)에 콘택홀이 구비될 수 있으며, 제 4 절연층(203) 및 제 5 절연층(204)에 구비된 콘택홀을 통해 제 1 전극(260)과 금속 배선(250)이 접촉할 수 있다.
- [0073] 상술한 바와 같이, 제 2 게이트 전극 패턴(220)과 금속 배선(250) 사이에 두께가 두꺼운 제 3 절연층(202)이 배치됨으로써, 제 2 게이트 전극 패턴(220)과 금속 배선(250) 사이의 거리가 늘어나게 되어 제 2 게이트 전극 패턴(220)과 금속 배선(250) 사이의 기생 커패시턴스를 줄일 수 있다.
- [0074] 그리고, 제 1 전극(260)은 제 1 콘택홀(210a)과 대응되는 영역과 제 5 절연층(204)의 상면의 일부에만 구비될 수 있다. 다시 설명하면, 제 1 전극(260)은 제 5 절연층(204)의 상면의 대부분을 오픈(open)하도록 배치될 수 있다. 따라서, 제 5 절연층(204)이 제 1 전극(160)으로 인해 오픈된 영역에서는 제 2 전극(290)과 금속 배선(250) 사이에 기생 커패시턴스가 발생하게 되는데, 제 2 전극(290)과 금속 배선(250) 사이에는 유기발광층(280), बैं크(270), 제 5 절연층(204) 및 제 4 절연층(203)이 배치됨으로써, 거리가 멀어지므로 제 2 전극(290)과 금속 배선(250) 사이에 기생 커패시턴스가 줄어들 수 있다.
- [0075] 또한, 제 1 전극(260)은 제 2 콘택홀(220a)과 대응되는 영역에서 배치되므로, 제 1 전극(260)과 제 2 전극(290) 사이의 거리가 충분히 확보 될 수 있어, 제 1 전극(260)과 제 2 전극(290) 사이의 기생 커패시턴스를 줄일 수 있다.
- [0076] 한편, 본 실시예에 따른 표시장치가 상술한 구조로 이루어짐으로써, 회로부의 기생 커패시턴스를 줄일 수 있으며, 이와 동시에 공정을 간단하게 할 수 있는 효과가 있다.
- [0077] 이러한 효과 및 구성을 비교예에 따른 표시장치의 도면을 참조하여 본 실시예에 따른 표시장치와 비교하여 설명하면 다음과 같다. 도 9은 비교예에 따른 표시장치의 센싱 트랜지스터가 배치된 영역을 확대한 도면이다. 도 10은 도 9를 E-F를 따라 절단한 단면도이다. 도 11은 도 9의 H 영역을 도시한 단면도이다.
- [0078] 비교예에 따른 표시장치의 설명은 앞서 설명한 본 실시예에 따른 표시장치와 동일한 구성요소를 포함할 수 있다. 앞서 설명한 도 1 내지 도 3에 따른 표시장치와 중복되는 설명은 생략할 수 있다. 또한, 동일한 구성은 동일한 도면부호를 갖는다.
- [0079] 먼저 도 9를 참조하면, 비교예에 따른 표시장치의 회로부에는 센싱 트랜지스터가 배치될 수 있으며, 센싱 트랜지스터(SENT)는 게이트 전극 패턴(510), 액티브층(511), 소스전극(540) 및 드레인 전극을 포함할 수 있다. 한편, 비교예의 센싱 트랜지스터(SENT)의 게이트 전극 패턴(520)이 배치된 영역 중 E-F 영역에서는 게이트 전극 패턴(520), 제 1 수평 배선(512, 소스/드레인 금속), 제 2 수평 배선(550) 및 제 1 전극이 배치된다.
- [0080] 여기서, 센싱 트랜지스터(SENT)는 연결배선(513)을 통해 기준전압라인으로부터 기준전압(Vref)를 공급받을 수 있다. 또한, 게이트 전극 패턴(512)은 제 1 수평 배선(512)으로부터 분기된 패턴일 수 있으며, 제 2 수평 배선

(550)은 게이트 RC 로드를 저감할 수 있는 역할을 할 수 있다.

- [0081] 이러한 구성을 도 10에 더욱 자세하게 도시하였다. 도 10을 참조하면, 도 9의 E-F 영역에서 기판(100) 상에 제 1 절연층(101)이 배치되고, 제 1 절연층(101) 상에 게이트 전극 패턴(510)이 배치되고, 게이트 전극 패턴(510) 상에 제 2 절연층(201)이 배치된다. 제 2 절연층(201) 상에는 제 1 수평 배선(512)이 배치되고, 제 1 수평 배선(512) 상에는 층간절연막(205)이 배치되고, 층간절연막(205) 상에는 오버코트층(206)이 배치된다. 오버코트층(206) 상에는 제 2 수평 배선(550)이 배치되고, 제 2 수평 배선(550) 상에는 제 1 전극(560), बैं크(570), 유기 발광층(280) 및 제 2 전극(290)이 차례로 배치된다.
- [0082] 여기서, 제 1 수평 배선(512)은 제 2 절연층(201)에 구비된 컨택홀을 통해 게이트 전극 패턴(510)과 연결될 수 있으며, 제 2 수평 배선(550)은 층간절연막(205) 및 오버코트층(206)에 구비된 컨택홀을 통해 게이트 라인과 연결될 수 있다.
- [0083] 한편, 제 2 수평 배선(550)과 बैं크(570)는 서로 접촉력이 약하여 बैं크(570)가 들뜨거나 분리되는 현상이 발생하는데, 이를 방지 하기 위해 제 2 수평 배선(550) 상에 제 1 전극(560)을 더욱 배치한다.
- [0084] 이러한 구조에서 제 1 수평 배선(512)과 게이트 전극 패턴(510) 사이에 기생 커패시턴스가 발생하며, 제 2 전극(290)과 제 1 전극(560)(또는 제 2 전극(290)과 제 2 수평 배선(550)) 사이에 기생 커패시턴스가 발생한다.
- [0085] 반면에, 도 4 및 도 5에 도시한 바와 같이, 본 실시예에 따른 표시장치는 비교예에 따른 게이트 라인의 구성을 삭제하고, 금속 배선(250)과 제 1 게이트 전극 패턴(210) 사이에 유기절연층인 제 3 절연층(202)을 배치함으로써, 금속 배선(250)과 제 1 전극 패턴(210) 사이의 기생 커패시턴스를 저감하였다.
- [0086] 또한, 본 실시예에 따른 표시장치는 제 1 전극이 제 5 절연층(204)의 상면의 일부를 오픈하도록 배치됨으로써, 금속 배선(250)과 중첩 영역을 줄이고, 제 2 전극(290)과 금속 배선(250) 사이에 두께가 두꺼운 유기절연층인 제 5 절연층(204)이 배치됨으로써, 금속 배선(250)과 제 2 전극(290) 사이의 기생 커패시턴스가 줄어들 수 있다.
- [0087] 또한, 도 9 및 도 10을 참조하여 비교예에 따른 표시장치의 제조 방법을 간략히 검토하면 다음과 같다. 기판(100) 상에 복수의 수직 배선(데이터라인(120) 포함)을 형성하고, 복수의 수직 배선 상에 제 1 절연층(101)을 형성한다. 제 1 절연층 상에는 액티브층(511)을 형성하고, 액티브층(511) 상에 게이트 전극 패턴(510)을 형성한다. 게이트 전극 패턴(510) 상에는 제 2 절연층(201) 및 제 1 수평 배선(512)을 형성한다. 제 1 수평 배선(512) 상에는 층간절연막(205) 및 오버코트층(206)을 차례로 형성하고, 이 후에 제 2 수평 배선(550)과 제 1 전극(560)을 형성한다. 그리고, 제 1 전극(560) 상에는 बैं크(570)를 형성하는데, 제 1 전극(560)과 제 2 전극(590)의 거리 확보를 위해 बैं크(570) 형성 공정을 2 번을 거친다.
- [0088] 반면에 도 4 및 도 5를 참조하여 본 실시예에 따른 표시장치의 제조 방법을 간략히 검토하면 다음과 같다. 기판(100) 상에 복수의 수직 배선(데이터라인(120) 포함)을 형성하고, 복수의 수직 배선 상에 제 1 절연층(101)을 형성한다. 제 1 절연층 상에는 제 1 액티브층(211)을 형성하고, 제 1 액티브층(211) 상에 제 1 게이트 전극 패턴(210)을 형성한다. 제 1 게이트 전극 패턴(210) 상에는 제 2 절연층(201) 및 제 3 절연층(202)을 형성한다. 제 3 절연층(202) 상에는 금속 배선(250)을 형성한다. 금속 배선(250) 상에는 제 4 절연층(203) 및 제 5 절연층(205)을 차례로 형성하고, 제 5 절연층(205) 상에 제 1 전극(260)을 형성한다. 그리고, 제 1 전극(260) 상에 बैं크(270)를 형성하는데, 본 실시예의 경우, 제 1 전극(260)이 제 5 절연층(205)의 상면의 일부를 오픈하도록 형성되므로, 추가적인 बैं크(270) 형성 공정 없이 1번의 공정만 거칠 수 있다.
- [0089] 즉, 본 실시예에 따른 표시장치는 비교예에 따른 표시장치와 비교하였을 때, 제 1 수평 배선 및 추가적인 बैं크 형성 공정이 삭제될 수 있으므로, 제조 공정이 간단해지는 효과가 있다.
- [0090] 더불어, 도 9에서 제 2 수평 배선(550)이 다른 배선과 중첩된 영역에서도 본 실시예에 따른 표시장치와 비교하였을 때, 기생 커패시턴스가 커질 수 있다. 구체적으로, 도 11을 참조하면, 데이터라인(520)과 제 2 수평 배선(550)이 중첩한 영역에서, 데이터라인(520)과 수평 배선(550) 사이에 제 1 절연층(101) 및 제 2 절연층(201)이 배치된다.
- [0091] 한편, 본 실시예에 따른 표시장치를 도 6을 참조하여 검토하면, 데이터라인(120)과 금속 배선(250) 사이에 제 1 절연층(101), 제 2 절연층(201) 및 제 3 절연층(201)이 배치된다. 즉, 비교예에 따른 표시장치와 본 실시예에 따른 표시장치를 비교하면, 본 실시예에 따른 표시장치에서 데이터라인(120)과 금속 배선(250) 사이에 제 3 절연층(202)이 더 배치되므로, 본 실시예에 따른 표시장치의 데이터라인(120)과 금속 배선(250) 사이의 기생 커패

시턴스가 표시장치의 데이터라인(520)과 제 2 수평 배선(550) 사이의 기생 커패시턴스보다 낮다.

[0092] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

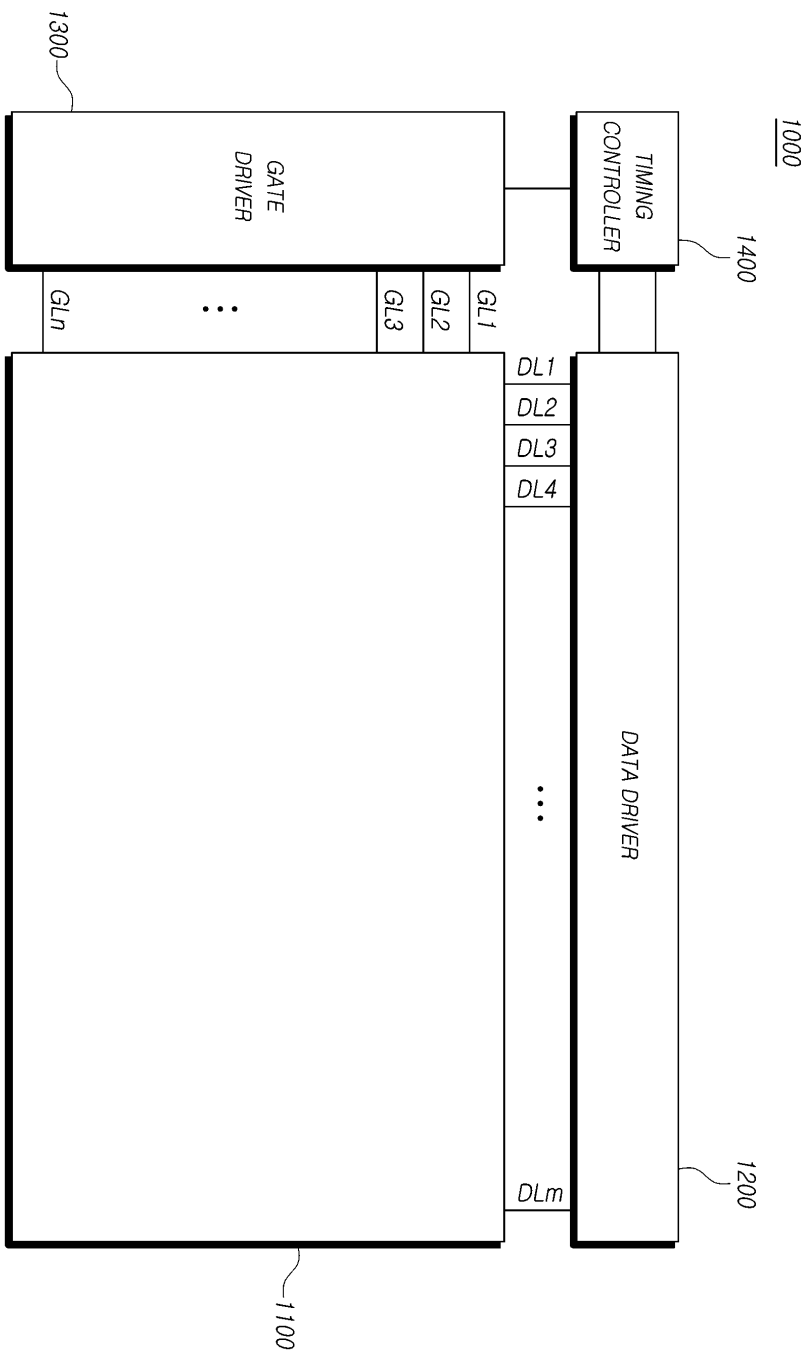
[0093] 또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부한 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

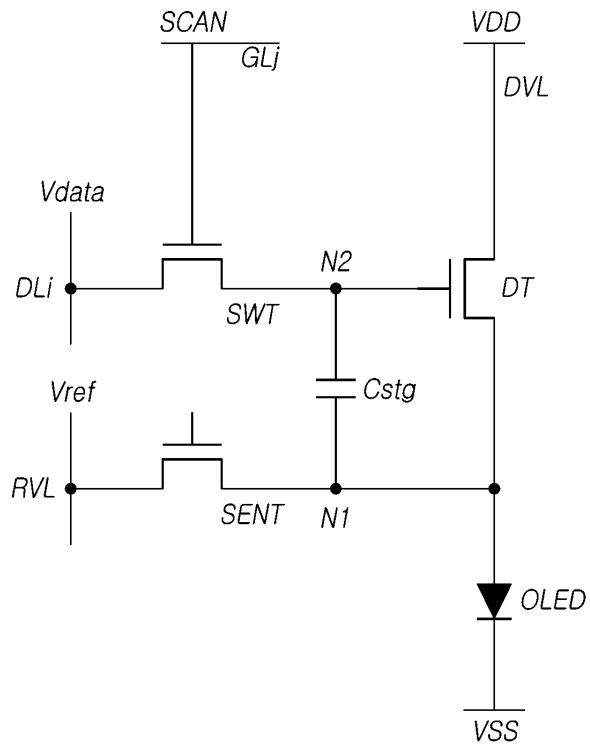
[0095] 210: 제 1 게이트 전극 패턴
211: 제 1 액티브층
250: 금속 배선
260: 제 1 전극
270: 뱅크
280: 유기발광층
290: 제 2 전극

도면

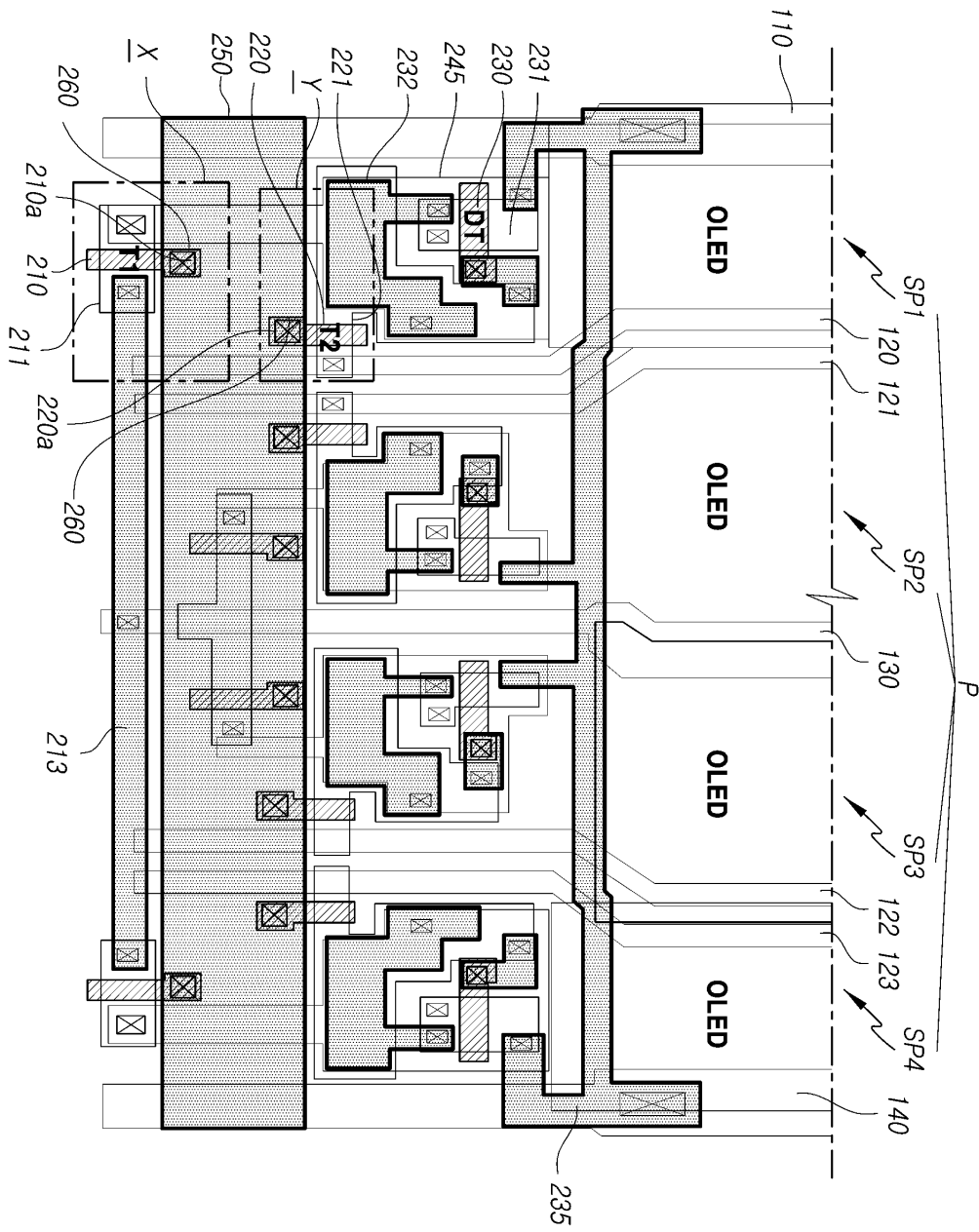
도면1



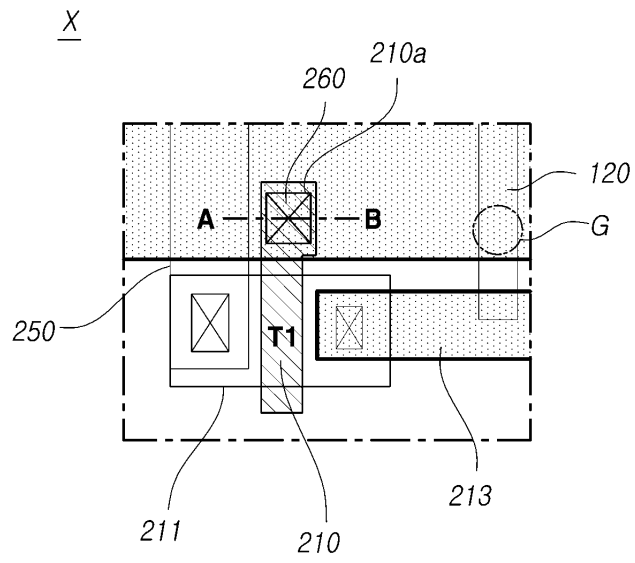
도면2



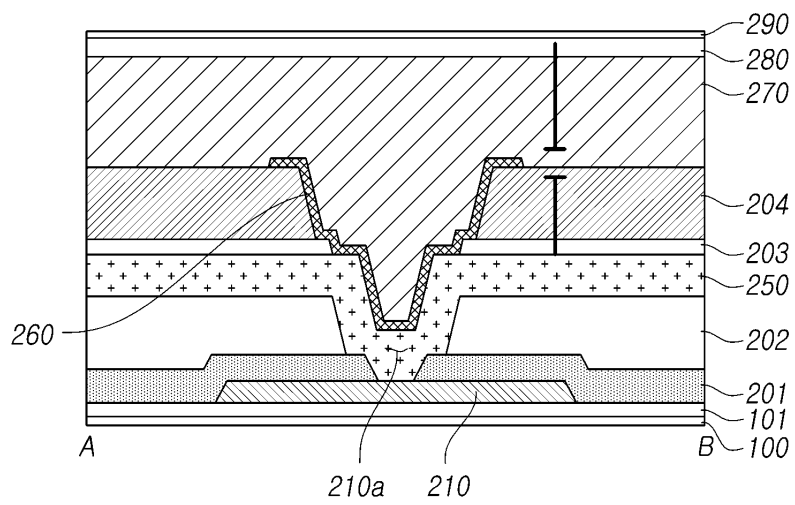
도면3



도면4

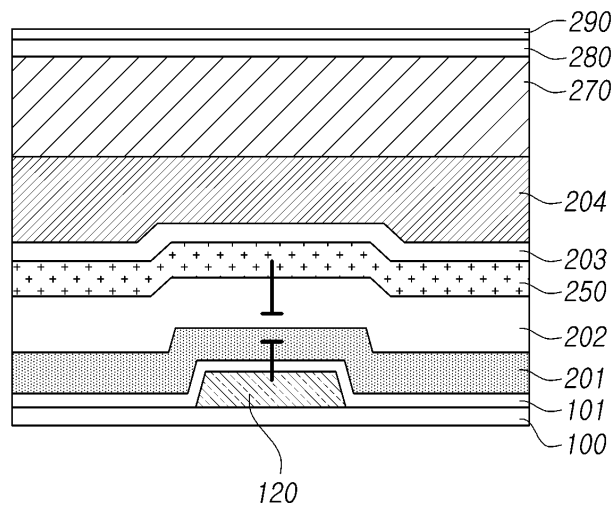


도면5



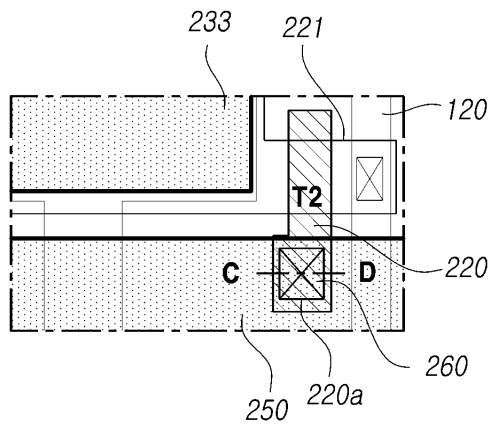
도면6

G

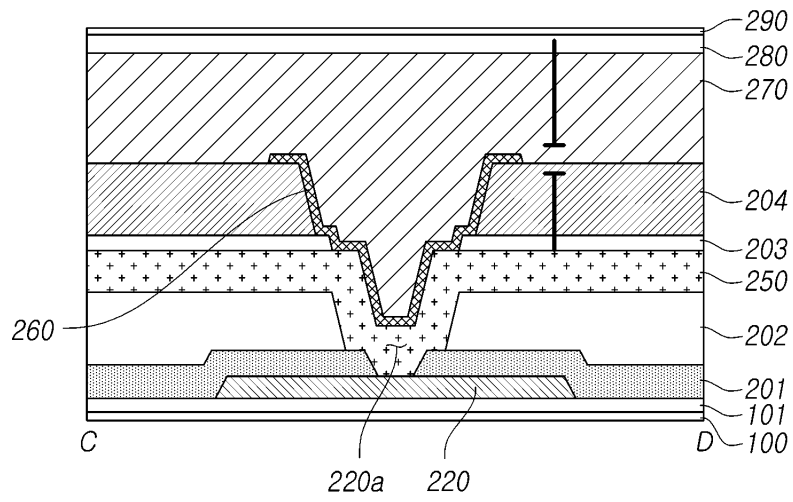


도면7

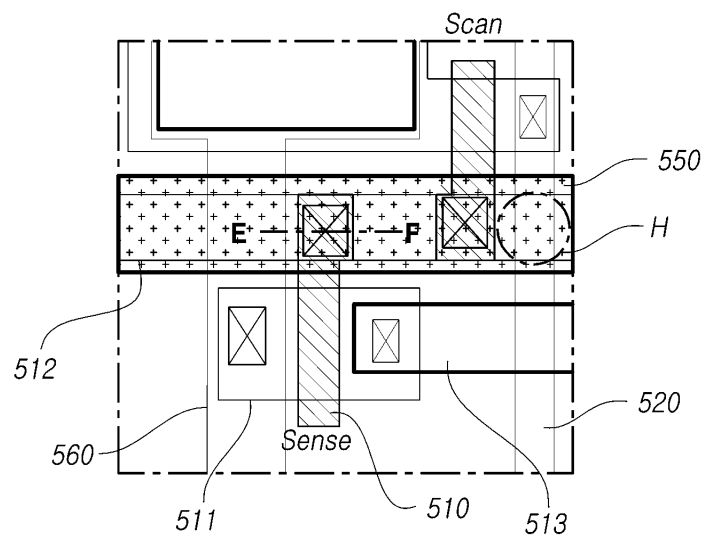
Y



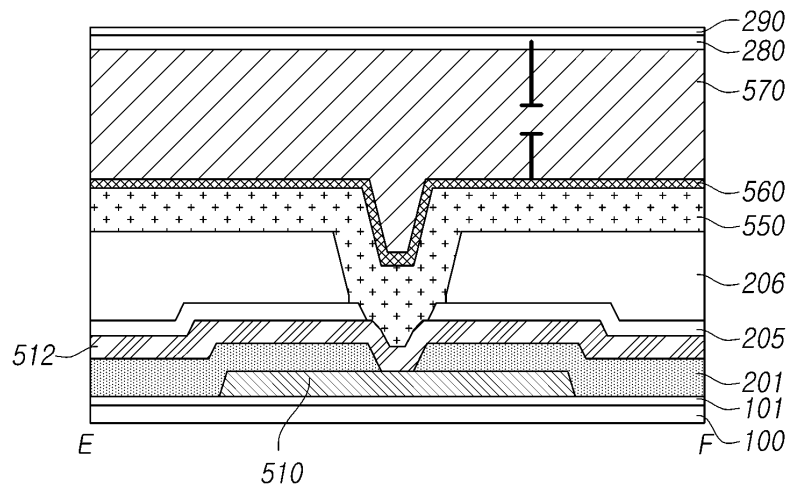
도면8



도면9

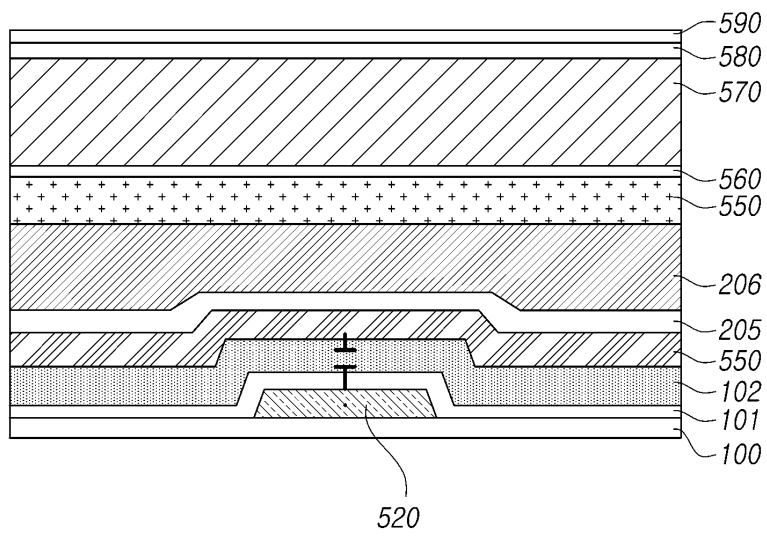


도면10



도면11

H



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180131727A	公开(公告)日	2018-12-11
申请号	KR1020170068102	申请日	2017-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK SANG MOO 박상무 JUNG WON JUNE 정원준		
发明人	박상무 정원준		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3246 H01L27/3258		
外部链接	Espacenet		

摘要(译)

本实施例公开了一种有机发光显示器。根据本实施例的OLED显示器包括布置在基板上的多条垂直线，与多条垂直线交叉的至少一条金属线，与金属线和部分区域重叠的至少一个栅电极图案，设置在布线上的至少一个有机绝缘层，通过有机绝缘层的接触孔接触金属布线的第二电极，设置在第二电极上的堤，设置在堤上的有机发光层，并且第二电极布置成暴露有机绝缘层的上表面的一部分。因此，可以减小金属布线和第二电极之间的寄生电容。

