



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0045939
(43) 공개일자 2018년05월08일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0139533

(22) 출원일자 2016년10월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정대성

경기도 파주시 쇠재로 30 712동 1104호 (금촌동, 서원마을아파트)

(74) 대리인

특허법인(유한)유일하이스트

전체 청구항 수 : 총 12 항

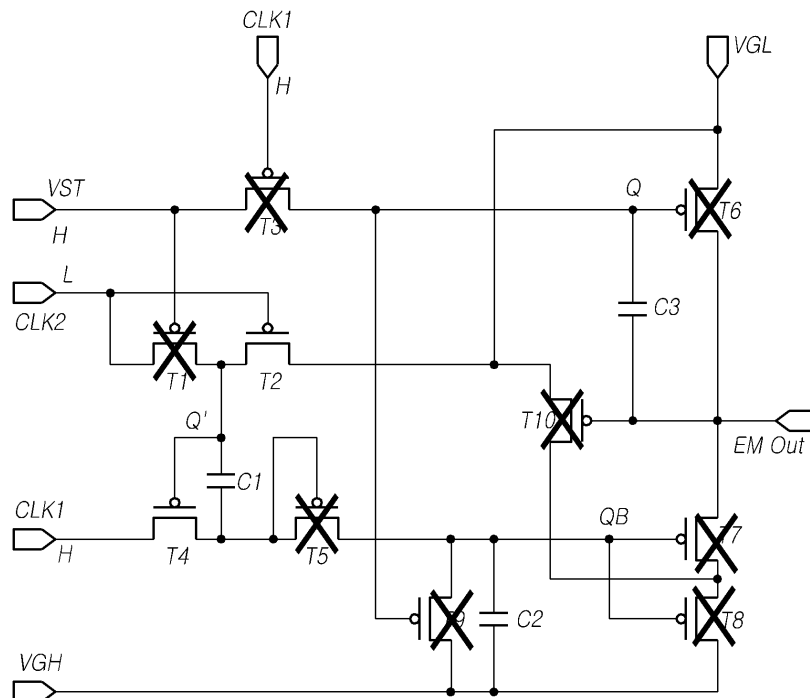
(54) 발명의 명칭 유기발광표시장치 및 그 구동장치

(57) 요약

본 실시예는 유기발광표시장치 및 그 구동장치에 관한 것이다. 본 유기발광표시장치는, 픽셀들이 매트릭스 형태로 배치된 표시패널; 표시패널에 데이터 전압을 공급하는 데이터 구동부; 데이터 전압에 동기되는 스캔신호를 공급하는 스캔 구동부; 데이터 구동부와 스캔 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호를 발생시키

(뒷면에 계속)

대표도 - 도4



는 타이밍 컨트롤러; 타이밍 컨트롤러로부터의 타이밍 제어신호에 따라, 픽셀들의 점등 및 소등을 제어하는 발광 제어신호를 발생시키며, 출력 발생을 제어하는 스타트 펄스의 하이신호에 대응하여 발광제어신호를 하이전압 레벨로 동작시키고 스타트 펄스의 로우신호에 대응하여 발광제어신호를 로우전압 레벨로 동작시켜 발광제어신호의 주기와 폭을 조절하는 듀티 구동부;를 포함한다. 이에 의해, 회로를 간소화하여 베젤 영역의 크기를 감소시킬 수 있다. 또한, 듀티비를 조절할 수 있게 됨에 따라, 계조의 조절이 용이해지며, 표시패널의 열특을 개선할 수 있고, 광학 보상에 유리하고, 플리커와 모션 블러 현상을 개선할 수 있다.

(52) CPC특허분류

G09G 2300/0819 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0247 (2013.01)

명세서

청구범위

청구항 1

픽셀들이 매트릭스 형태로 배치된 표시패널;

상기 표시패널에 데이터전압을 공급하는 데이터 구동부;

상기 데이터전압에 동기되는 스캔신호를 공급하는 스캔 구동부;

상기 데이터 구동부와 상기 스캔 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호를 발생시키는 타이밍 컨트롤러; 및

상기 타이밍 컨트롤러로부터의 타이밍 제어신호에 따라, 상기 픽셀들의 점등 및 소등을 제어하는 발광제어신호를 발생시키며, 출력 발생을 제어하는 스타트 펄스의 하이신호에 대응하여 상기 발광제어신호를 하이전압 레벨로 동작시키고 상기 스타트 펄스의 로우신호에 대응하여 상기 발광제어신호를 로우전압 레벨로 동작시켜 상기 발광제어신호의 주기와 폭을 조절하는 듀티 구동부;를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 듀티 구동부는,

스타트 펄스가 입력되는 스타트 펄스 공급단자에 연결된 게이트, 제2클럭신호가 입력되는 제2클럭단자에 연결된 소스, 및 상기 발광제어신호의 출력단에 연결된 드레인을 갖는 제1TFT;

상기 제2클럭단자에 연결된 게이트, 상기 제1TFT의 드레인에 연결된 소스, 및 상기 발광제어신호의 출력단에 연결된 드레인을 갖는 제2TFT;

제1클럭신호가 입력되는 제1클럭단자에 연결된 게이트, 상기 스타트 펄스 공급단자에 연결된 드레인, 및 Q노드에 연결된 소스를 가지는 제3TFT;

상기 제1TFT와 상기 제2TFT 사이에 연결된 게이트, 상기 제1클럭단자에 연결된 소스 및 QB노드에 연결된 드레인을 갖는 제4TFT;

상기 제4TFT의 드레인 측과 상기 QB노드 사이에 연결되며, 상기 제1클럭단자에 연결된 소스와 게이트, 및 상기 QB노드에 연결된 드레인을 갖는 제5TFT;

상기 제3TFT의 드레인에 연결된 게이트, 상기 발광제어신호의 로우 레벨 전압을 출력하는 로우전압 단자에 연결된 소스, 상기 발광제어신호의 출력단에 연결된 드레인을 포함하며, 상기 로우전압 단자로부터의 로우전압 출력을 단속하는 제6TFT;

상기 QB단자에 연결된 게이트, 상기 발광제어신호의 하이 레벨 전압을 출력하는 하이전압 단자에 연결된 소스, 상기 발광제어신호의 출력단에 연결되는 드레인을 포함하며, 상기 하이전압 단자로부터의 하이전압 출력을 단속하는 제7TFT를 포함하는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 듀티 구동부는,

상기 하이전압 단자에 연결되는 소스, 상기 제7TFT에 연결되는 드레인, 상기 QB노드에 연결된 게이트를 포함하는 제8TFT를 더 포함하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 듀티 구동부는,

상기 제3TFT의 드레인에 연결되는 게이트, 상기 하이전압 단자와 상기 제5TFT의 드레인에 각각 연결된 소스와 드레인을 갖는 제9TFT;

상기 하이전압 단자와 상기 제5TFT의 드레인 사이에 연결되며 상기 제9TFT와 병렬연결된 제2커패시터;를 포함하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 듀티 구동부는,

상기 발광제어신호의 출력단에 연결된 게이트, 상기 제2TFT의 드레인에 연결된 소스 또는 드레인, 상기 제7TFT와 제8TFT 사이에 연결된 드레인 또는 소스를 포함하는 제10TFT;

상기 Q노드와 상기 제10TFT의 게이트를 연결하는 라인에 설치된 제1커패시터;를 포함하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 듀티 구동부는,

상기 제4TFT의 게이트와 드레인을 연결하는 라인에 설치된 제2커패시터;를 포함하는 유기발광표시장치.

청구항 7

발광제어신호에 따라 듀티 구동 구간 동안 온오프되는 픽셀들을 가지는 유기발광표시장치의 구동 장치에 있어서,

상기 픽셀들의 점등 및 소등을 제어하는 발광제어신호를 발생시키며, 출력 발생을 제어하는 스타트 펄스의 하이 신호에 대응하여 상기 발광제어신호를 하이전압 레벨로 동작시키고 상기 스타트 펄스의 로우신호에 대응하여 상기 발광제어신호를 로우전압 레벨로 동작시켜 상기 발광제어신호의 주기와 폭을 조절하는 듀티 구동부;를 포함하는 유기발광표시장치의 구동 장치.

청구항 8

제7항에 있어서,

상기 듀티 구동부는,

스타트 펄스가 입력되는 스타트 펄스 공급단자에 연결된 게이트, 제2클럭신호가 입력되는 제2클럭단자에 연결된 소스, 및 상기 발광제어신호의 출력단에 연결된 드레인을 갖는 제1TFT;

상기 제2클럭단자에 연결된 게이트, 상기 제1TFT의 드레인에 연결된 소스, 및 상기 발광제어신호의 출력단에 연결된 드레인을 갖는 제2TFT;

제1클럭신호가 입력되는 제1클럭단자에 연결된 게이트, 상기 스타트 펄스 공급단자에 연결된 드레인, 및 Q노드에 연결된 소스를 가지는 제3TFT;

상기 제1TFT와 상기 제2TFT 사이에 연결된 게이트, 상기 제1클럭단자에 연결된 소스 및 QB노드에 연결된 드레인을 갖는 제4TFT;

상기 제4TFT의 드레인 측과 상기 QB노드 사이에 연결되며, 상기 제1클럭단자에 연결된 소스와 게이트, 및 상기 QB노드에 연결된 드레인을 갖는 제5TFT;

상기 제3TFT의 드레인에 연결된 게이트, 상기 발광제어신호의 로우 레벨 전압을 출력하는 로우전압 단자에 연결된 소스, 상기 발광제어신호의 출력단에 연결된 드레인을 포함하며, 상기 로우전압 단자로부터의 로우전압 출력을 단속하는 제6TFT;

상기 QB단자에 연결된 게이트, 상기 발광제어신호의 하이 레벨 전압을 출력하는 하이전압 단자에 연결된 소스, 상기 발광제어신호의 출력단에 연결되는 드레인을 포함하며, 상기 하이전압 단자로부터의 하이전압 출력을 단속하는 제7TFT를 포함하는 유기발광표시장치의 구동장치.

청구항 9

제8항에 있어서,

상기 듀티 구동부는,

상기 하이전압 단자에 연결되는 소스, 상기 제7TFT에 연결되는 드레인, 상기 QB노드에 연결된 게이트를 포함하는 제8TFT를 더 포함하는 유기발광표시장치의 구동장치.

청구항 10

제8항에 있어서,

상기 듀티 구동부는,

상기 제3TFT의 드레인에 연결되는 게이트, 상기 하이전압 단자와 상기 제5TFT의 드레인에 각각 연결된 소스와 드레인을 갖는 제9TFT;

상기 하이전압 단자와 상기 제5TFT의 드레인 사이에 연결되며 상기 제9TFT와 병렬연결된 제2커패시터;를 포함하는 유기발광표시장치의 구동장치.

청구항 11

제8항에 있어서,

상기 듀티 구동부는,

상기 발광제어신호의 출력단에 연결된 게이트, 상기 제2TFT의 드레인에 연결된 소스 또는 드레인, 상기 제7TFT와 제8TFT 사이에 연결된 드레인 또는 소스를 포함하는 제10TFT;

상기 Q노드와 상기 제10TFT의 게이트를 연결하는 라인에 설치된 제3커패시터;를 포함하는 유기발광표시장치의 구동장치.

청구항 12

제8항에 있어서,

상기 듀티 구동부는,

상기 제4TFT의 게이트와 드레인을 연결하는 라인에 설치된 제1커패시터;를 포함하는 유기발광표시장치의 구동장치.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시장치 및 그 구동장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광표시장치는 스스로 발광하는 유기 발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등을 포함한다. OLED의 애노드와 캐소드에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0003] 유기발광표시장치는 듀티 구동 방법(duty driving method)으로 구동될 수 있다. 이러한 듀티 구동 방법을 구현하기 위하여 각 서브픽셀들에 발광제어신호(이하, "EM 신호"라 함)를 인가하여야 한다. EM 신호는 각 서브픽셀들의 점등 시간을 정의하는 온 레벨(ON level)과 각 서브픽셀들의 소등 시간을 정의하는 오프 레벨(OFF level) 사이에서 스위칭하는 교류 신호로 발생되며, 각 서브픽셀들의 점등 및 소등 시간을 EM 신호의 듀티비(duty ratio)라 한다. p type MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 경우, 온 레벨은 로우 로직 레벨(Low logic level)이고, 오프 레벨은 하이 로직 레벨(High logic level)이다.

[0004] 이러한 듀티 구동 방법을 구현하기 위하여, 원하는 시간에 EM 신호를 온 레벨과 오프 레벨로 스위칭할 수 있는 EM 구동부가 필요하며, EM 구동부는 스캔 신호를 순차적으로 발생하는 시프트 레지스터(Shift register)와, 시프트 레지스터의 출력을 반전시키는 인버터(Inverter)를 포함한다.

[0005] 이러한 EM 구동부는 표시패널의 베젤 영역(Bezel)에 형성될 수 있으며, 베젤 영역은 표시패널의 가장자리에 배치되는 비표시 영역이다. 이렇게 종래의 유기발광표시장치는 시프트 레지스터와 인버터로 EM 구동부가 구비되기 때문에, EM 구동부의 회로 면적이 비교적 크기 때문에 표시패널의 베젤 영역이 커질 수밖에 없다. 이에 따라, 네로우 베젤(Narrow bezel) 구현을 어렵게 한다. 또한, 회로의 레이아웃 공간이 감소하여 회로 구현을 어렵게 한다.

발명의 내용

해결하려는 과제

[0006] 본 실시예들은 상기와 같은 문제점을 해결하기 위한 것으로, EM 구동부의 구조를 간소화하여 네로우 베젤의 구현과 용이한 회로 구현이 가능하도록 하는 유기발광표시장치 및 그의 구동장치를 제공하고자 한다.

과제의 해결 수단

[0007] 일 실시예는, 픽셀들이 매트릭스 형태로 배치된 표시패널을 제공한다. 표시패널에 데이터 전압을 공급하는 데이터 구동부를 제공한다. 데이터 전압에 동기되는 스캔신호를 공급하는 스캔 구동부를 제공한다. 데이터 구동부와 스캔 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호를 발생시키는 타이밍 컨트롤러를 제공한다. 타이밍 컨트롤러로부터의 타이밍 제어신호에 따라, 픽셀들의 점등 및 소등을 제어하는 발광제어신호를 발생시키며, 출력 발생을 제어하는 스타트 펄스의 하이신호에 대응하여 발광제어신호를 하이전압 레벨로 동작시키고 스타트 펄스의 로우신호에 대응하여 발광제어신호를 로우전압 레벨로 동작시켜 발광제어신호의 주기와 폭을 조절하는 듀티 구동부를 포함하는 유기발광표시장치를 제공한다.

[0008] 다른 실시예에서 발광제어신호에 따라 듀티 구동 구간 동안 온오프되는 픽셀들을 가지는 유기발광표시장치의 구동 장치를 제공한다. 픽셀들의 점등 및 소등을 제어하는 발광제어신호를 발생시키며, 출력 발생을 제어하는 스타트 펄스의 하이신호에 대응하여 발광제어신호를 하이전압 레벨로 동작시키고 스타트 펄스의 로우신호에 대응하여 발광제어신호를 로우전압 레벨로 동작시켜 발광제어신호의 주기와 폭을 조절하는 듀티 구동부를 포함하는 유기발광표시장치의 구동 장치를 제시한다.

발명의 효과

[0009] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 단일 회로 구조의 EM 구동부를 이용하여 EM 신호의 주기, 펄스폭 및 듀티비를 조절할 수 있으므로, 회로를 간소화할 수 있다. 이에 따라, EM 구동부가 설치되는 베젤 영역의 크기를 감소시키고 회로 구현이 용이하도록 한다.

[0010] 또한, 본 실시예에 의하면, EM 구동부로 듀티비를 조절할 수 있게 됨에 따라, 계조의 조절이 용이해지며, 표시패널의 열룩을 개선할 수 있다. 또한, 광학 보상에 유리하고, 플리커와 모션 블러 현상을 개선할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 보여 주는 블록도이다.

도 2는 본 발명의 실시예에 따른 서브픽셀의 회로도이다.

도 3은 본 실시예에 따른 EM 신호의 파형도이다.

도 4 내지 도 9는 EM 구동부의 회로 작동을 보이는 회로도 및 타이밍도이다.

도 10은 본 실시예에 따른 EM 구동부의 시뮬레이션 결과를 보여주는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형상으로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형상으로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0014] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0015] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.
- [0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다.
- [0017] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 보여주는 블록도이다.
- [0018] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(100), 데이터 구동부(102), 스캔 구동부(104), EM 구동부(106), 및 타이밍 컨트롤러(110)를 구비한다.
- [0019] 데이터 구동부(102)는 타이밍 컨트롤러(110)로부터 수신된 입력 영상의 데이터를 타이밍 컨트롤러(110)의 제어 하에 감마 보상 전압으로 변환하여 데이터전압(DATA)을 발생시키고, 그 데이터전압(DATA)을 데이터 라인들(12)로 출력한다. 데이터전압(DATA)은 데이터 라인들(12)을 통해 픽셀들(10)에 공급된다.
- [0020] 스캔 구동부(104)는 타이밍 컨트롤러(110)의 제어 하에 시프트 레지스터(shift register)를 이용하여 스캔신호(SCAN)를 스캔 라인들(12)에 순차적으로 공급한다. 스캔신호(SCAN)는 데이터전압(DATA)에 동기된다. 스캔 구동부(104)의 시프트 레지스터는 GIP(Gate-driver In Panel) 공정으로 픽셀 어레이(AA)와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.
- [0021] EM 구동부(106)는 타이밍 컨트롤러(110)의 제어 하에 EM 신호(EM)를 EM 라인들(16)에 순차적으로 공급하여 듀티 구동 방법을 실현하는 발광 구동부 또는 듀티 구동부이다. EM 구동부(106)는 GIP 공정으로 픽셀 어레이(AA)와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.
- [0022] EM 구동부(106)는 오프 레벨 전압의 스타트 펄스(VST)와 온 레벨 전압의 시프트 클럭을 입력받아 EM 신호(EM)를 출력하고, 시프트 클럭 타이밍에 EM 신호(EM)를 시프트한다. 시프트 클럭은 위상이 순차적으로 시프트되는 클럭들(CLK1~CLK2)을 포함한다. EM 구동부(106)는 스타트 펄스가 입력될 때마다 EM 신호를 오프 레벨로 동작시키며, 스타트 펄스의 폭에 연동하여 EM 신호의 폭이 결정된다.
- [0023] 도 1에는 EM 구동부(106)를 하나의 블록으로 표현하였으나, EM 구동부(106)는 각 픽셀 라인에 대해 하나씩 마련될 수 있다. 이러한 각 EM 구동부(106)는 스타트 펄스와 시프트 클럭을 입력받는다. 스타트 펄스는 매 프레임 구간마다 듀티 구동 구간인 발광 구간 내에서 1 회 이상 토글되어 EM 신호(EM)를 반전시킨다. 여기서, EM 신호

를 발광제어신호 라고도 한다.

- [0024] 타이밍 콘트롤러(110)는 데이터 구동부(102), 스캔 구동부(104) 및 EM 구동부(106)의 동작 타이밍을 제어하여 그 구동부들(102, 104, 106)의 동작을 동기시킨다. 타이밍 콘트롤러(110)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭신호(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있다.
- [0025] 타이밍 콘트롤러(110)는 호스트 시스템으로부터 수신된 타이밍 신호를 바탕으로 데이터 구동부(102)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호, 스캔 구동부(104)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어 신호, 그리고 EM 구동부(106)의 동작 타이밍을 제어하기 위한 EM 타이밍 제어신호를 발생한다.
- [0026] 스캔 타이밍 제어신호와 EM 타이밍 제어 신호 각각은 스타트 펄스(Start pulse), 시프트 클럭(Shift clock) 등을 포함한다. 스타트 펄스(VST)는 스캔 구동부(104)와 EM 구동부(106) 각각에서 첫 번째 출력이 발생되게 하는 스타트 타이밍을 정의한다. EM 구동부(106)는 스타트 펄스(VST)가 입력될 때 구동되기 시작하여 첫 번째 클럭 타이밍에 첫 번째 출력 신호를 발생한다. 시프트 클럭은 EM 구동부(106)로부터 출력되는 출력 신호의 시프트 타이밍을 정의한다.
- [0027] 표시패널(100)은 입력 영상이 표시되는 픽셀 어레이(Pixel array, AA)와, 픽셀 어레이(AA) 밖의 베젤 영역(BZ)을 포함한다. 픽셀 어레이(AA)는 다수의 데이터 라인(12), 다수의 스캔 라인(14), 및 다수의 EM 라인(16)을 포함한다. 스캔 라인(14)과 EM 라인(16)은 데이터 라인(12)과 직교된다. 픽셀 어레이(AA)의 각 픽셀(10)은 매트릭스 형태로 배치된다.
- [0028] 한편, 본 실시예들에 따른 유기발광표시장치(Organic Light Emitting Display Device)는, 각 서브픽셀이 유기 발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 트랜지스터(DRT: Driving Transistor) 등의 회로 소자로 구성되어 있다. 각 서브픽셀을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0029] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀로 나뉘어진다. 픽셀들은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들은 도 2와 같이 OLED, 구동 TFT(Thin Film Transistor)(M1), 제1 스위치 TFT(M2), 제2 스위치 TFT(M3), 및 스토리지 커패시터(Cst)를 포함한다. TFT들(M1, M2, M3)는 도 2에서 p 타입 MOSFET로 예시되었으나 이에 한정되지 않는다. 예를 들어, TFT들(M1, M2, M3)은 n 타입 MOSFET로 구현될 수도 있다. 이 경우, 스캔 신호(SCAN)와 발광제어신호(이하 EM 신호라 함)(EM)의 위상이 반전된다. TFT들(M1, M2, M3)은 비정질 실리콘(a-Si) TFT, 폴리 실리콘 TFT, 산화물 반도체 TFT 중 어느 하나 또는 그 조합으로 구현될 수 있다.
- [0030] OLED의 애노드는 제2 스위치 TFT(M2)를 통해 구동 TFT(M1)에 연결된다. OLED의 캐소드는 VSS 전극에 연결되어 기저 전압(VSS)을 공급받는다. 기저 전압은 부극성의 저전위 직류 전압일 수 있다.
- [0031] 구동 TFT(M1)는 게이트-소스 간 전압에 따라 OLED에 흐르는 전류(Ioled)를 조절하는 구동 소자이다. 구동 TFT(M1)는 제1 스위치 TFT(M2)를 통해 데이터 전압이 공급되는 게이트, VDD 라인에 공급되어 고전위 구동 전압(VDD)을 공급받는 소스, 및 제2 스위치 TFT(M2)에 연결된 드레인을 포함한다. 스토리지 커패시터(Cst)는 구동 TFT(M1)의 게이트-소스 사이에 연결된다.
- [0032] 제1 스위치 TFT(M2)는 스캔 구간동안 스캔 라인(14)으로부터의 스캔신호(SCAN)에 응답하여 턴온(turn-on)되어 데이터 전압(DATA)을 구동 TFT(M1)의 게이트에 공급하고, 발광 구간인 듀티 구동 구간 동안 오프 상태를 유지하는 스위치 소자이다. 제1 스위치 TFT(M2)는 스캔 라인(14)에 연결된 게이트, 데이터 라인(12)에 연결된 소스, 및 구동 TFT(M1)의 게이트에 연결된 드레인을 포함한다. 스캔신호(SCAN)는 대략 1 수평 구간 동안 스캔 라인(14)을 통해 픽셀들에 공급된다.
- [0033] 제2 스위치 TFT(M3)는 EM 라인(16)으로부터의 EM 신호(EM)에 응답하여 OLED에 흐르는 전류(Ioled)를 스위칭하는 스위치 소자이다. 제2 스위치 TFT(M3)는 스캔 구간 동안 오프 상태를 유지하고 듀티 구동 구간 동안 온오프되는 EM 신호(EM)에 응답하여 턴온 또는 턴오프되어 OLED의 전류(Ioled)를 스위칭한다. EM 신호(EM)의 듀티비에 따라 OLED의 점등 시간과 소등 시간이 조절되어 듀티 구동 방법이 구현된다. 제2 스위치 TFT(M2)은 EM 라인에 연결된 게이트, 구동 TFT(M1)에 연결된 소스, 및 OLED의 애노드에 연결된 드레인을 포함한다. EM 신호(EM)는 스캔 구간

동안 오프 레벨로 발생되어 OLED의 전류(Ioled)를 차단한다.

- [0034] 픽셀 회로는 도 2에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 픽셀 회로에는 내부 보상을 위하여 스위치 소자와 커패시터가 더 추가될 수 있고, 외부 보상을 위하여 센싱 경로가 더 추가될 수 있다. 센싱 경로는 하나 이상의 스위치 소자, 샘플 & 홀더(Sample & holder), ADC(Analog-Digital Converter) 등을 포함하여 픽셀의 구동 TFT 혹은 OLED의 문턱 전압을 센싱하고, 그 센싱값을 디지털 데이터로 변환하여 타이밍 컨트롤러(110)로 전송한다
- [0035] 유기발광표시장치의 1 프레임 구간은, 도 3에 도시된 바와 같이, 스캔 구간과, 스캔 구간 이후 EM 신호(EM)에 따라 픽셀들이 점등 및 소등을 반복하는 듀티 구동 구간으로 나뉘어진다. 스캔 구간은 대략 1 수평 구간에 불과하므로 1 프레임 구간의 대부분이 듀티 구동 구간이다. 본 발명은 스캔 구간 동안, 공지된 내부 보상 방법으로 OLED의 전류 편차를 보상하기 위하여 구동 TFT(Thin Film Transistor)의 문턱 전압을 샘플링하고, 그 문턱 전압 만큼 데이터 전압(DATA)을 보상할 수 있다.
- [0036] 이러한 EM 신호의 듀티 구동 방법에 따르면, 고 휘도의 풀 화이트(full white) 휘도로 픽셀들을 발광시키고 EM 신호의 듀티비로 제어되는 EM 신호의 발광 비율을 조절하여 계조를 표시한다. 예컨대, 픽셀의 풀 화이트 휘도가 500 nit일 때, 그 픽셀이 20%의 듀티비로 구동되면 사용자는 그 픽셀의 휘도를 100 nit의 휘도로 인지할 수 있다. 반면에, 픽셀이 80%의 듀티비로 구동되면 사용자는 그 픽셀의 휘도를 400 nit의 휘도로 인지할 수 있다.
- [0037] 또한 듀티 구동 방법에 따르면, 표시패널(100)의 얼룩(또는 mura)을 개선할 수 있다. 표시패널(100)의 얼룩은 공정 편차에 의해 픽셀들이 불균일한 휘도로 발광되어 얼룩처럼 보이는 현상이다. 일반적인 표시패널의 구동 방법은 입력 데이터의 계조에 따라 픽셀들의 휘도를 가변하여 계조를 표현한다. 얼룩은 픽셀들의 휘도에 따라 더 진하거나 약하게 보인다. 따라서, 이러한 얼룩을 보상하기 위해 일반적인 구동 방법은 픽셀들의 계조값에 따라 얼룩 보상값을 다르게 하여야 한다. 이에 비하여, 듀티 구동 방법은 픽셀들을 동일한 고휘도로 발광시키고 EM 신호(EM)의 듀티비에 따른 픽셀들의 듀티비를 달리하여 계조를 표시한다. 따라서, 듀티 구동 방법으로 픽셀들을 구동하면 모든 계조에서 얼룩이 동일 수준으로 나타나기 때문에 얼룩이 잘 보이지 않고 그 얼룩을 보상하기 위한 알고리즘이 단순하게 된다.
- [0038] 또한, 이러한 듀티 구동 방법은 표시패널(100)의 광학 보상에 유리하다. 광학 보상은 색좌표 보상, 화이트 밸런스(White balance) 보상 등이 있다. 일반적으로, 광학 보상은 픽셀들의 휘도에 따라 다른 보상값으로 보상된다. 따라서, 일반적인 구동 방법은 픽셀들의 휘도에 따라 광학 보상을 위한 보상값들을 설정하여야 하기 때문에 보상값들이 많아지고 보상 알고리즘이 복잡하게 된다. 이에 비하여, 듀티 구동 방법은 픽셀들을 동일한 고휘도로 발광시키고 EM 신호(EM)의 듀티비에 따른 픽셀들의 듀티비를 달리하여 계조를 표시한다. 따라서, 듀티 구동 방법은 픽셀들을 동일한 휘도로 구동하고 그 픽셀들의 듀티비로 계조를 표현하기 때문에 하나의 풀 화이트 휘도에 대한 광학 보상값만 필요하고 광학 보상 알고리즘을 단순하게 할 수 있다.
- [0039] 또한, 이러한 듀티 구동 방법은 화면이 주기적으로 깜빡이는 플리커(flicker)와 모션 블러(motion blur)를 개선할 수 있다. 플리커(flicker)는 픽셀들의 구동 주파수가 낮을 때 더 잘 보인다. 듀티 구동 방법은 픽셀들의 듀티비를 높여 픽셀들의 구동 주파수를 높이기 때문에 플리커를 줄일 수 있다. 픽셀들의 구동 주파수가 높아지면 픽셀들의 응답 속도가 빨라져 동영상에서 모션 블러 현상이 개선된다.
- [0040] 도 4, 도 6, 도 8은 본 실시예에 따른 EM 구동부의 회로도이다.
- [0041] 본 실시예에 따른 EM 구동부(106)는 도 4와 같은 회로 구성을 갖는다. 각 EM 구동부(106)는 제1 내지 제10트랜지스터들(T1~T10)과, 제1 내지 제3 커패시터들(C1~C3)을 포함한다. 각 EM 구동부(106)를 구성하는 TFT들(T1~T10)은 도 5에서 p 타입 MOSFET로 예시되었으나 이에 한정되지 않는다. 예를 들어, TFT들(T1~T10)은 n 타입 MOSFET로 구현될 수도 있다. 이 경우, 스타트 펄스(VST)와 시프트 클럭(CLK1, CLK2)의 위상이 반전된다. TFT들(T1~T10)은 비정질 실리콘(a-Si) TFT, 폴리 실리콘 TFT, 산화물 반도체 TFT 중 어느 하나 또는 그 조합으로 구현될 수 있다. 스테이지들(ST1~STn)을 구성하는 TFT들(T1~T10)과 픽셀 회로를 구성하는 각 트랜지스터들은 제조 공정을 단순화하기 위하여 동일 타입의 MOSFET로 구현될 수 있다.
- [0042] EM 구동부(106)는 스타트 펄스(VST)가 하이(High) 상태가 되면서 시작되고, 제1 및 제2클럭신호(CLK1, CLK2)는 스타트 펄스(VST)와는 역위상으로 로우(Low)상태로 시작된다. 스타트 펄스(VST)가 온되면, 먼저 제2클럭신호(CLK2)는 스타트 펄스(VST)와 동기되어 스타트 펄스(VST)의 역위상으로 발생된다. 그런 다음, 제1클럭신호(CLK1)은 제2클럭신호(CLK2)에 이어서 발생되고, 제2클럭신호(CLK2)과 마찬가지로 로우 상태로 시작된다. 그러나 제1클럭신호(CLK1)와 제2클럭신호(CLK2)는 반주기만큼 차이가 나기 때문에 제1클럭신호(CLK1)와 제2클럭신호

(CLK2)는 역위상을 갖게 된다.

- [0043] 제1트랜지스터(T1)는 게이트가 스타트 펄스 공급단자에 연결되고, 소스는 제2클럭단자에 연결되고, 드레인은 제2트랜지스터(T2)에 연결된다. 이에 따라, 제1트랜지스터(T1)는 스타트 펄스(VST)에 응답하여 온오프되며, 스타트 펄스(VST)가 하이 상태가 되면 턴오프되고, 스타트 펄스(VST)가 로우 상태가 되면 턴온된다.
- [0044] 제2트랜지스터(T2)는 제1트랜지스터(T1)와 직렬로 연결되며, 게이트가 제2클럭단자에 연결되어 제2클럭신호(CLK2)에 응답하여 온오프된다. 제2트랜지스터(T2)의 소스는 제1트랜지스터(T1)의 드레인을 통해 제2클럭단자와 연결되고, 드레인은 제10트랜지스터(T10)의 소스에 연결된다. 이에 따라, 제2트랜지스터(T2)는 제2클럭신호(CLK2)가 로우일때 턴온되고, 스타트 펄스(VST)가 로우일 때, 제1트랜지스터(T1)가 턴온되면 제2클럭단자로부터의 제2클럭신호(CLK2)를 제10트랜지스터(T10)의 소스로 제공한다.
- [0045] 한편, 제1트랜지스터(T1)와 제2트랜지스터(T2)의 사이에서 분기된 라인에는 제1커패시터(C1)가 연결되어 있고, 제1트랜지스터(T1) 또는 제2트랜지스터(T2)가 턴온되면, 제2클럭신호(CLK2)가 제1커패시터(C1)에 저장된다.
- [0046] 제1 커패시터(C1)는 제1클럭신호(CLK1)가 로우 신호로 QB 노드(QB)로 공급될 때, Q'노드가 플로팅(floating)되어 기생 용량(parasitic capacitance)으로 인하여 Q'노드의 전압이 상승하고, 이로 인해 제4트랜지스터(T4)의 전류가 감소되는 현상을 방지한다. 제4트랜지스터(T4)의 전류가 감소되면 QB 노드(QB)의 전압이 상승하고, 이에 따라, 제7트랜지스터(T7)와 제8트랜지스터(T8)를 흐르는 전류가 감소하여 EM 신호(EM)의 전압이 충분히 높아지지 않는다.
- [0047] 제3트랜지스터(T3)는 그 게이트가 제1클럭단자와 연결되어 제1클럭신호(CLK1)에 동기하여 온오프된다. 제3트랜지스터(T3)의 소스는 스타트 펄스(VST)의 공급단자에 연결되고, 드레인은 EM 신호의 로우전압 공급단자와 연결된 제6트랜지스터(T6)의 게이트에 연결된다. 이에 따라, 제3트랜지스터(T3)의 온오프에 연동하여 제6트랜지스터(T6)가 온오프되고, 제6트랜지스터(T6)가 턴온되면 로우전압 공급단자로부터의 로우전압이 EM 출력단으로 제공되므로, EM 출력단으로 EM 신호의 로우 신호가 출력된다.
- [0048] 제4트랜지스터(T4)는 그 게이트가 제1트랜지스터(T1)와 제2트랜지스터(T2)의 사이에서 분기된 라인에 연결되어 제1트랜지스터(T1)와 제2트랜지스터(T2)의 온오프에 동기하여 온오프된다. 제4트랜지스터(T4)의 소스는 제1클럭단자에 연결되고, 드레인은 제5트랜지스터(T5)를 통해 제7 및 제8트랜지스터(T7,T8)의 게이트에 연결되어 있다. 이에 따라, 제4트랜지스터(T4)가 턴온되면, 제1클럭신호(CLK1)를 제5트랜지스터(T5)를 통해 제7 및 제8트랜지스터(T7,T8)의 게이트로 전달하여 제7 및 제8트랜지스터(T7,T8)의 온오프를 제어할 수 있다.
- [0049] 제5트랜지스터(T5)의 게이트와 소스는 모두 제4트랜지스터(T4)의 드레인에 연결되며, 드레인은 제7 및 제8트랜지스터(T7,T8)에 연결된다. 이에 따라, 제4트랜지스터(T4)가 턴온되면, 제5트랜지스터(T5)에 제1클럭신호(CLK1)가 제공되어 제5트랜지스터(T5)의 온오프가 제어된다. 제5트랜지스터(T5)는 제1클럭신호(CLK1)가 로우일 때 턴온되므로, 제5트랜지스터(T5)가 턴온되면 로우의 제1클럭신호(CLK1)를 제7 및 제8트랜지스터(T7,T8)로 제공하게 된다. 이에 따라, 제5트랜지스터(T5)가 턴온되면, QB노드로 로우의 제1클럭신호(CLK1)가 제공되므로, 제7 및 제8트랜지스터(T7,T8)도 턴온된다.
- [0050] 제7 및 제8트랜지스터(T7,T8)는 상호 직렬로 연결되며, 제7 및 제8트랜지스터(T7,T8)의 게이트는 모두 제5트랜지스터(T5)의 드레인에 연결되어 있다. 제7 및 제8트랜지스터(T7,T8)는 모두 EM 신호의 하이레벨 전압을 공급하는 하이전압 공급단자에 연결되며, 제7 및 제8트랜지스터(T7,T8)가 턴온되면 하이전압 공급단자로부터 하이전압(VGH)이 EM 출력단을 통해 EM 신호로 출력된다. 제7 및 제8트랜지스터(T7, T8)가 직렬로 배치됨에 따라, 하이전압(VGH) 출력에 대한 스위칭이 보다 안정적으로 이루어진다.
- [0051] 제9트랜지스터(T9)는 소스와 드레인이 각각 제5트랜지스터(T5)의 드레인과 하이전압 공급단자에 연결되도록 배치되며, 게이트가 제3트랜지스터(T3)와 제6트랜지스터(T6) 사이에 연결되어 제3트랜지스터(T3)의 턴온시 스타트 펄스(VST)에 의해 온오프된다.
- [0052] 제2커패시터(C2)는 제9트랜지스터(T9)와 병렬로 연결되어 있으며, 제7 및 제8트랜지스터(T7,T8)의 턴온시 제1클럭신호(CLK1)의 레벨과 하이전압(VGH)과의 차이를 저장하게 된다.
- [0053] 제10트랜지스터(T10)는 게이트가 EM 신호의 출력단자에 연결되어 EM 신호가 로우일때 턴온되며, 소스와 드레인 중 일단은 제2트랜지스터(T2)와 로우전압 공급단자에 연결되고, 소스와 드레인 중 타단은 제7트랜지스터(T7)와 제8트랜지스터(T8) 사이에 연결된다.
- [0054] 제3커패시터(C3)는 제6트랜지스터(T6)의 게이트와 제10트랜지스터(T10)의 게이트를 연결하는 라인에 설치되며,

제6트랜지스터(T6)의 턴온시 제6트랜지스터(T6)에 흐르는 전류에 의해 충전된다. 제3커패시터(C3)는 로우전압(VGL)이 EM 출력단자로 출력될 때 Q노드(Q)가 플로팅되어 기생 용량으로 인하여 Q노드의 전압이 상승하여 제6트랜지스터(T6)의 전류가 감소되는 현상을 방지한다.

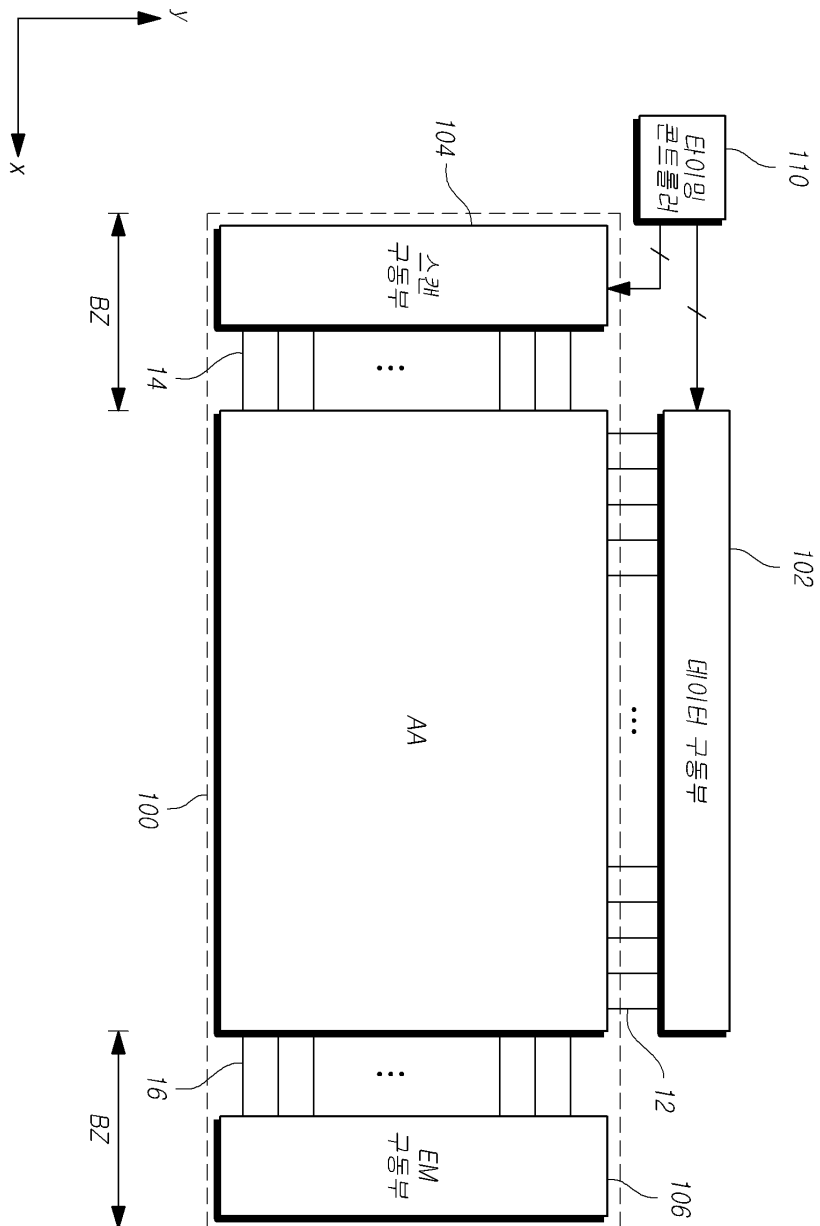
- [0055] 본 발명의 EM 구동부(106)는 별도의 시프트 레지스터와 인버터가 필요없이 픽셀들의 듀티 구동 방법을 실현한다. 이 EM 구동부(106)는 도 5과 같이 스타트 펄스(VST)를 조절하여 EM 신호(EM)의 듀티비를 조절할 수 있다. EM 신호(EM)의 주기, 펄스폭 및 듀티비는 스타트 펄스(VST)와 동일하게 제어된다.
- [0056] 도 4 내지 도 9는 EM 구동부의 회로 작동을 보이는 회로도 및 타이밍도이다.
- [0057] 도 4 및 도 5를 참조하면, 단계 ①에서 스타트 펄스(VST)는 하이 신호를 발생시키고, 이와 동시에 제2클럭단자는 로우 신호를 발생시킨다. 이때, 제1클럭단자는 하이 상태를 유지한다. 이에 따라, 제2클럭신호(CLK2)에 의해 제2트랜지스터(T2)가 턴온되고, Q'노드에는 로우 신호가 제공된다. 이때, Q'노드가 로우 상태이므로, 제4트랜지스터(T4)가 턴온되어 제1커패시터(C1)가 충전된다.
- [0058] 도 6 및 도 7을 참조하면, 단계 ②에서 스타트 펄스(VST)는 하이 신호를 유지하고, 제1클럭단자는 로우 신호를 발생시키고, 제2클럭단자는 하이 신호를 발생시킨다. 이에 따라, 제1클럭신호(CLK1)가 로우 상태이므로, 제3트랜지스터(T3)가 턴온되고, 하이 상태의 스타트 펄스(VST)가 제3트랜지스터(T3)를 통해 Q노드로 제공되므로, 제6트랜지스터(T6)는 턴오프상태를 유지한다.
- [0059] 한편, 제4트랜지스터(T4)는 제1커패시터(C1)의 로우 신호 충전에 의해 턴온되고, 로우 상태의 제1클럭신호(CLK1)를 제5트랜지스터(T5)로 제공한다. 제5트랜지스터(T5)는 로우 상태의 제1클럭신호(CLK1)에 의해 턴온되어 로우 상태의 제1클럭신호(CLK1)를 QB 노드로 제공한다. 그러면 제7트랜지스터(T7)와 제8트랜지스터(T8)가 턴온되고, 하이전압(VGH) 단자로부터의 하이레벨 전압이 제7트랜지스터(T7)와 제8트랜지스터(T8)를 통해 EM 신호의 출력단자로 출력된다.
- [0060] 이때, 로우 상태의 제1클럭신호(CLK1)에 의해 제9트랜지스터(T9)가 턴온되고, 제2커패시터(C2)에는 하이전압(VGH)과 제1클럭신호(CLK1)의 로우 전압 간의 차이만큼의 전압이 저장된다.
- [0061] 도 8 및 도 9를 참조하면, 단계 ③에서 스타트 펄스(VST)는 로우 상태를 유지하고, 제1클럭신호(CLK1)는 로우 상태가 되고, 제2클럭신호(CLK2)는 하이 상태가 된다. 그러면, 제3트랜지스터(T3)는 제1클럭신호(CLK1)에 의해 턴온되고, 로우 상태의 스타트 펄스(VST)를 Q노드로 전달한다. 이에 따라, Q노드가 로우 상태가 되므로, 제6트랜지스터(T6)가 턴온되고, 로우전압(VGL) 단자로부터의 로우전압(VGL)이 제6트랜지스터(T6)를 통해 EM 출력 단자로 출력된다.
- [0062] 이때, EM 출력 단자가 로우 상태가 되므로, 제10트랜지스터(T10)가 턴온된다. 이에 따라, 로우전압(VGL) 단자로부터의 로우전압(VGL)이 제3커패시터(C3)에 저장되어 제6트랜지스터(T6)를 통해 안정적으로 로우전압(VGL)이 출력된다.
- [0063] 한편, 제1트랜지스터(T1)는 스타트 펄스(VST)에 의해 턴온되고, 제2클럭단자로부터의 하이 신호를 통과시켜 Q'노드에는 하이 신호가 걸리게 된다. 이에 따라, 제4트랜지스터(T4)는 턴오프되고, 제5트랜지스터(T5)의 게이트에는 하이 신호가 제공되므로 제5트랜지스터(T5)도 턴오프된다. 제9트랜지스터(T9)는 제1클럭단자의 로우 신호에 의해 턴온되고, 제9트랜지스터(T9) 양단의 전압이 하이전압(VGH) 단자로부터 제공된 하이전압(VGH)으로 같아짐에 따라, 제2커패시터(C2)의 초기화가 이루어진다.
- [0064] 도 10은 본 실시예에 따른 EM 구동부의 시뮬레이션 결과를 보여주는 타이밍도이다.
- [0065] 도 10에 도시된 바와 같이, EM 신호(EM)의 주기(T), 펄스폭 및 듀티비는 스타트 펄스(VST)에 의해 조절될 수 있다. 스타트 펄스(VST)는 제2클럭신호(CLK2)에 동기하여 상승 또는 하강한다. 제1클럭신호(CLK1)는 제2클럭신호(CLK2)와 반 주기만큼 차이를 가지고 온오프된다.
- [0066] 스타트 펄스(VST)가 제2클럭신호(CLK2)와 동기하여 발생하면, 뒤따르는 제1클럭신호(CLK1)에 동기하여 Q 노드(Q)의 전압이 하이전압(VGH)으로 상승하고, QB 노드의 전압은 로우전압(VGL)으로 하강한다. 이와 동기하여 EM 신호(EM)가 하이전압(VGH) 레벨로 상승한다.
- [0067] 스타트 펄스(VST)가 제2클럭신호(CLK2)와 동기하여 하강하면, 뒤따르는 제1클럭신호(CLK1)에 동기하여 Q 노드(Q)의 전압이 로우전압(VGL)으로 하강하고, QB 노드의 전압은 하이전압(VGH)으로 상승한다. 이와 동기하여 EM 신호(EM)가 로우전압(VGL) 레벨로 하강한다.

- [0068] 이에 따라, 스타트 펄스(VST)의 펄스 폭(W)이 증가되면 EM 신호(EM)의 펄스폭도 증가되어 픽셀의 듀티비가 변경된다.
- [0069] 한편, 발광 구간에서 스타트 펄스(VST)가 입력될 때마다 EM 신호(EM)가 펄스를 형성하고, EM 신호가 하이전압(VGH)으로 상승하면, 픽셀들이 소등된다. 이때, 입력 영상의 계조가 낮을수록 픽셀의 소등 횟수와 소등 시간이 길어진다. 따라서, 발광 구간 동안 발생하는 스타트 펄스(VST)의 횟수는 입력 영상 데이터의 계조가 낮을수록 많아진다. 또한, 발광 구간 동안 발생하는 스타트 펄스(VST)의 펄스폭(W)이 입력 영상 데이터의 계조가 낮을수록 길게 제어될 수 있다.
- [0070] 이와 같이, 본 발명에서는 EM 구동부만으로 EM 신호의 주기(T), 펄스폭 및 듀티비를 조절할 수 있는 회로를 개시하고 있다. 따라서, 종래에 구비하여야 했던 한 쌍의 인버터와 한 쌍의 시프트 레지스터를 하나의 회로로 단일화시킴으로써, 회로를 간소화할 수 있다. 이에 따라, EM 구동부가 설치되는 베젤 영역의 크기를 감소시키고 회로 구현이 용이하도록 한다.
- [0071] 한편, EM 구동부로 듀티비를 조절할 수 있게 됨에 따라, 계조의 조절이 용이해지며, 표시패널의 얼룩을 개선할 수 있다. 또한, 광학 보상에 유리하고, 플리커와 모션 블러 현상을 개선할 수 있다.
- [0072] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0073] 또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부한 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

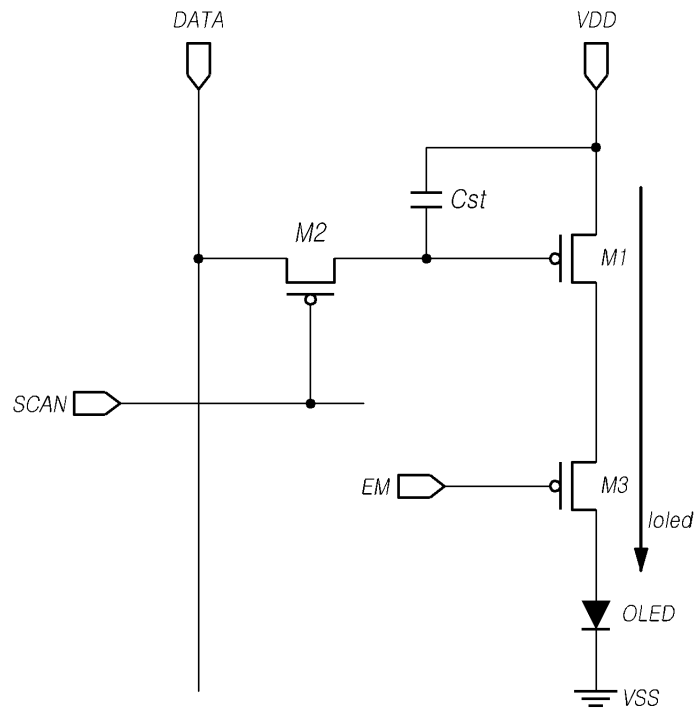
부호의 설명

- [0074] 100 : 표시패널 110 : 타이밍 컨트롤러
- 102 : 데이터 구동부 104 : 게이트 구동부
- 106 : EM 구동부 C1 : 제1커패시터
- C2 : 제2커패시터 C3 : 제3커패시터
- T1 : 제1트랜지스터 T2 : 제2트랜지스터
- T3 : 제3트랜지스터 T4 : 제4트랜지스터
- 5 : 제5트랜지스터 T6 : 제6트랜지스터
- T7 : 제7트랜지스터 T8 : 제8트랜지스터
- T9 : 제9트랜지스터 T10 : 제10트랜지스터

도면
도면1



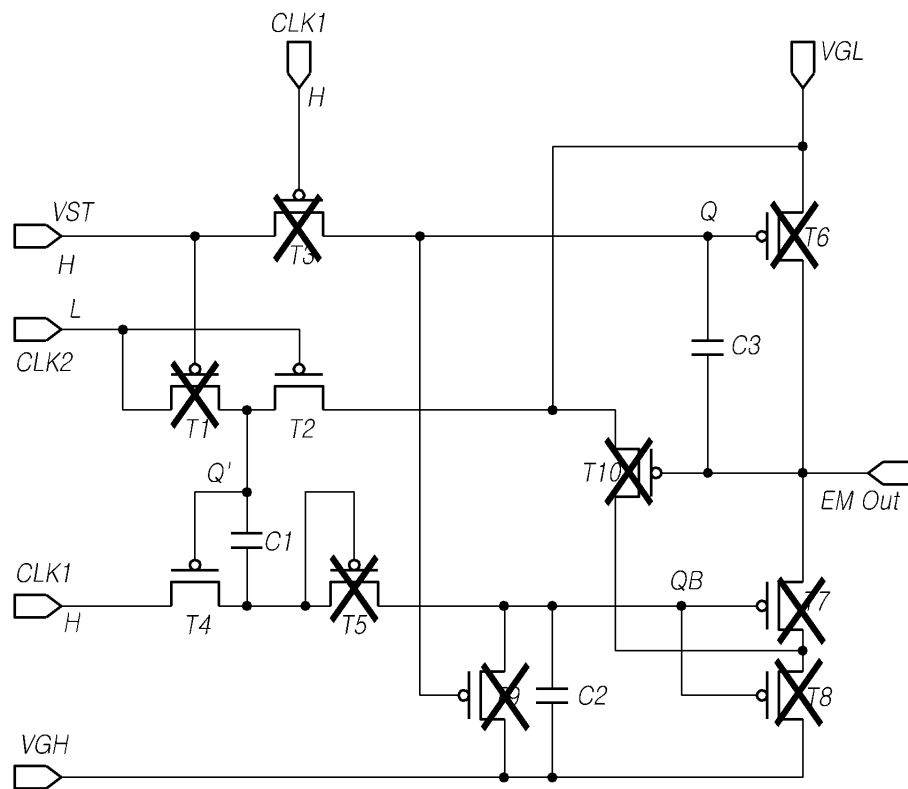
도면2



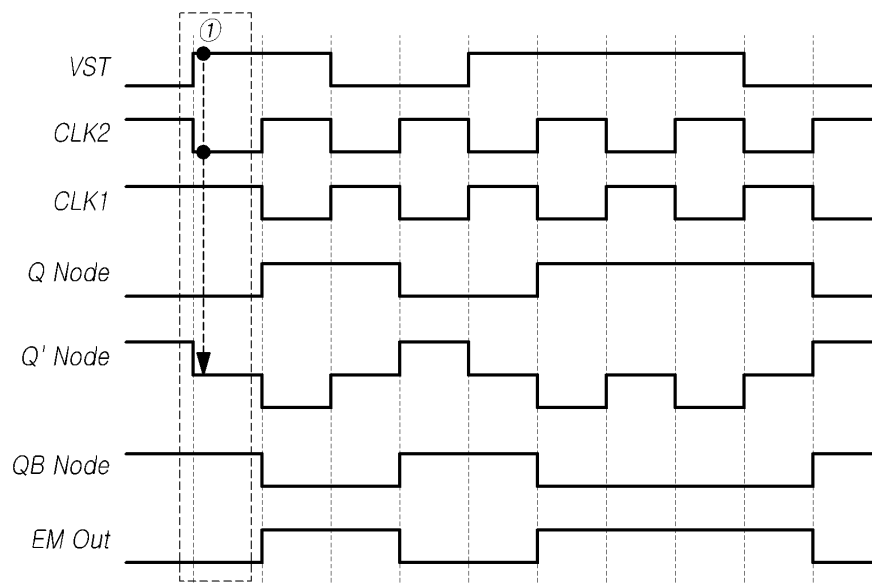
도면3



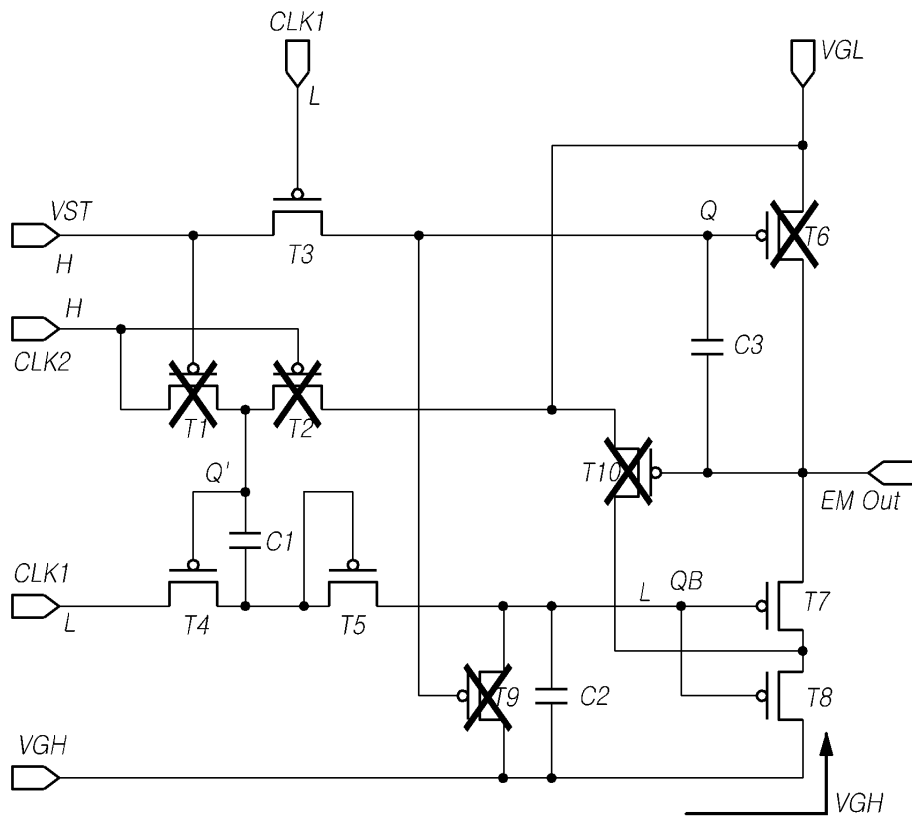
도면4



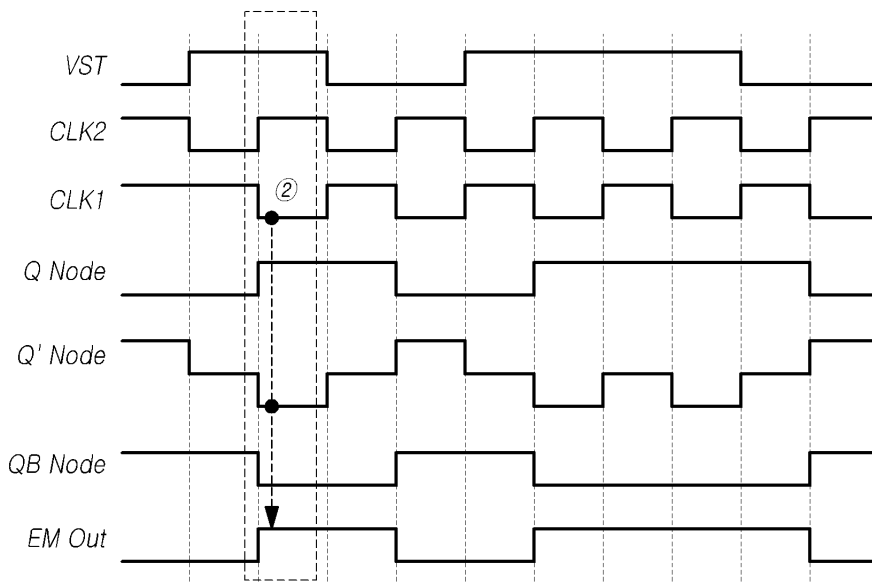
도면5



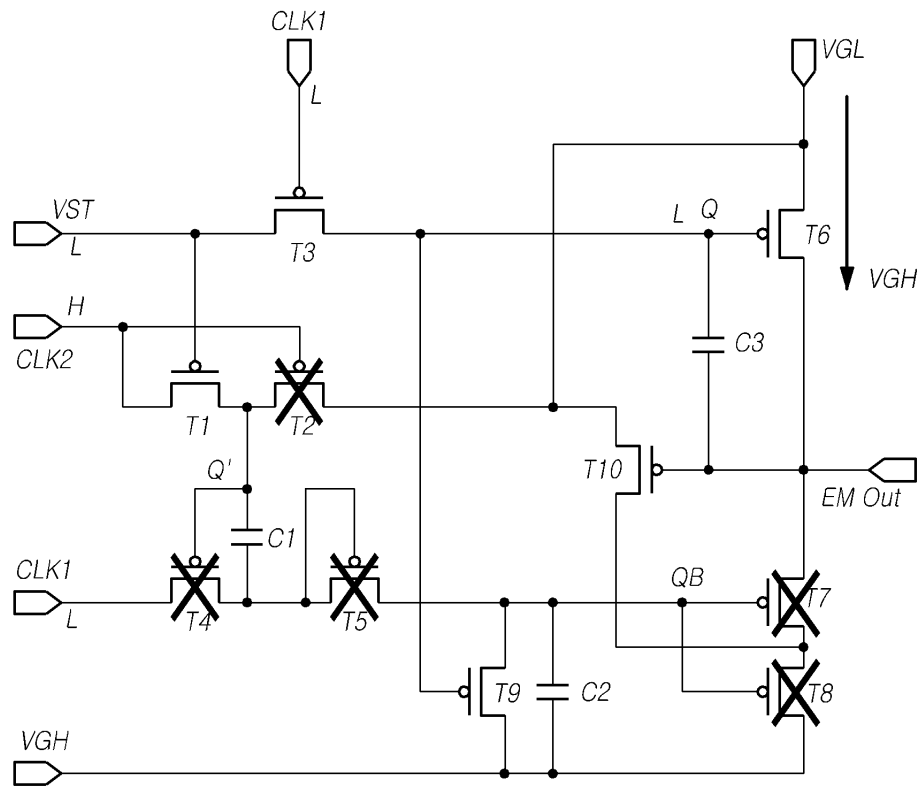
도면6



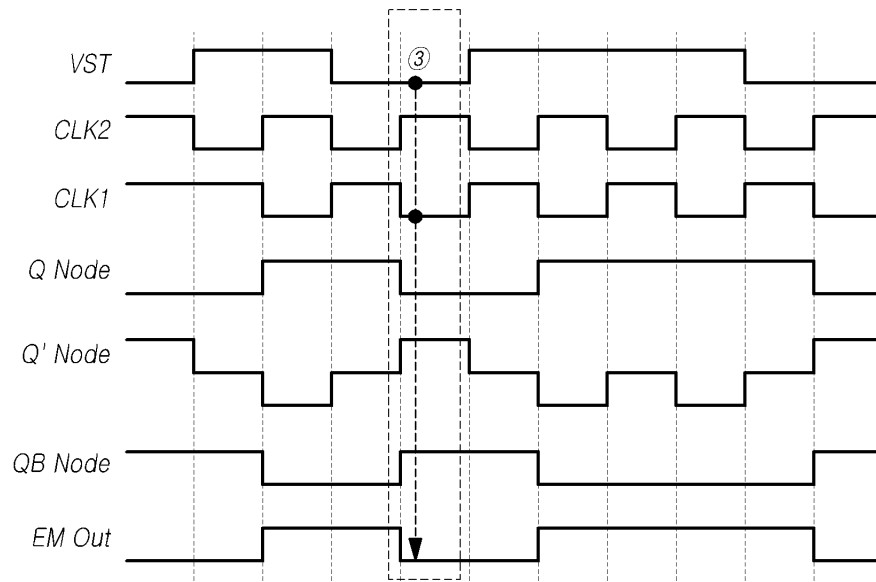
도면7



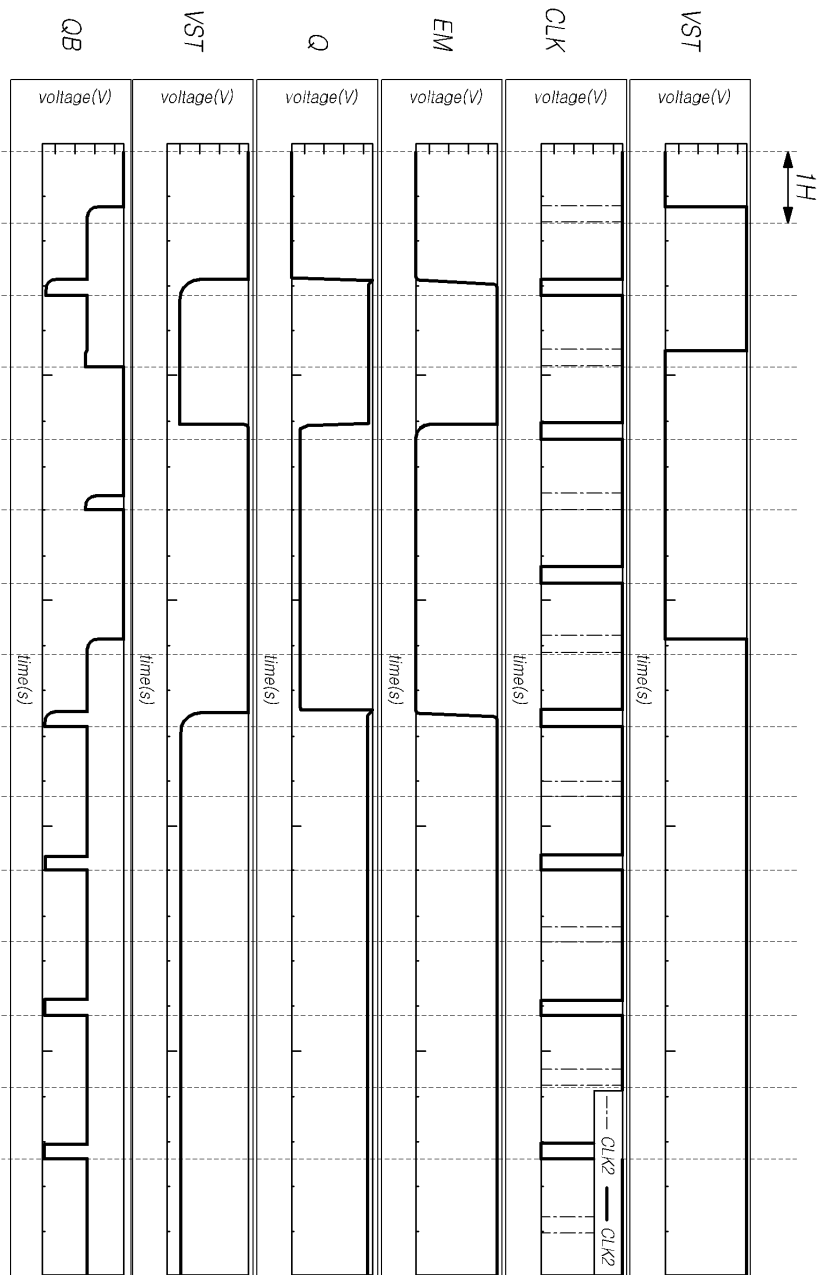
도면8



도면9



도면10



专利名称(译)	OLED显示装置及其驱动装置		
公开(公告)号	KR1020180045939A	公开(公告)日	2018-05-08
申请号	KR1020160139533	申请日	2016-10-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG DAE SUNG 정대성		
发明人	정대성		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2320/0247 G09G2310/08 G09G2230/00 G09G2300/0842 G09G3/3208 G09G3/2014 G09G3/325 G09G3/3266 G09G2300/0861 G09G2310/0267 G09G3/3225 G09G3/3275		
外部链接	Espacenet		

摘要(译)

本实施例涉及有机发光显示器及其驱动装置。有机发光显示器包括显示面板，其中像素以矩阵形式排列；一种用于向显示面板提供数据电压的数据驱动器；一种扫描驱动器，用于提供与数据电压同步的扫描信号；一种定时控制器，用于产生定时控制信号，用于控制数据驱动器和扫描驱动器的操作定时；根据来自定时控制器的定时控制信号，它产生用于控制像素的发光和消光的发光控制信号，响应于所述起始脉冲控制所产生以操作发光控制信号以起始脉冲的高电压电平的输出的高信号并且用于响应于发射控制信号的低信号以低电压电平操作发射控制信号的占空驱动器，以调整发射控制信号的周期和宽度。因此，通过简化电路可以减小边框区域的尺寸。此外，由于可以调节占空比，便于调整灰度，可以改善显示面板的不均匀性，光学补偿是有利的，并且可以改善闪烁和运动模糊现象。

