



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0003363
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 27/3258 (2013.01)

(21) 출원번호 10-2016-0083096

(22) 출원일자 2016년06월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

임병준

경기도 안산시 단원구 화정천서로4길 9, 202호
(선부동)

김도영

경기도 파주시 한빛로 67, 203동 1203호(야당동,
한빛마을2단지휴먼빌레이크팰리스)

(74) 대리인

특허법인인벤투스

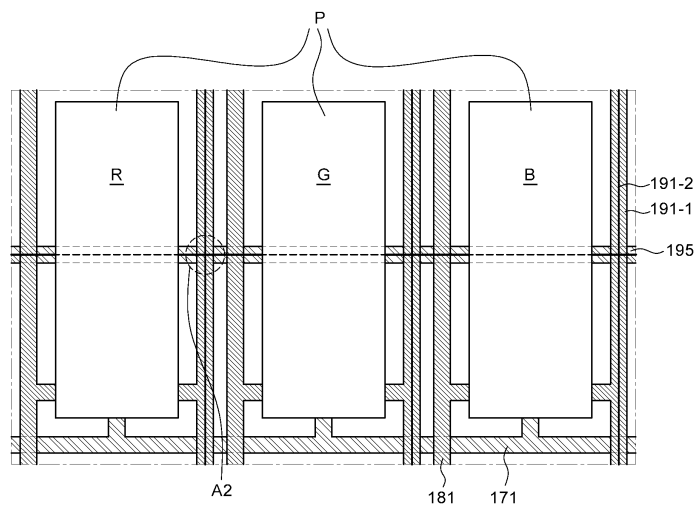
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 명세서는 유기발광 표시장치를 개시한다. 상기 유기발광 표시장치는, 픽셀 구동 트랜지스터에 전원을 공급하는 제1 전원 라인; 상기 제1 전원 라인의 상부를 평탄화하는 제1 평탄화 층; 상기 제1 평탄화 층 상에 있고, 상기 제1 전원 라인과 연결된 제2 전원 라인; 상기 제1 전원 라인의 상부를 평탄화하는 제2 평탄화 층을 포함한다.

대표도 - 도5



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3279 (2013.01)

명세서

청구범위

청구항 1

픽셀 구동 트랜지스터에 전원을 공급하는 제1 전원 라인;
 상기 제1 전원 라인의 상부를 평탄화하는 제1 평탄화 층;
 상기 제1 평탄화 층 상에 있고, 상기 제1 전원 라인과 연결된 제2 전원 라인;
 상기 제2 전원 라인의 상부를 평탄화하는 제2 평탄화 층;을 포함하는 유기발광 표시장치.

청구항 2

제1 항에 있어서,
 상기 제1 전원 라인과 상기 제2 전원 라인은, 비표시 영역에서 서로 연결되고 표시 영역에서는 서로 연결되지 않는 유기발광 표시장치.

청구항 3

제1 항에 있어서,
 상기 제2 전원 라인은, 상기 제1 전원 라인에 병렬로 연결되어 상기 픽셀 구동 트랜지스터에 연결된 전원 라인 전체의 저항을 줄임으로써, 상기 픽셀 구동 트랜지스터로 공급되는 전압의 강하를 억제하는 유기발광 표시장치.

청구항 4

제1 항에 있어서,
 상기 제1 전원 라인은, 상기 픽셀 구동 트랜지스터의 소스 전극 및 드레인 전극과 동일한 층에 배치된 유기발광 표시장치.

청구항 5

제1 항에 있어서,
 상기 제1 전원 라인과 동일한 층에 배치된 데이터 라인을 더 포함하는 유기발광 표시장치.

청구항 6

제1 항에 있어서,
 상기 제2 평탄화 층 상에 배치된 유기발광 다이오드를 더 포함하는 유기발광 표시장치.

청구항 7

제1 항에 있어서,
 상기 제1 전원 라인과 연결된 보조 전원 라인을 더 포함하는 유기발광 표시장치.

청구항 8

제7 항에 있어서,
 상기 보조 전원 라인은, 상기 제1 전원 라인의 연장 방향과 수직한 방향으로 연장된 유기발광 표시장치.

청구항 9

제7 항에 있어서,

보조 전원 라인은 상기 픽셀 구동 트랜지스터의 게이트 전극과 동일한 층에 배치된 유기발광 표시장치.

청구항 10

제1 항에 있어서,

상기 픽셀 구동 트랜지스터의 하부에 배치된 보호 금속을 더 포함하는 유기발광 표시장치.

청구항 11

구동 소자에 전원을 공급하는 제1 전원 라인을 포함하는 유기발광 표시장치의 서브픽셀로서,

상기 서브픽셀 영역의 내부에서 제1 전원 라인과 연결된 보조 전원 라인 및

상기 서브픽셀 영역의 외부에서 제1 전원 라인과 연결된 제2 전원 라인을 구비한 서브픽셀.

발명의 설명

기술 분야

[0001] 본 명세서는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상표시장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 유기 발광 소자의 발광량을 제어하여 영상을 표시하는 유기발광 표시장치 등이 각광받고 있다.

[0003] 유기발광 소자는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 박막화가 가능하다는 장점이 있다. 일반적인 유기발광 표시장치는 기판에 픽셀 구동 회로와 유기발광소자가 형성된 구조를 갖고, 유기발광소자에서 방출된 빛이 기판 또는 배리어층을 통과하면서 화상을 표시하게 된다.

[0004] 유기발광 표시장치는 별도의 광원장치 없이 구현되기 때문에, 플렉서블(flexible) 표시장치로 구현되기에 용이하다. 이때, 플라스틱, 박막 금속(metal foil) 등의 플렉서블 재료가 유기발광 표시장치의 기판으로 사용될 수 있다.

[0005] 유기발광 표시장치가 데이터를 시각적으로 표시하기 위해서는 신호를 인가받아야 하며, 이 신호의 전압 혹은 전류의 세기에 따라 시각적 표시의 다양성을 확보할 수 있다. 이를 위해 표시장치는 각 픽셀에 신호를 인가하는 제어부를 구비할 수 있다.

[0006] 그런데, 제어부와 픽셀 사이의 거리가 길어지면 이 둘 사이의 신호를 전달하는 도선의 길이가 길어짐으로 인하여 저항이 증가하고 전압이 하강(drop)하는 문제가 발생한다. 이에, 제어부에서 생성된 신호가 픽셀의 위치에 영향받지 않고 일정하게 각 픽셀에 인가되는 것이 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 명세서는 유기발광 표시장치 및 상기의 유기발광 표시장치에 적용되는 전압 강하 억제 구조를 제안하는 것을 목적으로 한다. 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 명세서의 일 실시예에 따라 유기발광 표시장치가 제공된다. 상기 유기발광 표시장치는, 픽셀 구동 트랜지스터에 전원을 공급하는 제1 전원 라인; 상기 제1 전원 라인의 상부를 평탄화하는 제1 평탄화 층; 상기 제1 평탄화 층 상에 있고, 상기 제1 전원 라인과 연결된 제2 전원 라인; 상기 제1 전원 라인의 상부를 평탄화하는 제2 평탄화 층을 포함할 수 있다.

[0009] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 명세서의 실시예들은, 표시 균일도 문제가 개선된 유기발광 표시장치를 제공할 수 있다. 더 구체적으로, 본 명세서의 실시예들은, 픽셀 구동 회로에 공급되는 전압이 강하되는 현상에 기인 표시 불균일 문제가 해소된 유기발광 표시장치 제공할 수 있다. 이에 따라 본 명세서의 실시예에 따른 유기발광 표시장치는 높은 해상도를 가지면서 표시 균일도가 향상될 수 있다. 본 명세서의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0011] 도 1은 본 명세서의 실시예에 따른 유기발광 표시장치를 나타낸 평면도이다.
 도 2는 본 명세서의 실시예에 따른 유기발광 표시장치의 표시 영역에 배치된 서브픽셀을 나타낸 평면도이다.
 도 3은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 표시 영역 중 일부를 나타낸 단면도이다.
 도 4는 전압강하 보상구조를 포함한 픽셀의 일 예를 나타낸 평면도이다.
 도 5는 본 명세서의 실시예에 따른 유기발광 표시장치의 픽셀을 간략히 나타낸 평면도이다.
 도 6은 도 5의 일부 영역을 나타낸 단면도이다.
 도 7은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 비표시 영역 중 일부를 확대한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0015] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0016] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다. 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0017] 도 1은 본 명세서의 실시예에 따른 유기발광 표시장치를 나타낸 평면도이다.

[0018] 도 1을 참조하면, 상기 유기발광 표시장치(100)는 적어도 하나의 표시 영역(active area, A/A)을 포함하고, 상

기 표시 영역에는 픽셀(pixel)들의 어레이(array)가 배치된다. 하나 이상의 비표시 영역(inactive area, I/A)이 상기 표시 영역의 주위에 배치될 수 있다. 즉, 상기 비표시 영역은, 표시 영역의 하나 이상의 측면에 인접할 수 있다. 도 1에서, 상기 비표시 영역은 사각형 형태의 표시 영역을 둘러싸고 있다. 그러나, 표시 영역의 형태 및 표시 영역에 인접한 비표시 영역의 형태/배치는 도 1에 도시된 예에 한정되지 않는다. 상기 표시 영역 및 상기 비표시 영역은, 상기 표시장치(100)를 탑재한 전자장치의 디자인에 적합한 형태일 수 있다. 상기 표시 영역의 예시적 형태는 오각형, 육각형, 원형, 타원형 등이다.

- [0019] 상기 표시 영역(A/A) 내의 각 픽셀은 픽셀구동회로와 연관될 수 있다. 상기 픽셀구동회로는, 하나 이상의 스위칭 트랜지스터 및 하나 이상의 구동 트랜지스터를 포함할 수 있다. 각 픽셀구동회로는, 상기 비표시 영역에 위치한 제어 회로(180)와 통신하기 위해 신호 라인(게이트 라인, 데이터 라인 등)과 전기적으로 연결될 수 있다.
- [0020] 상기 제어 회로(게이트 드라이버, 데이터 드라이버 등)는 상기 비표시 영역(I/A)에 TFT(thin film transistor)로 구현될 수 있다. 또한, 몇몇 제어 회로들은, 분리된 인쇄 회로 기판에 탑재되고, FPCB(flexible printed circuit board), COF(chip-on-film), TCP(tape-carrier-package) 등과 같은 회로 필름을 통하여 상기 비표시 영역에 배치된 연결 인터페이스(패드, 범프, 핀 등)와 결합될 수 있다. 상기 인쇄 회로(COF, PCB 등)는 상기 표시장치(100)의 뒤편에 위치될 수 있다.
- [0021] 전원 공급부(190)는 각 픽셀의 구동에 필요한 전원(전압, 전류)을 공급한다. 상기 전원은 표시 영역 및/또는 비표시 영역에 배치된 배선들을 통해 각 픽셀로 공급된다. 상기 전원 공급부(190)는 전압 강하를 최소화하는 구조 및/또는 기능을 구비할 수 있다.
- [0022] 상기 유기발광 표시장치(100)는, 다양한 신호를 생성하거나 표시 영역내의 픽셀을 구동하기 위한, 다양한 부가 요소들 포함할 수 있다. 상기 픽셀을 구동하기 위한 부가 요소는 인버터 회로, 멀티플렉서, 정전기 방전(electro static discharge) 회로 등을 포함할 수 있다. 상기 유기발광 표시장치(100)는 픽셀 구동 이외의 기능과 연관된 부가 요소도 포함할 수 있다. 예를 들어, 상기 유기발광 표시장치(100)는 터치 감지 기능, 사용자 인증 기능(예: 지문 인식), 멀티 레벨 압력 감지 기능, 촉각 피드백(tactile feedback) 기능 등을 제공하는 부가 요소들을 포함할 수 있다. 상기 언급된 부가 요소들은 상기 비표시 영역 및/또는 상기 연결 인터페이스와 연결된 외부 회로에 위치할 수 있다.
- [0023] 본 명세서에 따른 유기발광 표시장치는, 박막 트랜지스터 및 유기발광소자가 배열된 기판(101), 봉지 층(120), 배리어 필름(140) 등을 포함할 수 있다.
- [0024] 기판(101)은 유기발광 표시장치(100)의 다양한 구성요소들을 지지한다. 기판(101)은 투명한 절연 물질, 예를 들어 유리, 플라스틱 등과 같은 절연 물질로 형성될 수 있다. 기판(어레이 기판)은, 그 위에 형성된 소자 및 기능층, 예를 들어 스위칭 TFT, 스위칭 TFT와 연결된 구동 TFT, 구동 TFT와 연결된 유기발광소자, 보호막 등을 포함하는 개념으로 지칭되기도 한다.
- [0025] 유기발광소자는 기판(101) 상에 배치된다. 유기발광소자는 애노드, 애노드 상에 형성된 유기발광층 및 유기발광층 상에 형성된 캐소드를 포함한다. 상기 유기발광소자는 하나의 빛을 발광하는 단일 발광층 구조로 구성될 수도 있고, 복수 개의 발광층으로 구성되어 백색 광을 발광하는 구조로 구성될 수도 있다. 유기발광소자가 백색 광을 발광하는 경우, 컬러 필터가 더 구비될 수도 있다. 유기발광소자는 표시 영역에 대응하도록 기판(101)의 중앙 부분에 형성될 수 있다.
- [0026] 봉지 층(120)이 유기발광소자를 덮을 수 있다. 상기 봉지 층(encapsulation layer)은 유기발광소자를 외부의 수분 또는 산소로부터 보호한다. 배리어 필름(barrier film)은 봉지 층 상에 위치한다.
- [0027] 도 2는 본 명세서의 실시예에 따른 유기발광 표시장치의 표시 영역에 배치된 서브픽셀을 나타낸 평면도이다.
- [0028] 상기 유기발광 표시장치(100)는 복수의 픽셀로 구성되며, 한 개의 픽셀은 복수의 서브픽셀을 포함할 수 있다. 이때, 서브픽셀은 한가지 색을 표현하기 위한 최소 단위이다.
- [0029] 한 개의 서브픽셀은 복수의 트랜지스터와 캐패시터 및 복수의 배선을 포함할 수 있다. 도 2에 도시된 서브픽셀은 두 개의 트랜지스터와 한 개의 캐패시터(2T1C)로 이루어진 서브픽셀이지만, 이에 한정되지 않고 4T1C, 7T1C, 6T2C 등을 적용한 서브픽셀로 구현될 수도 있다. 또한, 서브픽셀은 상부발광(top-emission) 방식의 유기발광 표시장치(100)에 적합하도록 구현될 수 있다.
- [0030] 상기 복수의 배선은 게이트 라인(171), 데이터 라인(181) 및 전원 라인(191)을 포함한다. 또한, 상기 복수의 트

랜지스터는 스위칭 트랜지스터와 구동 트랜지스터를 포함한다.

- [0031] 스위칭 트랜지스터(switching transistor)는 게이트 라인(171)으로부터 입력되는 게이트 신호를 받는 게이트 전극, 액티브층(102S), 데이터 라인(181)으로부터 데이터 신호를 입력받는 소스 전극, 드레인 전극(108S)을 포함한다.
- [0032] 구동 트랜지스터(driving transistor)는 스위칭 트랜지스터의 드레인 전극(108S)과 제1 콘택홀(C1)을 통해 연결된 게이트 전극(104D), 액티브층(102D), 액티브층(102D)과 제2 콘택홀(C2)을 통해 연결된 드레인 전극(108D), 액티브층(102D)과 제3 콘택홀(C3)을 통해 연결된 소스 전극(106D)을 포함할 수 있다. 이때, 드레인 전극(108D)은 제4 콘택홀(C4)을 통해 애노드(112)과 연결되고, 소스 전극(106D)은 제5 콘택홀(C5)을 통해 전원 라인(191)과 연결될 수 있다.
- [0033] 캐패시터의 일 전극은 전원 라인(191)의 일부로 형성되고, 캐패시터의 다른 전극은 구동트랜지스터의 게이트 전극(104D)이 확장되어 캐패시터의 일 전극과 오버랩하여 배치되며, 스위칭 트랜지스터의 드레인 전극(108S)과 연결될 수 있다.
- [0034] 이때, 전원 라인(191)은 스위칭 트랜지스터의 드레인 전극(108S), 게이트전극 및 액티브층(102S)의 일부와 오버랩되고, 구동트랜지스터의 소스 전극(106D), 게이트 전극(104D) 및 액티브층(102D)의 일부와 오버랩될 수 있다. 전원 라인(191)을 다른 구동소자들과 겹쳐 배치함으로써, 서브픽셀내에 전원 라인(191)을 위한 공간을 줄일 수 있어 픽셀의 고정세화가 가능하다.
- [0035] 전원 라인(191)의 폭은 전원 라인(191)의 저항값에 따라 변경될 수 있기 때문에 전원 라인(191)과 오버랩되는 구동소자의 영역도 변경될 수 있으며, 전원 라인(191)과 오버랩되는 구동소자의 영역은 서브픽셀 내에 배치되는 구동소자의 위치에 따라라도 변경될 수 있다.
- [0036] 모든 픽셀에 동일한 전압을 인가해야 하는 전원 라인(191)의 저항이 높을 경우, 유기발광 표시장치(100)의 안쪽으로 향할수록 전압 강하가 발생하여 유기발광 표시장치(100)의 휘도 불균형이 나타날 수 있기 때문에 그 저항을 줄일 수 있도록 전원 라인(191)이 설계된다.
- [0037] 일 예로, 전원 라인(191)의 저항을 줄이기 위해 전원 라인(191)의 폭을 데이터 라인(181)의 폭보다 넓게 하거나 저항이 낮은 금속을 사용하여 전원 라인(191)을 형성할 수 있다. 또는 전원 라인(191)의 폭과 전원 라인(191)을 형성하는 금속의 종류를 적절히 사용하여 전원 라인(191)의 저항을 줄일 수 있다.
- [0038] 또는, 보조 전원 라인을 전원 라인에 추가하여, 보상 전압을 공급하거나. 또는 병렬 전원 연결 효과를 발생시켜 전원 라인의 저항을 낮추는 방법도 사용될 수 있다.
- [0039] 도 3은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 표시 영역 중 일부를 나타낸 단면도이다.
- [0040] 도 3의 유기발광 표시장치는, 평탄화 층이 2개로 구성되고, 보조 전원 라인이 구비되며, 전원 라인이 복수의 층에 배치된 예시적 구조를 갖는다.
- [0041] 도 3을 참조하면, 기판(101) 상에 박막트랜지스터(102, 104, 106, 108), 유기발광소자(112, 114, 116) 및 각종 기능 층(layer)이 위치하고 있다.
- [0042] 기판(또는 어레이 기판)은 유리 또는 플라스틱 기판일 수 있다. 플라스틱 기판인 경우, 폴리이미드 계열 또는 폴리 카보네이트 계열 물질이 사용되어 가요성(flexibility)을 가질 수 있다. 특히, 폴리이미드는 고온의 공정에 적용될 수 있고, 코팅이 가능한 재료이기에 플라스틱 기판으로 많이 사용된다.
- [0043] 버퍼 층(130)은 기판(101) 또는 하부의 층들에서 유출되는 알칼리 이온 등과 같은 불순물로부터 박막트랜지스터를 보호하기 위한 기능 층이다. 상기 버퍼 층(buffer layer)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다. 상기 버퍼 층(130)은 멀티 버퍼(multi buffer, 131) 및/또는 액티브 버퍼(active buffer, 132)를 포함할 수 있다. 상기 멀티 버퍼(131)는 질화실리콘(SiN_x) 및 산화실리콘(SiO_x)이 교대로 적층되어 이루어질 수 있으며, 기판(101)에 침투한 수분 및/또는 산소가 확산되는 것을 지연시킬 수 있다. 상기 액티브 버퍼(132)는 트랜지스터의 반도체 층(102)을 보호하며, 기판(101)으로부터 유입되는 다양한 종류의 결함을 차단하는 기능을 수행한다. 상기 액티브 버퍼(132)는 비정질 실리콘(a-Si) 등으로 형성될 수 있다.
- [0044] 박막트랜지스터는 반도체 층(102D), 게이트 절연막(103), 게이트 전극(104D), 층간 절연막(105), 소스 및 드레인 전극(106D, 108D)이 순차적으로 배치된 형태일 수 있다. 상기 박막트랜지스터(TFT)는 P형 TFT 또는 N형 TFT 일 수 있다. 상기 P형(P-type) TFT는, 전류 흐름이 정공(hole)의 이동에 의해 이루어지도록 채널(channel)의 이

온(ion)이 붕소(boron) 등의 3족 원소로 도핑(doping)된 TFT이며, PMOS로 호칭되기도 한다. 상기 N형(N-type) TFT는, 전류 흐름이 전자(electron)의 이동에 의해 이루어지도록 채널(channel)의 이온(ion)이 인(phosphorus) 등의 5족 원소로 도핑(doping)된 TFT이며, NMOS로 호칭되기도 한다. 반도체 층(102)은 상기 버퍼 층(130) 상에 위치한다. 반도체 층(102)은 폴리 실리콘(p-Si)으로 만들어질 수 있으며, 이 경우 소정의 영역이 불순물로 도핑될 수도 있다. 또한, 반도체 층(102D)은 아몰포스 실리콘(a-Si)으로 만들어질 수도 있고, 펜타센 등과 같은 다양한 유기 반도체 물질로 만들어질 수도 있다. 나아가 반도체 층(102)은 산화물(oxide)로 만들어질 수도 있다. 게이트 절연막(103)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등과 같은 절연성 무기물로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 게이트 전극(104D)은 다양한 도전성 물질, 예컨대, 마그네슘(Mg), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 금(Au) 또는 이들의 합금 등으로 형성될 수 있다.

- [0045] 제1 층간 절연막(105-1)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등과 같은 절연성 물질로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 층간 절연막(105-1, 105-2)과 게이트 절연막(103)의 선택적 제거로 소스 및 드레인 영역이 노출되는 콘택 홀(contact hole)이 형성될 수 있다.
- [0046] 소스 및 드레인 전극(106D, 108D)은 층간 절연막(105) 상에 전극용 물질로 단일층 또는 다층의 형상으로 형성된다.
- [0047] 데이터 라인(181)은, 서브픽셀이 표시해야 하는 데이터 값을 전달한다. 데이터 라인(181)은 드레인 전극(108D) 및 소스 전극(106D)과 동일 층에 배치될 수 있다. 또는 드레인 전극(108D) 및 소스 전극(106D)과 다른 층(예: 제1 평탄화 층) 상에 배치될 수도 있다.
- [0048] 보조 전원 라인(195)은 전압 강하를 보상하기 위해 배치되며, 제1 전원 라인(191-1)에 연결된다. 이때 보조 전원 라인(195)은 제1 전원 라인(191-1)은 제1 층간 절연막(105-1) 상에 배치될 수 있다.
- [0049] 제2 층간 절연막(105-2)은 보조 전원 라인(195)의 상부에 위치한다.
- [0050] 제1 전원 라인(191-1)은 제2 층간 절연막(105-2) 위에 배치된다. 이때 제1 전원 라인(191-1)은 소스 전극(106D) 및 드레인 전극(108D)을 배치하는 공정에서 같이 형성될 수 있다. 제1 전원 라인(191-1)은 픽셀 회로에 필요한 전원(예: V_{DD})을 전달한다. 예를 들어 상기 제1 전원 라인(191-1)은 구동 트랜지스터의 소스 전극에 연결되어 전압을 공급할 수 있다.
- [0051] 제1 평탄화 층(107-1)이 박막트랜지스터, 데이터 라인(181), 제1 전원 라인(191-1) 상에 위치할 수 있다. 평탄화 층(107)은 박막트랜지스터 등을 보호하고 그 상부를 평탄화한다. 평탄화 층(107)은 다양한 형태로 구성될 수 있으며, 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리이미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지 중 하나 이상으로 형성될 수 있으나, 이에 제한되지 않는다.
- [0052] 제2 전원 라인(191-2)은 제1 평탄화 층(107-1) 상부에 배치될 수 있다. 상기 제2 전원 라인(191-2)은 제1 전원 라인(191-2)과 연결되어 전압 강하를 최소화하는 역할을 한다. 제2 전원 라인(191-2)의 구조 및 배치에 대해서는 도 5 내지 7에서 더 상세히 설명한다.
- [0053] 상기 제1/제2 전원 라인(191-1, 191-2)은 데이터 라인(181)과 동일한 재료 또는 저항이 더 낮은 금속 재료로 이루어질 수 있다.
- [0054] 제2 평탄화 층(107-2)이 제2 전원 라인(191-2) 및 제2 소스 전극(108-2) 상부를 평탄화한다.
- [0055] 하부보호금속(109)은 트랜지스터의 하부에 형성되어, 외부로부터 유입되는 수분으로부터 상기 트랜지스터의 소자 특성(예: 문턱 전압 등)이 변동되는 것을 억제한다. 이로써 상기 하부보호금속(BSM: Bottom Shield Metal)은 픽셀 간 휘도 불균형(열룩, 잔상으로 나타남)을 방지할 수 있다. 또한, 상기 하부보호금속(109)은, 플렉서블 유기발광 표시장치의 제조 공정(예: 유기기관을 떼어내는 과정)에서, 트랜지스터가 물리적으로 손상되는 것을 최소화할 수도 있다.
- [0056] 폴리이미드(PI)는 WVTR(water vapor transmission rate)이 수~수십g/m²24hr 수준으로 흡습성이 높은 편이다. 따라서 기관(101)으로 폴리이미드(PI)가 사용되면, 기관을 통해 유입되는 수분(H₂O)이 많을 수 있다. 이때 H₂O의 H⁺ 및 OH⁻ 이온이 TFT 쪽으로 확산된다. 확산된 상기 이온들은 이동성 전하(mobile charge)로 작용하여 TFT 구동

에 영향을 주며(예: V_{th} 변동), 이에 따라 TFT 소자 성능이 열화된다. 버퍼 층(130)은 WVTR이 $10^{-3} \text{ g/m}^2 \text{ 24hr}$ 수준으로 상기 이온의 확산을 막는 데 효과적이지 않기 때문에, TFT의 하부(예: 반도체 층의 하부)에 하부보호 금속(109)을 패터닝(patterning)하여 수분 및/또는 그 이온을 차단한다.

[0057] 본 명세서의 실시예에 따른 플렉서블 유기발광 표시장치는, 하부보호금속(109)이 모든 트랜지스터의 반도체 층 하부에 위치할 수도 있고, 필요에 따라 특정 트랜지스터(예: 구동 트랜지스터)의 반도체 층 하부에만 위치할 수도 있다.

[0058] 유기발광소자는 제1 전극(112), 유기발광 층(114), 제2 전극(116)이 순차적으로 배치된 형태일 수 있다. 즉, 유기발광소자는 평탄화 층(107) 상에 형성된 제1 전극(112), 제1 전극(112) 상에 위치한 유기발광 층(114) 및 유기발광 층(114) 상에 위치한 제2 전극(116)으로 구성될 수 있다.

[0059] 제1 전극(112)은 콘택 홀을 통해 구동 박막트랜지스터의 드레인 전극(108D)과 전기적으로 연결된다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 이러한 제1 전극(112)은 반사율이 높은 불투명한 도전 물질로 만들어질 수 있다. 예를 들면, 제1 전극(112)은 은(Ag), 알루미늄(Al), 금(Au), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 또는 이들의 합금 등으로 형성될 수 있다.

[0060] बैं크(110)는 발광 영역을 제외한 나머지 영역에 형성된다. 이에 따라, बैं크(110)는 발광 영역과 대응되는 제1 전극(112)을 노출시키는 बैं크 홀을 가진다. बैं크(110)는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx)와 같은 무기 절연 물질 또는 BCB, 아크릴계 수지 또는 이미드계 수지와 같은 유기 절연물질로 만들어질 수 있다.

[0061] 유기발광 층(114)이 बैं크(110)에 의해 노출된 제1 전극(112) 상에 위치한다. 유기발광 층(114)은 발광층, 전자 주입층, 전자수송층, 정공수송층, 정공주입층 등을 포함할 수 있다.

[0062] 제2 전극(116)이 유기발광층(114) 상에 위치한다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 제2 전극(116)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성됨으로써 유기발광 층(114)에서 생성된 광을 제2 전극(116) 상부로 방출시킨다.

[0063] 보호 층(118)과 봉지 층(120)이 제2 전극(116) 상에 위치한다. 상기 보호 층(118)과 봉지 층(120)은, 발광 재료와 전극 재료의 산화를 방지하기 위하여, 외부로부터의 산소 및 수분 침투를 막는다. 유기발광소자가 수분이나 산소에 노출되면, 발광 영역이 축소되는 화소 수축(pixel shrinkage) 현상이 나타나거나, 발광 영역 내 흑점(dark spot)이 생길 수 있다. 상기 보호 층(passivation layer) 및/또는 상기 봉지 층(encapsulation layer)은 유리, 금속, 산화 알루미늄(AlOx) 또는 실리콘(Si) 계열 물질로 이루어진 무기막으로 구성되거나, 또는 유기막과 무기막이 교대로 적층된 구조일 수도 있다. 무기막은 수분이나 산소의 침투를 차단하는 역할을 하고, 유기막은 무기막의 표면을 평탄화하는 역할을 한다. 봉지 층을 여러 겹의 박막 층으로 형성하는 이유는, 단일 층에 비해 수분이나 산소의 이동 경로를 길고 복잡하게 하여, 유기발광소자까지 수분/산소의 침투를 어렵게 만들려는 것이다.

[0064] 배리어 필름(140)이 봉지 층(120) 상에 위치하여 유기발광소자를 포함하는 기관(101) 전체를 봉지한다. 배리어 필름(140)은 위상차 필름 또는 광등방성 필름일 수 있다. 배리어 필름이 광등방성 성질을 가지면, 배리어 필름에 입사된 입사된 광을 위상지연 없이 그대로 통과시킨다. 또한, 배리어 필름 상부 또는 하부면에는 유기막 또는 무기막이 더 위치할 수 있다. 배리어 필름 상부 또는 하부면에 형성되는 유기막 또는 무기막은 외부의 수분이나 산소의 침투를 차단하는 역할을 한다.

[0065] 접착 층이 배리어 필름(140)과 봉지 층(120) 사이에 위치할 수 있다. 접착 층은 봉지 층(120)과 배리어 필름(140)을 접착시킨다. 접착 층은 열 경화형 또는 자연 경화형의 접착제일 수 있다. 예를 들어, 접착 층은 B-PSA(Barrier pressure sensitive adhesive)와 같은 물질로 구성될 수 있다.

[0066] 배리어 필름(140) 상에 터치 패널(필름), 편광 필름, 상면 커버 등이 더 위치할 수도 있다.

[0067] 도 4는 전압강하 보상구조를 포함한 픽셀의 일 예를 나타낸 평면도이다.

[0068] 도 4에 도시된 픽셀(P)은, 복수 개의 서브픽셀(R, G, B)을 포함할 수 있다. 그리고 상기 서브픽셀 각각은 전원 라인(191)의 연장 방향(제1 방향)과 다른 방향(제2 방향)으로 연장하는 보조 전원 라인(171)을 포함하고 있다. 상기 보조 전원 라인(171)은 전원 라인(191)과 함께 그물(mesh) 구조를 형성한다.

[0069] 상기 보조 전원 라인(171)은, 상기 전원 라인(191)과 달리 각 서브픽셀의 회로들을 거치지 않아 상대적으로 저

항이 작다. 따라서 상기 보조 전원 라인(171)이 전원 라인(191)과 서브픽셀 영역(예: A1 영역)에서 연결되면, 전원 라인(191)의 저항이 작아진다. 이에 따라 각 서브픽셀에서의 전압 강하가 저감되고 그 변동이 최소화된다.

- [0070] 그러나, 이와 같은 그물 구조에서도 전압 강하가 완전히 사라지는 것은 아니며, 추가적인 보상이 필요하다. 이에 본 발명의 발명자들은 전압 강하를 억제할 수 있는 추가적인 해결안을 도출하였다. 도 5 내지 도 7은 본 명세서의 실시예에 따른 전압 강하 억제 구조를 설명하는 도면이다.
- [0071] 도 5는 본 명세서의 실시예에 따른 유기발광 표시장치의 픽셀을 간략히 나타낸 평면도이고, 도 6은 도 5의 A2 영역의 단면도이며, 도 7은 상기 유기발광 표시장치의 비표시 영역 중 일부를 확대한 도면이다.
- [0072] 도 5 내지 도 7의 각 구성요소는, 도 1 내지 도 3에서 설명된 것과 실질적으로 동일하므로, 중복된 설명은 생략한다.
- [0073] 상기 유기발광 표시장치는, 픽셀 구동 트랜지스터에 전원을 공급하는 제1 전원 라인(191-1); 상기 제1 전원 라인(191-1)의 상부를 평탄화하는 제1 평탄화 층(107-1); 상기 제1 평탄화 층(107-1) 상에 있고, 상기 제1 전원 라인(191-1)과 연결된 제2 전원 라인(191-2); 상기 제2 전원 라인(191-2)의 상부를 평탄화하는 제2 평탄화 층(107-2)을 포함할 수 있다.
- [0074] 본 실시예에서 평탄화 층이 2개인 것은, 표시장치가 고해상도로 진화함에 따라 각종 신호 배선이 증가하게 된 것에 기인한다. 이에 모든 배선을 최소 간격을 확보하면서 같은 층에 배치할 수 없어, 추가 층(layer)을 만든 것이다. 이러한 추가 층으로 인해 배선 배치에 여유가 생겼으므로, 새로운 층(제2 평탄화 층)에 전원 라인을 추가하여, 전압 강하를 최소화하는 메쉬 구조를 더 만들 수 있다.
- [0075] 상기 제2 전원 라인(191-2)은, 상기 제1 전원 라인(191-1)에 병렬로 연결되어 상기 픽셀 구동 트랜지스터에 연결된 전원 라인(191) 전체의 저항을 줄임으로써, 상기 픽셀 구동 트랜지스터로 공급되는 전압의 강하를 억제한다.
- [0076] 즉, 최상단 픽셀부터 최하단 픽셀까지 지나가면서 전원 라인에는 매우 큰 누적 저항(R_1)이 생기는데, 그에 비해 픽셀 회로(트랜지스터, 다이오드 등)와 만나지 않는 제2 전원라인(191-2)은 그 저항(R_2) 상대적으로 매우 작다($R_2 \ll R_1$). 둘 이상의 저항, 즉, 제1 전원 라인(191-1)과 제2 전원 라인(191-2)이 병렬로 연결되면, 전원라인의 전체 저항(R_t)은, 저항의 병렬 연결 원리($R_t = (R_1 \cdot R_2) / (R_1 + R_2)$)에 따라, 큰 저항(R_1) 보다도 감소한다. 이에 따라 전원 라인의 저항으로 인한 전압 손실이 작아질 수 있다. 즉 제2 전원 라인(191-2)의 추가는 서브픽셀에서의 전압 강하를 줄이는데 기여한다. 또한, 상기 제1 전원 라인(191-1)과 연결된 보조 전원 라인(195)도 서브픽셀에서의 전압 강하 억제에 기여할 수 있다. 이때 상기 보조 전원 라인(195)은 상기 제1 전원 라인(191-1)의 연장 방향과 다른 방향(예: 수직한 방향)으로 연장된다. 또한 상기 보조 전원 라인(195)은 상기 픽셀 구동 트랜지스터의 게이트 전극과 동일한 층에 배치될 수 있다.
- [0077] 이때, 상기 제1 전원 라인(191-1)과 상기 제2 전원 라인(191-2)은, 비표시 영역에서 서로 연결되고 표시 영역(픽셀 내)에서는 서로 연결되지 않게 배치될 수 있다. 이는, 픽셀 영역에는 다수의 소자/부품이 위치하기 때문에, 별개 층에 있는 제1 전원 라인(191-1)과 제2 전원 라인(191-2)을 연결하는 것이 어렵기 때문이다. 따라서 도 7과 같이, 상대적으로 공간 여유가 많은 비표시 영역에서 제1 전원 라인(191-1)과 제2 전원 라인(191-2)이 연결될 수 있다.
- [0078] 상기 제1 전원 라인(191-1)과 상기 제2 전원 라인(191-2)은, 도 6과 같이 전부 또는 일부가 상하로 중첩될 수 있다. 그러나, 상기 제1 전원 라인(191-1)과 상기 제2 전원 라인(191-2)은, 도 6과는 달리 상하로 중첩되지 않을 수도 있다. 또한 상기 제1 전원 라인(191-1)과 상기 제2 전원 라인(191-2)은, 폭이 같을 수도 있고 다를 수도 있다. 상기 제2 전원 라인(191-2)은 상기 제1 전원 라인(191-1)과 같은 방향으로 연장될 수 있다. 그러나, 상기 제2 전원 라인(191-2)은 상기 제1 전원 라인(191-1)과 다른 방향, 예컨대 수직 방향으로 연장될 수도 있다.
- [0079] 상기 제1 전원 라인(191-1)은 픽셀 구동 트랜지스터의 소스 전극 및 드레인 전극과 동일한 층에 배치될 수 있다. 또한 상기 제1 전원 라인은 데이터 라인과 동일한 층에 배치될 수 있다.
- [0080] 한편, 도 6에서 유기발광 다이오드는 제2 평탄화 층(107-2) 상에 배치될 수 있다. 그리고 상기 픽셀 구동 트랜지스터의 하부에 보호 금속(190)이 배치될 수도 있다.
- [0081] 상기 유기발광 표시장치의 픽셀(P)은, 복수 개의 서브픽셀(R, G, B)을 포함할 수 있다. 그리고 상기 서브픽셀은 구동 소자에 전원을 공급하는 제1 전원 라인(191-1)을 갖는다. 또한 상기 서브픽셀은 상기 서브픽셀 영역의 내

부에서 제1 전원 라인(191-1)과 연결된 보조 전원 라인(195) 및 상기 픽셀 영역의 외부(비표시 영역)에서 제1 전원 라인(191-1)과 연결된 제2 전원 라인(191-2)을 구비한다.

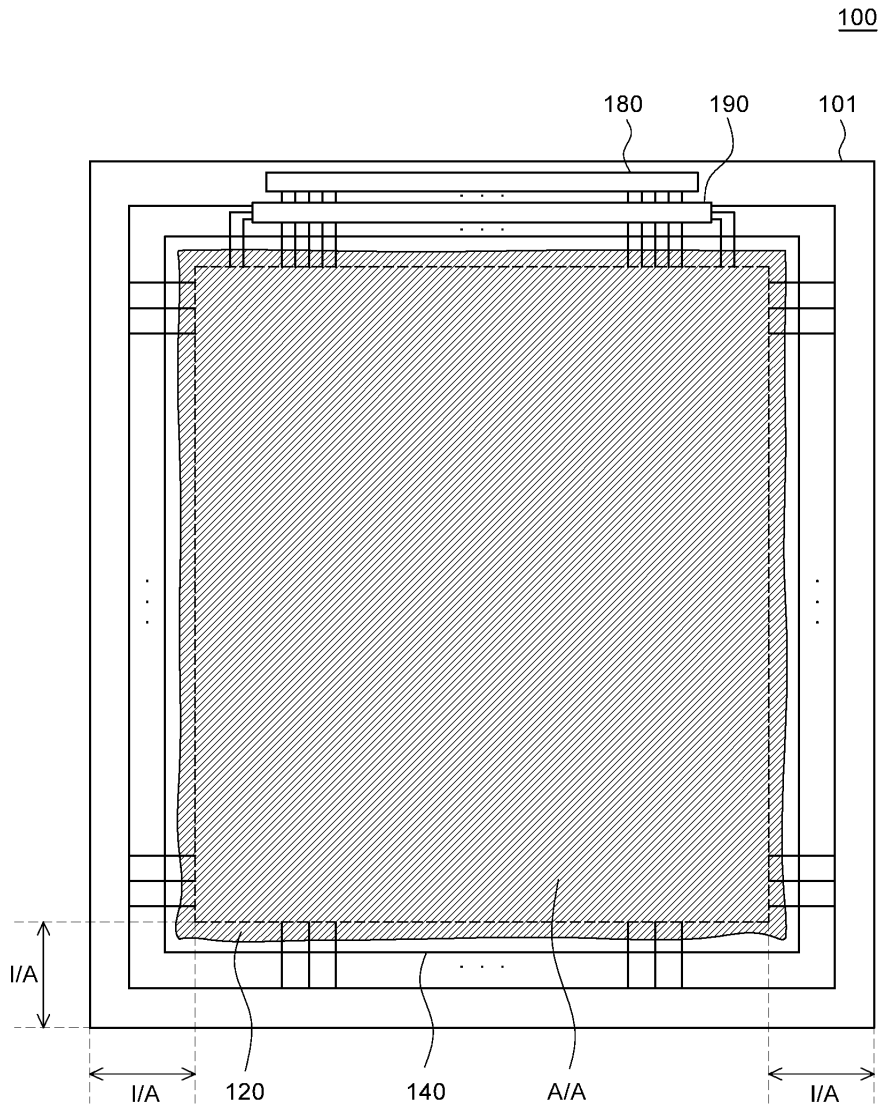
[0082] 이와 같이, 본 명세서의 실시예에 따른 픽셀은 2개의 평탄화 층을 가진 구조에, 제2 전극 라인을 더 구비하여 전압 강하를 보상한다.

[0083] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 그 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 당업자에 의해 기술적으로 다양하게 연동 및 구동될 수 있으며, 각 실시예들이 서로에 대하여 독립적으로 실시되거나 연관 관계로 함께 실시될 수도 있다.

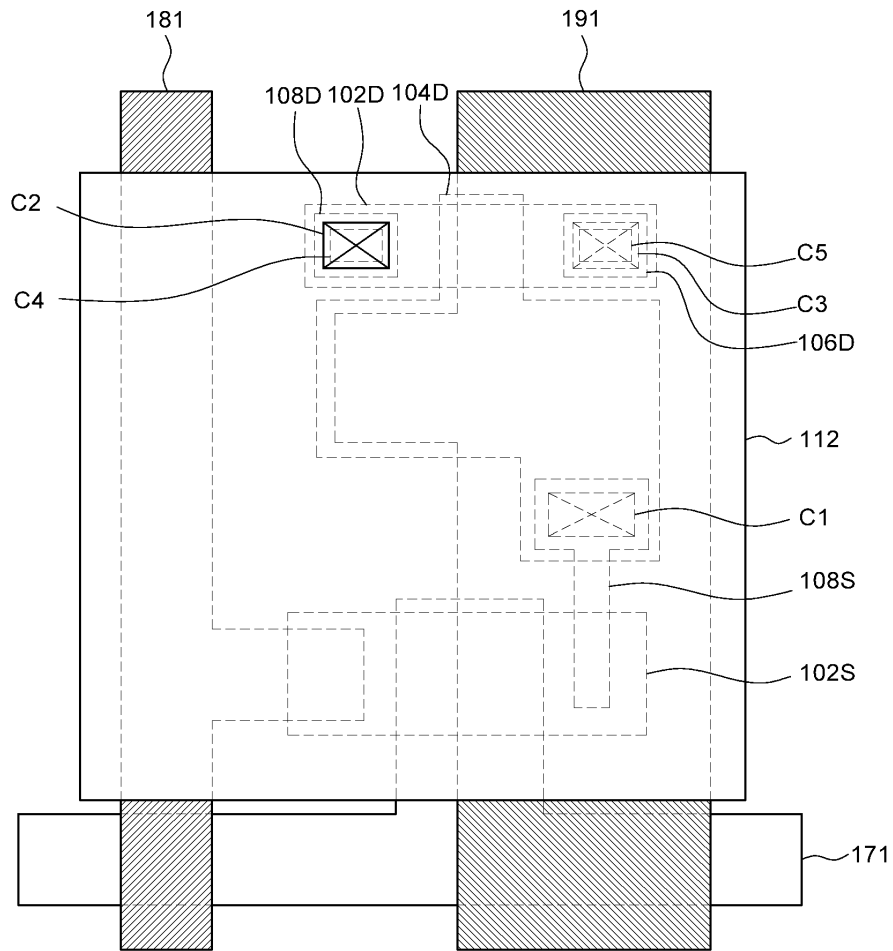
[0084] 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

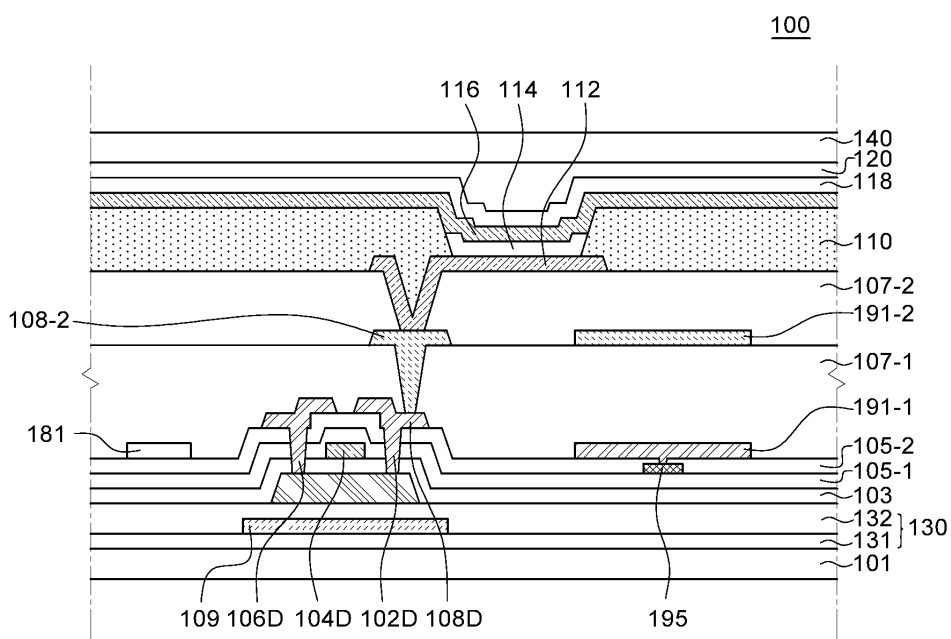
도면1



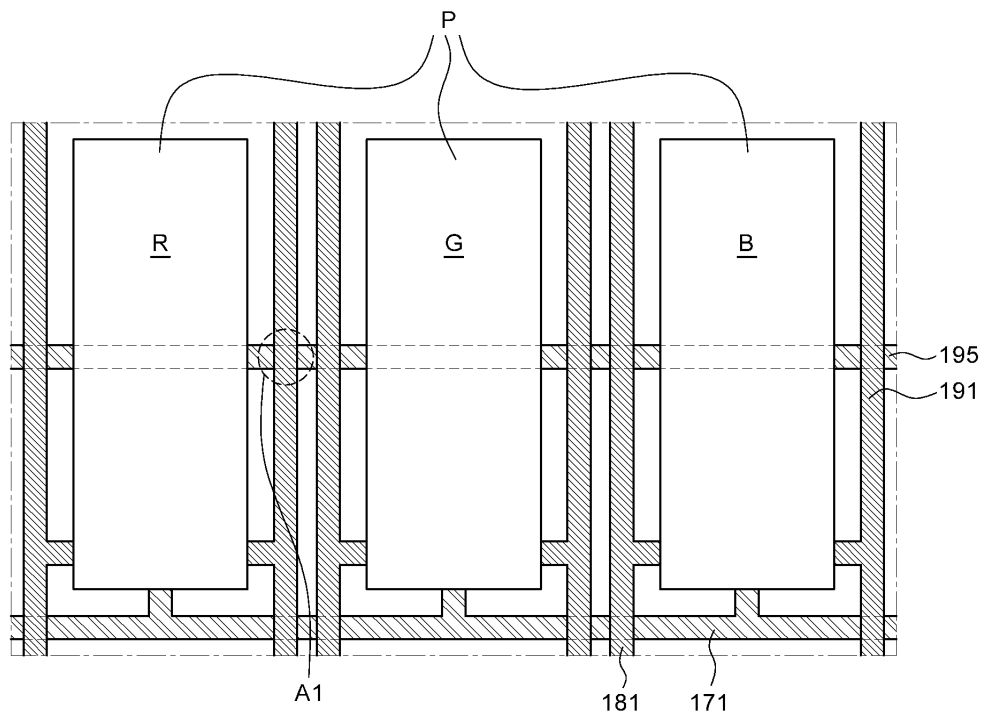
도면2



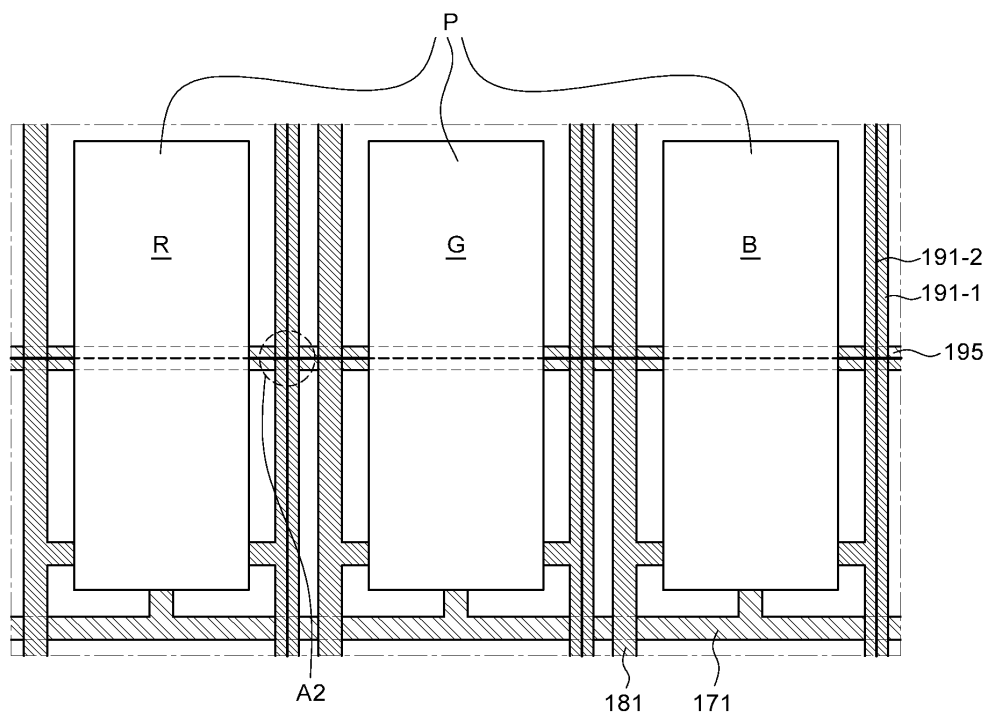
도면3



도면4

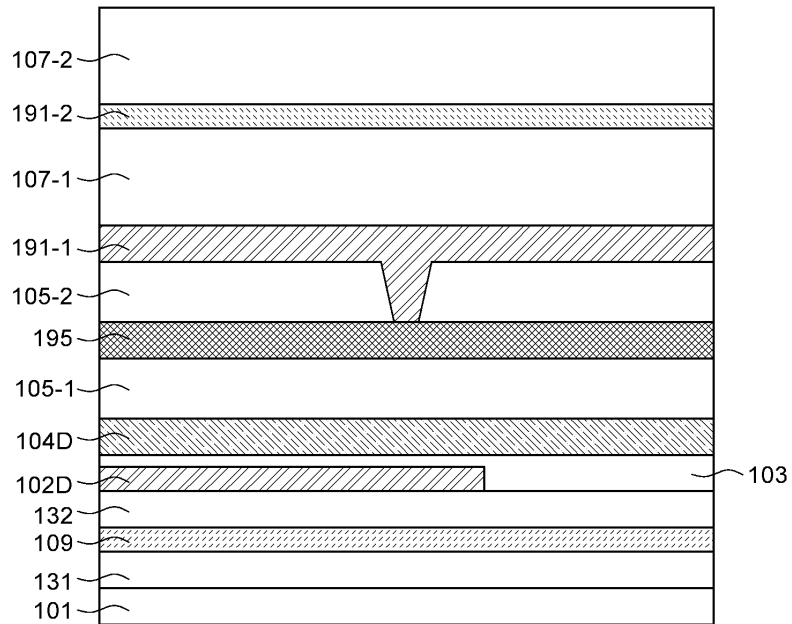


도면5

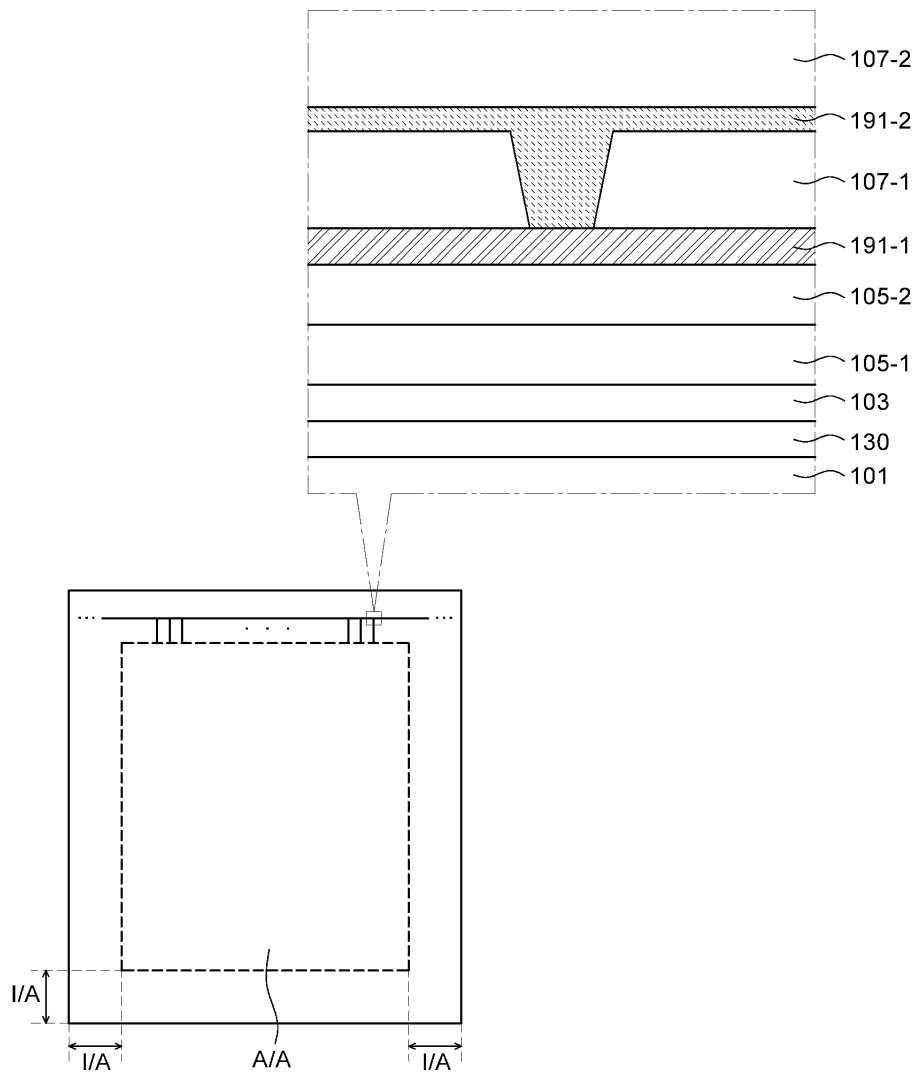


도면6

A2



도면7



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180003363A	公开(公告)日	2018-01-09
申请号	KR1020160083096	申请日	2016-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM BYUNG JUN 임병준 KIM DO YOUNG 김도영		
发明人	임병준 김도영		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3276 H01L27/3279 H01L27/3262 H01L27/3258		
外部链接	Espacenet		

摘要(译)

该说明书公开了有机发光显示装置。有机发光显示装置包括向像素驱动晶体管供电的第一电源线;第一平坦化层平坦化第一电源线的上部;它在第一平坦化层上具有的第一电源线;第二平坦化层使连接的第二电源线的上部平面化:第一电源线。

