



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0115639  
(43) 공개일자 2017년10월18일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 27/12 (2006.01)  
H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/1214 (2013.01)  
(21) 출원번호 10-2016-0042778  
(22) 출원일자 2016년04월07일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
김태영  
경기도 성남시 분당구 판교원로 255, 801동 102호  
(판교동, 판교원마을상록아파트)  
허중무  
경기도 화성시 영통로27번길 53, 204동 902호 (반  
월동, 신영통현대2차아파트)  
(74) 대리인  
팬코리아특허법인

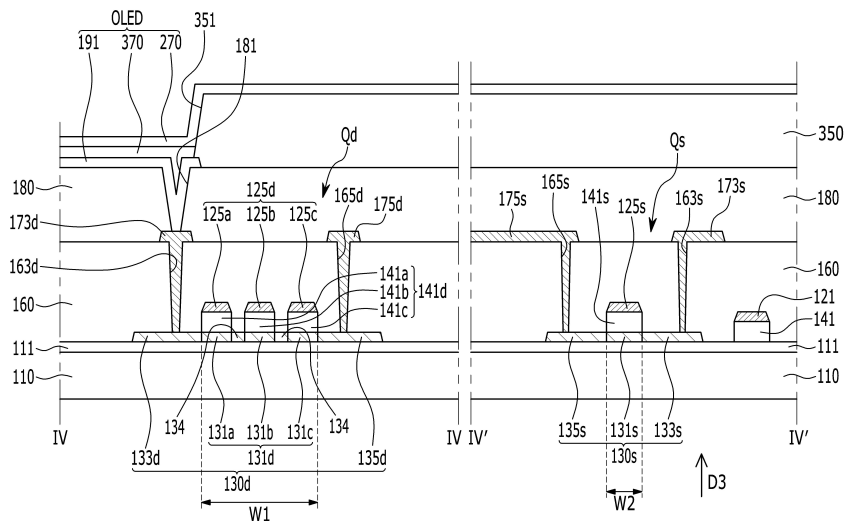
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

**(57) 요약**

일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 위치하는 제1 트랜지스터, 상기 제1 트랜지스터에 연결되는 유기 발광 다이오드를 포함하고, 상기 제1 트랜지스터는 상기 기판 위에 위치하며, 복수개의 제1 서브 채널을 포함하는 제1 채널, 상기 제1 채널의 양측에 각각 위치하는 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체, 상기 제1 반도체와 중첩하는 복수개의 제1 서브 게이트 전극을 포함하는 제1 게이트 전극, 상기 제1 반도체와 상기 제1 게이트 전극 사이에 각각 위치하는 복수개의 제1 서브 절연 부재를 포함하는 제1 절연 부재, 그리고 상기 제1 반도체와 각각 연결되는 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 복수개의 제1 서브 절연 부재는 상기 제1 소스 영역 및 제1 드레인 영역과 중첩하지 않는다.

**대표도** - 도4



(52) CPC특허분류

*H01L 27/1251* (2013.01)

*H01L 27/3248* (2013.01)

*H01L 27/3258* (2013.01)

*H01L 29/78606* (2013.01)

*H01L 29/78696* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관,

상기 기관 위에 위치하는 제1 트랜지스터,

상기 제1 트랜지스터에 연결되는 유기 발광 다이오드를 포함하고,

상기 제1 트랜지스터는

상기 기관 위에 위치하며, 복수개의 제1 서브 채널을 포함하는 제1 채널, 상기 제1 채널의 양측에 각각 위치하는 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체,

상기 제1 반도체와 중첩하는 복수개의 제1 서브 게이트 전극을 포함하는 제1 게이트 전극,

상기 제1 반도체와 상기 제1 게이트 전극 사이에 위치하는 복수개의 제1 서브 절연 부재를 포함하는 제1 절연 부재, 그리고

상기 제1 반도체와 각각 연결되는 제1 소스 전극 및 제1 드레인 전극

을 포함하고,

상기 복수개의 제1 서브 절연 부재는 상기 제1 소스 영역 및 상기 제1 드레인 영역과 중첩하지 않는 유기 발광 표시 장치.

#### 청구항 2

제1항에서,

상기 복수개의 제1 서브 게이트 전극은 서로 이격되며,

상기 복수개의 제1 서브 절연 부재는 서로 이격되는 유기 발광 표시 장치.

#### 청구항 3

제1항에서,

상기 제1 반도체는 서로 인접하는 제1 서브 채널 사이에 위치하는 중간 영역을 더 포함하고,

상기 중간 영역은 상기 복수개의 제1 서브 절연 부재와 중첩하지 않는 유기 발광 표시 장치.

#### 청구항 4

제1항에서,

상기 기관 위에 위치하는 스캔선,

상기 스캔선과 교차하는 데이터선, 그리고

상기 스캔선 및 상기 데이터선에 연결되는 제2 트랜지스터를 더 포함하고,

상기 제2 트랜지스터는

상기 기관 위에 위치하는 제2 반도체,

상기 제2 반도체와 중첩하는 제2 게이트 전극,

상기 제2 반도체와 상기 제2 게이트 전극 사이에 위치하는 제2 절연 부재,

상기 제2 반도체와 각각 연결되는 제2 소스 전극 및 제2 드레인 전극

을 포함하고,

상기 제2 게이트 전극은 상기 제1 게이트 전극과 동일한 층에 위치하는 유기 발광 표시 장치.

#### 청구항 5

제4항에서,

상기 제2 반도체는 제2 채널, 상기 제2 채널의 양측에 각각 위치하는 제2 소스 영역 및 제2 드레인 영역을 포함하고,

상기 제2 절연 부재는 상기 제2 소스 영역 및 상기 제2 드레인 영역과 중첩하지 않는 유기 발광 표시 장치.

#### 청구항 6

제5항에서,

상기 제1 채널의 폭은 상기 제2 채널의 폭보다 큰 유기 발광 표시 장치.

#### 청구항 7

제4항에서,

상기 제1 반도체 및 상기 제2 반도체는 산화물 반도체 물질을 포함하는 유기 발광 표시 장치.

#### 청구항 8

기판 위에 제1 트랜지스터를 형성하는 단계,

상기 제1 트랜지스터에 연결되는 유기 발광 다이오드를 형성하는 단계를 포함하고,

상기 제1 트랜지스터를 형성하는 단계는

상기 기판 위에 복수개의 제1 서브 채널을 포함하는 제1 채널, 상기 제1 채널의 양측에 각각 위치하는 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체를 형성하는 단계,

상기 제1 반도체 위에 절연층 및 게이트 전극층을 차례로 형성하는 단계,

상기 절연층 및 상기 게이트 전극층을 동시에 식각하여 복수개의 제1 서브 절연 부재를 포함하는 제1 절연 부재 및 복수개의 제1 게이트 전극을 포함하는 제1 게이트 전극을 형성하는 단계,

상기 제1 반도체와 연결되는 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계

를 포함하고,

상기 복수개의 제1 서브 절연 부재는 상기 제1 소스 영역 및 상기 제1 드레인 영역과 중첩하지 않는 유기 발광 표시 장치의 제조 방법.

#### 청구항 9

제8항에서,

상기 기판 위에 스캔선 및 데이터선에 연결되는 제2 트랜지스터를 형성하는 단계를 더 포함하고,

상기 제2 트랜지스터를 형성하는 단계는

상기 기판 위에 제2 반도체를 형성하는 단계,

상기 제2 반도체 위에 상기 절연층 및 상기 게이트 전극층을 차례로 형성하는 단계,

상기 절연층 및 상기 게이트 전극층을 동시에 식각하여 제2 절연 부재 및 제2 게이트 전극을 형성하는 단계,

상기 제2 반도체와 연결되는 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 10

제9항에서,

상기 제2 반도체는 제2 채널, 상기 제2 채널의 양측에 각각 위치하는 제2 소스 영역 및 제2 드레인 영역을 포함하고,

상기 제2 절연 부재는 상기 제2 소스 영역 및 상기 제2 드레인 영역과 중첩하지 않는 유기 발광 표시 장치의 제조 방법.

**청구항 11**

제9항에서,

상기 제1 반도체와 상기 제2 반도체는 동시에 형성되는 유기 발광 표시 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 표시 장치로는 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Diode Display, OLED Display) 등이 사용되고 있다.

[0003] 특히, 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극인 캐소드(cathode)로부터 주입된 전자(electron)와 다른 전극인 애노드(anode)로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0004] 유기 발광 표시 장치는 캐소드, 애노드 및 유기 발광층으로 이루어진 유기 발광 다이오드를 포함하는 복수개의 화소를 포함한다. 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 트랜지스터(transistor) 및 커패시터(capacitor)가 형성된다.

[0005] 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극 및 반도체를 포함한다. 반도체는 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체로는 규소(Si)가 많이 사용되고 있다. 규소는 결정 형태에 따라 비정질 규소 및 다결정 규소로 나누어지는데, 비정질 규소는 제조 공정이 단순한 반면 전하 이동도가 낮아 고성능 트랜지스터를 제조하는데 한계가 있고 다결정 규소는 전하 이동도가 높은 반면 규소를 결정화하는 단계가 요구되어 제조 비용 및 공정이 복잡하다. 최근에는, 비정질 규소보다 전자 이동도가 높고 ON/OFF 비율이 높으며 다결정 규소보다 원가가 저렴하고 균일도가 높은 산화물 반도체(oxide semiconductor)를 이용하는 트랜지스터에 대한 연구가 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 실시예는 유기 발광 표시 장치의 트랜지스터의 특성을 향상시키기 위한 것이다.

**과제의 해결 수단**

[0007] 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 위치하는 제1 트랜지스터, 상기 제1 트랜지스터에 연결되는 유기 발광 다이오드를 포함하고, 상기 제1 트랜지스터는 상기 기판 위에 위치하며, 복수개의 제1 서브 채널을 포함하는 제1 채널, 상기 제1 채널의 양측에 각각 위치하는 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체, 상기 제1 반도체와 중첩하는 복수개의 제1 서브 게이트 전극을 포함하는 제1 게이트 전극, 상기 제1 반도체와 상기 제1 게이트 전극 사이에 위치하는 복수개의 제1 서브 절연 부재를 포함하는 제1 절연 부재, 그리고 상기 제1 반도체와 각각 연결되는 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 복수개의 제1 서브 절연 부재는 상기 제1 소스 영역 및 제1 드레인 영역과 중첩하지 않는다.

[0008] 상기 복수개의 제1 서브 게이트 전극은 서로 이격되며, 상기 복수개의 제1 서브 절연 부재는 서로 이격될 수 있다.

- [0009] 상기 제1 반도체는 서로 인접하는 제1 서브 채널 사이에 위치하는 중간 영역을 더 포함하고, 상기 중간 영역은 상기 복수개의 제1 서브 절연 부재와 중첩하지 않을 수 있다.
- [0010] 상기 기판 위에 위치하는 스캔선, 상기 스캔선과 교차하는 데이터선, 그리고 상기 스캔선 및 상기 데이터선에 연결되는 제2 트랜지스터를 더 포함하고, 상기 제2 트랜지스터는 상기 기판 위에 위치하는 제2 반도체, 상기 제2 반도체와 중첩하는 제2 게이트 전극, 상기 제2 반도체와 제2 게이트 전극 사이에 위치하는 제2 절연 부재, 상기 제2 반도체와 각각 연결되는 제2 소스 전극 및 제2 드레인 전극을 포함하고, 상기 제2 게이트 전극은 상기 제1 게이트 전극과 동일한 층에 위치할 수 있다.
- [0011] 상기 제2 반도체는 제2 채널, 상기 제2 채널의 양측에 각각 위치하는 제2 소스 영역 및 제2 드레인 영역을 포함하고, 상기 제2 절연 부재는 상기 제2 소스 영역 및 상기 제2 드레인 영역과 중첩하지 않을 수 있다.
- [0012] 상기 제1 채널의 폭은 상기 제2 채널의 폭보다 클 수 있다.
- [0013] 상기 제1 반도체 및 제2 반도체는 산화물 반도체 물질을 포함할 수 있다.
- [0014] 또한, 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 트랜지스터를 형성하는 단계, 상기 제1 트랜지스터에 연결되는 유기 발광 다이오드를 형성하는 단계를 포함하고, 상기 제1 트랜지스터를 형성하는 단계는 상기 기판 위에 복수개의 제1 서브 채널을 포함하는 제1 채널, 상기 제1 채널의 양측에 각각 위치하는 제1 소스 영역 및 제1 드레인 영역을 포함하는 제1 반도체를 형성하는 단계, 상기 제1 반도체 위에 절연층 및 게이트 전극층을 차례로 형성하는 단계, 상기 절연층 및 상기 게이트 전극층을 동시에 식각하여 복수개의 제1 서브 절연 부재를 포함하는 제1 절연 부재 및 복수개의 제1 게이트 전극을 포함하는 제1 게이트 전극을 형성하는 단계, 상기 제1 반도체와 연결되는 제1 소스 전극 및 제1 드레인 전극을 형성하는 단계를 포함하고, 상기 복수개의 제1 서브 절연 부재는 상기 제1 소스 영역 및 제1 드레인 영역과 중첩하지 않는다.
- [0015] 상기 기판 위에 스캔선 및 데이터선에 연결되는 제2 트랜지스터를 형성하는 단계를 더 포함하고, 상기 제2 트랜지스터를 형성하는 단계는 상기 기판 위에 제2 반도체를 형성하는 단계, 상기 제2 반도체 위에 상기 절연층 및 상기 게이트 전극층을 차례로 형성하는 단계, 상기 절연층 및 상기 게이트 전극층을 동시에 식각하여 제2 절연 부재 및 제2 게이트 전극을 형성하는 단계, 상기 제2 반도체와 연결되는 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계를 포함할 수 있다.
- [0016] 상기 제2 반도체는 제2 채널, 상기 제2 채널의 양측에 각각 위치하는 제2 소스 영역 및 제2 드레인 영역을 포함하고, 상기 제2 절연 부재는 상기 제2 소스 영역 및 제2 드레인 영역과 중첩하지 않을 수 있다.
- [0017] 상기 제1 반도체와 상기 제2 반도체는 동시에 형성될 수 있다.

**발명의 효과**

- [0018] 일 실시예에 따르면, 출력 포화 특성과 채널 신뢰성 같은 트랜지스터의 특성을 향상시켜 유기 발광 표시 장치의 신뢰성을 높일 수 있다.

**도면의 간단한 설명**

- [0019] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 평면도이다.
- 도 3은 도 2의 구동 트랜지스터의 일부 확대도이다.
- 도 4는 도 2에 도시된 유기 발광 표시 장치를 IV-IV선 및 IV'-IV'선을 따라 자른 단면도이다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 제조 방법의 일 단계를 나타내는 평면도이다.
- 도 6은 도 5의 VI-VI선 및 VI'-VI'선을 따라 자른 단면도이다.
- 도 7은 도 5의 다음 단계의 평면도이다.
- 도 8은 도 7의 VIII-VIII선 및 VIII'-VIII'선을 따라 자른 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의

지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

- [0021] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0022] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0023] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0024] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- [0025] 도 1에 도시한 바와 같이, 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(PX)는 복수개의 신호선(121, 171, 172), 복수개의 신호선(121, 171, 172)에 연결되는 복수개의 트랜지스터(Qd, Qs), 스토리지 커패시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0026] 복수개의 신호선(121, 171, 172)은 스캔 신호(Sn)를 전달하는 스캔선(121), 데이터 신호(Dm)를 전달하는 데이터선(171), 그리고 구동 전압(ELVDD)을 전달하는 구동 전압선(172)을 포함한다.
- [0027] 복수개의 트랜지스터(Qd, Qs)는 구동 트랜지스터(driving transistor)(Qd) 및 스위칭 트랜지스터(switching transistor)(Qs)를 포함한다.
- [0028] 스위칭 트랜지스터(Qs)는 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스캔선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 스캔선(121)에 인가되는 스캔 신호(Sn)에 응답하여 데이터선(171)에 인가되는 데이터 신호(Dm)를 구동 트랜지스터(Qd)에 전달한다.
- [0029] 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(OLED)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 구동 전류(Id)를 흘린다.
- [0030] 스토리지 커패시터(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 스토리지 커패시터(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn off)된 뒤에도 이를 유지한다.
- [0031] 유기 발광 다이오드(OLED)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode), 공통 전압(ELVSS)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(OLED)는 구동 트랜지스터(Qd)의 구동 전류(Id)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0032] 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n 채널 전계 효과 트랜지스터(field effect transistor, FET) 또는 p 채널 전계 효과 트랜지스터일 수 있다. 그리고, 트랜지스터(Qs, Qd), 스토리지 커패시터(Cst) 및 유기 발광 다이오드(OLED)의 연결 관계는 바뀔 수 있다.
- [0033] 도 1에 도시한 유기 발광 표시 장치의 구체적인 구조에 대해 이하에서 도 2 내지 도 4를 참고하여 상세히 설명한다.
- [0034] 도 2는 일 실시예에 따른 유기 발광 표시 장치의 평면도이고, 도 3은 도 2의 구동 트랜지스터의 일부 확대도이며, 도 4는 도 2에 도시된 유기 발광 표시 장치를 IV-IV선 및 IV'-IV'선을 따라 자른 단면도이다.
- [0035] 도 2 내지 도 4를 참조하면, 일 실시예에 따른 유기 발광 표시 장치는 기판(110) 위에 버퍼층(111)이 위치한다. 버퍼층(111)은 기판(110)을 덮는다.
- [0036] 도면에서, 제1 방향(D1) 및 제2 방향(D2)은 기판(110)의 면에 수직인 방향에서 봤을 때 보이는 면에 평행한 방향으로서 서로 수직이고, 제3 방향(D3)은 제1 및 제2 방향(D1, D2)에 수직인 방향으로 대체로 기판(110)의 면에 수직인 방향이다. 제3 방향(D3)은 주로 단면 구조에서 표시될 수 있으며 단면 방향이라고도 한다. 제1 방향

(D1) 및 제2 방향(D2)에 평행한 면을 관찰할 때 보여지는 구조를 평면 구조라 한다. 단면 구조에서 어떤 구성 요소의 위에 다른 구성 요소가 위치한다고 하면 두 구성 요소가 제3 방향(D3)으로 배열되어 있는 것을 의미하며, 두 구성 요소 사이에는 다른 구성 요소가 위치할 수도 있다.

- [0037] 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 버퍼층(111)은 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 산화 알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화 hafnium(HfO<sub>3</sub>), 산화 이트륨(Y<sub>2</sub>O<sub>3</sub>) 등의 무기 절연 물질을 포함할 수 있다. 버퍼층(111)은 단일막 또는 다중막일 수 있다. 예컨대, 버퍼층(111)이 이중막일 경우 하부막은 질화 규소(SiN<sub>x</sub>)를 포함하고 상부막은 산화 규소(SiO<sub>x</sub>)를 포함할 수 있다. 버퍼층(111)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다.
- [0038] 버퍼층(111) 위에는 제1 반도체(130d) 및 제2 반도체(130s)가 서로 이격되어 위치하고 있다. 제1 반도체(130d) 및 제2 반도체(130s)는 산화물 반도체 물질로 이루어질 수 있다. 산화물 반도체 물질은 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속의 산화물, 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합을 포함할 수 있다. 좀더 구체적으로, 산화물은 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도 하나를 포함할 수 있다.
- [0039] 제1 반도체(130d)는 복수개의 제1 서브 채널(131a, 131b, 131c)을 포함하는 제1 채널(131d), 서로 인접하는 제1 서브 채널(131a, 131b, 131c) 사이에 위치하는 중간 영역(134), 제1 채널(131d) 전체의 양측에 각각 위치하는 제1 소스 영역(133d) 및 제1 드레인 영역(135d)을 포함한다. 본 실시예에서 제1 채널(131d)는 3개의 제1 서브 채널(131a, 131b, 131c)을 포함하는 것으로 설명하고 있으나, 반드시 이에 한정되는 것은 아니며 다양한 변형이 가능하다.
- [0040] 제2 반도체(130s)는 제2 채널(131s), 제2 채널(131s)의 양측에 각각 위치하는 제2 소스 영역(133s) 및 제2 드레인 영역(135s)을 포함한다.
- [0041] 제1 반도체(130d) 및 제2 반도체(130s) 위에는 각각 복수개의 제1 서브 절연 부재(141a, 141b, 141c)를 포함하는 제1 절연 부재(141d) 및 제2 절연 부재(141s)가 위치한다. 또한, 절연 부재(141)는 버퍼층(111) 위에 직접 위치한다.
- [0042] 구체적으로, 복수개의 제1 서브 채널(131a, 131b, 131c) 위에는 복수개의 제1 서브 절연 부재(141a, 141b, 141c)가 중첩하여 위치한다. 즉, 본 실시예에서는 3개의 제1 서브 채널(131a, 131b, 131c) 위에 각각 3개의 제1 서브 절연 부재(141a, 141b, 141c)가 위치한다. 따라서, 복수개의 제1 서브 절연 부재(141a, 141b, 141c)는 제1 소스 영역(133d) 및 제1 드레인 영역(135d)과 중첩하지 않는다. 그리고, 중간 영역(134)도 복수개의 제1 서브 절연 부재(141a, 141b, 141c)와 중첩하지 않는다.
- [0043] 이와 같이, 제1 소스 영역(133d) 및 제1 드레인 영역(135d)은 복수개의 제1 서브 절연 부재(141a, 141b, 141c)에 의해 덮이지 않으므로, 제1 소스 영역(133d) 및 제1 드레인 영역(135d)은 플라즈마 처리 등의 방법으로 도체화하여 형성할 수 있다. 예를 들어, 제1 반도체(130d)를 수소 가스 분위기에서 플라즈마 처리하여 제1 반도체(130d)에 수소를 확산시켜 도체화함으로써 제1 소스 영역(133d) 및 제1 드레인 영역(135d)을 형성할 수 있다.
- [0044] 제2 채널(131s) 위에는 제2 절연 부재(141s)가 중첩하여 위치한다. 따라서, 제2 절연 부재(141s)는 제2 소스 영역(133s) 및 제2 드레인 영역(135s)과 중첩하지 않는다. 이와 같이, 제2 소스 영역(133s) 및 제2 드레인 영역(135s)은 복수개의 제2 절연 부재(141s)에 의해 덮이지 않으므로, 제2 소스 영역(133s) 및 제2 드레인 영역(135s)은 플라즈마 처리 등의 방법으로 도체화하여 형성할 수 있다.
- [0045] 절연 부재(141), 제1 절연 부재(141d) 및 제2 절연 부재(141s)는 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 질산화 규소(SiON), 산화 알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화 hafnium(HfO<sub>3</sub>), 산화 이트륨(Y<sub>2</sub>O<sub>3</sub>) 등의 절연 물질을 포함할 수 있다.
- [0046] 절연 부재(141) 위에는 절연 부재(141)와 동일한 패턴으로 형성된 스캔선(121)이 중첩하여 위치한다. 스캔선(121)은 가로 방향으로 길게 뻗어 스캔 신호(Sn)를 전달한다.
- [0047] 제1 절연 부재(141d) 위에는 제1 게이트 전극(125d)이 중첩하여 위치한다. 즉, 본 실시예에서는 3개의 제1 서브 절연 부재(141a, 141b, 141c) 위에 각각 3개의 제1 서브 게이트 전극(125a, 125b, 125c)이 위치한다.
- [0048] 제2 절연 부재(141s) 위에는 제2 게이트 전극(125s)이 중첩하여 위치한다. 제2 게이트 전극(125s)은 스캔선(121)으로부터 제2 반도체(130s)로 돌출되어 위치한다.

- [0049] 제1 게이트 전극(125d), 제2 게이트 전극(125s) 및 스캔선(121)은 구리(Cu), 구리 합금, 알루미늄(Al), 및 알루미늄 합금 중 어느 하나를 포함하는 금속막, 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다.
- [0050] 제1 게이트 전극(125d), 제2 게이트 전극(125s) 및 스캔선(121) 위에는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 제1 게이트 전극(125d), 제2 게이트 전극(125s) 및 스캔선(121)을 덮는다. 층간 절연막(160)은 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 질산화 규소(SiON), 산화 알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화 하프늄(HfO<sub>3</sub>), 산화 이트륨(Y<sub>2</sub>O<sub>3</sub>) 등의 절연 물질을 포함할 수 있다.
- [0051] 층간 절연막(160)에는 제1 소스 영역(133d) 및 제1 드레인 영역(135d)과 각각 중첩하는 제1 접촉 구멍(163d)과 제2 접촉 구멍(165d)이 형성된다. 또한, 층간 절연막에는 제2 소스 영역(133s) 및 제2 드레인 영역(135s)과 각각 중첩하는 제3 접촉 구멍(163s) 및 제4 접촉 구멍(165s)이 형성된다.
- [0052] 층간 절연막(160) 위에는 제2 드레인 전극(175s)을 가지는 데이터선(171), 제1 드레인 전극(175d)을 가지는 구동 전압선(172), 제2 소스 전극(173s) 및 제1 소스 전극(173d)이 형성된다.
- [0053] 데이터선(171)은 데이터 신호(Dm)를 전달하며 스캔선(121)과 교차하는 방향으로 뻗어 있다. 구동 전압선(172)은 구동 전압(ELVDD)을 전달하며 데이터선(171)과 분리되어 같은 방향으로 뻗어 있다.
- [0054] 제2 드레인 전극(175s)은 데이터선(171)으로부터 제2 반도체(130s)를 향해서 돌출되어 있으며, 제1 드레인 전극(175d)은 구동 전압선(172)으로부터 제1 반도체(130d)를 향해서 돌출된다. 제2 드레인 전극(175s)과 제1 드레인 전극(175d)은 각각 제4 접촉 구멍(165s) 및 제2 접촉 구멍(165d)을 통해서 제2 드레인 영역(135s) 및 제1 드레인 영역(135d)과 연결된다. 제2 소스 전극(173s)과 제1 소스 전극(173d)은 각각 제3 접촉 구멍(163s) 및 제1 접촉 구멍(163d)을 통해서 제2 소스 영역(133s) 및 제1 소스 영역(133d)과 연결된다.
- [0055] 제2 소스 전극(173s)에서 연장된 연장부(178)는 제1 게이트 전극(125d)의 일단부와 중첩한다. 그리고, 연장부(178)는 층간 절연막(160)에 형성된 제5 접촉 구멍(168)을 통해 제1 게이트 전극(125d)의 일단부와 연결된다. 따라서, 스위칭 트랜지스터(Qs)를 통해 전달된 데이터 신호(Dm)는 구동 트랜지스터(Qd)의 제1 게이트 전극(125d)으로 전달된다.
- [0056] 제1 반도체(130d), 제1 게이트 전극(125d), 제1 소스 전극(173d) 및 제1 드레인 전극(175d)은 구동 트랜지스터(Qd)를 이루고, 제2 반도체(130s), 제2 게이트 전극(125s), 제2 소스 전극(173s) 및 제2 드레인 전극(175s)은 스위칭 트랜지스터(Qs)를 이룬다.
- [0057] 상기에 기재한 바와 같이, 구동 트랜지스터(Qd)의 제1 게이트 전극(125d)을 복수개의 제1 서브 게이트 전극(125a, 125b, 125c)으로 분리함으로써, 제1 게이트 전극(125d)과 중첩하는 복수개의 제1 서브 채널(131a, 131b, 131c) 사이에 중간 영역(134)을 형성하여 복수개의 제1 서브 채널(131a, 131b, 131c)을 서로 분리시킬 수 있다. 이와 같이, 제1 반도체(130d)에 서로 분리된 복수개의 제1 서브 채널(131a, 131b, 131c)을 형성함으로써, 열화 현상을 최소화할 수 있다. 따라서, 제1 반도체(130d)를 포함하는 구동 트랜지스터(Qd)의 신뢰성을 향상시킬 수 있다.
- [0058] 또한, 제1 반도체(130d)의 열화 현상을 최소화할 수 있으므로, 제1 반도체(130d)의 제1 채널(131d)의 폭(W1)을 증가시켜 구동 트랜지스터(Qd)의 출력 포화(output saturation) 특성을 향상시킬 수 있다. 일반적으로 반도체의 채널의 폭이 증가되는 경우 트랜지스터의 출력 포화 특성은 향상된다.
- [0059] 이와 같이, 구동 트랜지스터(Qd)의 제1 게이트 전극(125d)을 복수개의 제1 서브 게이트 전극(125a, 125b, 125c)으로 분리함으로써, 구동 트랜지스터의 신뢰성을 향상시킬 수 있고, 이에 따라 제1 채널(131d)의 폭을 증가시킬 수 있으므로 구동 트랜지스터(Qd)의 출력 포화 특성도 향상시킬 수 있다.
- [0060] 또한, 구동 트랜지스터(Qd)에서는 복수개의 제1 서브 게이트 전극(125a, 125b, 125c)을 형성하는 동시에 제1 채널(131d)의 폭(W1)을 증가시킴으로써, 출력 포화 특성과 채널 신뢰성을 동시에 향상시킬 수 있다.
- [0061] 또한, 제1 반도체(130d) 아래에 별도의 하부 전극을 형성하지 않고도 출력 포화 특성을 형성할 수 있으므로, 마스크의 수를 줄여 제조 비용을 단축시킬 수 있다. 이처럼, 유기 발광 표시 장치의 트랜지스터의 특성을 향상시킴으로써 유기 발광 표시 장치의 신뢰성을 높일 수 있다.
- [0062] 한편, 도 2에 도시한 바와 같이, 구동 전압선(172)에서 제1 게이트 전극(125d) 쪽으로 연장된 제2 커패시터 전

극(35)은 중첩하여 그 아래에 위치하는 제1 게이트 전극(125d)과 함께 스토리지 커패시터(Cst)를 이룬다.

- [0063] 제2 드레인 전극(175s), 제1 드레인 전극(175d), 제2 소스 전극(173s) 및 제1 소스 전극(173d) 위에는 보호막(180)이 위치한다.
- [0064] 보호막(180) 위에는 화소 전극(191)이 위치하며, 화소 전극(191)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 또는  $\text{In}_2\text{O}_3$ (Indium Oxide) 등의 투명한 도전 물질이나 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 만들어질 수 있다. 화소 전극(191)은 보호막(180)에 형성된 화소 접촉 구멍(181)을 통해서 구동 트랜지스터(Qd)의 제1 소스 전극(173d)과 전기적으로 연결되어 유기 발광 다이오드(OLED)의 애노드 전극이 된다.
- [0065] 보호막(180) 및 화소 전극(191)의 가장자리부 위에는 화소 정의막(350)이 형성되어 있다. 화소 정의막(350)은 화소 전극(191)과 중첩하는 화소 개구부(351)를 가진다. 화소 정의막(350)은 폴리아크릴계(polyacrylics) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함하여 이루어질 수 있다.
- [0066] 화소 정의막(350)의 화소 개구부(351)에는 유기 발광층(370)이 형성되어 있다. 유기 발광층(370)은 발광층, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL) 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 복수층으로 형성된다. 유기 발광층(370)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 화소 전극(191) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0067] 화소 정의막(350) 및 유기 발광층(370) 위에는 공통 전극(270)이 위치한다. 공통 전극(270)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 또는  $\text{In}_2\text{O}_3$ (Indium Oxide) 등의 투명한 도전 물질이나 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 만들어질 수 있다. 공통 전극(270)은 유기 발광 다이오드(OLED)의 캐소드 전극이 된다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(OLED)를 이룬다.
- [0068] 이제 도 5 내지 도 8을 참고하여, 도 1 내지 도 4에 도시된 유기 발광 표시 장치의 제조 방법의 일 실시예에 대해 설명한다.
- [0069] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 제조 방법의 일 단계를 나타내는 평면도이고, 도 6은 도 5의 VI-VI선 및 VI'-VI'선을 따라 자른 단면도이며, 도 7은 도 5의 다음 단계의 평면도이고, 도 8은 도 7의 VIII-VIII선 및 VIII'-VIII'선을 따라 자른 단면도이다.
- [0070] 우선, 도 5 및 도 6에 도시한 바와 같이, 기판(110) 위에, 화학 기상 증착(CVD) 등을 통해 산화 규소( $\text{SiO}_x$ ), 질화 규소( $\text{SiN}_x$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 산화 hafnium( $\text{HfO}_3$ ), 산화 이트륨( $\text{Y}_2\text{O}_3$ ) 등의 무기 절연 물질을 적층하여 버퍼층(111)을 형성한다.
- [0071] 이어서 버퍼층(111) 위에 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 등의 산화물 반도체 물질을 화학 기상 증착 등을 통해 적층하고 제1 마스크를 사용하여 패터닝하여, 제1 반도체(130d) 및 제2 반도체(130s)를 형성한다.
- [0072] 다음으로, 도 7 및 도 8에 도시한 바와 같이, 제1 반도체(130d) 및 제2 반도체(130s)가 형성된 기판(110) 위에 산화 규소( $\text{SiO}_x$ ), 질화 규소( $\text{SiN}_x$ ), 질산화 규소( $\text{SiON}$ ) 등의 무기 절연 물질을 화학 기상 증착 등을 통해 적층하여 절연층을 형성한다. 이어서 절연층 위에 금속 등의 도전성 물질을 스퍼터링 등을 통해 적층하여 게이트 전극층을 형성한다. 그리고, 절연층 및 게이트 전극층을 제2 마스크를 사용하여 동시에 패터닝하여 복수개의 제1 서브 절연 부재(141a, 141b, 141c)를 포함하는 제1 절연 부재(141d), 제1 절연 부재(141d)와 중첩하는 제1 게이트 전극(125d), 제2 절연 부재(141s), 제2 절연 부재(141s)와 중첩하는 제2 게이트 전극(125s), 절연 부재(141), 절연 부재(141)와 중첩하는 스캔선(121)을 형성한다. 이때 습식 식각 또는 건식 식각을 이용하여 절연층과 게이트 도전층을 식각할 수 있다.
- [0073] 이어서, 수소 가스 분위기에서 플라즈마 처리하여 제1 반도체(130d) 및 제2 반도체(130s)에 수소를 확산시켜 도체화함으로써, 제1 반도체(130d) 및 제2 반도체(130s)에 중간 영역(134), 제1 소스 영역(133d), 제1 드레인 영

역(135d), 제2 소스 영역(133s) 및 제2 드레인 영역(135s)을 형성한다. 이 때, 복수개의 제1 서브 게이트 전극(125a, 125b, 125c) 및 제2 게이트 전극(125s)에 의해 차단되어 도체화되지 않은 영역은 복수개의 제1 서브 채널(131a, 131b, 131c) 및 제2 채널(131s)로 형성된다.

[0074] 다음으로, 도 2 내지 도 4에 도시한 바와 같이, 산화 규소(SiO<sub>x</sub>), 질화 규소(SiN<sub>x</sub>), 질산화 규소(SiON) 등의 무기 절연 물질을 화학 기상 증착 등을 통해 적층하여 단일막 또는 다중막 구조의 층간 절연막(160)을 형성한다.

[0075] 이어서 제3 마스크를 사용하여 층간 절연막(160)을 패터닝하여 제1 소스 영역(133d)과 중첩하는 제1 접촉 구멍(163d), 제1 드레인 영역(135d)과 중첩하는 제2 접촉 구멍(165d), 제2 소스 영역(133s)과 중첩하는 제3 접촉 구멍(163s), 그리고 제2 드레인 영역(135s)과 제4 접촉 구멍(165s), 그리고 연장부(178)와 중첩하는 제5 접촉 구멍(168)이 형성된다.

[0076] 그리고, 층간 절연막(160) 위에 금속 등의 도전성 물질을 스퍼터링 등을 통해 적층하고 제4 마스크를 사용하여 패터닝하여 제2 드레인 전극(175s)을 가지는 데이터선(171), 제1 드레인 전극(175d)을 가지는 구동 전압선(172), 제2 소스 전극(173s) 및 제1 소스 전극(173d)을 형성한다.

[0077] 그리고, 제2 드레인 전극(175s)을 가지는 데이터선(171), 제1 드레인 전극(175d)을 가지는 구동 전압선(172), 제2 소스 전극(173s) 및 제1 소스 전극(173d)을 덮는 보호막(180)을 형성한다. 이어서 제5 마스크를 이용하여 보호막(180)에 제1 소스 전극(173d)과 중첩하는 화소 접촉 구멍(181)을 형성한다. 그리고, 보호막(180) 위에 화소 전극(191)을 형성한다. 화소 전극(191)은 제1 소스 전극(173d)과 화소 접촉 구멍(181)을 통해 연결된다.

[0078] 그리고, 보호막(180) 위에 화소 정의막(350)을 형성한다. 그리고, 제6 마스크를 이용하여 화소 전극(191)과 중첩하는 화소 개구부(351)를 형성한다. 그리고, 화소 개구부(351)의 화소 전극(191) 위에 유기 발광층(370)을 형성하고, 유기 발광층(370) 및 화소 정의막(350) 위에 공통 전극(270)을 형성한다.

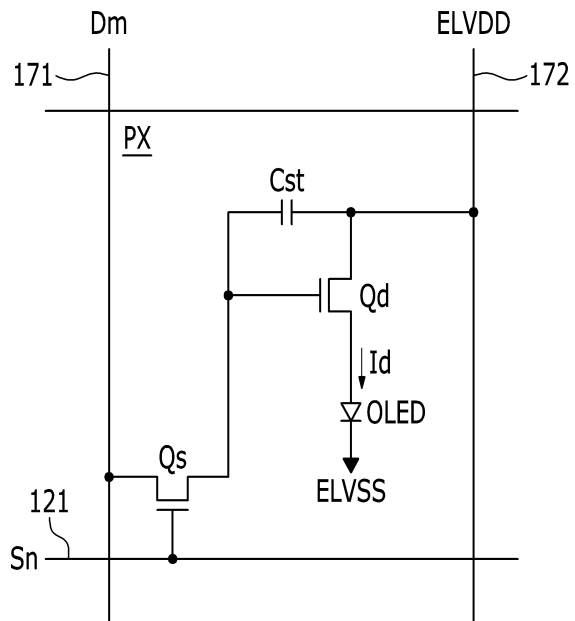
[0079] 본 개시를 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

**부호의 설명**

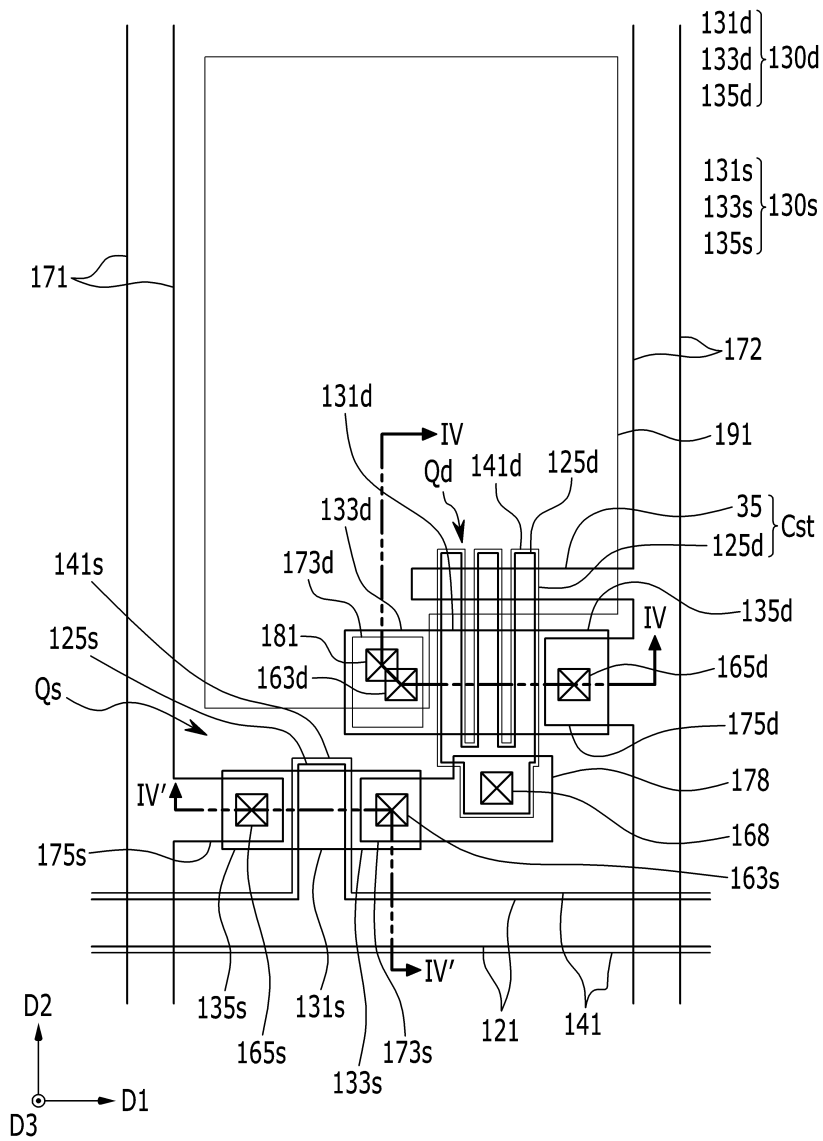
- [0080] 110: 기판    111: 버퍼층
- 125d: 제1 게이트 전극    125s: 제2 게이트 전극
- 130d: 제1 반도체    130s: 제2 반도체
- 141d: 제1 절연 부재    141s: 제2 절연 부재
- 160: 층간 절연막    171: 데이터선
- 172: 구동 전압선    173d: 제1 소스 전극
- 175d: 제1 드레인 전극    173s: 제2 소스 전극
- 175s: 제2 드레인 전극    180: 보호막

도면

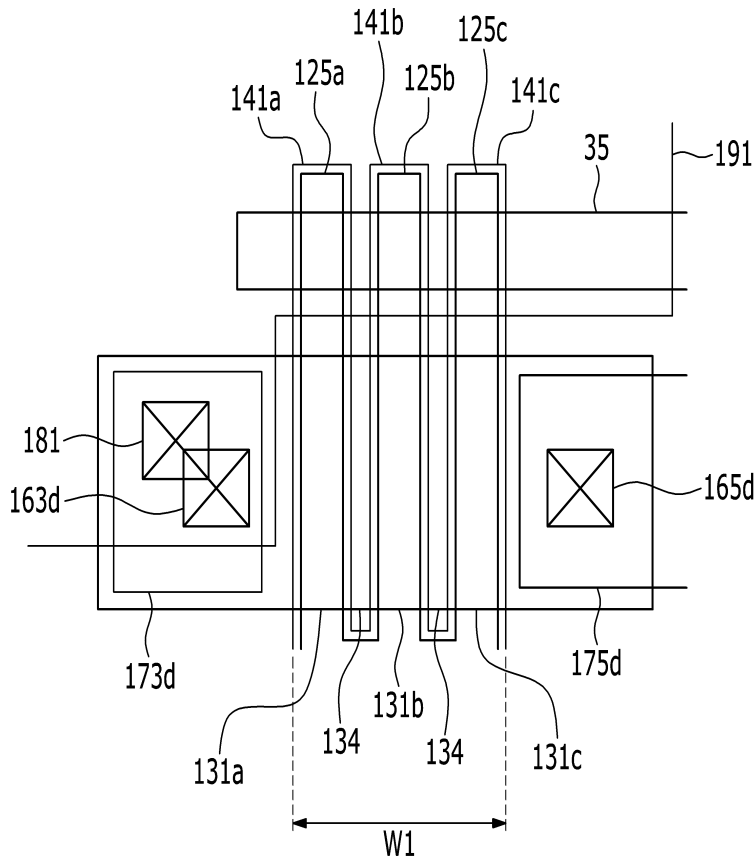
도면1



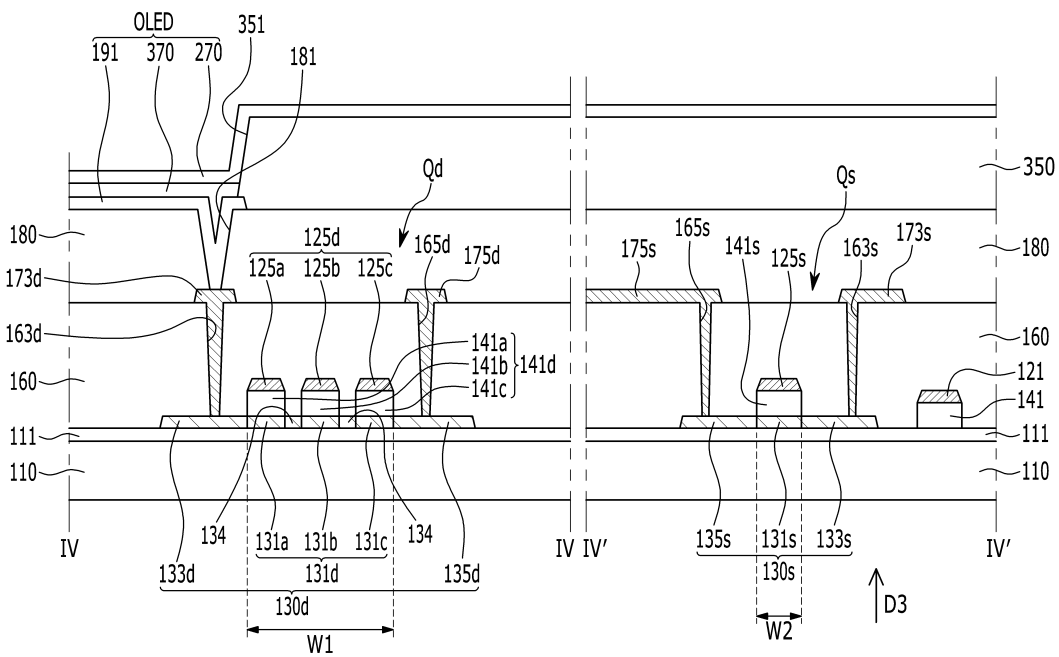
도면2



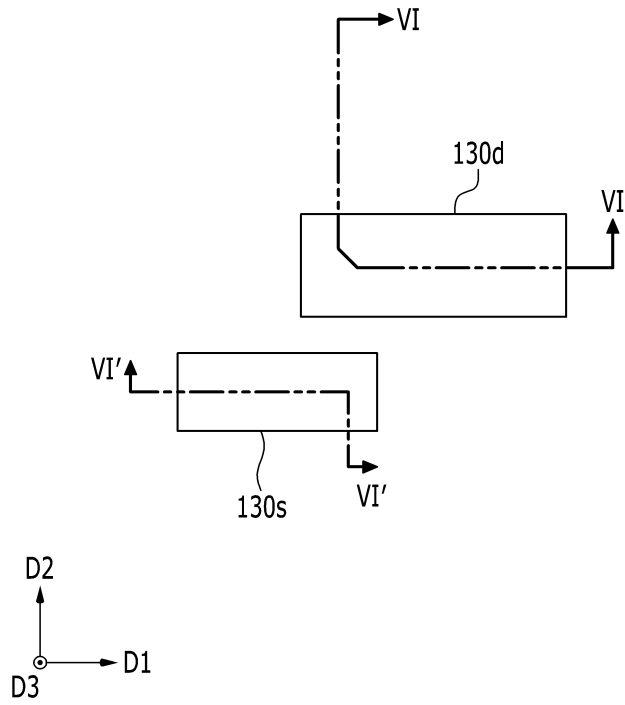
도면3



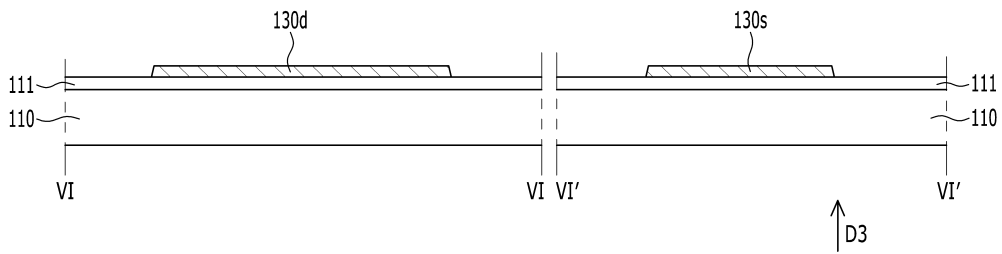
도면4



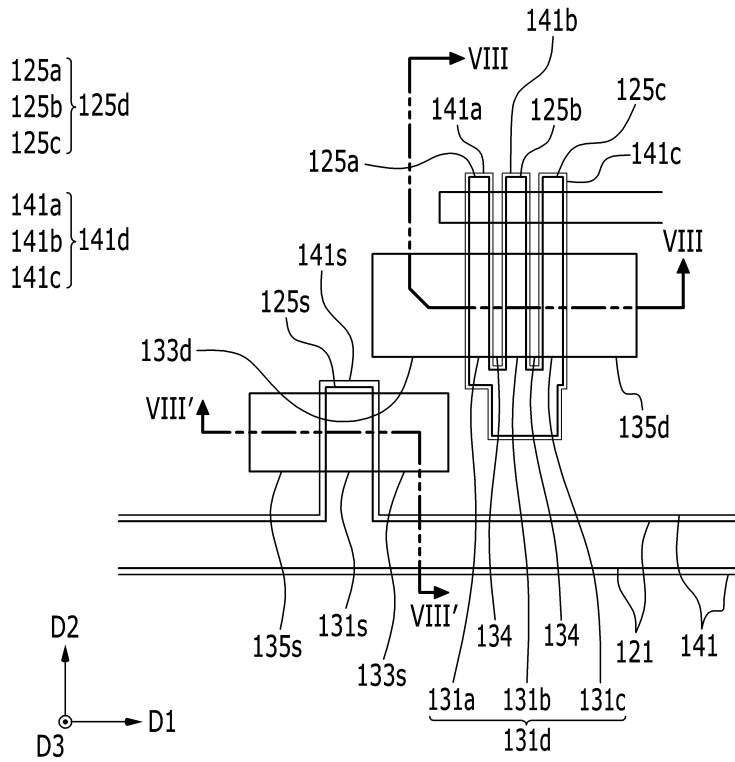
도면5



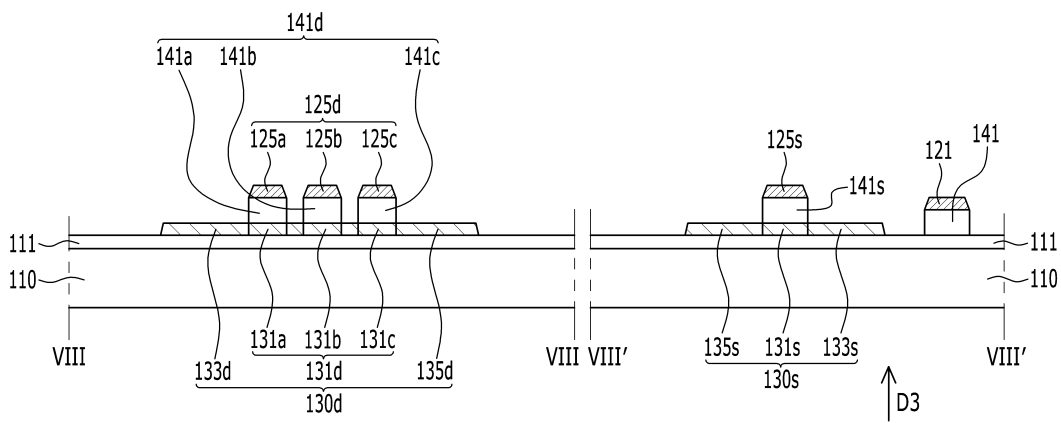
도면6



도면7



도면8



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	<a href="#">KR1020170115639A</a>	公开(公告)日	2017-10-18
申请号	KR1020160042778	申请日	2016-04-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM TAE YOUNG 김태영 HUH JONG MOO 허중무		
发明人	김태영 허중무		
IPC分类号	H01L27/32 H01L27/12 H01L29/786		
CPC分类号	H01L27/3262 H01L27/3248 H01L27/1214 H01L27/1251 H01L27/3258 H01L29/78696 H01L29/78606		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据实施例的有机发光显示装置包括：多个第一子绝缘构件，不与第一源极区域和第一漏极区域重叠，第一源极电极和第一漏极电极与第一绝缘构件和第一半导体连接包括第一栅电极和位于第一半导体和包括第一半导体的第一栅电极之间的多个第一子绝缘构件，以及与包括基板的第一半导体重叠的多个第一子栅电极，第一源区包括第一晶体管位于基板上，连接第一晶体管和第一晶体管的有机发光二极管位于基板上，并且是位于主通道两侧的多个第一子通道和主通道，以及第一个排水域。

