



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081081
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) H01L 21/268 (2006.01)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 51/56 (2013.01)
H01L 21/268 (2013.01)
(21) 출원번호 10-2015-0191814
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
주재형
경기도 고양시 일산서구 일산로 612 605동 804호
(일산동, 후곡마을6단지아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 18 항

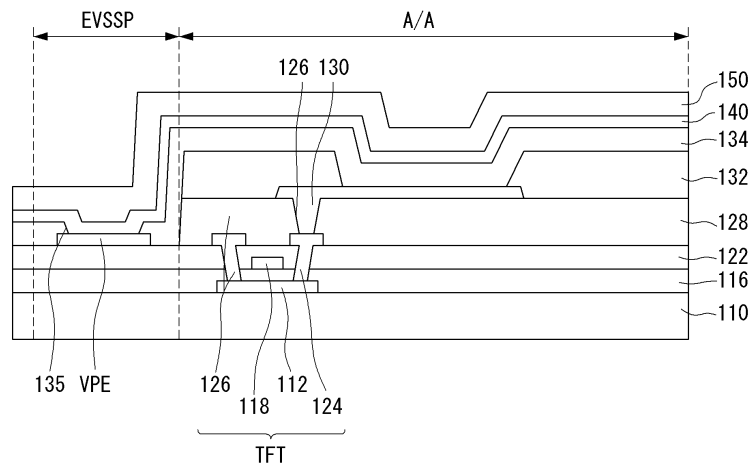
(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

본 발명의 일 실시예에 따른 유기발광표시장치는 표시 영역 및 전원 패드부를 포함하는 기판을 포함한다. 표시 영역은 표시 영역 상에 위치하는 박막트랜지스터와, 박막트랜지스터에 연결된 제1 전극을 포함한다. 전원 패드부는 전원 패드부 상에 위치하는 전원 패드전극을 포함한다. 표시 영역과 전원 패드부 상에는 유기막층, 제2 전극 및 캡핑층이 위치한다. 제2 전극은 유기막층 상에 위치하고, 캡핑층은 제2 전극 상에 위치한다. 유기막층은 전원 패드전극을 노출하는 제1 노출부를 포함하고, 제2 전극은 제1 노출부를 통해 전원 패드전극에 연결된다.

대표도 - 도7

100



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/5253 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 전원 패드부를 포함하는 기관;

상기 표시 영역 상에 위치하는 박막트랜지스터와, 상기 박막트랜지스터에 연결된 제1 전극;

상기 전원 패드부 상에 위치하는 전원 패드전극; 및

상기 표시 영역과 상기 전원 패드부 상에 위치하는 유기막층, 상기 유기막층 상에 위치하는 제2 전극 및 상기 제2 전극 상에 위치하는 캡핑층을 포함하며,

상기 유기막층은 상기 전원 패드전극을 노출하는 제1 노출부를 포함하고, 상기 제2 전극은 상기 제1 노출부를 통해 상기 전원 패드전극에 연결되는 유기발광표시장치.

청구항 2

제1 항에 있어서,

상기 유기막층, 상기 제2 전극 및 상기 캡핑층은 상기 표시 영역으로부터 상기 전원 패드부까지 덮는 유기발광표시장치.

청구항 3

제1 항에 있어서,

상기 제1 노출부에는 상기 전원 패드전극과 접촉하며 상기 유기막층과 상기 제2 전극의 물질들이 혼합된 혼합부를 더 포함하는 유기발광표시장치.

청구항 4

제3 항에 있어서,

상기 혼합부는 측면이 상기 제2 전극과 상기 유기막층에 접촉하는 유기발광표시장치.

청구항 5

제3 항에 있어서,

상기 캡핑층은 상기 혼합부를 노출하는 제2 노출부를 포함하는 유기발광표시장치.

청구항 6

표시 영역 및 전원 패드부를 포함하는 기관을 준비하는 단계;

상기 표시 영역 상에 박막트랜지스터와, 상기 박막트랜지스터에 연결된 제1 전극을 형성하고, 상기 전원 패드부 상에 전원 패드전극을 형성하는 단계;

상기 표시 영역과 상기 전원 패드부 상에 마스크를 이용하여 유기막층을 형성하는 단계;

상기 유기막층에 레이저 빔을 조사하여 상기 전원 패드전극을 노출하는 단계;

상기 표시 영역과 상기 전원 패드부 상에 상기 마스크를 재 이용하여 제2 전극과 캡핑층을 형성하여 상기 제2 전극과 상기 전원 패드전극을 접촉시키는 유기발광표시장치의 제조방법.

청구항 7

제6 항에 있어서,

상기 레이저 빔을 조사하는 공정은 진공 분위기에서 수행하는 유기발광표시장치의 제조방법.

청구항 8

제7 항에 있어서,

상기 유기막층, 제2 전극 및 상기 캡핑층은 상기 동일한 마스크를 이용하여 형성되는 유기발광표시장치의 제조 방법.

청구항 9

표시 영역 및 전원 패드부를 포함하는 기판을 준비하는 단계;

상기 표시 영역 상에 박막트랜지스터와, 상기 박막트랜지스터에 연결된 제1 전극을 형성하고, 상기 전원 패드부 상에 전원 패드전극을 형성하는 단계;

상기 표시 영역과 상기 전원 패드부 상에 동일한 마스크를 이용하여 유기막층, 제2 전극 및 캡핑층을 연속적으로 형성하는 단계;

상기 전원 패드전극에 대응하는 영역에 레이저 빔을 조사하여, 상기 유기막층 물질과 상기 제2 전극 물질이 혼합된 혼합부를 형성하여 상기 제2 전극과 상기 전원 패드전극을 접촉시키는 유기발광표시장치의 제조방법.

청구항 10

제9 항에 있어서,

상기 레이저 빔이 조사되면 상기 유기막층과 상기 제2 전극이 용융되어 상기 유기막층 물질과 상기 제2 전극 물질이 혼합되고, 상기 레이저 빔의 조사가 종료되면 혼합된 상기 유기막층 물질과 상기 제2 전극 물질이 고체화되어 혼합부가 형성되는 유기발광표시장치의 제조방법.

청구항 11

제9 항에 있어서,

상기 유기막층은 상기 전원 패드전극을 노출하는 제1 노출부가 형성되고, 상기 혼합부는 상기 제1 노출부에 형성되어, 상기 유기막층 및 상기 제2 전극과 접촉하는 유기발광표시장치의 제조방법.

청구항 12

제9 항에 있어서,

상기 캡핑층은 상기 레이저 빔에 의해 상기 혼합부를 노출하는 제2 노출부가 형성되는 유기발광표시장치의 제조 방법.

청구항 13

제9 항에 있어서,

상기 레이저 빔 조사 공정은 상압 분위기에서 수행되는 유기발광표시장치의 제조방법.

청구항 14

표시 영역 및 전원 패드부를 포함하는 기판;

상기 표시 영역 상에 위치하는 박막트랜지스터와, 상기 박막트랜지스터에 연결된 제1 전극, 상기 제1 전극 상에 위치하는 유기막층, 상기 유기막층 상에 위치하는 제2 전극, 및 상기 제2 전극 상에 위치하는 캡핑층;

상기 전원 패드부 상에 위치하는 전원 패드전극; 및

상기 제2 전극과 상기 전원 패드전극에 접촉하는 도전부재를 포함하는 유기발광표시장치.

청구항 15

제14 항에 있어서,

상기 도전부재는 은, 구리, 알루미늄, 크롬, 몰리브덴 또는 티타늄 중 어느 하나 이상인 유기발광표시장치.

청구항 16

표시 영역 및 전원 패드부를 포함하는 기판을 준비하는 단계;

상기 표시 영역 상에 박막트랜지스터와, 상기 박막트랜지스터에 연결된 제1 전극을 형성하고, 상기 전원 패드부 상에 전원 패드전극을 형성하는 단계;

상기 표시 영역에 동일한 마스크를 이용하여 유기막층, 제2 전극 및 캡핑층을 연속적으로 형성하는 단계;

상기 전원 패드부 상에 도전물질을 형성하여 상기 제2 전극과 상기 전원 패드전극을 접촉시키는 도전부재를 형성하는 유기발광표시장치의 제조방법.

청구항 17

제16 항에 있어서,

상기 도전부재는 도전물질을 적층한 후 레이저 빔을 이용하여 용융시켜 상기 제2 전극과 상기 전원 패드전극에 접촉시키는 유기발광표시장치의 제조방법.

청구항 18

제16 항에 있어서,

상기 도전부재는 은 도트(Ag dot)로 형성하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한, 평판표시장치의 예로는, 액정표시장치(LCD : Liquid Crystal Display), 전계방출표시장치(FED : Field Emission Display), 플라즈마표시장치(PDP : Plasma Display Panel) 및 유기발광표시장치(OLED : Organic Light Emitting Display Device) 등이 있다.

[0003] 이 중에서 유기발광표시장치는 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치이다. 유기발광표시장치는 액정표시장치에서 사용되는 백라이트가 필요하지 않아 경량박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0004] 유기발광표시장치는 애노드 전극과 캐소드 전극 사이에 유기물로 이루어진 발광층을 포함하고 있어 애노드 전극으로부터 공급받는 정공과 캐소드 전극으로부터 받은 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

[0005] 도 1 및 도 2는 유기발광표시장치의 제조방법을 공정별로 나타낸 도면이다. 도 1을 참조하면, 전원 패드부(20)가 구비된 기판(10) 상에 애노드 전극인 제1 전극(15)을 형성한다. 제1 전극(15) 상에 발광을 위한 발광층 등의 유기막층(30)을 형성한다. 유기막층(30)은 제1 마스크를 통해 전원 패드부(20) 상에 형성되지 않도록 마스크되어 증착된다. 전원 패드부(20)는 후속하는 제2 전극이 컨택해야 하기 때문에 유기막층(30)이 형성되지 않도록 마스크 해 준다.

[0006] 이어, 도 2를 참조하면, 유기막층(30)이 형성된 기판(10) 상에 제2 마스크를 이용하여 캐소드 전극인 제2 전극(40)을 형성한다. 제2 전극(40)은 노출된 전원 패드부(20)에 바로 컨택되어 연결된다. 그리고, 연속해서 제2 마스크를 이용하여 캡핑층(50)을 형성하여 유기발광표시장치를 제조한다.

[0007] 여기서, 제2 전극(40)과 캡핑층(50)은 크기가 동일하기 때문에 하나의 마스크로 형성될 수 있지만, 유기막층(30)은 유기재료이고 그 크기도 다르기 때문에 마스크를 함께 사용할 수 없다. 따라서, 제1 마스크를 이용하여

유기막층(30)을 형성한 후 제2 마스크로 교체하는 마스크 교체 공정이 수반되어 공정 시간이 증가되고, 2매의 마스크를 사용하기 때문에 제조 비용이 증가되는 문제가 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 마스크 교체 공정을 생략하여 공정 시간을 줄일 수 있는 유기발광표시장치를 제공한다.
- [0009] 또한, 본 발명은 하나의 마스크를 공용하여 제조 비용을 저감할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

- [0010] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 유기발광표시장치는 표시 영역 및 전원 패드부를 포함하는 기판을 포함한다. 표시 영역은 표시 영역 상에 위치하는 박막트랜지스터와, 박막트랜지스터에 연결된 제1 전극을 포함한다. 전원 패드부는 전원 패드부 상에 위치하는 전원 패드전극을 포함한다. 표시 영역과 전원 패드부 상에는 유기막층, 제2 전극 및 캡핑층이 위치한다. 제2 전극은 유기막층 상에 위치하고, 캡핑층은 제2 전극 상에 위치한다. 유기막층은 전원 패드전극을 노출하는 제1 노출부를 포함하고, 제2 전극은 제1 노출부를 통해 전원 패드전극에 연결된다.
- [0011] 일례로, 유기막층, 상기 제2 전극 및 상기 캡핑층은 표시 영역으로부터 전원 패드부까지 덮는다. 제1 노출부에는 전원 패드전극과 접촉하며 유기막층과 제2 전극의 물질들이 혼합된 혼합부를 더 포함한다. 혼합부는 측면이 제2 전극과 유기막층에 접촉한다. 캡핑층은 혼합부를 노출하는 제2 노출부를 포함한다.
- [0012] 또한, 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은 표시 영역 및 전원 패드부를 포함하는 기판을 준비하고, 표시 영역 상에 박막트랜지스터와, 박막트랜지스터에 연결된 제1 전극을 형성하고, 전원 패드부 상에 전원 패드전극을 형성한다. 그리고 표시 영역과 전원 패드부 상에 마스크를 이용하여 유기막층을 형성하고, 유기막층에 레이저 빔을 조사하여 전원 패드전극을 노출한다. 표시 영역과 전원 패드부 상에 마스크를 재 이용하여 제2 전극과 캡핑층을 형성하여 제2 전극과 전원 패드전극을 접촉시킨다.
- [0013] 일례로, 레이저 빔을 조사하는 공정은 진공 분위기에서 수행하고, 유기막층, 제2 전극 및 캡핑층은 동일한 마스크를 이용하여 형성된다.
- [0014] 또한, 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은 표시 영역 및 전원 패드부를 포함하는 기판을 준비하고, 표시 영역 상에 박막트랜지스터와, 박막트랜지스터에 연결된 제1 전극을 형성하고, 전원 패드부 상에 전원 패드전극을 형성한다. 그리고 표시 영역과 전원 패드부 상에 동일한 마스크를 이용하여 유기막층, 제2 전극 및 캡핑층을 연속적으로 형성한다. 전원 패드전극에 대응하는 영역에 레이저 빔을 조사하여, 유기막층 물질과 제2 전극 물질이 혼합된 혼합부를 형성하여 제2 전극과 전원 패드전극을 접촉시킨다.
- [0015] 일례로, 레이저 빔이 조사되면 유기막층과 제2 전극이 용융되어 유기막층 물질과 제2 전극 물질이 혼합되고, 레이저 빔의 조사가 종료되면 혼합된 유기막층 물질과 제2 전극 물질이 고체화되어 혼합부가 형성된다. 유기막층은 전원 패드전극을 노출하는 제1 노출부가 형성되고, 혼합부는 제1 노출부에 형성되어, 유기막층 및 제2 전극과 접촉한다. 캡핑층은 레이저 빔에 의해 혼합부를 노출하는 제2 노출부가 형성된다. 레이저 빔 조사 공정은 상압 분위기에서 수행된다.
- [0016] 또한, 본 발명의 일 실시예에 따른 유기발광표시장치는 표시 영역 및 전원 패드부를 포함하는 기판을 포함한다. 표시 영역은 표시 영역 상에 위치하는 박막트랜지스터와, 제1 전극, 유기막층, 제2 전극 및 캡핑층을 포함한다. 제1 전극은 박막트랜지스터에 연결되고, 유기막층은 제1 전극 상에 위치하며, 제2 전극은 유기막층 상에 위치한다. 캡핑층은 제2 전극 상에 위치한다. 전원 패드부에는 전원 패드전극이 위치한다. 특히, 제2 전극과 전원 패드전극에 선택하는 도전부재를 더 포함한다.
- [0017] 일례로, 도전부재는 은, 구리, 알루미늄, 크롬, 몰리브덴 또는 티타늄 중 어느 하나 이상이다.
- [0018] 또한, 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은 표시 영역 및 전원 패드부를 포함하는 기판을 준비하고, 표시 영역 상에 박막트랜지스터와, 박막트랜지스터에 연결된 제1 전극을 형성하고, 전원 패드부 상에 전원 패드전극을 형성한다. 그리고, 표시 영역에 동일한 마스크를 이용하여 유기막층, 제2 전극 및 캡핑층을 연속적으로 형성한다. 전원 패드부 상에 도전물질을 형성하여 제2 전극과 전원 패드전극을 접촉시키는 도전부재를 형성한다.

[0019] 일례로, 도전부재는 도전물질을 적층한 후 레이저 빔을 이용하여 용융시켜 제2 전극과 전원 패드전극에 접촉시킨다. 도전부재는 은 도트(Ag dot)로 형성한다.

발명의 효과

[0020] 본 발명의 실시예에 따른 유기발광표시장치 및 그 제조방법은 유기막, 제2 전극 및 캡핑층을 하나의 마스크를 이용하여 증착한 후, 레이저를 이용하여 제2 전극과 전원 패드전극을 연결시킴으로써, 마스크의 개수를 줄이고 마스크의 분리, 언로딩 등의 불필요한 챔버들을 생략할 수 있어 제조 비용을 저감할 수 있다. 또한, 마스크 교체의 공정 시간도 줄일 수 있어 생산성을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

[0021] 도 1 및 도 2는 유기발광표시장치의 제조방법을 공정별로 나타낸 도면.
 도 3은 유기발광표시장치의 개략적인 블록도.
 도 4는 서브 픽셀의 회로 구성을 나타낸 제1 예시도.
 도 5는 서브 픽셀의 회로 구성을 나타낸 제2 예시도.
 도 6은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 평면도.
 도 7은 본 발명의 제1 실시예에 따른 유기발광표시장치를 나타낸 단면도.
 도 8a 내지 도 8e는 본 발명의 제1 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 도면.
 도 9는 본 발명의 제2 실시예에 따른 유기발광표시장치를 나타낸 도면.
 도 10a 내지 도 10c는 본 발명의 제2 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 도면.
 도 11은 본 발명의 제3 실시예에 따른 유기발광표시장치를 나타낸 도면.
 도 12a 내지 도 12c는 본 발명의 제3 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하면 다음과 같다.

[0023] 도 3은 유기발광표시장치의 개략적인 블록도이고, 도 4는 서브 픽셀의 회로 구성을 나타낸 제1 예시도이고, 도 5는 서브 픽셀의 회로 구성을 나타낸 제2 예시도이다.

[0024] 도 3에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(60), 타이밍 제어부(70), 데이터 구동부(80), 게이트 구동부(85) 및 표시 패널(90)이 포함된다.

[0025] 영상 처리부(60)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(60)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(60)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.

[0026] 타이밍 제어부(70)는 영상 처리부(60)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.

[0027] 타이밍 제어부(70)는 구동신호에 기초하여 게이트 구동부(85)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(80)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(70)는 제어 회로기판에 IC 형태로 형성된다.

[0028] 데이터 구동부(80)는 타이밍 제어부(70)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(70)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(80)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(80)는 데이터 회로기판에 IC 형태로 형성된다.

[0029] 게이트 구동부(85)는 타이밍 제어부(70)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(85)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신

호를 출력한다. 게이트 구동부(85)는 게이트 회로기관에 IC 형태로 형성되거나 표시 패널(90)에 게이트인패널 (Gate In Panel) 방식으로 형성된다. 게이트 구동부(85)에서 게이트인패널 방식으로 형성되는 부분은 시프트 레지스터 등이다.

- [0030] 표시 패널(90)은 데이터 구동부(80) 및 게이트 구동부(85)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(90)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0031] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0032] 도 4에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0033] 스위칭 트랜지스터(SW)는 제1게이트라인(GL1)을 통해 공급된 게이트신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 고전위 전원라인(EVDD)과 저전위 전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다.
- [0034] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 구체적인 예시 및 설명은 생략한다. 박막 트랜지스터는 저온 폴리실리콘(LTPS), 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic) 반도체층을 기반으로 구현된다.
- [0035] 도 5에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다.
- [0036] 추가된 신호라인은 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2게이트라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 제3전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.
- [0037] 한편, 도 4 및 도 5에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터구동부(80) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C 등으로 다양하게 구성될 수도 있다.
- [0038] 도 6은 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 7은 본 발명의 제1 실시예에 따른 유기발광표시장치를 나타낸 단면도이며, 도 8a 내지 도 8e는 본 발명의 제1 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 도면이다.
- [0039] 도 6을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치(100)는 기관(110) 상에 복수의 서브 픽셀들을 포함하여 발광을 통해 영상이 구현되는 표시 영역(A/A)과, 표시 영역(A/A) 이외의 비표시 영역(N/A)을 포함한다. 표시 영역(A/A)은 전술한 바와 같이 유기 발광다이오드(OLED)들에서 발광을 통해 영상을 구현한다. 유기 발광다이오드(OLED)는 적색(R), 녹색(G) 및 청색(B) 서브 픽셀로 구성되거나, 백색(W) 서브 픽셀을 추가로 포함할 수 있다. 또한, 유기 발광다이오드(OLED)는 모두 백색(W) 서브 픽셀로 구성되어 컬러필터를 통해 풀컬러를 구현할 수도 있다. 본 발명의 서브 픽셀의 구성은 특별히 한정되지 않으며 공지된 다양한 구조를 적용할 수 있다. 비표시 영역(N/A)은 표시 영역(A/A)의 캐소드 전극인 제2 전극(190)에 저전위 전원을 공급하기 위한 저전위 패드(VPE)와, 표시 영역(A/A)의 데이터 라인에 데이터를 공급하기 위한 데이터 구동부(D-IC)를 포함한다. 저전위 패드(VPE)에는 제2 전극(190)의 일측이 접촉되어 제2 전극(190)에 저전위 전원이 공급된다.
- [0040] 도 7을 참조하면, 본 발명의 제1 실시예에 따른 유기발광표시장치(100)는 표시 영역(A/A)과, 전원 패드부(EVSSP)를 포함한다.
- [0041] 표시 영역(A/A)의 기관(110) 상에 박막 트랜지스터(TFT)가 위치한다. 박막트랜지스터(TFT)는 반도체층(112), 게이트 전극(118) 및 소스/드레인 전극(126, 124)을 포함하며, 반도체층(112)과 게이트 전극(118) 사이에 게이트 절연막(116)이 위치하고, 게이트 전극(118)과 소스/드레인 전극(126, 124) 사이에 층간 절연막(122)이 위치한다. 본 발명의 제1 실시예에서는 게이트 전극(118)이 반도체층(112)의 상부에 위치하는 탑-게이트(Top-

Gate)형 박막트랜지스터를 예로 도시하였지만, 본 발명은 이에 한정되지 않으며, 게이트 전극(118)이 반도체층(112) 하부에 위치하는 바텀-게이트(Bottom-Gate)형 박막트랜지스터도 적용가능하다.

- [0042] 한편, 박막트랜지스터(TFT)의 소스/드레인 전극(126, 124)과 동일층 상에 전원 패드전극(VPE)이 위치한다. 전원 패드전극(VPE)은 전원 패드부(EVSSP)에 위치하며, 소스/드레인 전극(126, 124)과 동일한 물질로 형성된다. 본 발명의 제1 실시예에서는 소스/드레인 전극(126, 124)과 동일한 물질로 동일층 상에 전원 패드전극(VPE)이 형성된 것을 개시하였지만, 이와는 달리, 게이트 전극(118)과 동일한 물질로 동일층 상에 전원 패드전극(VPE)이 형성될 수도 있다.
- [0043] 한편, 박막트랜지스터(TFT) 및 전원 패드전극(VPE)이 형성된 기판(110) 상에 오버코트층(128)이 위치한다. 오버코트층(128)은 박막트랜지스터(TFT)를 보호하며 박막트랜지스터(TFT)에 의한 단차를 평탄화한다. 오버코트층(128) 상에 제1 전극(130)이 위치한다. 제1 전극(130)은 애노드 전극으로, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide)와 같은 일함수가 높고 빛이 투과할 수 있는 투명도전물질로 형성할 수 있다. 제1 전극(130)은 오버코트층(128)을 관통하여 상기 박막트랜지스터(TFT)의 드레인 전극(124)을 노출하는 비어홀(126)을 통해 상기 박막트랜지스터(TFT)의 드레인 전극(124)과 전기적으로 연결된다.
- [0044] 제1 전극(130) 상에 बैं크층(132)이 위치한다. बैं크층(132)은 제1 전극(130)의 일부를 노출하여 화소를 정의하는 화소정의막일 수 있다. बैं크층(132) 및 노출된 제1 전극(130) 상에 유기막층(134)이 위치한다. 유기막층(134)은 전자와 정공이 결합하여 발광하는 발광층을 포함하고, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층을 포함할 수 있다. 유기막층(134)이 형성된 기판(110) 상에 제2 전극(140)이 위치한다. 제2 전극(140)은 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0045] 본 발명의 제1 실시예에 따른 표시장치는 유기막층(134)으로부터 발광하는 빛이 기판(110) 방향으로 방출되는 배면발광형과, 유기발광층(134)으로부터 발광하는 빛이 제2 전극(140) 방향으로 방출되는 전면발광형일 수 있다. 여기서, 배면발광형 표시장치일 경우, 제1 전극(130)은 빛을 투과하도록 이루어지고, 제2 전극(140)은 빛을 반사할 수 있을 정도로 충분한 두께로 이루어진다. 반면, 전면발광형 표시장치일 경우, 제1 전극(130)은 하부에 알루미늄(Al), 은(Ag) 또는 니켈(Ni) 중 어느 하나로 이루어진 반사층을 더 포함할 수 있고, 제2 전극(140)은 빛이 투과될 수 있을 정도로 얇은 두께로 이루어지며 바람직하게는 1 내지 50Å의 두께로 이루어질 수 있다.
- [0046] 제2 전극(140)이 형성된 기판(110) 상에 제2 전극(140)의 상부 형태를 따라 덮는 캡핑층(150)이 위치한다. 여기서, 제2 전극(140)의 상부 형태를 따라 덮는다는 것은 제2 전극(140)의 스텝 커버리지(step coverage)를 따라 형성되는 것을 의미한다. 캡핑층(150)은 하부의 소자들을 보호하고 유기막층(134)에 수분이 침투하는 것을 방지하는 역할을 하며, 폴리아크릴, 폴리이미드 등의 고분자 수지로 이루어질 수 있다. 도시하지 않았지만 캡핑층(150) 상에는 실리콘산화물, 실리콘질화물 등의 무기물로 이루어진 보호막이 더 형성될 수도 있다.
- [0047] 그리고, 전원 패드부(EVSSP)에는 전원 패드전극(VPE)을 덮으며, 전원 패드전극(VPE)을 노출하는 노출부(135)를 포함하는 유기막층(134)이 위치한다. 전원 패드전극(VPE)이 형성된 전원 패드부(EVSSP) 상에 제2 전극(140)이 표시 영역(A/A)으로부터 연장되어 형성된다. 제2 전극(140)은 노출부(135)에 의해 노출된 전원 패드전극(VPE)과 권택된다. 제2 전극(140) 상에 캡핑층(150)이 표시 영역(A/A)으로부터 연장되어 형성된다.
- [0048] 이하, 전술한 도 7의 구조를 가진 본 발명의 제1 실시 예에 따른 유기발광표시장치의 제조방법을 설명하면 다음과 같다.
- [0049] 도 8a를 참조하면, 기판(110) 상에 실리콘 반도체나 산화물 반도체를 적층하고 제1 마스크로 패터닝하여 반도체층(112)을 형성한다. 반도체층(112)을 포함하는 기판(110) 상에 게이트 절연막(116)을 형성한다. 게이트 절연막(116)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 기판(110) 상에 금속 물질을 적층하고 제2 마스크로 패터닝하여 게이트 전극(118)을 형성한다. 게이트 전극(118)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(118)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(118)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

- [0050] 이어, 게이트 전극(118)이 형성된 기판(110) 상에 층간 절연막(122)을 형성한다. 층간 절연막(122)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층으로 형성하며, 화학기상증착법(CVD), 물리기상증착법(PECVD) 등으로 형성한다. 이어, 층간 절연막(122) 상에 포토레지스트를 도포하고 제3 마스크를 이용하여 층간 절연막(122)을 식각한다. 층간 절연막(122)이 식각되어, 반도체층(112)의 일부를 노출하는 콘택홀들(CH)이 형성된다. 층간 절연막(122)이 형성된 기판(110) 상에 금속 물질을 적층하고 제4 마스크로 패터닝하여 표시 영역(A/A)에 드레인 전극(124)과 소스 전극(126)을 형성하고 전원 패드부(EVSSP)에 전원 패드전극(VPE)을 형성한다.
- [0051] 드레인 전극(124), 소스 전극(126) 및 전원 패드전극(VPE)은 단일층 또는 다중층으로 이루어질 수 있으며, 드레인 전극(124), 소스 전극(126) 및 전원 패드전극(VPE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 드레인 전극(124), 소스 전극(126) 및 전원 패드전극(VPE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 드레인 전극(124) 및 소스 전극(126)은 각각 콘택홀들(CH)을 통해 반도체층(112)과 연결된다. 따라서, 반도체층(112), 게이트 전극(118), 드레인 전극(124) 및 소스 전극(126)을 포함하는 박막 트랜지스터(TFT)가 형성된다.
- [0052] 다음, 도 8b를 참조하면, 박막 트랜지스터(TFT)를 포함하는 기판(110) 상에 오버코트층(128)을 형성한다. 오버코트층(128)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부티네 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(128)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다. 다음, 제5 마스크를 이용하여 오버코트층(128)을 식각하여, 비어홀(126)을 형성한다. 이어, 오버코트층(128) 상에 투명도전막을 적층하고 제6 마스크로 패터닝하여 제1 전극(130)을 형성한다. 제1 전극(130)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO (Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 제1 전극(130)이 반사 전극인 경우, 제1 전극(130)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 따라서, 제1 전극(130)은 비어홀(126)을 매우며, 박막 트랜지스터(TFT)의 드레인 전극(124)과 연결될 수 있다.
- [0053] 다음, 제1 전극(130)을 포함하는 기판(110) 상에 뱅크층(132)을 형성한다. 뱅크층(132)은 제1 전극(130)의 일부를 노출하여 화소를 정의하는 화소정의막이다. 뱅크층(132)은 폴리이미드(polyimide), 벤조사이클로부티네 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 제7 마스크를 이용하여 뱅크층(132)에 제1 전극(130)을 노출하는 개구부(OP)를 형성한다.
- [0054] 이어, 도 8c를 참조하면, 뱅크층(132)의 개구부(OP)에 의해 노출된 제1 전극(130) 상에 유기막층(134)을 형성한다. 보다 자세하게, 진공 챔버 내에서 제1 전극(130)이 형성된 기판(110) 상에 제8 마스크(IOMK)를 정렬시키고, 진공 증착법을 이용하여 유기물을 증착시킨다. 유기물은 제8 마스크(IOMK)에 의해 기판(110)의 일정 영역에 증착되어 유기막층(134)이 형성된다. 따라서, 유기막층(134)은 표시 영역(A/A)과 함께 전원 패드부(EVSSP)에도 형성된다.
- [0055] 유기막층(134)은 전자와 정공이 결합하여 발광하는 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층을 포함할 수 있다. 또한, 유기막층(134)에서 백색을 발광하는 경우, 적색(R), 녹색(G), 청색(B)의 발광층을 패터닝하지 않고 표시 영역(A/A) 전체에 적층하여 백색을 구현하거나, 청색(B) 발광층과 옐로그린(YG) 발광층을 표시 영역(A/A) 전체에 적층하여 백색을 구현할 수도 있다. 본 발명은 백색을 구현할 수 있다면 공지된 유기막층(134)의 적층 구조를 모두 적용할 수 있다.
- [0056] 다음, 도 8d를 참조하면, 제8 마스크가 정렬된 상태로 유기막층(134)이 형성된 기판(110) 상에 레이저 조사장치를 정렬시킨 다음, 전원 패드부(EVSSP)에 레이저 빔(laser beam)을 조사하여 전원 패드전극(VPE) 위의 유기막층(134)의 일부를 제거한다. 즉, 전원 패드전극(VPE) 표면에 위치한 유기막층(134)의 일부에 레이저 빔을 조사하여, 유기막층(134)을 태워 제거한다. 이로써, 유기막층(134)에 전원 패드전극(VPE)의 표면을 노출하는 노출부(135)가 형성된다. 본 발명의 제1 실시예에서 레이저 조사 공정은 유기막층이 외부에 노출되지 않도록 진공에서 수행한다.
- [0057] 이어, 도 8e를 참조하면, 노출부(135)가 형성된 기판(110) 상에 제2 전극(140)과 캡핑층(150)을 연속해서 형성한다. 보다 자세하게, 앞서 유기막층(140)을 증착하는데 사용했던 제8 마스크(IOMK)가 기판(110)에 계속 정렬된 상태로 제2 전극(140)을 형성하기 위한 무기막 증착 챔버로 이동된다. 그리고 제8 마스크(IOMK)를 다시 이용하

여 제2 전극(140)을 증착시킨다. 다음, 제2 전극(140) 상에 캡핑층(150)을 형성하기 위해, 제8 마스크(IOMK)가 기판(110)에 계속 정렬된 상태로 유기막 증착 챔버로 이송한다. 그리고, 제8 마스크(IOMK)를 다시 이용하여 캡핑층(150)을 형성한다. 제2 전극(140)은 기판(110) 전면에서 형성되며 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 형성한다. 제2 전극(140)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 형성하고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 형성한다. 캡핑층(150)은 폴리아크릴, 폴리이미드 등의 고분자 수지로 형성한다.

[0058] 종래 유기막층과 제2 전극을 형성하는 공정은 유기막층을 증착하는 마스크 1매와 제2 전극의 무기막을 증착하는 마스크 1매가 필요하였고, 유기막층을 증착한 후 마스크를 분리하고 언로딩한 후 무기막을 증착하는 마스크를 로딩하고 부착하는 공정이 필요하였다.

[0059] 그러나, 본 발명의 제1 실시예는 제2 전극을 형성하는 무기막 증착 마스크를 이용하여 유기막층을 증착한 후 유기막층이 제거되어야 하는 부분에 레이저 조사 공정을 수행하였다. 그리고, 무기막 증착 마스크를 연속해서 이용하여 제2 전극과 캡핑층을 증착하였다. 따라서, 유기막층, 제2 전극 및 캡핑층을 1매의 마스크를 사용하여 형성함으로써, 마스크의 개수를 줄이고, 마스크의 분리, 언로딩 등의 불필요한 챔버들을 생략할 수 있어 제조 비용을 저감할 수 있다. 또한, 마스크 교체의 공정 시간도 줄일 수 있어 생산성을 향상시킬 수 있는 이점이 있다.

[0060] 도 9는 본 발명의 제2 실시예에 따른 유기발광표시장치를 나타낸 도면이고, 도 10a 내지 도 10c는 본 발명의 제2 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 도면이다. 하기에서는 전술한 제1 실시예와 동일한 구조 및 공정에 대한 자세한 설명은 생략하기로 한다.

[0061] 도 9를 참조하면, 본 발명의 제2 실시예에 따른 유기발광표시장치(200)는 표시 영역(A/A)의 기판(210) 상에 박막 트랜지스터(TFT)가 위치한다. 박막트랜지스터(TFT)는 반도체층(212), 게이트 전극(218) 및 소스/드레인 전극(226, 224)을 포함하며, 반도체층(212)과 게이트 전극(218) 사이에 게이트 절연막(216)이 위치하고, 게이트 전극(218)과 소스/드레인 전극(226, 224) 사이에 층간 절연막(222)이 위치한다. 박막트랜지스터(TFT)의 소스/드레인 전극(226, 224)과 동일층 상에 전원 패드전극(VPE)이 위치한다. 전원 패드전극(VPE)은 표시 영역(A/A)의 일측에 위치하며, 소스/드레인 전극(226, 224)과 동일한 물질로 형성된다.

[0062] 한편, 박막트랜지스터(TFT) 및 전원 패드전극(VPE)이 형성된 기판(210) 상에 오버코트층(228)이 위치하고, 오버코트층(228) 상에 제1 전극(230)이 위치한다. 제1 전극(230)은 오버코트층(228)을 관통하여 상기 박막트랜지스터(TFT)의 드레인 전극(224)을 노출하는 비어홀(126)을 통해 상기 박막트랜지스터(TFT)의 드레인 전극(224)과 전기적으로 연결된다. 제1 전극(230) 상에 뱅크층(232)이 위치하고, 제1 전극(230)의 일부를 노출한다. 뱅크층(232) 및 노출된 제1 전극(230) 상에 유기막층(234)이 위치한다. 유기막층(234)이 형성된 기판(210) 상에 제2 전극(240)이 위치하고, 제2 전극(240)의 상부 형태를 따라 덮는 캡핑층(250)이 위치한다.

[0063] 그리고, 전원 패드부(EVSSP)에는 전원 패드전극(VPE)을 덮으며, 전원 패드전극(VPE)을 노출하는 제1 노출부(235)를 포함하는 유기막층(234)이 위치한다. 전원 패드전극(VPE)이 형성된 전원 패드부(EVSSP) 상에 제2 전극(240)이 표시 영역(A/A)으로부터 연장되어 형성된다. 제2 전극(240)은 제1 노출부(235)에 의해 노출된 전원 패드전극(VPE)과 접촉된다. 여기서, 전원 패드전극(VPE) 표면에는 제2 전극(240)과 유기막층(234)의 재료가 혼합된 혼합부(245)가 위치한다. 혼합부(245)는 제2 전극(240)과 유기막층(234)이 레이저 빔에 의해 녹아 혼합된 것으로, 자세한 설명은 제조방법에서 후술하기로 한다. 제2 전극(240) 상에 캡핑층(250)이 표시 영역(A/A)으로부터 연장되어 형성된다. 캡핑층(250)은 상기 전원 패드전극(VPE)에 대응되는 영역에 하부의 혼합부(245)를 노출하는 제2 노출부(255)를 포함한다.

[0064] 이하, 전술한 도 9의 구조를 가진 본 발명의 제2 실시예에 따른 유기발광표시장치의 제조방법을 설명하면 다음과 같다. 하기에서는 전술한 제1 실시예와 중복되는 설명은 간략히 하기로 한다.

[0065] 도 10a를 참조하면, 기판(210) 상에 실리콘 반도체나 산화물 반도체를 적층하고 제1 마스크로 패터닝하여 반도체층(212)을 형성한다. 반도체층(212)을 포함하는 기판(210) 상에 게이트 절연막(216)을 형성한다. 이어, 기판(210) 상에 금속 물질을 적층하고 제2 마스크로 패터닝하여 게이트 전극(218)을 형성한다. 게이트 전극(218)이 형성된 기판(210) 상에 층간 절연막(222)을 형성한다. 이어, 층간 절연막(222) 상에 포토레지스트를 도포하고 제3 마스크를 이용하여 층간 절연막(222)을 식각하여, 반도체층(212)의 일부를 노출하는 콘택홀들(CH)이 형성된다. 층간 절연막(222)이 형성된 기판(210) 상에 금속 물질을 적층하고 제4 마스크로 패터닝하여 표시 영역(A/A)에 드레인 전극(224)과 소스 전극(226)을 형성하고 전원 패드부(EVSSP)에 전원 패드전극(VPE)을 형성한다. 따라서, 반도체층(212), 게이트 전극(218), 드레인 전극(224) 및 소스 전극(226)을 포함하는 박막 트랜지스터

(TFT)가 형성된다.

- [0066] 다음, 박막 트랜지스터(TFT)를 포함하는 기관(210) 상에 오버코트층(228)을 형성한다. 다음, 제5 마스크를 이용하여 오버코트층(228)을 식각하여, 비어홀(226)을 형성한다. 이어, 오버코트층(228) 상에 투명도전막을 적층하고 제6 마스크로 패터닝하여 제1 전극(230)을 형성한다. 따라서, 제1 전극(230)은 비어홀(226)을 매우며, 박막 트랜지스터(TFT)의 드레인 전극(224)과 연결될 수 있다. 다음, 제1 전극(230)을 포함하는 기관(210) 상에 बैं크층(232)을 형성하고, 제7 마스크를 이용하여 बैं크층(232)에 제1 전극(230)을 노출하는 개구부(OP)를 형성한다.
- [0067] 이어, 도 10b를 참조하면, 개구부(OP)가 형성된 기관(210) 상에 제8 마스크(IOMK)를 정렬시키고, 진공 증착법을 이용하여 유기물을 증착시킨다. 유기물은 제8 마스크(IOMK)에 의해 기관(210)의 일정 영역에 증착되어 유기막층(234)이 형성된다. 따라서, 유기막층(234)은 표시 영역(A/A)과 함께 전원 패드부(EVSSP)에도 형성된다. 이어서, 제8 마스크가 정렬된 상태로 유기막층(234)이 형성된 기관(210) 상에 제2 전극(240)과 캡핑층(250)을 형성한다. 보다 자세하게, 앞서 유기막층(234)을 증착하는데 사용했던 제8 마스크(IOMK)가 기관(210)에 계속 정렬된 상태로 제2 전극(240)을 형성하기 위한 무기막 증착 챔버로 이송된다. 그리고 제8 마스크(IOMK)를 다시 이용하여 제2 전극(240)을 증착시킨다. 그리고, 제8 마스크(IOMK)가 기관(210)에 계속 정렬된 상태로 캡핑층(250)을 형성하기 위한 유기막 증착 챔버로 이송된다. 그리고 제8 마스크(IOMK)를 다시 이용하여 캡핑층(250)을 증착시킨다.
- [0068] 이어, 도 10c를 참조하면, 제8 마스크를 기관(210)으로부터 분리시킨 후, 캡핑층(250)이 형성된 기관(210) 상에 레이저 조사장치를 정렬시킨다. 그리고 전원 패드부(EVSSP)에 레이저 빔(laser beam)을 조사하여 전원 패드전극(VPE) 상에 위치한 유기막층(234)의 일부, 제2 전극(240)의 일부 및 캡핑층(250)의 일부에 열을 가한다. 레이저 빔이 조사된 캡핑층(250)은 레이저 빔의 고열에 제거되고, 제2 전극(240)은 금속이기 때문에 녹게 된다. 제2 전극(240)과 전원 패드전극(VPE) 사이에 위치한 유기막층(234)의 일부도 녹아 증발되는데 제2 전극(240)이 녹아 액체 상태로 그 상부를 덮고 있기 때문에 밖으로 배출되지 못하고 제2 전극(240)과 혼합된다. 레이저 빔의 조사가 끝나면, 서로 녹아 혼합된 제2 전극의 금속 물질과 유기막층의 유기물이 다시 고체화되면서 혼합부(245)가 형성된다.
- [0069] 혼합부(245)는 전원 패드전극(VPE) 표면에 위치하고, 측면이 제2 전극(240)과 유기막층(234)에 접촉하는 구조로 형성된다. 따라서, 혼합부(245)는 제2 전극(240)과 전기적으로 연결된다. 그리고, 혼합부(245)는 제2 전극의 금속 물질과 유기막층의 유기물이 혼합된 형태로 이루어져, 전원 패드전극(VPE)과 제2 전극(240)을 전기적으로 연결한다. 한편, 전원 패드전극(VPE)과 대응되는 영역에 캡핑층(250)의 일부는 레이저 빔에 의해 제거되어, 하부의 혼합부(245)를 노출하는 제2 노출부(255)가 형성된다.
- [0070] 본 발명의 제2 실시예에서 레이저 조사 공정은 캡핑층(250)에 의해 소자가 보호되고 있기 때문에 진공에서 수행하지 않고 상압에서 수행할 수 있는 이점이 있다. 본 발명에서 레이저 빔은 하나의 빔으로 조사될 수 있고, 복수의 빔으로 조사될 수도 있다. 레이저 빔의 개수는 특별히 한정되지 않는다.
- [0071] 상기와 같이, 종래 유기막층과 제2 전극을 형성하는 공정은 유기막층을 증착하는 마스크 1매와 제2 전극의 무기막을 증착하는 마스크 1매가 필요하였고, 유기막층을 증착한 후 마스크를 분리하고 언로딩한 후 무기막을 증착하는 마스크를 로딩하고 부착하는 공정이 필요하였다.
- [0072] 그러나, 본 발명의 제2 실시예는 유기막, 제2 전극 및 캡핑층을 하나의 무기막 증착 마스크를 이용하여 증착하고, 레이저 조사 공정을 수행하여 제2 전극이 전원 패드전극에 연결되도록 하였다. 따라서, 유기막층, 제2 전극 및 캡핑층을 1매의 마스크를 사용하여 형성함으로써, 마스크의 개수를 줄이고, 마스크의 분리, 언로딩 등의 불필요한 챔버들을 생략할 수 있어 제조 비용을 저감할 수 있다. 또한, 마스크 교체의 공정 시간도 줄일 수 있어 생산성을 향상시킬 수 있는 이점이 있다.
- [0073] 도 11은 본 발명의 제3 실시예에 따른 유기발광표시장치를 나타낸 도면이고, 도 12a 내지 도 12c는 본 발명의 제3 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 도면이다.
- [0074] 도 11을 참조하면, 본 발명의 제3 실시예에 따른 유기발광표시장치(300)는 표시 영역(A/A)의 기관(310) 상에 박막 트랜지스터(TFT)가 위치한다. 박막트랜지스터(TFT)는 반도체층(312), 게이트 전극(318) 및 소스/드레인 전극(326, 324)을 포함하며, 반도체층(312)과 게이트 전극(318) 사이에 게이트 절연막(316)이 위치하고, 게이트 전극(318)과 소스/드레인 전극(326, 324) 사이에 층간 절연막(322)이 위치한다. 박막트랜지스터(TFT)의 소스/드레인 전극(326, 324)과 동일층 상에 전원 패드전극(VPE)이 위치한다. 전원 패드전극(VPE)은 표시 영역(A/A)의 일측에 위치하며, 소스/드레인 전극(326, 324)과 동일한 물질로 형성된다.
- [0075] 한편, 박막트랜지스터(TFT) 및 전원 패드전극(VPE)이 형성된 기관(310) 상에 오버코트층(328)이 위치하고, 오버

코트층(328) 상에 제1 전극(330)이 위치한다. 제1 전극(330)은 오버코트층(328)을 관통하여 상기 박막트랜지스터(TFT)의 드레인 전극(324)을 노출하는 비어홀(326)을 통해 상기 박막트랜지스터(TFT)의 드레인 전극(324)과 전기적으로 연결된다. 제1 전극(330) 상에 뱅크층(332)이 위치하고, 제1 전극(330)의 일부를 노출한다. 뱅크층(332) 및 노출된 제1 전극(330) 상에 유기막층(334)이 위치한다. 유기막층(334)이 형성된 기판(310) 상에 제2 전극(340)이 위치하고, 제2 전극(340)의 상부 형태를 따라 덮는 캡핑층(350)이 위치한다. 그리고, 전원 패드부(EVSSP)에는 전원 패드전극(VPE)과, 전원 패드전극(VPE)과 제2 전극(340)을 연결시키는 도전부재(380)가 위치한다.

[0076] 이하, 전술한 도 11의 구조를 가진 본 발명의 제3 실시예에 따른 유기발광표시장치의 제조방법을 설명하면 다음과 같다. 하기에서는 전술한 제1 및 제2 실시예와 중복되는 설명은 간략히 하기로 한다.

[0077] 도 12a를 참조하면, 기판(310) 상에 실리콘 반도체나 산화물 반도체를 적층하고 제1 마스크로 패터닝하여 반도체층(312)을 형성한다. 반도체층(312)을 포함하는 기판(310) 상에 게이트 절연막(316)을 형성한다. 이어, 기판(310) 상에 금속 물질을 적층하고 제2 마스크로 패터닝하여 게이트 전극(318)을 형성한다. 게이트 전극(318)이 형성된 기판(310) 상에 층간 절연막(322)을 형성한다. 이어, 층간 절연막(322) 상에 포토레지스트를 도포하고 제3 마스크를 이용하여 층간 절연막(322)을 식각하여, 반도체층(312)의 일부를 노출하는 콘택홀들(CH)이 형성된다. 층간 절연막(322)이 형성된 기판(310) 상에 금속 물질을 적층하고 제4 마스크로 패터닝하여 표시 영역(A/A)에 드레인 전극(324)과 소스 전극(326)을 형성하고 전원 패드부(EVSSP)에 전원 패드전극(VPE)을 형성한다. 따라서, 반도체층(312), 게이트 전극(318), 드레인 전극(324) 및 소스 전극(326)을 포함하는 박막 트랜지스터(TFT)가 형성된다.

[0078] 다음, 박막 트랜지스터(TFT)를 포함하는 기판(310) 상에 오버코트층(328)을 형성한다. 다음, 제5 마스크를 이용하여 오버코트층(328)을 식각하여, 비어홀(326)을 형성한다. 이어, 오버코트층(328) 상에 투명도전막을 적층하고 제6 마스크로 패터닝하여 제1 전극(330)을 형성한다. 따라서, 제1 전극(330)은 비어홀(326)을 매우며, 박막 트랜지스터(TFT)의 드레인 전극(324)과 연결될 수 있다. 다음, 제1 전극(330)을 포함하는 기판(310) 상에 뱅크층(332)을 형성하고, 제7 마스크를 이용하여 뱅크층(332)에 제1 전극(330)을 노출하는 개구부(OP)를 형성한다.

[0079] 이어, 도 12b를 참조하면, 개구부(OP)가 형성된 기판(310) 상에 제8 마스크(OMK)를 정렬시키고, 진공 증착법을 이용하여 유기물을 증착시킨다. 여기서, 제8 마스크는 전술한 제1 및 제2 실시예에서 사용한 무기물 증착마스크가 아닌 유기물 증착마스크로, 표시 영역(A/A)의 크기에 대응되는 크기로 이루어진다. 따라서, 유기물은 표시 영역(A/A)에 증착된다. 유기물은 제8 마스크(OMK)에 의해 기판(310)의 표시 영역(A/A)에 증착되어 유기막층(334)이 형성된다. 이어서, 제8 마스크(OMK)가 정렬된 상태로 유기막층(334)이 형성된 기판(310) 상에 제2 전극(340)을 형성한다. 보다 자세하게, 앞서 유기막층(334)을 증착하는데 사용했던 제8 마스크(OMK)가 기판(310)에 계속 정렬된 상태로 제2 전극(340)을 형성하기 위한 무기막 증착 챔버로 이송된다. 그리고 제8 마스크(OMK)를 다시 이용하여 제2 전극(340)을 연속해서 증착시킨다. 이어, 제8 마스크(OMK)가 기판(310)에 계속 정렬된 상태로 캡핑층(350)을 형성하기 위한 유기막 증착 챔버로 이송된다. 그리고 제8 마스크(OMK)를 다시 이용하여 캡핑층(350)을 증착시킨다.

[0080] 이어, 도 10c를 참조하면, 제8 마스크를 기판(310)으로부터 분리시킨 후, 캡핑층(350)이 형성된 기판(310)의 전원 패드부(EVSSP)에 도전부재(380)를 형성한다. 도전부재(380)는 전원 패드부(EVSSP)의 전원 패드전극(VPE)과 표시 영역(A/A)의 제2 전극(340)의 측면에 접촉하여 이들을 전기적으로 연결한다. 도전부재(380)는 도전성을 가진 재료 예를 들어 은, 구리, 알루미늄, 크롬, 몰리브덴, 티타늄 등을 기판(310) 상에 증착한 후 레이저 빔을 조사하여 일부 용융시켜 전원 패드전극(VPE)과 제2 전극(340)에 접촉되도록 한다. 도전부재(380)를 형성하는 다른 방법으로는 기판(310) 상에 은 도팅(Ag dotting)을 하여 형성될 수 있다.

[0081] 이상과 같이, 종래 유기막층과 제2 전극을 형성하는 공정은 유기막층을 증착하는 마스크 1매와 제2 전극의 무기막을 증착하는 마스크 1매가 필요하였고, 유기막층을 증착한 후 마스크를 분리하고 언로딩한 후 무기막을 증착하는 마스크를 로딩하고 부착하는 공정이 필요하였다.

[0082] 그러나, 본 발명의 제3 실시예는 유기막, 제2 전극 및 캡핑층을 하나의 유기막 증착 마스크를 이용하여 증착한 후, 별도의 도전부재를 이용하여 제2 전극이 전원 패드전극에 연결되도록 하였다. 따라서, 유기막층, 제2 전극 및 캡핑층을 1매의 마스크를 사용하여 형성함으로써, 마스크의 개수를 줄이고, 마스크의 분리, 언로딩 등의 불필요한 챔버들을 생략할 수 있어 제조 비용을 저감할 수 있다. 또한, 마스크 교체의 공정 시간도 줄일 수 있어 생산성을 향상시킬 수 있는 이점이 있다.

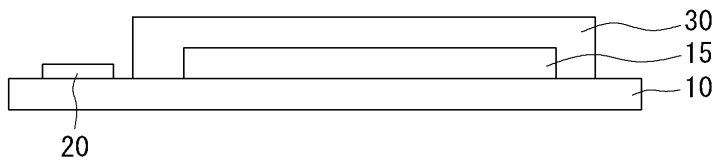
[0083] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0084] 100 : 유기발광표시장치 110 : 기판
TFT : 박막트랜지스터 130 : 제1 전극
134 : 유기막층 140 : 제2 전극
150 : 캡핑층 VPE : 전원 패드 전극
A/A : 표시 영역 EVSSP : 전원 패드부

도면

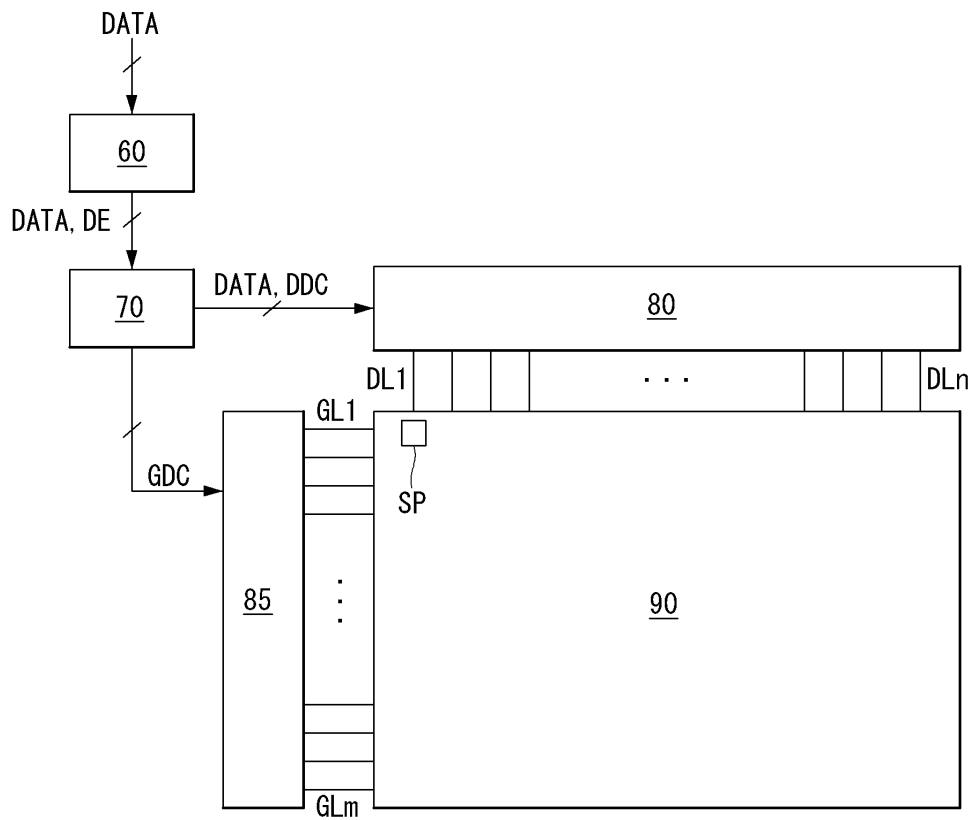
도면1



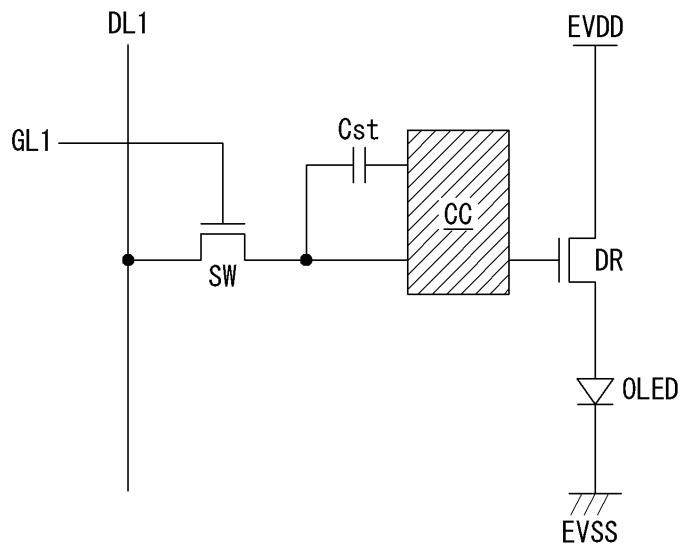
도면2



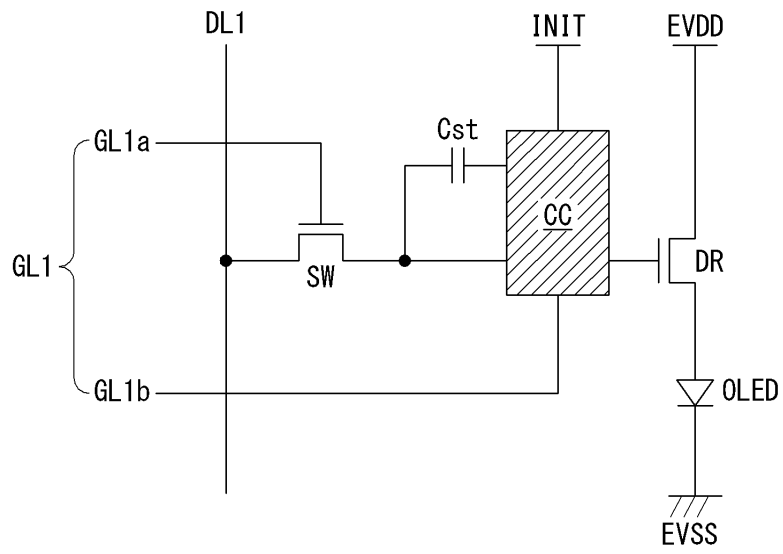
도면3



도면4

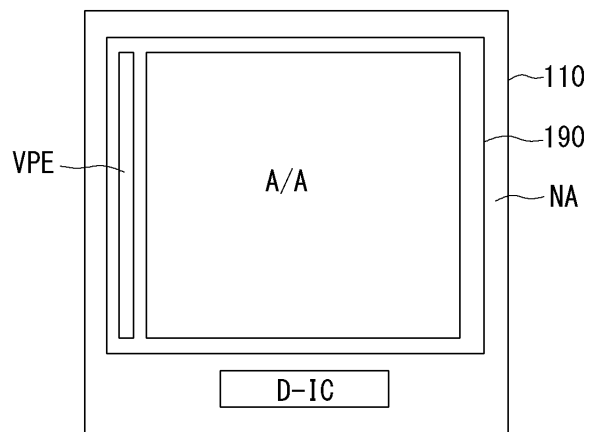


도면5



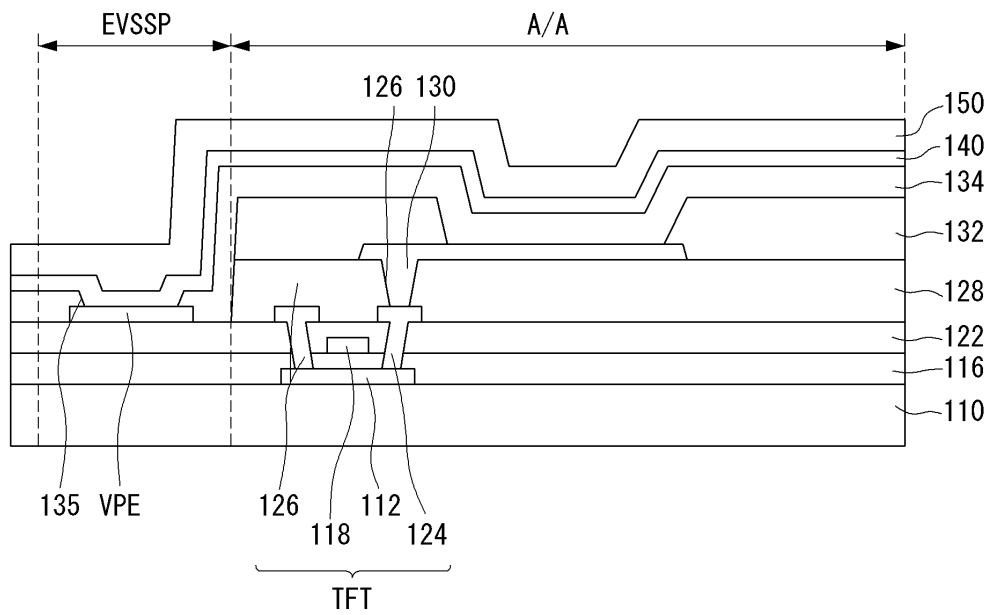
도면6

100

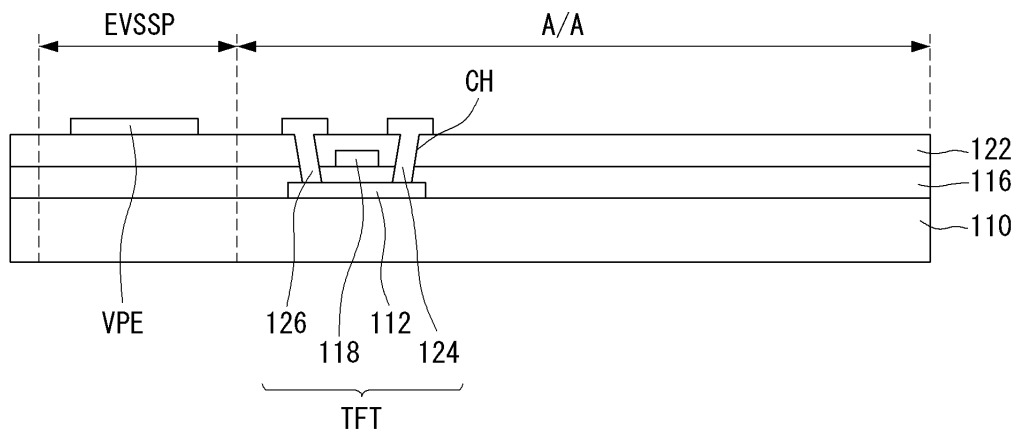


도면7

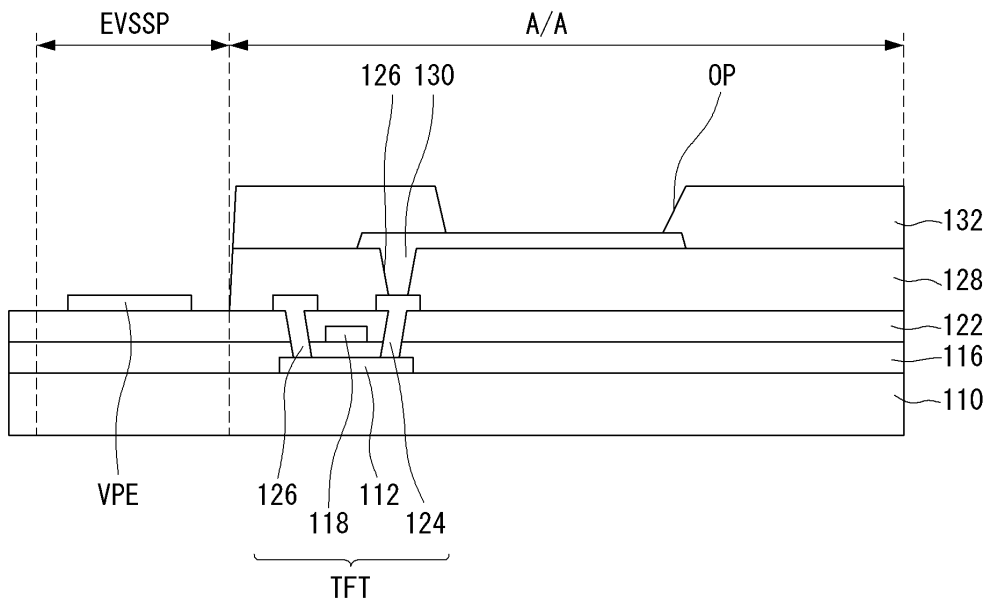
100



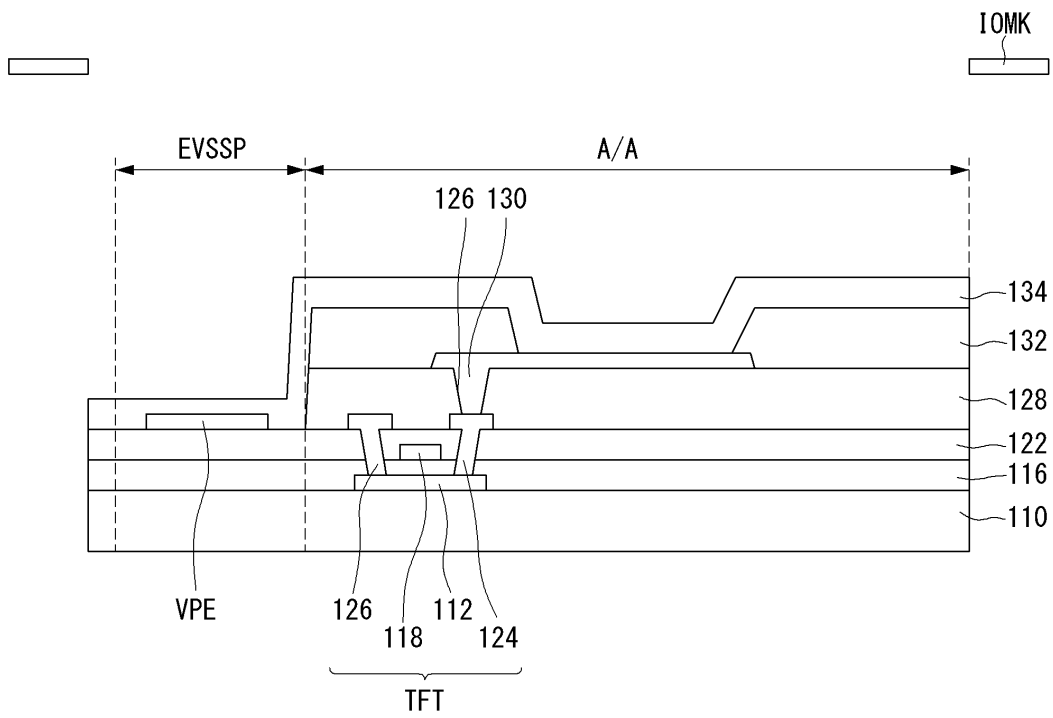
도면8a



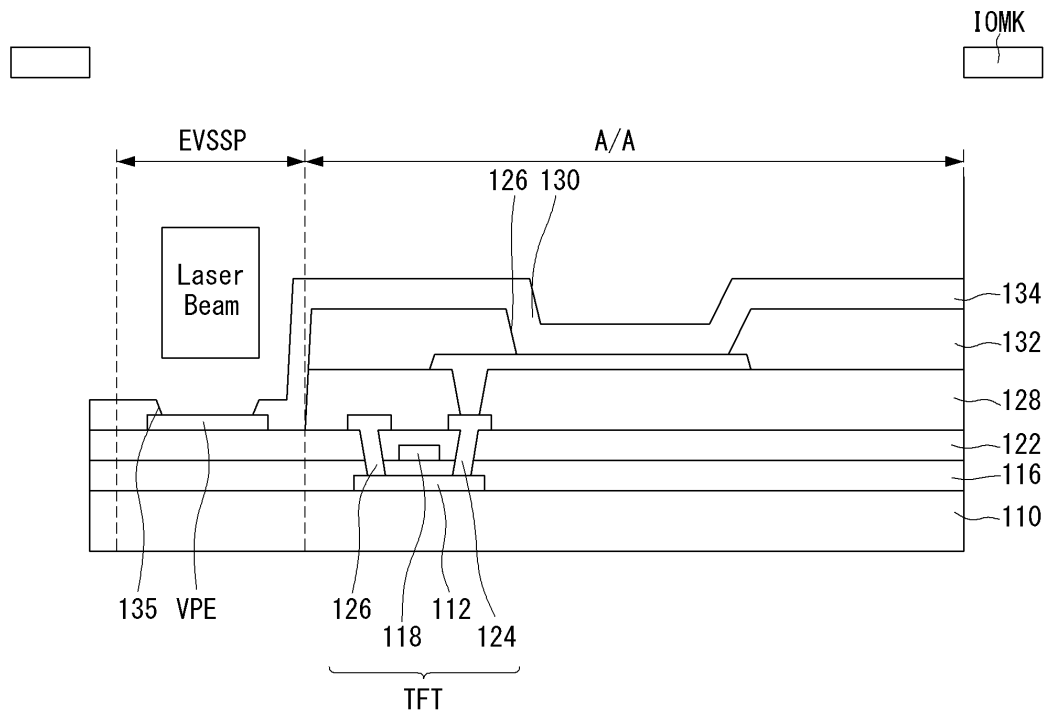
도면8b



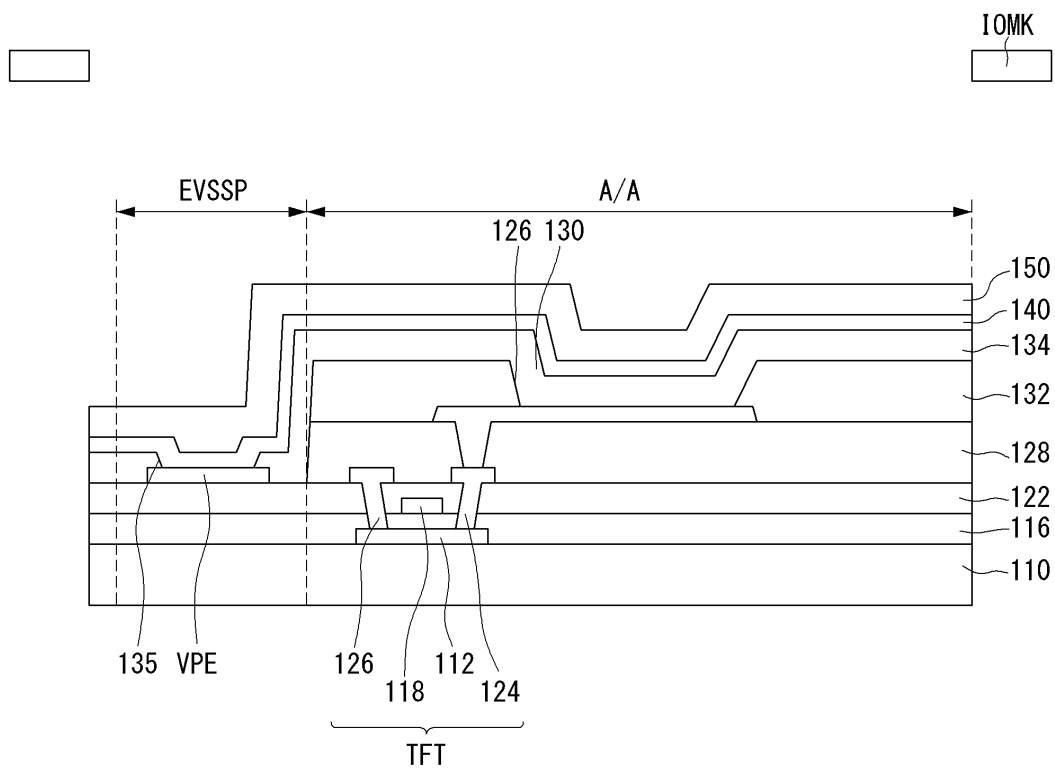
도면8c



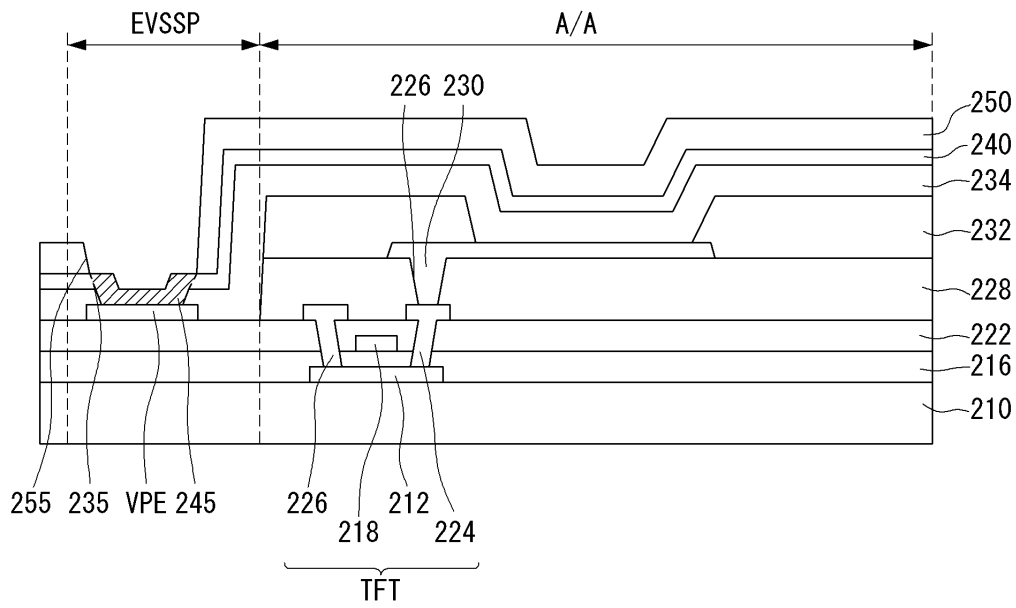
도면8d



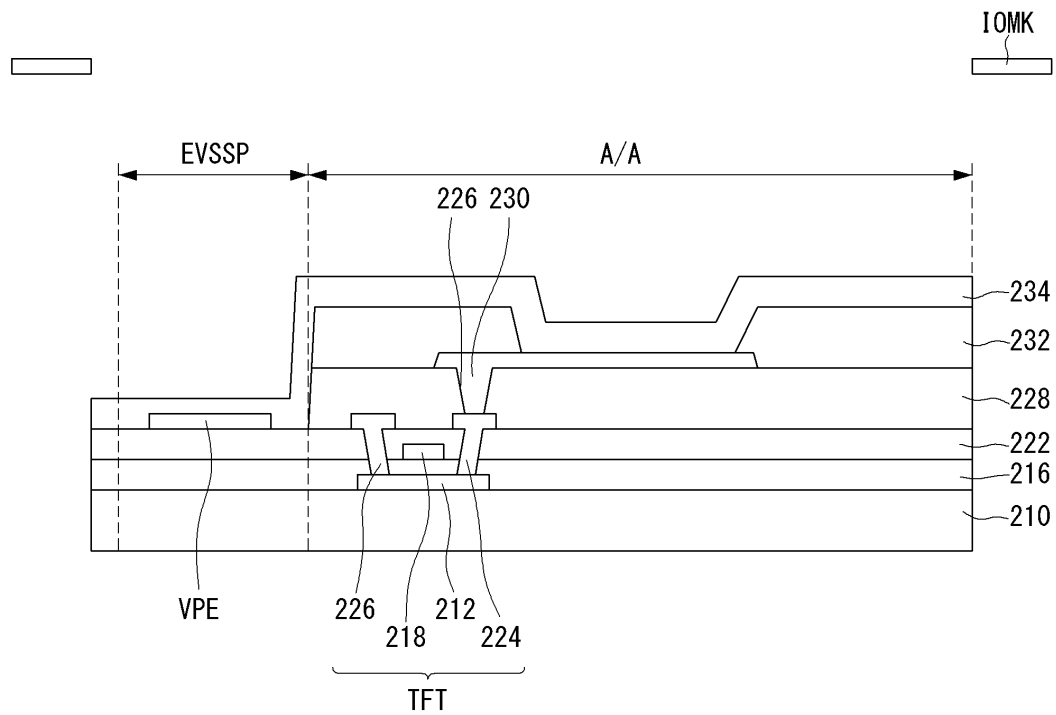
도면8e



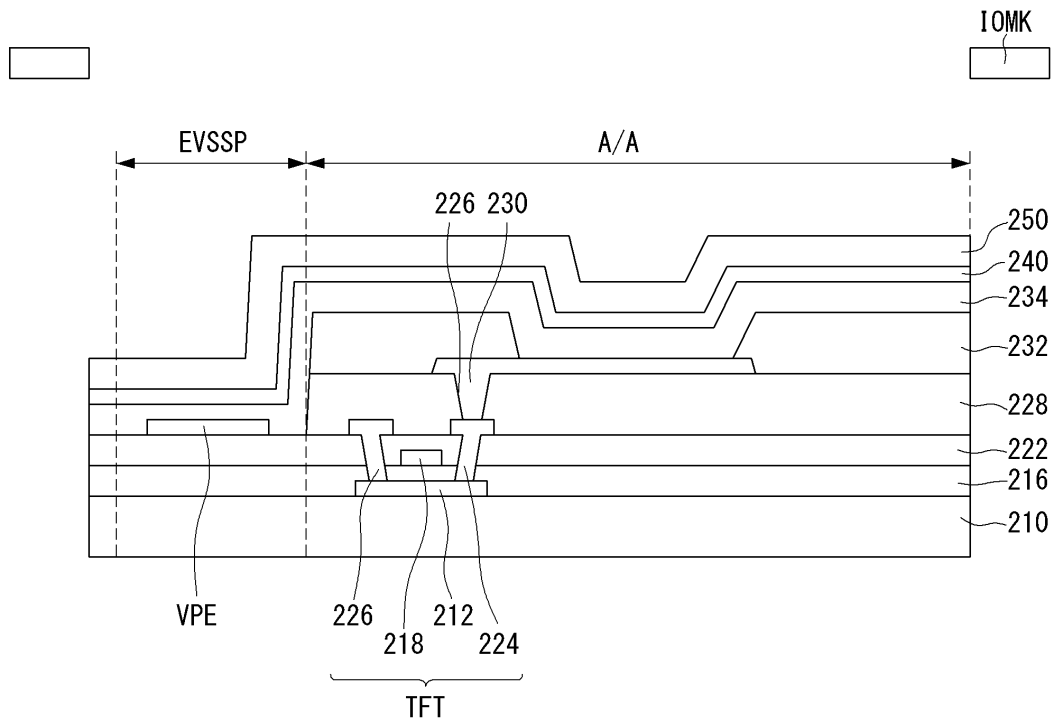
도면9



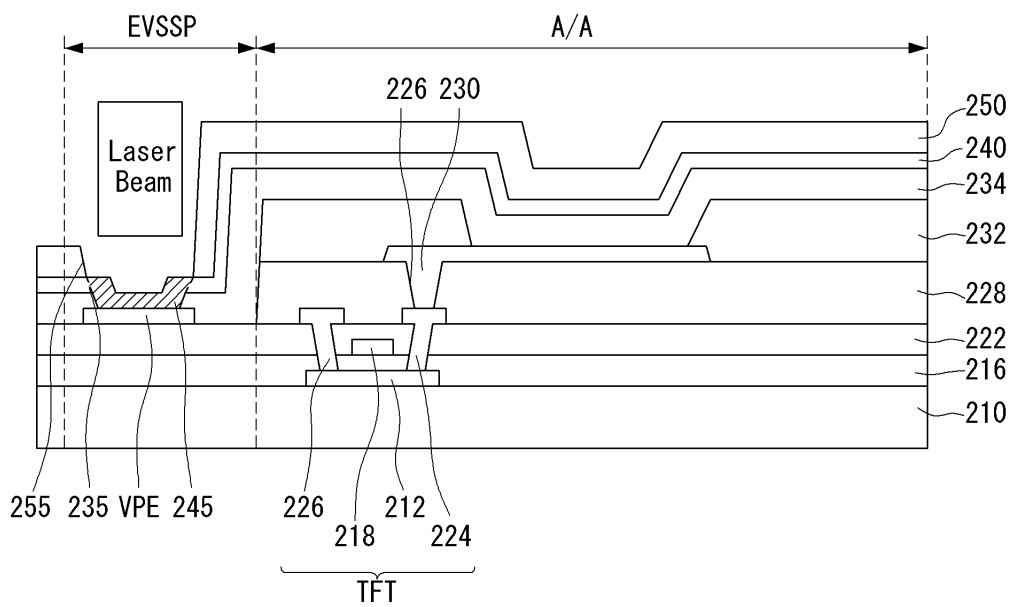
도면10a



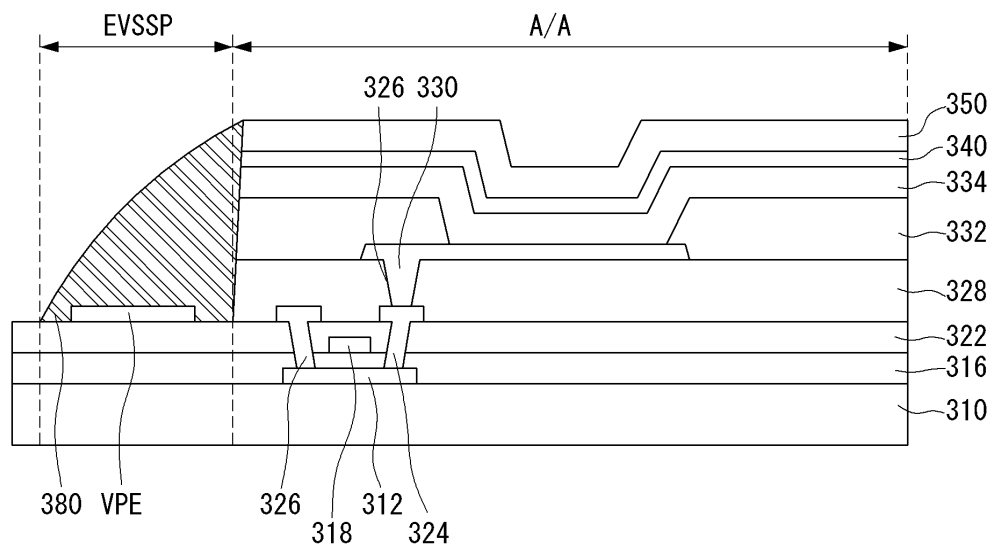
도면10b



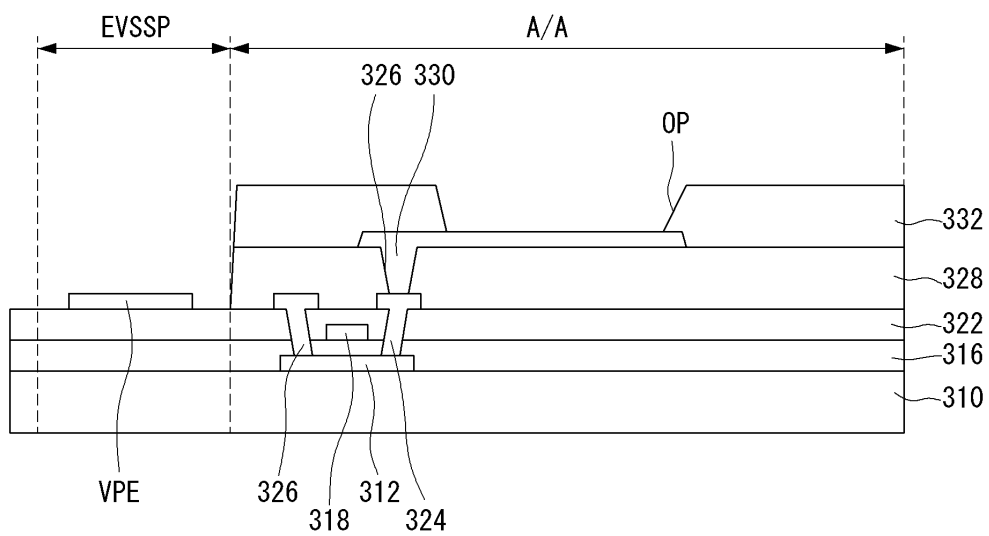
도면10c



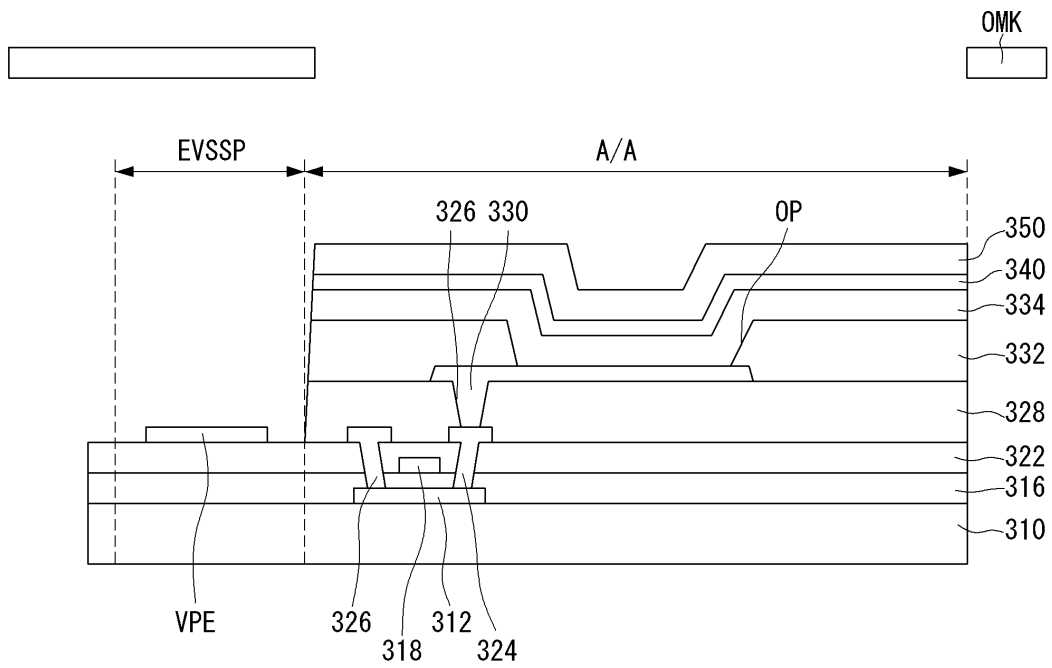
도면11



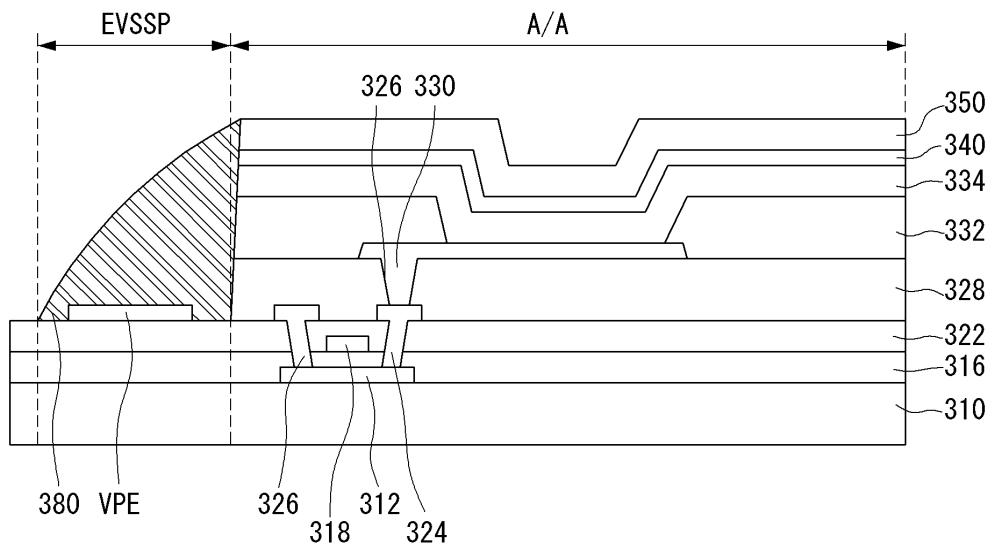
도면12a



도면12b



도면12c



100

[illegible]