(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0146370
(43) 공개일자 2015년12월31일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2014-0191712
(22) 출원일자 2014년12월29일
심사청구일자 2014년12월29일
(30) 우선권주장
201410284140.6 2014년06월23일 중국(CN)

(71) 출원인
에버디스플레이 옵트로닉스 (상하이) 리미티드
중국 상하이 인더스트리얼 파크 블러바드, 진산, 넘버 100, 블록 1, 플로어 2, 룸 208
(72) 발명자
코우, 하오
중국 201500, 상하이, 진산 인더스트리얼 존 스트리트 넘버 100, 넘버 1 빌딩, 플로어 2, 룸 208
루, 지아하오
중국 201500, 상하이, 진산 인더스트리얼 존 스트리트 넘버 100, 넘버 1 빌딩, 플로어 2, 룸 208
(뒷면에 계속)
(74) 대리인
김영철, 김 순 영

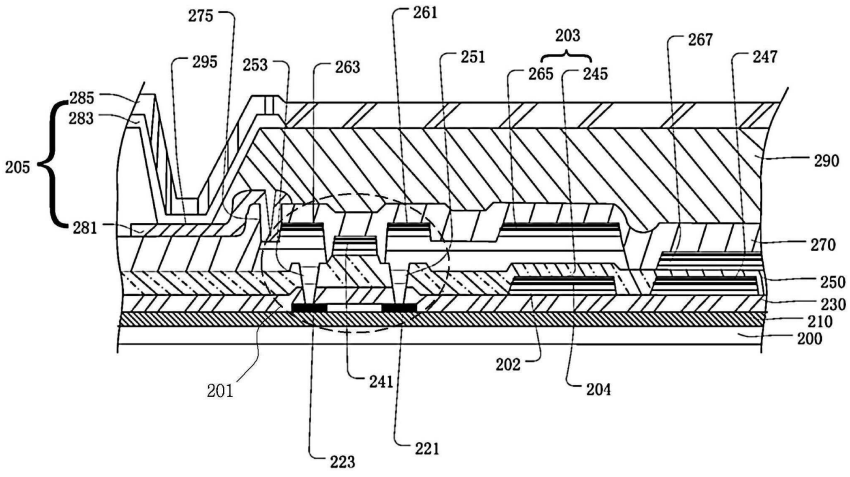
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **유기 발광 표시장치 및 그 박막 트랜지스터**

(57) 요 약

본 발명은 유기 발광 표시장치 및 그 박막 트랜지스터를 제공한다. 상기 박막 트랜지스터는 기판 위에 형성된 반도체층과, 게이트 전극과, 상기 반도체층과 연결된 소스 전극 및 드레인 전극을 포함하며, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성되며, 상기 제2 코팅층은 상기 제1 코팅층의 상기 기판과 멀어지는 일 측에 형성되며, 상기 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성되며, 상기 제2 코팅층은 적어도 두 개의 이중층을 포함하며, 상기 이중층은 한층의 상기 제1 금속재질 및 한층의 상기 제2 금속재질이 교대로 적층되어 형성되며, 각 상기 이중층의 상기 제1 금속재질층의 두께끼리는 서로 동일하고, 각 상기 이중층의 상기 제2 금속재질층의 두께끼리도 서로 동일하다.

대 표 도 - 도2



(72) 발명자

시아, 시안하이

중국 201500, 상하이, 진산 인더스트리얼 존 스트리트 넘버 100, 넘버 1 빌딩, 플로어 2, 룸 208

첸, 이밍

중국 201500, 상하이, 진산 인더스트리얼 존 스트리트 넘버 100, 넘버 1 빌딩, 플로어 2, 룸 208

명 세 서

청구범위

청구항 1

기판 위에 형성된 반도체층과,

게이트 전극과,

상기 반도체층과 연결된 소스 전극 및 드레인 전극을 포함하며,

상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성되며, 상기 제2 코팅층은 상기 제1 코팅층의 상기 기판과 멀어지는 일 측에 형성되며,

상기 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성되며,

상기 제2 코팅층은 적어도 두 개의 이중층을 포함하며, 상기 이중층은 한층의 상기 제1 금속재질 및 한층의 상기 제2 금속재질이 교대로 적층되어 형성되며, 각 상기 이중층의 상기 제1 금속재질층의 두께끼리는 서로 동일하고, 각 상기 이중층의 상기 제2 금속재질층의 두께끼리도 서로 동일한 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 제1 금속재질의 함량은 상기 기판과 멀어질 수록 점차 증가되며, 상기 제2 금속재질의 함량은 상기 기판에 가까워 질수록 점차 증가되는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 농도구배는 선형변화를 이루는 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제1항에 있어서,

상기 농도구배는 비선형변화를 이루는 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제1항에 있어서,

상기 제1 금속재질을 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극의 도선재질로 하는 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제5항에 있어서,

상기 제1 금속재질은 동인 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 제2 금속재질을 상기 기판을 부착하기 위한 바리어층의 재질로 하는 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제7항에 있어서,

상기 제2 금속재질은 몰리브덴, 티타늄, 알루미늄, 니켈 또는 ITO 중의 하나 또는 그 이상인 것을 특징으로 하는 박막 트랜지스터.

청구항 9

제1항에 있어서,

상기 제1 코팅층의 두께는 상기 금속 코팅층의 두께의 1/3 내지 1/2인 것을 특징으로 하는 박막 트랜지스터.

청구항 10

제1항에 있어서,

각 상기 이중층의 두께는 50Å 내지 200Å인 것을 특징으로 하는 박막 트랜지스터.

청구항 11

제1항에 있어서,

상기 기판은 유리기판인 것을 특징으로 하는 박막 트랜지스터.

청구항 12

기판 위에 형성된 게이트 배선 및 데이터 배선과,

상기 게이트 배선 및 상기 데이터 배선에 에워싸여 형성된 화소부분과,

상기 화소부분에 구비되는 화소를 포함하며,

상기 게이트 배선 및 상기 데이터 배선 중의 적어도 하나의 배선은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성되며, 상기 제2 코팅층은 상기 제1 코팅층의 상기 기판과 멀어지는 일 측에 형성되며,

상기 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성되며,

상기 제2 코팅층은 적어도 두 개의 이중층을 포함하며, 상기 이중층은 한층의 상기 제1 금속재질 및 한층의 상기 제2 금속재질이 교대로 적층되어 형성되며, 각 상기 이중층의 상기 제1 금속재질층의 두께끼리는 서로 동일하고, 각 상기 이중층의 상기 제2 금속재질층의 두께끼리도 서로 동일하며,

상기 화소는 트랜지스터, 캐패시터 및 유기 발광소자를 포함하고, 상기 데이터 배선은 상기 트랜지스터의 소스 전극 및 상기 트랜지스터의 드레인 전극 중의 적어도 하나를 포함하며, 상기 게이트 배선은 상기 트랜지스터의

게이트 전극을 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 13

제12항에 있어서,

상기 제1 금속재질의 함량은 상기 기판과 멀어질 수록 점차 증가되며, 상기 제2 금속재질의 함량은 상기 기판에 가까워 질수록 점차 증가되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 14

제12항에 있어서,

상기 농도구배는 선형변화를 이루는 것을 특징으로 하는 유기 발광 표시장치.

청구항 15

제12항에 있어서,

상기 농도구배는 비선형변화를 이루는 것을 특징으로 하는 유기 발광 표시장치.

청구항 16

제12항에 있어서,

상기 제1 금속재질을 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극의 도선 재질로 하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 17

제12항에 있어서,

상기 제1 금속재질은 동인 것을 특징으로 하는 유기 발광 표시장치.

청구항 18

제12항에 있어서,

상기 제2 금속재질을 상기 기판을 부착하기 위한 바리어층의 재질로 하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 19

제12항에 있어서,

상기 제2 금속재질은 몰리브덴, 티타늄, 알루미늄, 니켈 또는 ITO 중의 하나 또는 그 이상 인것을 특징으로 하는 유기 발광 표시장치.

청구항 20

제12항에 있어서,

상기 제1 코팅층의 두께는 상기 금속 코팅층의 두께의 1/3 내지 1/2인 것을 특징으로 하는 유기 발광 표시장치.

청구항 21

제12항에 있어서,

각 상기 이중층의 두께는 50Å 내지 200Å인 것을 특징으로 하는 유기 발광 표시장치.

청구항 22

제12항에 있어서,

상기 기판은 유리기판인 것을 특징으로 하는 유기 발광 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시장치에 관한 것이며, 특히 유기 발광 표시장치 및 그 박막 트랜지스터에 관한 것이다.

배 경 기 술

[0002] 현재, 기판 또는 기재를 사용하여 각종 전자제품을 제조할 수 있으며, 예를 들어 유리기판, 투명기판을 사용하여 표시패널을 제조할 수 있다. 대형 유기 발광 표시패널 (Organic Light Emitting Display, OLED) 을 예로 들면, 복수의 유기 발광 표시유닛으로 나눌 수 있다. 유기 발광 표시유닛은 적어도 양극 전극판, 발광층 및 음극 전극판을 포함한다. 발광층은 양극 전극판 및 음극 전극판 사이에 끼워져 《샌드위치》 (sandwich) 구조를 형성한다. 순전압 구동하에, 양극 전극판은 발광층에 정공을 주입하고, 음극 전극판은 발광층에 전자를 주입한다. 주입한 정공과 전자는 발광층에서 만나 결합되어, 전자가 여기 상태로부터 기저 상태로 돌아 오도록 하며, 여분의 에너지를 광파의 형식으로 복사방출한다.

[0003] 구체적으로, 능동형 유기 발광 다이오드(AMOLED) 표시장치에 있어서, 일반적으로 박막 트랜지스터는 화소의 스위치 소자로 사용된다.

[0004] 근래 유기 발광 다이오드 표시장치의 사이즈를 증대하는 추세가 있다. 따라서, 더욱 높은 해상도를 요구한다. 비교적 높은 해상도를 가진 대형 유기 발광 다이오드 표시장치는 반드시 RC 지연을 감소해야 하며 배선한 저항을 최소화 하는것을 통해 RC 지연의 감소를 실현할 수 있다.

[0005] 일반적으로, 저항률이12μΩcm보다 작은 몰리브덴 (Mo) 과 저항률이 5.5μΩcm보다 작은 알루미늄 (Al) 을 전극 또는 박막 트랜지스터의 배선으로 사용한다. 이러한 금속은 저항률이 높으므로 비교적 높은 해상도를 가진 대형 유기 발광 다이오드 표시장치의 제조의 어려움을 더욱 가중한다. 동 (Cu) 의 저항률은 2.2μΩcm보다 작으므로 동을 선택 가능한 배선 및 전극으로 사용하는 연구가 진행되고 있다.

[0006] 동을 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극 중의 모든 전극에 사용할 수 있지만, 동을 게이트 전극에 사용할 시, 동과 박막 트랜지스터가 형성되어 있는 유리기저 사이의 부착력이 약하다. 또한, 동을 소스 전극 및 드레인 전극에 사용할 시, 동은 완충기로 사용되는 실리콘 (Si) 막과 반응할 수 있다. 때문에, 동을 게이트 전극, 소스 전극 및/또는 드레인 전극에 사용할 시, 동을 단층형식으로 사용할 수 없다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 박막 트랜지스터를 제공한다.

과제의 해결 수단

[0008] 박막 트랜지스터는 기판 위에 형성된 반도체층과, 게이트 전극과, 상기 반도체층과 연결된 소스 전극 및 드레인 전극을 포함하며, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성되며, 상기 제2 코팅층은 상기 제1 코팅층의 상기 기판과 멀어지는 일 측에 형성되며, 상기 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성되며, 상기 제2 코팅층은 적어도 두개의 이중층을 포함하며, 상기 이중층은 한층의 상기 제1 금속재질 및 한층의 상기 제2 금속재질이 교대로 적층되어 형성되며, 각 상기 이중층의 상기 제1 금속재질층의 두께끼리는 서로 동일하고, 각 상기 이중층의 상기 제2 금속재질층의 두께끼리도 서로 동일하다.

[0009] 바람직하게, 상기 제1 금속재질의 함량은 상기 기판과 멀어질 수록 점차 증가되며, 상기 제2 금속재질의 함량은 상기 기판에 가까워 질수록 점차 증가된다.

[0010] 바람직하게, 상기 농도구배는 선형변화를 이룬다.

[0011] 바람직하게, 상기 농도구배는 비선형변화를 이룬다.

[0012] 바람직하게, 상기 제1 금속재질을 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극의 도선재질로 한다.

[0013] 바람직하게, 상기 제1 금속재질은 동이다.

[0014] 바람직하게, 상기 제2 금속재질을 상기 기판을 부착하기 위한 바리어층의 재질로 한다.

[0015] 바람직하게, 상기 제2 금속재질은 몰리브덴, 티타늄, 알루미늄, 니켈 또는 ITO 중의 하나 또는 그 이상이다.

[0016] 바람직하게, 상기 제1 코팅층의 두께는 상기 금속 코팅층의 두께의 1/3 내지 1/2이다.

[0017] 바람직하게, 각 상기 이중층의 두께는 50Å 내지 200Å이다.

[0018] 바람직하게, 상기 기판은 유리기판이다.

[0019] 본 발명의 다른 한 양태는 유기 발광 표시장치를 제공한다. 유기 발광 표시장치는 기판 위에 형성된 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 상기 데이터 배선에 에워싸여 형성된 화소부분과, 상기 화소부분에 구비되는 화소를 포함하며, 상기 게이트 배선 및 상기 데이터 배선 중의 적어도 하나의 배선은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성되며, 상기 제2 코팅층은 상기 제1 코팅층의 상기 기판과 멀어지는 일 측에 형성되며, 상기 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성되며, 상기 제2 코팅층은 적어도 두개의 이중층을 포함하며, 상기 이중층은 한층의 상기 제1 금속재질 및 한층의 상기 제2 금속재질이 교대로 적층되어 형성되며, 각 상기 이중층의 상기 제1 금속재질층의 두께끼리는 서로 동일하고, 각 상기 이중층의 상기 제2 금속재질층의 두께끼리도 서로 동일하며, 상기 화소는 트랜지스터, 캐패시터 및 유기 발광소자를 포함하고, 상기 데이터 배선은 상기 트랜지스터의 소스 전극 및 상기 트랜지스터의 드레인 전극 중의 적어도 하나를 포함하며, 상기 게이트 배선은 상기 트랜지스터의 게이트 전극을 포함한다.

[0020] 바람직하게, 상기 제1 금속재질의 함량은 상기 기판과 멀어질 수록 점차 증가되며, 상기 제2 금속재질의 함량은 상기 기판에 가까워 질수록 점차 증가

[0021] 바람직하게, 상기 농도구배는 선형변화를 이룬다.

[0022] 바람직하게, 상기 농도구배는 비선형변화를 이룬다.

[0023] 바람직하게, 상기 제1 금속재질을 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극 중의 적어도 하나의 전극의 도선재질로 한다.

[0024] 바람직하게, 상기 제1 금속재질은 동이다.

[0025] 바람직하게, 상기 제2 금속재질을 상기 기판을 부착하기 위한 바리어층의 재질로 한다.

[0026] 바람직하게, 상기 제2 금속재질은 몰리브덴, 티타늄, 알루미늄, 니켈 또는 ITO 중의 하나 또는 그 이상이다.

[0027] 바람직하게, 상기 제1 코팅층의 두께는 상기 금속 코팅층의 두께의 1/3 내지 1/2이다.

[0028] 바람직하게, 각 상기 이중층의 두께는 50Å 내지 200Å이다.

[0029] 바람직하게, 상기 기판은 유리기판이다.

발명의 효과

[0030] 본 발명은 두가지 금속재질을 이용하여 금속전극을 코팅하는 방식을 개변하는 것을 통하여 도선저항을 낮춘다. 본 발명은 기판과 가까운 부분에 구배 금속 코팅층을 이용하여 제1 코팅층을 형성하고, 구배 금속 코팅층 위에 다층 교체 생장방식을 이용하여 제2 코팅층을 형성한다. 두가지 금속재질은 각각 도선재질 및 바리어층재질로 되며, 본 발명은 바리어층 기능을 보장하는 전제하에서 저항을 낮추고 에칭속도를 조절하는 효과를 가진다.

도면의 간단한 설명

[0031] 첨부한 도면을 참조하여, 예시된 실시방식을 상세히 설명한다. 본 발명의 상술한 특징과 기타 특징 및 이점은 더욱 명확하게 된다.

도 1a는 발명의 실시예에 따른 유기 발광 표시장치의 레이아웃이다.

도 1b는 본 발명의 실시예에 따른 유기 발광 표시장치의 화소유닛의 레이아웃이다.

도 2는 본 발명의 실시예에 따른 유기 발광 표시장치의 단면구성이다.

도 3은 본 발명의 실시예에 따른 유기 발광 표시장치의 금속 코팅층의 단면구성이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부된 도면을 참조하여 실시예에 대해 전면적으로 설명하기로 한다. 하지만, 실시예는 각종 형식으로 실시될 수 있고, 여기서 서술한 실시예에 한정되지 않는다. 반대로, 제공한 이러한 실시예는 본 발명이 더욱 전면적이고 완정하도록 하며, 또한 본 실시예의 사상을 전면적으로 당업자에게 전달한다. 도면의 명확성을 위하여, 도면중의 영역과 층의 두께를 확대하여 표시하였다. 도면에 있어서, 동일한 부호는 동일하거나 유사한 구조를 표시하므로 상세한 설명은 생략한다.

[0033] 도1a는 본 발명의 실시예에 따른 유기 발광 표시장치의 레이아웃이다. 도1a를 참조하면, 유기 발광 표시장치는 복수의 서로 절연되며 하나의 방향에 따라 배치된 게이트 라인(gate line, 110), 복수의 서로 절연되며 게이트 라인(110)과 교차되는 방향을 따라 배치된 데이터 라인(120) 및 게이트 라인(110)과 교차되며 데이터 라인(120)과 서로 절연되어 평행하여 배치된 전원선(130)을 포함한다. 유기 발광 표시장치는 게이트 라인(110), 데이터 라인(120) 및 전원선(130)에 에워싸여 형성된 복수의 화소유닛(140) 및 각 화소유닛(140)의 개구(155)에 설정된 복수의 화소전극(150)을 더 포함한다.

[0034] 게이트 라인(110), 데이터 라인(120) 및 전원선(130)은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성될 수 있다. 제2 코팅층은 제1 코팅층의 상기 기판으로부터 떨어진 측에 형성된다. 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성된다. 제2 코팅층은 적어도 두개의 이중층(bilayer layer)을 포함한다. 각 이중층은 한층의 제1 금속재질 및 한층의 제2 금속재질이 서로 교대로 적층되어 형성된다. 각 이중층의 제1 금속재질층의 두께끼리는 서로 동일하다. 각 이중층의 제2 금속재질층의 두께끼리도 서로 동일하다.

[0035] 구체적으로, R, G, B화소유닛은 각 화소유닛(140)에 설정되며, 각 화소유닛은 박막 트랜지스터, 캐패시터 및 화소전극(150)과 접속하는 발광 다이오드, 화소전극(150)과 상기 박막 트랜지스터의 소스 전극 및 드레인 전극 중의 하나를 연결하는 스루홀(157)을 포함한다.

[0036] 화소유닛에서의 각 소자 사이의 연결방식은 도1b를 참조한다. 도1b는 본 발명의 실시예에 따른 유기 발광 표시장치의 화소유닛의 레이아웃이다. 구체적으로, 화소유닛(140)은 게이트 라인(110), 데이터 라인(120) 및 전원선(130)에 에워싸여 형성된다. 화소유닛(140)은 개구(155)를 포함하는 화소전극(150)을 더 포함한다.

[0037] 각 화소전극(150)에 R, G 및 B화소유닛을 설정한다. 각 화소는 두 개의 박막 트랜지스터(160, 180), 캐패시터(170) 및 화소전극(150)을 포함하는 유기 발광다이오드를 포함한다.

[0038] 스위치로서 사용될 수 있는 박막 트랜지스터(160)는 소스 영역 및 드레인 영역을 포함하는 반도체층(161), 게이트 라인(110)과 연결되는 게이트 전극(163)을 포함할 수 있다. 게이트 전극(163)은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성될 수 있다. 박막 트랜지스터(160)는 소스 전극(165) 및 드레인 전극(167)을 더 포함할 수 있고, 콘택트 홀(164, 166)을 통하여 반도체층(161)의 소스 영역 및 드레인 영역에 각각 연결되며, 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성된다. 제1 코팅층은 농도구배가 두께방향에 따라 변

화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성된다. 제2 코팅층은 적어도 두 개의 이중층을 포함한다. 각 이중층은 한층의 제1 금속재질 및 한층의 제2 금속재질이 서로 교대로 적층되어 형성된다. 각 이중층의 제1 금속재질층의 두께끼리는 서로 동일하다. 각 이중층의 제2 금속재질층의 두께끼리도 서로 동일하다.

[0039] 구동에 사용될 수 있는 박막 트랜지스터(180)는 소스 영역 및 드레인 영역을 포함하는 반도체층(181) 및 게이트 전극(183)을 포함할 수 있다. 게이트 전극(183)은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성될 수 있다. 박막 트랜지스터(180)는 소스 전극(185) 및 드레인 전극(187)을 더 포함할 수 있고, 콘택트 홀(184, 186)을 통하여, 반도체층(181)의 소스 영역 및 드레인 영역에 각각 연결되며, 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성된다. 박막 트랜지스터(180)의 소스 전극(185)은 전원선(130)과 연결된다. 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성된다. 제2 코팅층은 적어도 두개의 이중층을 포함한다. 각 이중층은 한층의 제1 금속재질 및 한층의 제2 금속재질이 서로 교대로 적층되어 형성된다. 각 이중층의 제1 금속재질층의 두께끼리는 서로 동일하다. 각 이중층의 제2 금속재질층의 두께끼리도 서로 동일하다.

[0040] 캐패시터(170)는 하부 전극(171)을 포함할 수 있으며, 하부 전극(171)은 콘택트 홀(168)을 통하여 스위치 트랜지스터(160)의 드레인 전극(167)과 연결되며 또한 박막 트랜지스터(180)의 게이트 전극(183)에 연결된다. 캐패시터(170)의 하부 전극(171)은 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성될 수 있다. 캐패시터(170)는 전원선(130)과 연결되는 상부 전극(173)을 더 포함할 수 있으며, 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층으로 형성될 수 있다. 제1 코팅층은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성된다. 제2 코팅층은 적어도 두개의 이중층을 포함한다. 각 이중층은 한층의 제1 금속재질 및 한층의 제2 금속재질이 서로 교대로 적층되어 형성된다. 각 이중층의 제1 금속재질층의 두께끼리는 서로 동일하다. 각 이중층의 제2 금속재질층의 두께끼리도 서로 동일하다.

[0041] 화소전극(150)은 스루홀(157)을 통하여 박막 트랜지스터(180)의 드레인 전극(187)에 연결된다.

[0042] 본 발명의 상술한 구조를 가지는 예시적인 실시예의 유기 발광 표시장치는 제1 코팅층 및 제2 코팅층을 포함하는 금속 코팅층을 통하여 도선저항을 낮출수 있고, 저항으로 인한 전압 강하 및 캐퍼시터에 의한 시간 지연 문제를 해결하였다. 바람직하게, 금속 코팅층을 형성하기 위한 제1 금속재질로서 저항률이 2.2μΩcm보다 작은 동을 선택한다. 금속 코팅층을 형성하기 위한 제2 금속재질로서 수증기 등을 막기 위한 몰리브덴, 티타늄, 알루미늄, 니켈 또는 ITO(인듐 주석 산화물)에서 선택한 하나 또는 그 이상의 재질이다.

[0043] 상기 구배층에서 제1 금속재질 및 제2 금속재질의 농도는 선형변화 또는 비선형변화를 이룬다. 제2 금속재질의 함량은 기판에 가까워 질수록 점차 증가된다. 제1 금속재질의 함량은 기판과 멀어 질수록 점차 증가된다.

[0044] 또한, 에칭속도를 고려하여, 제1 코팅층의 두께는 금속 코팅층의 두께의 1/3 내지 1/2를 차지한다. 제2 코팅층의 두께는 제1 코팅층의 두께와 대응되어, 제1 코팅층의 두께가 금속 코팅층의 두께의 1/3을 차지할 경우, 제2 코팅층의 두께는 금속 코팅층의 두께의 2/3를 차지하며, 제1 코팅층의 두께가 금속 코팅층의 두께의 1/2을 차지할 경우, 제2 코팅층의 두께는 금속 코팅층의 두께의 나머지 1/2을 차지한다. 제2 코팅층에 있어서, 각 이중층의 두께는 50Å 내지 200Å이다.

[0045] 도2는 본 발명의 실시예에 따른 유기 발광 표시장치의 단면구성이다. 유기 발광 표시장치는 유기 발광다이오드, 캐패시터, 게이트 라인, 데이터 라인 및 유기 발광 다이오드와 연결된 박막 트랜지스터를 포함한다.

[0046] 도2를 참조하면, 박막 트랜지스터(201)는 절연기판(200)의 완충층(210) 위에 설치된 소스 영역(221) 및 드레인 영역(223)을 포함하는 반도체층, 및 게이트 절연층(230) 위에 형성된 게이트 전극(241)을 포함한다. 소스 전극(261) 및 드레인 전극(263)은 층간 절연층(250) 위에 형성되며, 각자의 콘택트 홀(251, 253)을 통하여 소스 영역(221) 및 드레인 영역(223)에 연결된다.

[0047] 캐패시터(203)는 게이트 전극(241)과 함께 게이트 절연층(230) 위에 형성된 하부 전극(245), 소스 전극(261) 및 드레인 전극(263)과 함께 층간 절연층(250) 위에 형성된 상부 전극(265)을 포함한다. 게이트 라인(247)은 게이트 전극(241)과 함께 게이트 절연층(230) 위에 형성될 수 있으며, 데이터 라인(267)은 소스 전극(261) 및 드레인 전극(263)과 함께 층간 절연층(250) 위에 형성될 수 있다.

[0048] 유기 발광 다이오드 (205)는 하부 전극(281)을 포함하며, 하부 전극(281)은 부동태화층 (270) 위에 형성된 투과성 전극일 수 있고, 박막 트랜지스터(201)의 소스 전극(261) 및 드레인 전극(263) 중의 하나와 접속한다. 예를 들어, 스루홀(275)을 통하여 드레인 전극(263)과 접합한다. 유기 발광 다이오드(205)는 개구(295) 위에 형성된 유기 박막층(283) 및 기판의 전체 표면 위에 형성된 상부 전극(285)을 더 포함할 수 있으며, 개구는 하부 전

극(281) 위의 화소한정층(290)에 의해 확정된다.

[0049] 예시적인 실시예에 따르면, 게이트 배선은 게이트 전극(241), 캐패시터의 하부 전극(245) 및 게이트 라인(247)을 포함하며, 데이터 배선은 소스 전극(261), 드레인 전극(263), 캐패시터의 상부 전극(265), 데이터 라인(267) 및 전원선을 포함한다. 게이트 배선과 데이터 배선은 제1 코팅층(202) 및 제2 코팅층(204)을 포함하는 금속 코팅층으로 형성될 수 있다. 제1 코팅층(202)은 농도구배가 두께방향에 따라 변화하는 제1 금속재질 및 제2 금속재질을 포함하는 구배층으로 형성된다. 제2 코팅층(204)은 적어도 두개의 이중층을 포함한다. 각 이중층은 한층의 제1 금속재질 및 한층의 제2 금속재질이 서로 교대로 적층되어 형성된다. 각 이중층의 제1 금속재질층의 두께끼리는 서로 동일하다. 각 이중층의 제2 금속재질층의 두께끼리도 서로 동일하다. 상기 구배층에 있어서, 제2 금속재질의 함량은 기판(200)에 가까워 질수록 점차 증가된다. 제1 금속재질의 함량은 기판(200)과 멀어 질수록 점차 증가된다.

[0050] 도3은 본 발명의 실시예에 따른 유기 발광 표시장치의 금속 코팅층의 단면구성이다. 구체적으로, 금속 코팅층은 제1 코팅층(301) 및 제2 코팅층(302)을 포함한다. 제1 코팅층(301)은 기판(310) 위에 형성되고, 제2 코팅층(302)은 제1 코팅층(301)의 기판(310)과 상이한 측에 형성된다.

[0051] 제1 코팅층(301)은 농도구배가 두께방향에 따라 변화하는 제1 금속재질(303) 및 제2 금속재질(304)을 포함하는 구배층으로 형성된다. 제2 금속재질(304)의 함량은 기판(310)에 가까워 질수록 점차 증가되며, 제1 금속재질(303)의 함량은 기판(310)과 멀어질 수록 점차 증가된다. 제1 금속재질(303) 및 제2 금속재질(304)의 농도는 선형변화 또는 비선형변화를 이룬다.

[0052] 제2 코팅층(302)은 적어도 두개의 이중층(305)을 포함한다. 각 이중층(305)은 한층의 제1 금속재질(303) 및 한층의 제2 금속재질(304)이 교대로 적층되어 형성된다. 각 이중층(305)의 제1 금속재질층의 두께끼리는 서로 동일하다. 각 이중층(305)의 제2 금속재질층의 두께끼리도 서로 동일하다.

[0053] 바람직하게, 금속 코팅층을 형성하기 위한 제1 금속재질을 금속도선재질로 하며, 예를 들면 저항률이2.2μΩcm보다 작은 동을 선택한다. 금속 코팅층을 형성하기 위한 제2 금속재질로서 수증기 등을 막기 위한 몰리브덴, 티타늄, 알루미늄, 니켈 또는 ITO에서 선택한 하나 또는 그 이상의 재질이다.

[0054] 또한, 에칭속도를 고려하여, 제1 코팅층(301)의 두께는 금속 코팅층의 두께의 1/3 내지 1/2를 차지한다. 제2 코팅층(302)의 두께는 제1 코팅층(301)의 두께와 대응되어, 제1 코팅층(301)의 두께가 금속 코팅층의 두께의 1/3을 차지할 경우, 제2 코팅층(302)의 두께는 금속 코팅층의 두께의 2/3를 차지하며, 제1 코팅층(301)의 두께가 금속 코팅층의 두께의 1/2을 차지할 경우, 제2 코팅층(302)의 두께는 금속 코팅층의 두께의 나머지 1/2을 차지한다. 제2 코팅층에 있어서, 각 이중층의 두께는 50Å 내지 200Å이다.

[0055] 본 실시예의 하나의 바람직한 예에 있어서, 제1 코팅층(301)과 제2 코팅층(302)의 제2 금속재질(304)은 동일하다. 예를 들어, 제1 코팅층(301)과 제2 코팅층(302)의 제2 금속재질(304)은 모두 티타늄이다. 하나의 변형예에 있어서, 제1 코팅층(301)과 제2 코팅층(302)의 제2 금속재질(304)은 상이하다. 예를 들어, 제1 코팅층(301)의 제2 금속재질(304)은 티타늄이고, 제2 코팅층(302)의 제2 금속재질(304)은 몰리브덴이다. 또 예를 들어, 제1 코팅층(301)의 제2 금속재질(304)은 알루미늄이고, 제2 코팅층(302)의 제2 금속재질(304)은 니켈이다. 당업자는 더욱 많은 변형예를 실현할 수 있으며 여기서 중복하여 설명하지 않는다.

[0056] 제1 실시예

[0057] 본 실시예에서, 동 (Cu) 을 제1 금속재질로 선택하고, 티타늄 (Ti) 을 제2 금속재질로 선택한다. 하기와 같은 에칭 속도비율 및 에칭 선택비율 등 파라미터에 기초하여 에칭을 진행한다.

[0058] 500nm일 경우, Cu의 에칭 속도는 14.9 - 17.2nm/s이고, Ti의 에칭 속도는 0.67nm/s이다. Cu/Ti 의 에칭 선택비율은 18:1이다.

[0059] 제2 실시예

[0060] 본 실시예에서, 동 (Cu) 을 제1 금속재질로 선택하고, 몰리브덴 (Mo) 을 제2 금속재질로 선택한다. 하기와 같은 에칭 속도비율 및 에칭 선택비율 등 파라미터에 기초하여 에칭을 진행한다.

[0061] 500nm일 경우, Cu의 에칭 속도는 7.65nm/s이고, Ti의 에칭 속도는 1.43nm/s이다. Cu/Ti의 에칭 선택비율은 5.35이다.

[0062] 상기 두 실시예에서, 제2 실시예의 에칭효과가 더욱 좋다.

[0063] 이상 구체적으로 본 발명의 예시적인 실시방식을 설명하였다. 하지만, 본 발명은 상기 개시된 실시방식에 한정된 것은 아니라는 것을 이해하여야 한다. 반대로, 특허청구범위의 요지와 범위내에 포함되어 있는 각 수정 및 등가배치는 본 발명에 포함되어 있다.

부호의 설명

[0064] 110 : 게이트 라인 120 : 데이터 라인

130 : 전원선 140 : 화소유닛

155 : 개구 150 : 화소전극

157 : 스루홀 160 : 박막 트랜지스터

161 : 반도체층 163 : 게이트 전극

165 : 소스 전극 167 : 드레인 전극

164, 166, 168 : 콘택트 홀 180 : 박막 트랜지스터

181 : 반도체층 183 : 게이트 전극

185 : 소스 전극 187 : 드레인 전극

184, 186 : 콘택트 홀 170 : 캐패시터

171 : 하부 전극 173 : 상부 전극

200 : 기판 210 : 완충층

230 : 게이트 절연층 250 : 층간 절연층

270 : 부동태화층 247 : 게이트 라인

267 : 데이터 라인 283 : 유기 박막 층

290 : 화소한정층 201 : 박막 트랜지스터

221 : 소스 영역 223 : 드레인 영역

241 : 게이트 전극 261 : 소스 전극

263 : 드레인 전극 251, 253 : 콘택트 홀

203 : 캐패시터 245 : 하부 전극

265 : 상부 전극 205 : 유기 발광다이오드

281 : 하부 전극 285 : 상부 전극

275 : 스루홀 295 : 개구

202 : 제1 코팅층 204 : 제2 코팅층

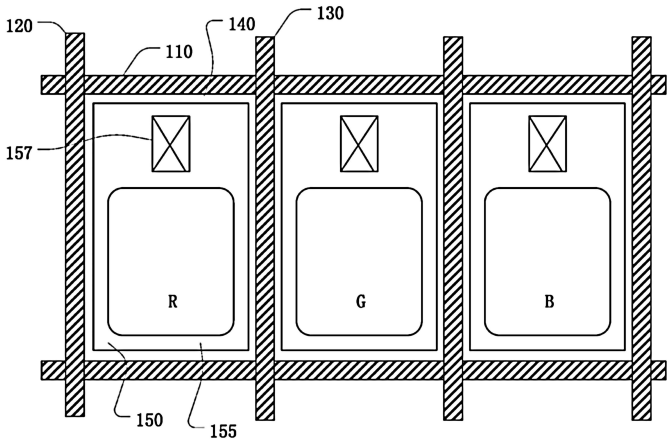
310 : 기판 301 : 제1 코팅층

302 : 제2 코팅층 303 : 제1 금속재질

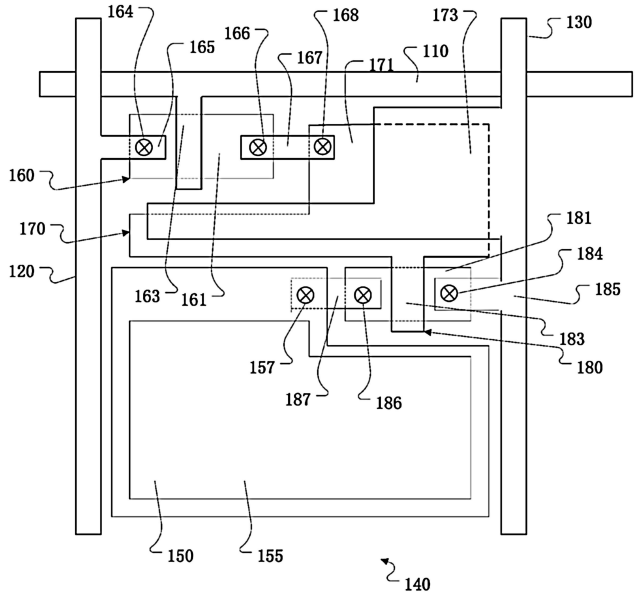
304 : 제2 금속재질 305 : 이중층

도면

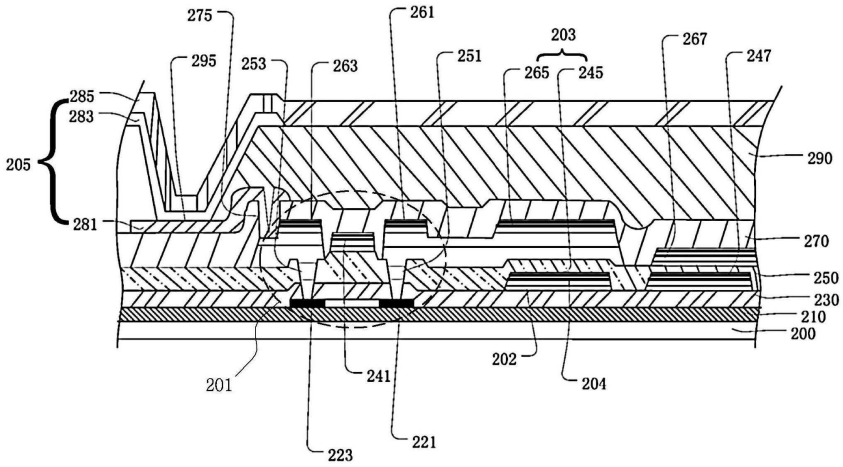
도면1a


120
140
130
110
157
R
G
B
150
155

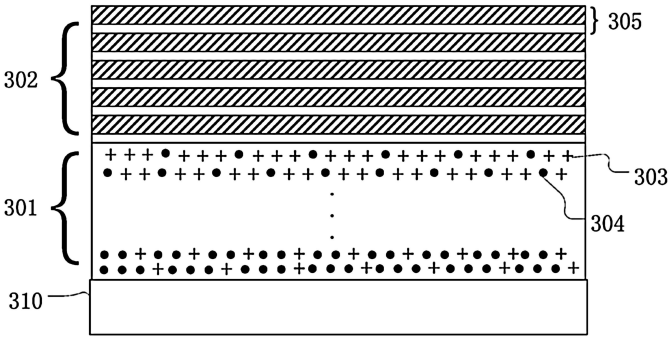
도면1b


164
165
166
168
167
171
173
110
130
160
170
120
181
184
185
183
180
163
161
157
187
186
150
155
140

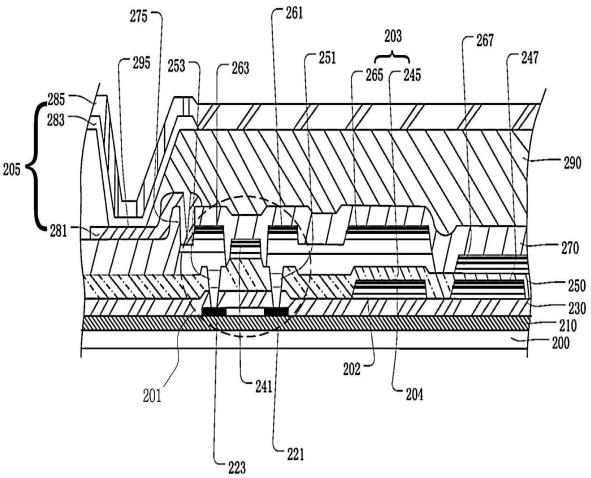
도면2


275
261
203
267
247
295
253
263
251
265
245
285
283
205
290
281
270
250
230
210
200
201
241
202
204
223
221

도면3


305
302
303
301
304
310

专利名称(译)	标题：OLED显示器件及其薄膜晶体管		
公开(公告)号	KR1020150146370A	公开(公告)日	2015-12-31
申请号	KR1020140191712	申请日	2014-12-29
[标]申请(专利权)人(译)	上海和辉光电有限公司		
申请(专利权)人(译)	曾经显示光电（上海）有限公司		
当前申请(专利权)人(译)	曾经显示光电（上海）有限公司		
[标]发明人	KOU HAO LU JIAHAO XIA XIANHAI CHEN YIMING		
发明人	코우,하오 루,지아하오 시아,시안하이 첸,이밍		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/32 H01L29/786 H01L27/3202 H01L27/3279 H01L29/41733 H01L29/43 H01L29/78603		
代理人(译)	金永澈		
优先权	201410284140.6 2014-06-23 CN		
其他公开文献	KR101602793B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示器及其薄膜晶体管。其中，栅电极，源电极和漏电极中的至少一个包括第一涂层和第二涂层，其中，第一涂层形成在第一涂层的远离基板的一侧上，第一涂层由具有在厚度方向上变化的浓度梯度的第一金属材料形成，和第二金属层，其中第二涂层包括至少两个双层，其中双层通过在一层中交替堆叠第一金属材料和第二金属材料而形成并且各个双层的第一金属材料层的厚度彼此相等，并且第二金属材料层的厚度Kkirido是彼此相等。