



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0076024  
(43) 공개일자 2015년07월06일

(51) 국제특허분류(Int. Cl.)

*H01L 27/32* (2006.01)

(21) 출원번호 10-2013-0164606

(22) 출원일자 2013년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김현호

서울 은평구 진관1로 21-9, 105동 1202호 (진관동, 은평뉴타운박석고개)

(74) 대리인  
특허법인로얄

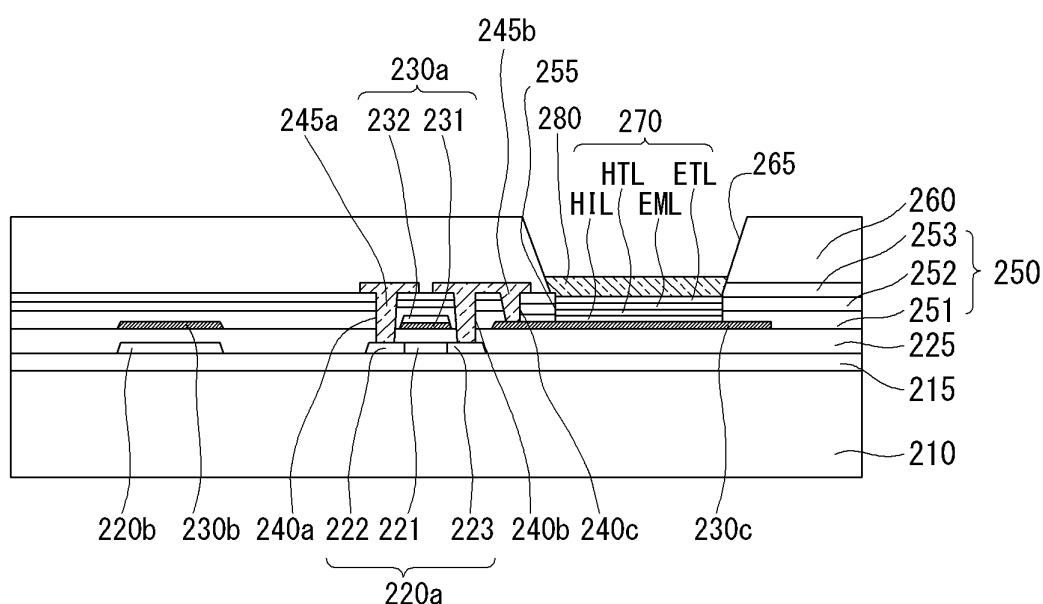
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

**(57) 요 약**

본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판, 상기 기판 상에 서로 이격되어 위치하는 액티브층 및 캐패시터 하부전극, 상기 액티브층 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게

(뒷면에 계속)

**대 표 도 - 도2**

위치하는 캐邋시터 상부전극 및 상기 게이트 전극 및 상기 캐邋시터 상부전극과 이격되게 위치하는 제1 전극, 상기 게이트 전극, 상기 캐邋시터 상부전극 및 상기 제1 전극 상에 위치하며, 상기 제1 전극의 일부를 노출하는 제1 개구부가 형성된 충간 절연막, 상기 충간 절연막 상에 위치하며, 상기 액티브층에 연결되고 어느 하나가 상기 제1 전극에 연결된 소스 전극 및 드레인 전극, 상기 소스 전극 및 드레인 전극을 포함하는 기판 상에 위치하며, 상기 제1 전극의 일부를 노출하는 제2 개구부가 형성된 뱅크층, 상기 노출된 제1 전극 상에 위치하는 유기막층, 및 상기 유기막층을 포함하는 상기 기판 상에 위치하는 제2 전극을 포함하는 것을 특징으로 한다.

---

## 명세서

### 청구범위

#### 청구항 1

기판;

상기 기판 상에 서로 이격되어 위치하는 액티브층 및 캐패시터 하부전극;

상기 액티브층 및 상기 캐패시터 하부전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐패시터 하부전극 상에 대응되게 위치하는 캐패시터 상부전극 및 상기 게이트 전극 및 상기 캐패시터 상부전극과 이격되게 위치하는 제1 전극;

상기 게이트 전극, 상기 캐패시터 상부전극 및 상기 제1 전극 상에 위치하며, 상기 제1 전극의 일부를 노출하는 제1 개구부가 형성된 충간 절연막;

상기 충간 절연막 상에 위치하며, 상기 액티브층에 연결되고 어느 하나가 상기 제1 전극에 연결된 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극을 포함하는 기판 상에 위치하며, 상기 제1 전극의 일부를 노출하는 제2 개구부가 형성된 뱅크층;

상기 노출된 제1 전극 상에 위치하는 유기막층; 및

상기 유기막층을 포함하는 상기 기판 상에 위치하는 제2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 2

제1 항에 있어서,

상기 게이트 전극은 금속 산화물 패턴 및 금속 패턴으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 3

제2 항에 있어서,

상기 캐패시터 상부전극은 상기 금속 산화물 패턴으로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 4

제1 항에 있어서,

상기 충간 절연막은 적어도 실리콘 산화막 하부에 실리콘 질화막이 적층된 다층 구조로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 5

기판 상에 액티브층 및 캐패시터 하부전극을 형성하는 단계;

상기 액티브층 및 상기 캐패시터 하부전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 금속 산화물층 및 금속층을 적층하고 감광막을 도포한 후, 하프톤 마스크를 이용하여 패터닝하여 게이트 전극, 캐페시터 상부전극 및 제1 전극을 형성하는 단계;

상기 게이트 전극, 상기 캐페시터 상부전극 및 상기 제1 전극 상에 충간 절연막을 형성하되, 상기 제1 전극을 노출하는 제1 개구부를 형성하는 단계;

상기 충간 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극을 포함하는 기판 상에 맹크층을 형성하되, 상기 제1 전극을 노출하는 제2 개구부를 형성하는 단계;

상기 제1 전극 상에 유기막층을 형성하는 단계; 및

상기 유기막층을 포함하는 상기 기판 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계 발광표시장치의 제조방법.

## 청구항 6

제 5항에 있어서,

상기 액티브층 및 캐페시터 하부전극을 형성하는 단계는,

상기 기판 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층에 레이저를 조사하여 다결정 실리콘층으로 결정화하는 단계; 및

상기 다결정 실리콘층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 7

제 5항에 있어서,

상기 게이트 전극, 캐페시터 상부전극 및 제1 전극을 형성하는 단계는,

상기 게이트 절연막 상에 금속 산화물층 및 금속층을 순차적으로 적층하는 단계;

상기 금속층 상에 상기 감광막을 도포한 후, 상기 하프톤 마스크를 이용하여 두께 단차를 갖는 제1 감광막 패턴 및 제2 감광막 패턴을 형성하는 단계;

상기 금속 산화물층 및 상기 금속층을 식각하여, 게이트 전극, 캐페시터 상부전극 패턴 및 제1 전극 패턴을 형성하는 단계;

상기 제1 감광막 패턴 및 제2 감광막 패턴을 애싱하여 상기 제1 감광막 패턴의 두께를 저감하고 상기 제2 감광막 패턴을 제거하는 단계;

상기 제2 감광막 패턴이 제거되어 노출된 상기 캐페시터 상부전극 패턴 및 상기 제1 전극 패턴의 금속층을 에칭하여 캐페시터 상부전극 및 제1 전극을 형성하는 단계; 및

상기 제1 감광막 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 8

제 5항에 있어서,

상기 게이트 전극, 캐페시터 상부전극 및 제1 전극을 형성하는 단계 이후에,

상기 액티브층 및 상기 캐페시터 하부전극에 불순물을 도핑하는 단계를 더 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 9

제 5항에 있어서,

상기 충간 절연막을 형성하는 단계는, 적어도 실리콘 산화막 하부에 실리콘 질화막을 적층한 다층 구조로 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

#### 배경기술

[0002] 최근, 평판표시장치(FPD: Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에, 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Display Device) 등과 같은 여러 가지의 평면형 디스플레이가 실용화되고 있다.

[0003] 이들 중, 액정표시장치는 음극선관에 비하여 시인성이 우수하고, 평균소비전력 및 발열량이 작으며, 또한, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 평판 표시 장치로 주목받고 있다.

[0004] 도 1은 종래 유기전계발광표시장치를 나타낸 도면이다. 도 1을 참조하면, 기판(100) 상에 베퍼층(110)이 위치하고, 베퍼층(110) 상에 액티브층(115a) 및 캐패시터 하부전극(115b)이 위치하며, 이들을 절연시키는 게이트 절연막(120)이 위치한다. 게이트 절연막(120) 상에 게이트 전극(130a) 및 캐패시터 상부전극(130b)이 위치하고 이들을 절연시키는 충간 절연막(135)이 위치한다. 충간 절연막(135) 상에 콘택홀(140a, 140b)을 통해 액티브층(115a)과 연결된 소스 전극(145a) 및 드레인 전극(145b)이 위치하여 박막 트랜지스터(TFT)가 구성된다.

[0005] 그리고, 박막 트랜지스터(TFT) 상에 패시베이션막(150)이 위치하고, 비어홀(155)을 통해 드레인 전극(145b)에 연결된 제1 전극(160)이 위치한다. 제1 전극(160)을 노출시키는 제1 개구부(163)를 포함하는 제1 뱅크층(162)이 위치하고, 제1 뱅크층(162) 상에 제1 전극(160)을 노출시키는 제2 개구부(166)를 포함하는 제2 뱅크층(165)이 위치한다. 제1 전극(160) 상에 유기막층(170)이 위치하고, 유기막층(170) 상에 제2 전극(180)이 위치하여 유기전계발광표시장치를 구성한다.

[0006] 종래 유기전계발광표시장치는 액티브층(115a), 캐패시터 하부전극(115b), 게이트 전극(130a), 2번의 도핑 공정, 콘택홀(140a, 140b), 소스 전극(145a) 및 드레인 전극(145b), 비어홀(155), 제1 전극(160), 제1 개구부(163), 및 제2 개구부(166)를 형성하기 위해 총 11매의 마스크를 이용하여 제조될 수 있다. 그러나, 종래 유기전계발광표시장치는 11매의 마스크를 이용하여 제조되기 때문에, 공정수가 많고 그만큼 고비용이 요구되어 생산성이 낮은 문제점이 있다.

[0007] 또한, 제1 전극(160)을 노출하는 제1 뱅크층(162)이 실리콘 산화막으로 이루어지는데, 실리콘 산화막의 식각 공정에서 실리콘 산화막의 식각액에 의해 제1 전극(160) 하부에 위치한 실리콘 질화막의 표면이 손상된다. 따라서, 제1 전극(160) 하부에 위치한 실리콘 질화막의 손상은 픽셀 발광 시 얼룩으로 관찰되어 불량으로 나타나는 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0008] 본 발명은 마스크 수를 저감하여 제조비용을 절감하고, 픽셀 불량을 방지할 수 있는 유기전계발광표시장치 및 그 제조방법을 제공한다.

## 과제의 해결 수단

[0009] 상기한 목적을 달성하기 위해, 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판, 상기 기판 상에 서로 이격되어 위치하는 액티브층 및 캐페시터 하부전극, 상기 액티브층 및 상기 캐페시터 하부전극 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 액티브층에 대응되게 위치하는 게이트 전극, 상기 캐페시터 하부전극 상에 대응되게 위치하는 캐페시터 상부전극 및 상기 게이트 전극 및 상기 캐페시터 상부전극과 이격되게 위치하는 제1 전극, 상기 게이트 전극, 상기 캐페시터 상부전극 및 상기 제1 전극 상에 위치하며, 상기 제1 전극의 일부를 노출하는 제1 개구부가 형성된 충간 절연막, 상기 충간 절연막 상에 위치하며, 상기 액티브층에 연결되고 어느 하나가 상기 제1 전극에 연결된 소스 전극 및 드레인 전극, 상기 소스 전극 및 드레인 전극을 포함하는 기판 상에 위치하며, 상기 제1 전극의 일부를 노출하는 제2 개구부가 형성된 뱅크층, 상기 노출된 제1 전극 상에 위치하는 유기막층, 및 상기 유기막층을 포함하는 상기 기판 상에 위치하는 제2 전극을 포함하는 것을 특징으로 한다.

[0010] 상기 게이트 전극은 금속 산화물 패턴 및 금속 패턴으로 이루어진 것을 특징으로 한다.

[0011] 상기 캐페시터 상부전극은 상기 금속 산화물 패턴으로 이루어진 것을 특징으로 한다.

[0012] 상기 충간 절연막은 적어도 실리콘 산화막 하부에 실리콘 질화막이 적층된 다층 구조로 이루어진 것을 특징으로 한다.

[0013] 또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법은 기판 상에 액티브층 및 캐페시터 하부전극을 형성하는 단계, 상기 액티브층 및 상기 캐페시터 하부전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 금속 산화물층 및 금속층을 적층하고 감광막을 도포한 후, 하프톤 마스크를 이용하여 패터닝하여 게이트 전극, 캐페시터 상부전극 및 제1 전극을 형성하는 단계, 상기 게이트 전극, 상기 캐페시터 상부전극 및 상기 제1 전극 상에 충간 절연막을 형성하되, 상기 제1 전극을 노출하는 제1 개구부를 형성하는 단계, 상기 충간 절연막 상에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 드레인 전극을 포함하는 기판 상에 뱅크층을 형성하되, 상기 제1 전극을 노출하는 제2 개구부를 형성하는 단계, 상기 제1 전극 상에 유기막층을 형성하는 단계, 및 상기 유기막층을 포함하는 상기 기판 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0014] 상기 액티브층 및 캐페시터 하부전극을 형성하는 단계는, 상기 기판 상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층에 레이저를 조사하여 다결정 실리콘층으로 결정화하는 단계, 및 상기 다결정 실리콘층을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

[0015] 상기 게이트 전극, 캐페시터 상부전극 및 제1 전극을 형성하는 단계는, 상기 게이트 절연막 상에 금속 산화물층 및 금속층을 순차적으로 적층하는 단계, 상기 금속층 상에 상기 감광막을 도포한 후, 상기 하프톤 마스크를 이용하여 두께 단차를 갖는 제1 감광막 패턴 및 제2 감광막 패턴을 형성하는 단계, 상기 금속 산화물층 및 상기 금속층을 식각하여, 게이트 전극, 캐페시터 상부전극 패턴 및 제1 전극 패턴을 형성하는 단계, 상기 제1 감광막 패턴 및 제2 감광막 패턴을 애칭하여 상기 제1 감광막 패턴의 두께를 저감하고 상기 제2 감광막 패턴을 제거하는 단계, 상기 제2 감광막 패턴이 제거되어 노출된 상기 캐페시터 상부전극 패턴 및 상기 제1 전극 패턴의 금속층을 에칭하여 캐페시터 상부전극 및 제1 전극을 형성하는 단계, 및 상기 제1 감광막 패턴을 제거하는 단계를 포함하는 것을 특징으로 한다.

[0016] 상기 게이트 전극, 캐페시터 상부전극 및 제1 전극을 형성하는 단계 이후에, 상기 액티브층 및 상기 캐페시터 하부전극에 불순물을 도핑하는 단계를 더 포함하는 것을 특징으로 한다.

[0017] 상기 충간 절연막을 형성하는 단계는, 적어도 실리콘 산화막 하부에 실리콘 질화막을 적층한 다층 구조로 형성하는 것을 특징으로 한다.

## 발명의 효과

[0018] 본 발명의 일 실시예에 따른 유기전계발광표시장치 및 그 제조방법은 종래 총 11매의 마스크를 이용하여 유기전계발광표시장치를 제조한 것과는 달리, 총 8매의 마스크로 유기전계발광표시장치를 제조할 수 있다. 따라서, 3매의 마스크 수를 저감함으로써, 제조비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 이점이 있다.

[0019] 또한, 본 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제1 전극 하부에 실리콘 산화막의 게이트 절연막이 위치함으로써, 실리콘 산화막의 식각액에 의해 게이트 절연막이 손상되지 않아 핵셀 불량이 발생하는 것을 방지할 수 있는 이점이 있다.

### 도면의 간단한 설명

[0020] 도 1은 종래의 유기전계발광표시장치를 나타낸 도면.

도 2는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 단면도.

도 3a 내지 도 3i는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 단면도.

도 4a 및 도 4b는 종래 유기전계발광표시장치의 핵셀 발광을 나타낸 이미지.

도 5는 본 발명의 유기전계발광표시장치의 핵셀 발광을 나타낸 이미지.

### 발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.

[0022] 도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다.

[0023] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(200)는 기판(210) 상에 베퍼층(215)이 위치하고, 베퍼층(215) 상에 액티브층(220a) 및 캐페시터 하부전극(220b)이 위치한다. 액티브층(220a)은 불순물이 도핑되어 소스 영역(222) 및 드레인 영역(223)이 형성되고 이를 사이에 채널 영역(221)이 형성된다. 캐페시터 하부전극(220b)에도 불순물이 도핑된다.

[0024] 상기 액티브층(220a) 및 캐페시터 하부전극(220b) 상에 게이트 절연막(225)이 위치한다. 게이트 절연막(225) 상에 게이트 전극(230a)과 캐페시터 상부전극(230b)이 위치한다. 게이트 전극(230a)은 액티브층(220a)에 대응되도록 위치하고, 캐페시터 상부전극(230b)은 캐페시터 하부전극(220b)에 대응되도록 위치한다. 그리고, 게이트 전극(230a)은 금속 산화물 패턴(231) 및 금속 패턴(232)이 적층된 2중층으로 이루어질 수 있다. 게이트 전극(230a) 및 캐페시터 상부전극(230b)과 이격되는 영역에 제1 전극(230c)이 위치한다.

[0025] 상기 게이트 전극(230a), 캐페시터 상부전극(230b) 및 제1 전극(230c) 상에 중간 절연막(235)이 위치한다. 중간 절연막(235)에는 액티브층(220a)의 소스 영역(222) 및 드레인 영역(223)을 노출시키는 제1 콘택홀(240a)과 제2 콘택홀(240b)이 형성되고, 제1 전극(230c)을 노출시키는 제3 콘택홀(240c)이 형성된다. 또한, 중간 절연막(235)에는 제1 전극(230c)의 대부분의 영역을 노출시키켜 발광영역을 정의하는 제1 개구부(255)가 형성된다. 중간 절연막(235)은 적어도 실리콘 산화막 하부에 실리콘 질화막이 적층된 다층 구조로 이루어지며, 예를 들어, 제1 실리콘 산화막(251), 실리콘 질화막(252) 및 제2 실리콘 산화막(253)이 적층된 3층 구조로 이루어질 수 있다. 반면, 제1 실리콘 산화막(251)과 실리콘 질화막(252)이 적층된 2층 구조로도 이루어질 수 있으며, 이에 한정되지 않고 최하부에 실리콘 산화막이 위치하고 최상부에 실리콘 질화막이 위치하는 구조라면 어떠한 적층구조로도 이루어질 수 있다.

[0026] 상기 중간 절연막(235) 상에 소스 전극(245a) 및 드레인 전극(245b)이 위치한다. 소스 전극(245a) 및 드레인 전극(245b)은 액티브층(220a)의 소스 영역(222) 및 드레인 영역(223)에 각각 콘택하고, 상기 드레인 전극(245b)은 제1 전극(230c)에 콘택한다. 상기 소스 전극(245a) 및 드레인 전극(245b)이 형성된 기판(210) 상에 뱅크층(260)이 위치한다. 뱅크층(260)은 제1 전극(230c)을 노출시키는 제2 개구부(265)가 형성된다. 상기 노출된 제1 전극(230c) 상에 유기막층(270)이 위치한다. 유기막층(270)은 적어도 발광층(emission layer, EML)을 포함하며, 정공주입층(hole injection layer, HIL), 정공수송층(hole transport layer, HTL), 전자수송층(electron transport layer, ETL) 또는 전자주입층(electron injection layer, EIL) 중 적어도 하나를 포함할 수도 있다. 그리고, 유기막층(270)을 포함하는 기판(210) 상에 제2 전극(280)이 위치하여 본 발명의 일 실시예에 따른 유기전계발광표시장치(200)를 구성할 수 있다.

[0027] 이하, 전술한 본 발명의 일 실시예에 따른 유기전계발광표시장치를 제조하는 제조방법에 대해 설명하면 다음과 같다.

[0028] 도 3a 내지 도 3i는 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면이

다.

[0029] 먼저, 도 3a를 참조하면, 유리, 플라스틱 또는 도전성 물질로 이루어진 기판(310) 상에 벼퍼층(315)을 형성한다. 벼퍼층(315)은 이후 수행될 비정질 실리콘층의 레이저 결정화 공정 시 기판(310) 표면에 존재하는 불순물들이 용출되어 비정질 실리콘층으로 확산하는 것을 방지하며, 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiNx) 또는 이들의 적층 구조로 이루어질 수 있다.

[0030] 상기 벼퍼층(315) 상에 비정질 실리콘(a-si)을 적층하여 비정질 실리콘층(317)을 형성한다. 그리고, 비정질 실리콘층(317)에 탈수소화 공정(dehydrogenation)을 수행하여 비정질 실리콘 내의 수소를 제거하고, 불순물을 주입하여 채널 도핑을 한다. 이어, 비정질 실리콘층(317)에 레이저(laser)를 조사하는 레이저 결정화 공정을 수행한다. 이때, 레이저 결정화 공정은 엑시머 레이저 어닐링(excimer laser annealing ; ELA)으로 수행할 수 있으나 이에 한정되지 않으며 공지된 레이저 결정화 공정을 수행할 수도 있다. 이와 같은 결정화 공정에 의해 비정질 실리콘층(317)은 다결정 실리콘층으로 결정화된다.

[0031] 이어, 도 3b를 참조하면, 상기 다결정 실리콘층을 제1 마스크를 이용하여 패터닝하여, 액티브층(320a) 및 캐페시터 하부전극(320b)을 형성한다. 그리고, 제2 마스크를 이용하여 캐페시터 하부전극(320b)에 불순물을 도핑한다. 다음, 도 3c를 참조하면, 상기 액티브층(320a) 및 캐페시터 하부전극(320b)을 포함하는 기판(310) 상에 게이트 절연막(325)을 형성한다. 게이트 절연막(325)은 실리콘 산화물(SiO<sub>x</sub>)로 형성하여, 추후 실리콘 산화물의 식각 공정에서 식각액에 의한 손상을 방지한다.

[0032] 이어, 도 3d를 참조하면, 상기 다결정 실리콘층을 제1 마스크를 이용하여 패터닝하여, 액티브층(320a) 및 캐페시터 하부전극(320b)을 형성한다. 그리고, 제2 마스크를 이용하여 캐페시터 하부전극(320b)에 불순물을 도핑한다. 다음, 도 3e를 참조하면, 상기 액티브층(320a) 및 캐페시터 하부전극(320b)을 포함하는 기판(310) 상에 게이트 절연막(325)을 형성한다. 게이트 절연막(325)은 실리콘 산화물(SiO<sub>x</sub>)로 형성하여, 추후 실리콘 산화물의 식각 공정에서 식각액에 의한 손상을 방지한다.

[0033] 다음, 도 3d를 참조하면, 상기 하프톤 마스크(350)를 통한 회절 노광 기법을 이용한 후 현상하여, 두께 차이를 갖는 제1 감광막 패턴(355) 및 제2 감광막 패턴(356)을 형성한다. 보다 자세하게는, 상기 차단부(353)가 적용되어 차단부(353)와 대향하는 감광막(340)이 그대로 남아 형성된 제1 감광막 패턴(355)과, 상기 반투과부(352)가 적용되어 반투과부(352)와 대향하는 감광막(350)이 회절되어 투과되는 광에 의해 상기 제1 감광막 패턴(355)의 절반 이하의 두께로 형성된 제2 감광막 패턴(356)을 형성한다. 그리고, 투과부(351)와 대향하는 감광막(350)은 현상 시 분해되어 모두 제거됨으로써, 상기 금속층(335)의 표면을 노출시킨다. 이때, 제1 감광막 패턴(355)은 추후 게이트 전극이 형성될 영역에 형성하고, 제2 감광막 패턴(356)은 추후 캐페시터 상부전극과 제1 전극이 형성될 영역에 형성한다.

[0034] 다음, 도 3e를 참조하면, 제1 감광막 패턴(355) 및 제2 감광막 패턴(356)을 이용하여 상기 금속 산화물층(330) 및 금속층(335)을 식각하여, 각 패턴을 형성한다. 이어, 애싱(ashing) 공정으로 제2 감광막 패턴(356)을 제거하고, 제2 감광막 패턴(356)의 두께만큼 제1 감광막 패턴(355)의 두께를 저감한다. 이어, 제2 감광막 패턴(356)이 제거된 영역의 금속 산화물층(330) 및 금속층(335) 중 금속층(335)을 식각할 수 있는 식각액을 이용하여 금속층(335)을 식각하여 캐페시터 상부전극(365) 및 제1 전극(367)을 형성한다. 그리고, 제4 마스크를 이용하여 액티브층(320a)에 p형 불순물을 도핑하고, 기판(310) 상에 남아 있는 제1 감광막 패턴(355)을 스트립하여 제거하여도 3f에 도시된 바와 같이, 게이트 전극(360)을 형성한다. 따라서, 게이트 절연막(325) 상에 금속 산화물 패턴(361)과 금속 패턴(362)이 적층된 게이트 전극(360)이 형성되고, 금속 산화물 패턴(361)으로만 이루어진 캐페시터 상부전극(365)과 제1 전극(367)이 형성된다. 이어, 제5 마스크를 이용하여 액티브층(320a)에 불순물을 도핑하여 LDD 도핑 공정을 수행한다. 액티브층(320a)의 양측에 불순물이 도핑되어, 액티브층(320a)에 채널 영역(321), 소스 영역(322) 및 드레인 영역(323)이 형성된다. 또한, 캐페시터 상부전극(365) 및 하부전극(320b)에도 불순물이 도핑된다.

[0035] 다음, 도 3g를 참조하면, 상기 불순물 도핑 공정이 수행된 기판(310) 상에 층간 절연막(370)을 형성한다. 층간 절연막(370)은 기판(310) 상에 제1 실리콘 산화막(371), 실리콘 질화막(372) 및 제2 실리콘 산화막(373)을 순차적으로 적층한 3층 구조로 형성된다. 본 발명에서 층간 절연막(370)은 전술한 3층 구조 외에 제1 실리콘 산화막

(371)과 실리콘 질화막(272)이 적층된 2층 구조로도 이루어질 수 있으며, 이에 한정되지 않고 최하부에 실리콘 산화막이 위치하고 최상부에 실리콘 질화막이 위치하는 구조라면 어떠한 적층구조로도 이루어질 수 있다. 이어, 기판(310)을 열처리하여 불순물이 주입된 액티브층(320a)을 활성화함과 아울러 수소화(hydrogenation)한다. 특히, 본 발명의 충간 절연막(370)은 실리콘 질화막(372)이 구비됨으로써, 실리콘 질화막(372)의 수소를 이용하여 액티브층(320a)을 수소화할 수 있다. 이어, 제6 마스크를 이용하여 충간 절연막(370)을 식각하여, 액티브층(320a)의 소스 영역(322) 및 드레인 영역(323)을 노출시키는 제1 및 제2 콘택홀(375, 376)을 형성하고, 제1 전극(367)의 일부를 노출하는 제3 콘택홀(377)을 형성함과 아울러 제1 전극(367)의 대부분의 영역을 노출시키는 제1 개구부(378)를 형성한다.

[0036] 다음, 도 3h를 참조하면, 상기 기판(310) 상에 도전층을 증착하고 제7 마스크를 이용하여 패터닝함으로써, 소스 전극(381) 및 드레인 전극(382)을 형성한다. 이때, 소스 전극(381) 및 드레인 전극(382)은 제1 및 제2 콘택홀(375, 376)을 통해 각각 액티브층(320a)의 소스 영역(322) 및 드레인 영역(323)에 콘택한다. 특히, 드레인 전극(382)의 일단은 액티브층(320a)의 드레인 영역(323)에 콘택하고 타단은 제3 콘택홀(377)을 통해 제1 전극(367)에 콘택한다. 여기서, 소스 전극(381) 및 드레인 전극(382)은 몰리브덴(Mo), 텉스텐(W), 티타늄(Ti), 알루미늄(Al) 또는 이들의 합금으로 이루어진 단일층일 수 있다. 또한, 소스 전극(381) 및 드레인 전극(382)은 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 이루어질 수도 있다.

[0037] 이어, 상기 소스 전극(381) 및 드레인 전극(382)을 포함한 기판(310) 상에 감광물질을 스펀 코팅 등의 방식으로 도포하고 제8 마스크를 이용하여 패터닝하여 제1 전극(367)을 노출하는 제2 개구부(387)를 포함하는 뱅크층(385)을 형성한다. 뱅크층(385)은 제1 전극(367)에 발광영역을 구획하고, 제2 개구부(387)는 충간 절연막(370)의 제1 개구부(378)을 노출시켜 제1 전극(367)을 노출한다.

[0038] 다음, 도 3i를 참조하면, 제1 전극(367) 상에 유기막층(390)을 형성한다. 유기막층(390)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 또는 전자주입층(EIL) 중 적어도 하나를 포함하여 형성할 수 있다. 예를 들어, 유기막층(390)은 잉크젯법(ink-jet) 등의 솔루블(soluble) 공정을 이용하여 정공주입층(HIL), 정공수송층(HTL) 및 발광층(EML)을 형성하고, 증착법(evaporation)을 이용하여 전자수송층(ETL) 또는 전자주입층(EIL)을 형성할 수 있다. 특히, 본 발명에서는 제1 전극(367)을 노출하는 충간 절연막(350)의 최상부가 소수성(hydrophobic)을 가진 실리콘 산화막이 위치하여, 충간 절연막(350)의 측벽을 따고 잉크가 제1 전극(367) 상에 잘 도포될 수 있게 된다. 그러나, 본 발명은 이에 한정되지 않으며, 유기막층(390)의 모든 층들을 잉크젯법으로 형성할 수도 있다.

[0039] 다음, 기판(310) 상에 금속 물질을 적층하여 유기막층(390)을 덮는 제2 전극(395)을 형성한다. 제2 전극(395)은 배선 저항 및 일함수가 낮은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금으로 이루어질 수 있다. 따라서, 상기 제2 전극(395)을 형성함으로써, 본 발명의 실시예에 따른 유기전계발광표시장치를 제조한다.

[0040] 도 4a 및 도 4b는 종래 유기전계발광표시장치의 픽셀 발광을 나타낸 이미지이고, 도 5는 본 발명의 유기전계발광표시장치의 픽셀 발광을 나타낸 이미지이다. 도 4a 및 도 4b를 참조하면, 도 1에 도시된 종래 유기전계발광표시장치는 제1 전극 하부에 실리콘 질화막이 식각액에 의해 손상되어 암점이 나타나는 픽셀 불량이 발생하였다. 반면, 도 5를 참조하면, 본 발명의 유기전계발광표시장치는 제1 전극 하부에 실리콘 산화막을 형성시켜 식각액에 의해 손상되지 않아 양호한 픽셀 발광을 나타냄을 확인할 수 있다.

[0041] 상기와 같이, 본 발명의 일 실시 예에 따른 유기전계발광표시장치 및 그 제조방법은 종래 총 11매의 마스크를 이용하여 유기전계발광표시장치를 제조한 것과는 달리, 총 8매의 마스크로 유기전계발광표시장치를 제조할 수 있다. 따라서, 본 발명은 총 3매의 마스크 수를 저감함으로써, 제조비용을 절감하고, 생산성 및 제조 수율을 향상시킬 수 있는 이점이 있다.

[0042] 또한, 본 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 제1 전극 하부에 실리콘 산화막의 게이트 절연막이 위치함으로써, 실리콘 산화막의 식각액에 의해 게이트 절연막이 손상되지 않아 픽셀 불량이 발생하는 것을 방지할 수 있는 이점이 있다.

[0043] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는

후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 부호의 설명

[0044]

200 : 유기전계발광표시장치 210 : 기판

215 : 벼파총 220a : 액티브총

225 : 게이트 절연막 230a : 게이트 전극

230c : 제1 전극 235 : 충간 절연막

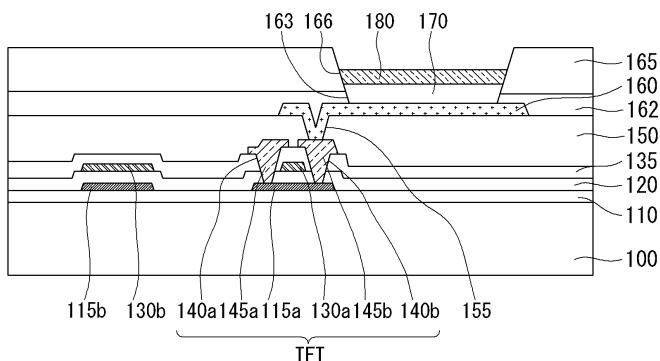
245a : 소스 전극 245b : 드레인 전극

260 : 맹크총 270 : 유기막총

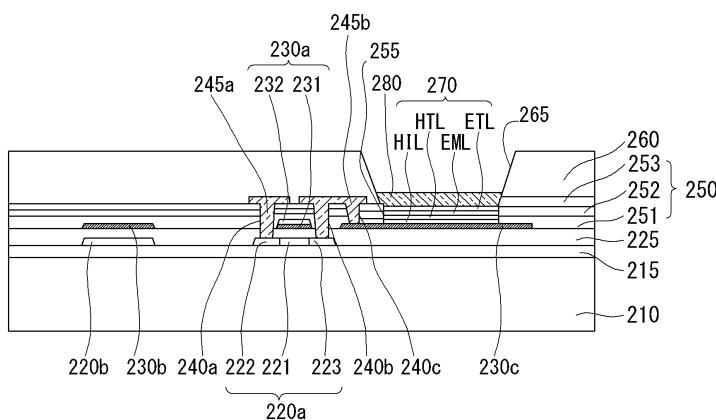
280 : 제2 전극

### 도면

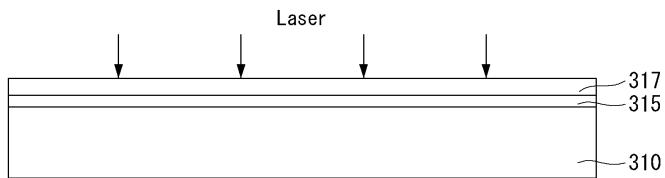
#### 도면1



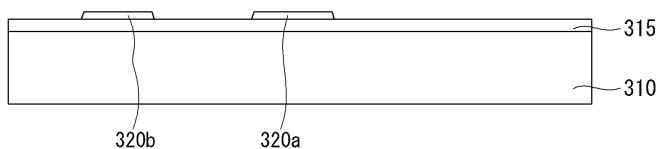
#### 도면2



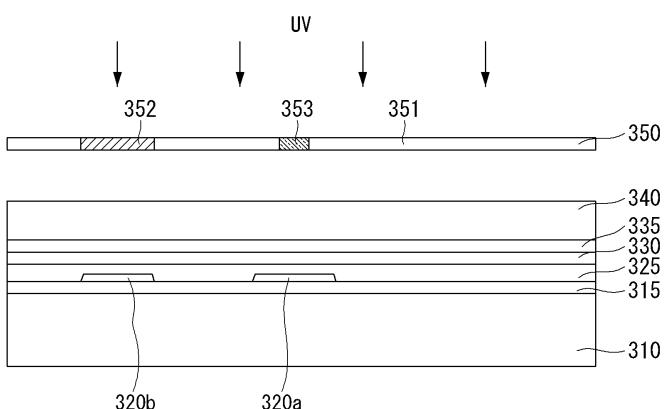
도면3a



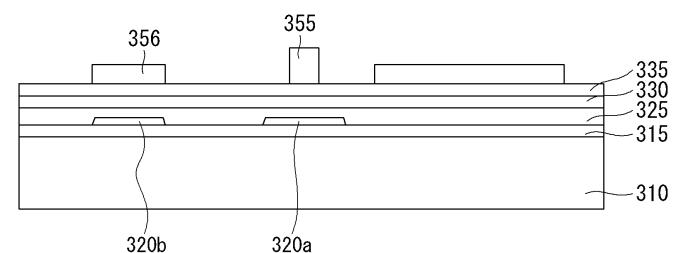
도면3b



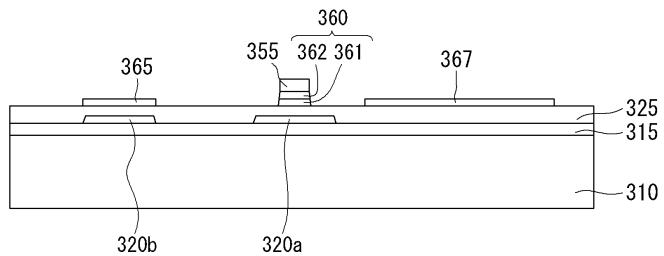
도면3c



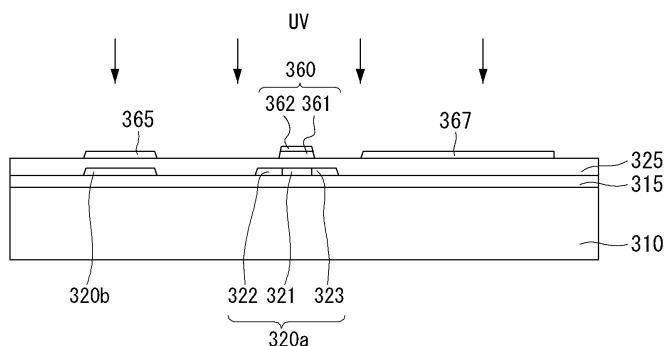
도면3d



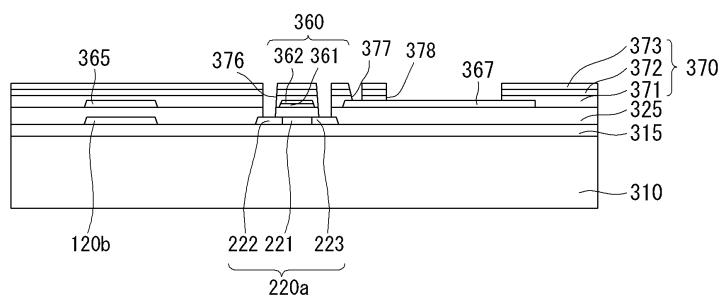
도면3e



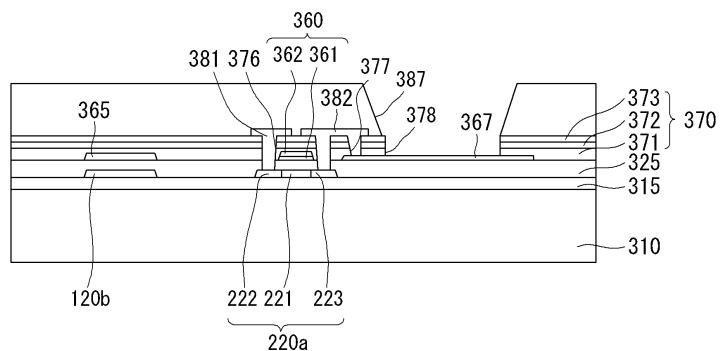
도면3f



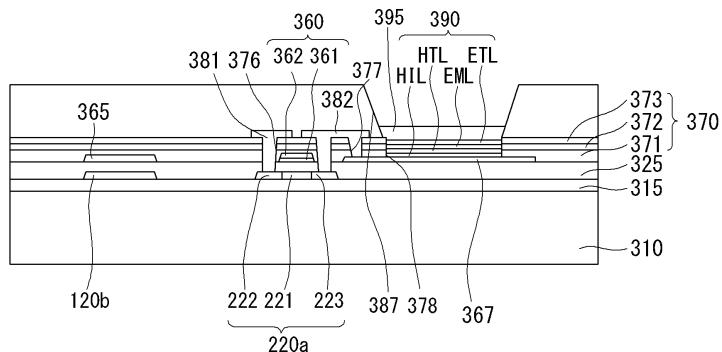
도면3g



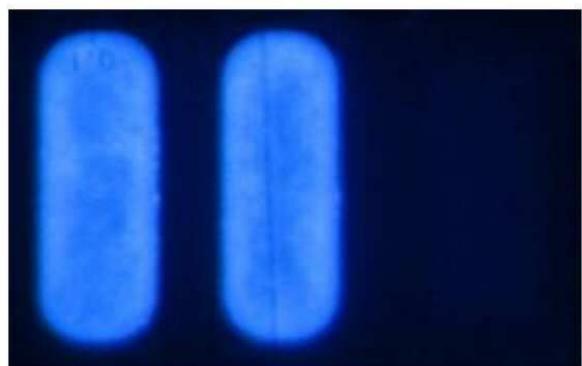
도면3h



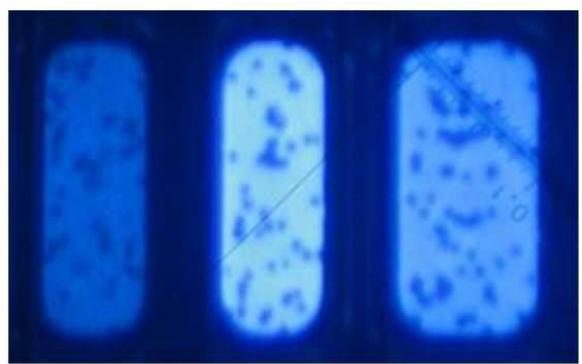
도면3i



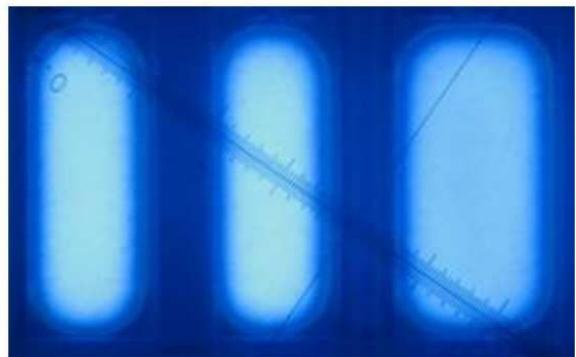
도면4a



도면4b



도면5



专利名称(译)	标题 : 有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020150076024A</a>	公开(公告)日	2015-07-06
申请号	KR1020130164606	申请日	2013-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN HO 김현호		
发明人	김현호		
IPC分类号	H01L27/32		
CPC分类号	H01L51/5206 H01L27/1255 H01L27/1288 H01L27/3248 H01L27/3262		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明提供一种有机电致发光显示装置，其能够通过减少掩模的数量和防止像素缺陷来降低生产成本。根据本发明实施例的有机电致发光显示装置包括：基板;有源层和电容器下电极分别位于基板上;栅极绝缘膜位于有源层和电容器下电极上;栅电极，位于栅极绝缘膜上并面向有源层;电容器上电极，其位于电容器下电极上;第一电极，与栅电极和电容器上电极分开设置;层绝缘膜位于栅电极，电容器上电极和第一电极上，并形成能够暴露第一电极的一部分的第一开口单元;源极和漏极连接到有源层，任何人都连接到第一电极;背面层，其位于包括源电极和漏电极的基板上，并形成能够暴露第一电极的一部分的第二开口单元;位于暴露的第一电极上的有机层;以及位于包括有机层的基板上的第二电极.COPYRIGHT

KIPO 2015

