



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0072704
(43) 공개일자 2015년06월30일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0160151

(22) 출원일자 2013년12월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김동익

경기 성남시 분당구 내정로 151, 525동 1601호 (수내동, 양지마을아파트)

손기원

경기 고양시 일산동구 은행마을로 16, 108동 406호 (풍동, 은행마을1단지아파트)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

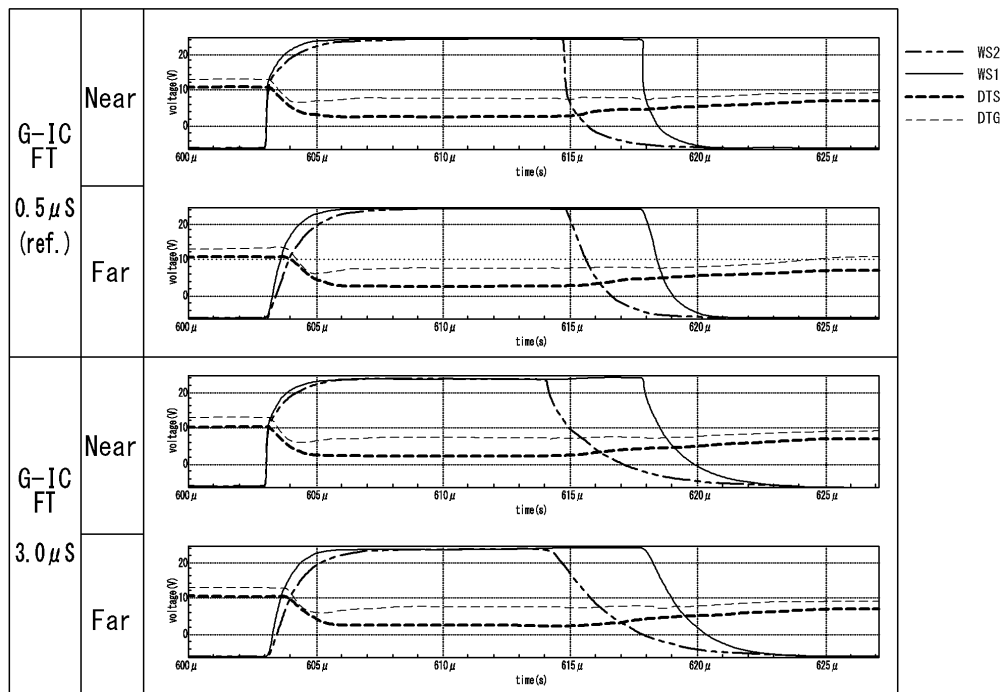
(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명은 하이브리드 보상 방식에 따라 구동 TFT의 이동도 편차를 내부적으로 보상할 때, 센싱 기간의 위치별 또는 표시 계조별 편차를 완화하여 구동 TFT의 이동도 보상 성능과 표시패널의 휘도 균일성을 향상시킬 수 있도록 한 유기발광 표시장치에 관한 것이다.

(뒷면에 계속)

대표도 - 도10



이 유기발광 표시장치는, 구동 TFT의 이동도 변화를 내부적으로 보상하기 위해 구동 TFT의 소스 전위가 구동 TFT의 게이트전극에 인가된 데이터전압을 향해 상승하는 센싱 기간에서 화소에 인가되는 제1 게이트신호는 온 레벨로 유지되고 제2 게이트신호는 오프 레벨로 유지되며, 상기 센싱 기간에서 프로그래밍 된 구동전류에 따라 유기 발광다이오드를 발광시키는 발광 기간에서 상기 제1 및 제2 게이트신호는 오프 레벨로 유지되며; 상기 온 레벨에서 상기 오프 레벨로 변화되는 데 소요되는 시간을 지시하는, 상기 제1 게이트신호의 제1 폴링 타임과 상기 제2 게이트신호의 제2 폴링 타임은 각각, 미리 정해진 기준값보다 길게 설정되는 특징이 있다.

명세서

청구범위

청구항 1

유기발광다이오드, 제1 노드에 접속된 게이트전극과 제2 노드에 접속된 소스전극 간의 전위차에 따라 상기 유기 발광다이오드에 흐르는 구동전류를 제어하는 구동 TFT, 제1 게이트신호에 따라 스위칭되어 상기 제1 노드에 데이터전압을 인가하는 제1 스위치 TFT, 제2 게이트신호에 따라 스위칭되어 상기 제2 노드에 초기화전압을 인가하는 제2 스위치 TFT, 상기 제1 노드와 상기 제2 노드 사이에 접속된 스토리지 커패시터를 각각 포함한 다수의 화소들이 형성된 표시패널;

상기 화소들에 연결된 데이터라인에 상기 데이터전압을 출력하고, 상기 화소들에 연결된 기준라인에 상기 초기화전압을 출력하는 데이터 구동회로; 및

상기 화소들에 연결된 제1 게이트라인에 상기 제1 게이트신호를 출력하고, 상기 화소들에 연결된 제2 게이트라인에 상기 제2 게이트신호를 출력하는 게이트 구동회로를 구비하고;

상기 구동 TFT의 이동도 변화를 내부적으로 보상하기 위해 상기 구동 TFT의 소스 전위가 상기 구동 TFT의 게이트전극에 인가된 데이터전압을 향해 상승하는 센싱 기간에서 상기 제1 게이트신호는 온 레벨로 유지되고 상기 제2 게이트신호는 오프 레벨로 유지되며, 상기 센싱 기간에서 프로그래밍 된 상기 구동전류에 따라 상기 유기발광다이오드를 발광시키는 발광 기간에서 상기 제1 및 제2 게이트신호는 오프 레벨로 유지되며;

상기 온 레벨에서 상기 오프 레벨로 변화되는 데 소요되는 시간을 지시하는 상기 제1 게이트신호의 제1 폴링 타임과 상기 제2 게이트신호의 제2 폴링 타임은 각각, 미리 정해진 기준값보다 길게 설정되는 것을 특징으로 하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 폴링 타임은 상기 기준값보다 4배~6배 길게 설정되는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 폴링 타임은 상기 제1 폴링 타임보다 길게 설정되는 것을 특징으로 하는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 게이트 구동회로는, 제1 출력 노드를 통해 상기 제1 게이트신호를 출력하는 제1 CMOS 인버터와, 제2 출력 노드를 통해 상기 제2 게이트신호를 출력하는 제2 CMOS 인버터를 포함하고;

상기 제1 CMOS 인버터는, 상기 온 레벨의 고전위 전원과 상기 제1 출력 노드 사이에 접속된 제1 PMOS 트랜지스터와, 상기 오프 레벨의 저전위 전원과 상기 제1 출력 노드 사이에 접속된 제1 NMOS 트랜지스터를 포함하고;

상기 제2 CMOS 인버터는, 상기 온 레벨의 고전위 전원과 상기 제2 출력 노드 사이에 접속된 제2 PMOS 트랜지스터와, 상기 오프 레벨의 저전위 전원과 상기 제2 출력 노드 사이에 접속된 제2 NMOS 트랜지스터를 포함하며;

상기 제1 및 제2 NMOS 트랜지스터의 채널용량 각각은 상기 제1 및 제2 폴링 타임 설정에 맞게 조절되는 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 게이트신호의 온 레벨과 오프 레벨 간 전압차는 상기 제2 게이트신호의 온 레벨과 오프 레벨 간 전압

차와 동일하고;

상기 제1 및 제2 게이트신호의 온 레벨은 서로 다르고, 상기 제1 및 제2 게이트신호의 오프 레벨은 서로 다른 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 게이트신호의 온 레벨은 상기 제2 게이트신호의 온 레벨보다 높고, 상기 제1 게이트신호의 오프 레벨은 상기 제2 게이트신호의 오프 레벨보다 높은 것을 특징으로 하는 유기발광 표시장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제1 및 제2 게이트신호에 가해지는 RC 딜레이가 상기 표시패널의 제1 영역에서 제2 영역으로 갈수록 점차적으로 증가할 때,

상기 구동 TFT의 채널 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 증가되는 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제1 및 제2 게이트신호에 가해지는 RC 딜레이가 상기 표시패널의 제1 영역에서 제2 영역으로 갈수록 점차적으로 증가할 때,

상기 스토리지 커패시터의 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 감소되는 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제1 및 제2 게이트신호에 가해지는 RC 딜레이가 상기 표시패널의 제1 영역에서 제2 영역으로 갈수록 점차적으로 증가할 때,

상기 구동 TFT의 채널 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 증가되고,

상기 스토리지 커패시터의 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 감소되는 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그

결과 발광층(EML)이 가시광을 발생하게 된다.

- [0004] 유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 OLED에 흐르는 구동전류를 제어하기 위해 구동 TFT(Thin Film Transistor)를 포함한다. 유기발광 표시장치는 공정 편차 등의 이유로 화소마다 구동 TFT의 문턱 전압 및 이동도 팩터와 같은 TFT의 전기적 특성이 불균일하여 동일 데이터 전압에 대한 전류, 즉 OLED 발광량이 화소마다 달라짐으로써 휘도 편차가 발생하는 문제점이 있다.
- [0005] 이를 해결하기 위하여, 구동 TFT의 전기적 특성(문턱전압, 이동도) 편차에 따른 휘도 편차를 화소 내부, 또는 화소 외부에서 보상하는 기술이 제안되었다. 내부 보상 방식에서는 화소 구조가 복잡하고 개구율이 떨어지는 단점이 있다. 한편, 각 화소의 구동 TFT의 특성 파라미터를 센싱하고 센싱값에 따라 입력 데이터를 보정하는 외부 보상 방식에서는 센싱에 많은 시간이 소요되는 단점이 있다.
- [0006] 최근, 구동 TFT의 문턱전압 편차로 인한 휘도 불균일을 외부 보상 방식으로 보상하고, 구동 TFT의 이동도 편차로 인한 휘도 불균일을 내부 보상 방식으로 보상함으로써 화소 구조를 간소화함과 아울러 센싱 시간을 줄일 수 있는 하이브리드 보상 방식이 제안되고 있다. 하이브리드 보상 방식은, 센싱 기간 동안 구동 TFT의 게이트 전위를 데이터전압으로 고정시킨 상태에서 구동 TFT의 소스 전위를 커패시터 커플링 방식으로 상승시키는 원리를 통해 구동 TFT의 이동도 편차를 보상한다. 화소의 발광량(휘도)을 결정하는 구동전류는 구동 TFT의 이동도, 및 센싱 기간에서 프로그래밍 된 구동 TFT의 게이트-소스 간 전위차에 비례한다. 이동도가 큰 화소에서는 센싱 기간 동안 구동 TFT의 소스 전위가 그보다 높은 게이트 전위를 향해 빠르게 상승함으로써 구동 TFT의 게이트-소스 간 전위차가 작게 프로그래밍 되고, 반대로 이동도가 작은 화소에서는 센싱 기간 동안 구동 TFT의 소스 전위가 그보다 높은 게이트 전위를 향해 느리게 상승함으로써 구동 TFT의 게이트-소스 간 전위차가 크게 프로그래밍된다. 그 결과 화소간 이동도 차이에 따른 휘도 편차가 보상되는 것이다.
- [0007] 이러한 하이브리드 보상 방식에서, 구동 TFT의 이동도 편차를 내부적으로 보상하기 위한 센싱 기간은, 구동 TFT의 게이트전극에 연결된 제1 스위치 TFT가 온 상태로 유지됨과 동시에 구동 TFT의 소스전극에 연결된 제2 스위치 TFT가 오프 상태로 유지되는 시간으로 정의된다. 즉, 센싱 기간은, 제1 스위치 TFT의 스위칭 동작을 제어하기 위한 제1 게이트신호가 온 레벨로 유지됨과 동시에 제2 스위치 TFT의 스위칭 동작을 제어하기 위한 제2 게이트신호가 오프 레벨로 유지되는 시간으로 정의된다.
- [0008] 센싱 기간은 표시 위치별 또는 표시 계조별로 달라지므로, 구동 TFT의 이동도 편차에 대한 보상 성능은 센싱 기간에 많은 영향을 받는다. 표시 위치별 또는 표시 계조별로 센싱 기간의 편차가 커지면 구동 TFT의 이동도 보상 성능과 표시패널의 휘도 균일성이 저하되므로, 이러한 문제점을 해결할 수 있는 방안이 요구된다.

발명의 내용

해결하려는 과제

- [0009] 따라서, 본 발명의 목적은 하이브리드 보상 방식에 따라 구동 TFT의 이동도 편차를 내부적으로 보상할 때, 센싱 기간의 위치별 또는 표시 계조별 편차를 완화하여 구동 TFT의 이동도 보상 성능과 표시패널의 휘도 균일성을 향상시킬 수 있도록 한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0010] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광 표시장치는 유기발광다이오드, 제1 노드에 접속된 게이트전극과 제2 노드에 접속된 소스전극 간의 전위차에 따라 상기 유기발광다이오드에 흐르는 구동전류를 제어하는 구동 TFT, 제1 게이트신호에 따라 스위칭되어 상기 제1 노드에 데이터전압을 인가하는 제1 스위치 TFT, 제2 게이트신호에 따라 스위칭되어 상기 제2 노드에 초기화전압을 인가하는 제2 스위치 TFT, 상기 제1 노드와 상기 제2 노드 사이에 접속된 스토리지 커패시터를 각각 포함한 다수의 화소들이 형성된 표시패널; 상기 화소들에 연결된 데이터라인에 상기 데이터전압을 출력하고, 상기 화소들에 연결된 기준라인에 상기 초기화전압을 출력하는 데이터 구동회로; 상기 화소들에 연결된 제1 게이트라인에 상기 제1 게이트신호를 출력하고, 상기 화소들에 연결된 제2 게이트라인에 상기 제2 게이트신호를 출력하는 게이트 구동회로를 구비하고; 상기 구동 TFT의 이동도 변화를 내부적으로 보상하기 위해 상기 구동 TFT의 소스 전위가 상기 구동 TFT의 게이트전극에 인

가된 데이터전압을 향해 상승하는 센싱 기간에서 상기 제1 게이트신호는 온 레벨로 유지되고 상기 제2 게이트신호는 오프 레벨로 유지되며, 상기 센싱 기간에서 프로그래밍 된 상기 구동전류에 따라 상기 유기발광다이오드를 발광시키는 발광 기간에서 상기 제1 및 제2 게이트신호는 오프 레벨로 유지되며; 상기 온 레벨에서 상기 오프 레벨로 변화되는 데 소요되는 시간을 지시하는, 상기 제1 게이트신호의 제1 폴링 타임과 상기 제2 게이트신호의 제2 폴링 타임은 각각, 미리 정해진 기준값보다 길게 설정된다.

- [0011] 상기 제1 및 제2 폴링 타임은 상기 기준값보다 4배~6배 길게 설정된다.
- [0012] 상기 제2 폴링 타임은 상기 제1 폴링 타임보다 길게 설정된다.
- [0013] 상기 게이트 구동회로는, 제1 출력 노드를 통해 상기 제1 게이트신호를 출력하는 제1 CMOS 인버터와, 제2 출력 노드를 통해 상기 제2 게이트신호를 출력하는 제2 CMOS 인버터를 포함하고; 상기 제1 CMOS 인버터는, 상기 온 레벨의 고전위 전원과 상기 제1 출력 노드 사이에 접속된 제1 PMOS 트랜지스터와, 상기 오프 레벨의 저전위 전원과 상기 제1 출력 노드 사이에 접속된 제1 NMOS 트랜지스터를 포함하고; 상기 제2 CMOS 인버터는, 상기 온 레벨의 고전위 전원과 상기 제2 출력 노드 사이에 접속된 제2 PMOS 트랜지스터와, 상기 오프 레벨의 저전위 전원과 상기 제2 출력 노드 사이에 접속된 제2 NMOS 트랜지스터를 포함하며; 상기 제1 및 제2 NMOS 트랜지스터의 채널용량 각각은 상기 제1 및 제2 폴링 타임 설정에 맞게 조절된다.
- [0014] 상기 제1 게이트신호의 온 레벨과 오프 레벨 간 전압차는 상기 제2 게이트신호의 온 레벨과 오프 레벨 간 전압차와 동일하고; 상기 제1 및 제2 게이트신호의 온 레벨은 서로 다르고, 상기 제1 및 제2 게이트신호의 오프 레벨은 서로 다르다.
- [0015] 상기 제1 게이트신호의 온 레벨은 상기 제2 게이트신호의 온 레벨보다 높고, 상기 제1 게이트신호의 오프 레벨은 상기 제2 게이트신호의 오프 레벨보다 높다.
- [0016] 상기 제1 및 제2 게이트신호에 가해지는 RC 딜레이가 상기 표시패널의 제1 영역에서 제2 영역으로 갈수록 점차적으로 증가할 때, 상기 구동 TFT의 채널 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 증가된다.
- [0017] 상기 제1 및 제2 게이트신호에 가해지는 RC 딜레이가 상기 표시패널의 제1 영역에서 제2 영역으로 갈수록 점차적으로 증가할 때, 상기 스토리지 커패시터의 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 감소된다.
- [0018] 상기 제1 및 제2 게이트신호에 가해지는 RC 딜레이가 상기 표시패널의 제1 영역에서 제2 영역으로 갈수록 점차적으로 증가할 때, 상기 구동 TFT의 채널 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 증가되고, 상기 스토리지 커패시터의 용량은 상기 제1 영역에서 상기 제2 영역으로 갈수록 점차적으로 감소된다.

발명의 효과

- [0019] 본 발명은 하이브리드 보상 방식에 따라 구동 TFT의 이동도 편차를 내부적으로 보상할 때, 센싱 기간의 위치별 또는 표시 계조별 편차를 완화하여 구동 TFT의 이동도 보상 성능과 표시패널의 휘도 균일성을 향상시킬 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.
- 도 2는 도 1의 표시패널에 형성된 화소 어레이를 보여주는 도면.
- 도 3은 하이브리드 보상 방식이 적용되는 본 발명의 화소를 보여주는 도면.
- 도 4는 외부 보상 방식으로 구동 TFT의 문턱전압 변화가 보상되는 기간과 내부 보상 방식으로 구동 TFT의 이동도 변화가 보상되는 기간을 보여주는 도면.
- 도 5는 구동 TFT의 문턱전압 변화가 보상되는 원리를 설명하기 위한 도면.
- 도 6은 구동 TFT의 이동도 변화가 보상되는 원리를 설명하기 위한 도면.

- 도 7은 표시 위치별로 센싱 기간의 편차가 발생하는 일 예를 보여주는 도면.
- 도 8은 표시 위치별 센싱 기간의 편차를 최소화할 수 있는 일 방안을 보여주는 도면.
- 도 9는 출력 슬로프 조절을 위한 게이트 구동회로의 일 구성을 보여주는 도면.
- 도 10 및 도 11은 제1 및 제2 게이트신호의 폴링 타임을 기준값보다 증가시킬 때 표시 위치별 센싱 기간의 편차가 줄어드는 것을 보여주는 도면들.
- 도 12는 제1 및 제2 게이트신호의 폴링 타임을 기준값보다 증가시킬 때 표시패널의 휘도 균일성이 향상되는 것을 보여주는 도면들.
- 도 13은 계조별 센싱 기간의 편차를 최소화할 수 있는 일 방안을 보여주는 도면.
- 도 14a는 제2 실시예 적용 전에 있어 고계조 저계조 간의 센싱 기간 편차와 함께 고계조 전류편차, 및 저계조 전류편차를 보여주는 도면.
- 도 14b는 제2 실시예 적용 후에 있어 고계조 저계조 간의 센싱 기간 편차와 함께 고계조 전류편차, 및 저계조 전류편차를 보여주는 도면.
- 도 15는 제1 및 제2 게이트신호의 폴링 타임을 기준값보다 차등적으로 증가시킬 때 계조별 센싱 기간의 편차가 줄어드는 것을 보여주는 도면.
- 도 16a 및 도 16b는 표시 위치별 센싱 기간의 편차를 최소화할 수 있는 일 방안을 보여주는 도면들.
- 도 17은 제1 및 제2 게이트신호의 전압 레벨을 서로 다르게 조절하여 표시 위치별 센싱 기간의 편차를 줄이는 시뮬레이션 결과를 보여주는 도면.
- 도 18은 제1 및 제2 게이트신호의 전압 레벨을 서로 다르게 조절함으로써 표시패널의 휘도 균일성을 향상시키는 시뮬레이션 결과를 보여주는 도면.
- 도 19는 표시 위치별 센싱 기간의 편차를 최소화할 수 있는 일 방안을 보여주는 도면.
- 도 20 및 도 21은 표시 위치별로 구동 TFT의 사이즈를 변화시켜 위치별 보상 능력을 개선한 시뮬레이션 결과를 보여주는 도면.
- 도 22 및 도 23은 표시 위치별로 스토리지 커패시터의 사이즈를 변화시켜 위치별 보상 능력을 개선한 시뮬레이션 결과를 보여주는 도면.
- 도 24는 표시 위치별로 구동 TFT의 사이즈를 변화시켜 위치별 센싱 기간의 편차를 줄이는 시뮬레이션 결과를 보여주는 도면.
- 도 25는 표시 위치별로 스토리지 커패시터의 사이즈를 변화시켜 위치별 센싱 기간의 편차를 줄이는 시뮬레이션 결과를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 도 1 내지 도 25를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0022] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주고, 도 2는 도 1의 표시패널에 형성된 화소 어레이를 보여준다.
- [0023] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 데이터 구동회로(12), 게이트 구동회로(13), 및 타이밍 컨트롤러(11)를 구비한다.
- [0024] 표시패널(10)에는 다수의 데이터라인들(14)과, 다수의 게이트라인들(16)이 교차되고, 이 교차영역마다 화소들(P)이 매트릭스 형태로 배치된다. 데이터라인들(14)은 m(m은 양의 정수)개의 데이터전압 공급라인들(14A_1 내지 14A_m), m개의 기준라인들(14B_1 내지 14B_m)을 포함한다. 그리고, 게이트라인들(15)은 n(n은 양의 정수)개의 제1 게이트라인들(15A_1 내지 15A_n)과 n개의 제2 게이트라인들(15B_1 내지 15B_n)을 포함한다.
- [0025] 화소(P) 각각은 도시하지 않은 전원발생부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 본 발명의 화소(P)는 하이브리드 보상 방식에 따라 구동 TFT의 문턱전압 변화와 이동도 변화를 보상한다. 즉, 본 발명의 화소(P)는 구동 TFT의 문턱전압 편차로 인한 휘도 불균일을 외부 보상 방식으로 보상

하고, 구동 TFT의 이동도 편차로 인한 휘도 불균일을 내부 보상 방식으로 보상한다.

- [0026] 각 화소(P)는 데이터전압 공급라인들(14A_1 내지 14A_m) 중 어느 하나에, 기준라인들(14B_1 내지 14B_m) 중 어느 하나에, 제1 게이트라인들(15A_1 내지 15A_n) 중 어느 하나에, 그리고 제2 게이트라인들(15B_1 내지 15B_n) 중 어느 하나에 접속된다. 각 화소(P)는 내부 보상 방식에 따른 이동도 보상 구동시, 초기화 기간 동안 구동 TFT의 게이트전위를 데이터전압으로, 그리고 구동 TFT의 소스 전위를 초기화전압으로 셋팅한 후, 센싱 기간 동안 구동 TFT의 게이트 전위를 데이터전압으로 고정시킨 상태에서 구동 TFT의 소스 전위를 커패시터 커플링 방식으로 상승시키는 원리를 통해 구동 TFT의 이동도 편차를 보상한다. 그리고, 각 화소(P)는 센싱 기간에서 프로그램밍된 구동 TFT의 게이트-소스 간 전위를 발광 기간에서 유지하여 원하는 계조를 표현한다. 한편, 각 화소(P)는 외부 보상 방식에 따른 문턱전압 보상 구동시, 구동 TFT의 문턱전압 변동을 센싱하여 데이터 구동회로(12)에 출력할 수 있다.
- [0027] 데이터 구동회로(12)는 문턱전압 보상 구동시, 소정의 데이터전압을 화소들(P)에 공급함과 아울러, 기준라인들(14B_1 내지 14B_m)을 통해 표시패널(10)로부터 입력되는 센싱전압들을 디지털 값으로 변환하여 타이밍 컨트롤러(11)에 공급할 수 있다. 타이밍 컨트롤러(11)는 구동 TFT의 문턱전압 변화량을 지시하는 디지털 센싱값을 기초로 입력 디지털 비디오 데이터(DATA)를 변조함으로써, 구동 TFT의 문턱전압 변화를 보상할 수 있는 디지털 보상 데이터(MDATA)를 생성한다.
- [0028] 데이터 구동회로(12)는 이동도 보상 구동시, 타이밍 컨트롤러(11)로부터 입력되는 디지털 보상 데이터(MDATA)를 데이터 제어신호(DDC)에 따라 화상 표시용 데이터전압으로 변환한 후, 그 화상 표시용 데이터전압을 제1 게이트 신호에 동기시켜 데이터전압 공급라인들(14A_1 내지 14A_m)에 공급한다. 데이터 구동회로(12)는 이동도 보상 구동시, 데이터 제어신호(DDC)에 따라 초기화전압을 기준라인들(14B_1 내지 14B_m)에 공급할 수 있다.
- [0029] 게이트 구동회로(13)는 타이밍 컨트롤러(11)로부터의 게이트 제어신호(GDC)에 따라 게이트신호를 발생한다. 게이트 구동회로(13)는 이동도 보상 구동시 제1 게이트신호를 라인 순차 방식으로 제1 게이트라인들(15A_1 내지 15A_n)에 공급함과 아울러, 제2 게이트신호를 라인 순차 방식으로 제2 게이트라인들(15B_1 내지 15B_n)에 공급할 수 있다. 한편, 게이트 구동회로(13)는 문턱전압 보상 구동시에도 제1 및 제2 게이트신호를 각각 제1 및 제2 게이트라인들에 공급할 수 있다. 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10) 상에 직접 형성될 수 있다.
- [0030] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다. 또한, 타이밍 컨트롤러(11)는 데이터 구동회로(12)로부터 공급되는 디지털 센싱전압값을 참조하여 입력 디지털 비디오 데이터(DATA)를 변조함으로써, 구동 TFT의 문턱전압 변화를 보상하기 위한 디지털 보상 데이터(MDATA)를 발생한 후, 이 디지털 보상 데이터(MDATA)를 데이터 구동회로(12)에 공급한다. 타이밍 컨트롤러(11)는 메모리를 더 포함하여 주기적으로 데이터 구동회로(12)로부터 공급되는 디지털 센싱전압값을 업데이트할 수 있다.
- [0031] 도 3은 하이브리드 보상 방식이 적용되는 본 발명의 화소를 보여준다. 도 4는 외부 보상 방식으로 구동 TFT의 문턱전압 변화가 보상되는 기간과 내부 보상 방식으로 구동 TFT의 이동도 변화가 보상되는 기간을 보여준다. 도 5는 구동 TFT의 문턱전압 변화가 보상되는 원리를 설명하기 위한 것이고, 도 6은 구동 TFT의 이동도 변화가 보상되는 원리를 설명하기 위한 것이다. 도 7은 표시 위치별로 센싱 기간의 편차가 발생하는 일 예를 보여준다.
- [0032] 도 3을 참조하면, 하이브리드 보상을 위해 본 발명의 화소(P)는, OLED, 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST), 및 제2 스위치 TFT(ST2)를 구비할 수 있다. 화소(P)를 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 화소(P)를 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0033] OLED는 제2 노드(N2)에 접속된 애노드전극과, 저전위 전원(EVSS)에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다.
- [0034] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 흐르는 전류(Ioled)를 제어한다. 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 전원(EVDD)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.

- [0035] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다.
- [0036] 제1 스위치 TFT(ST1)는 제1 게이트신호(WS1)에 따라 스위칭되어, 데이터전압 공급라인(14A)에 충전된 화상 표시용 데이터전압(MVdata, 구동 TFT의 문턱전압 변화가 보상된 데이터전압)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 제1 게이트라인(15A)에 접속된 게이트전극, 데이터전압 공급라인(14A)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다.
- [0037] 제2 스위치 TFT(ST2)는 제2 게이트신호(WS2)에 따라 스위칭되어, 기준라인(14B)에 충전된 초기화전압(Vref)을 제2 노드(N2)에 인가한다. 제2 스위치 TFT(ST2)의 게이트전극은 제2 게이트라인(15B)에 접속되고, 제2 스위치 TFT(ST2)의 드레인전극은 제2 노드(N2)에 접속되며, 제2 스위치 TFT(ST2)의 소스전극은 기준라인(14B)에 접속된다.
- [0038] 한편, 데이터 구동회로(12)는 데이터전압 공급라인(14A) 및 기준라인(14B)을 통해 화소(P)에 연결되어 있다. 데이터 구동회로(12)는 디지털 보상 데이터(MDATA)를 화상 표시용 데이터전압(MVdata)으로 변환하는 디지털-아날로그 컨버터(DAC), 외부 보상 방식을 위한 센싱 구동시 아날로그 센싱전압을 디지털 센싱값으로 변환하기 위해 동작되는 아날로그-디지털 컨버터(ADC)와 샘플링 스위치(SW2), 초기화전압(Vref)을 공급하기 위한 초기화 스위치(SW1)등을 포함할 수 있다.
- [0039] 한편, 구동 TFT의 이동도(μ) 변화는 도 4에서와 같이 내부 보상 방식에 따라 화상 표시 구간(DP)에서 보상될 수 있다. 반면, 구동 TFT의 문턱전압(V_{th}) 변화는 도 4에서와 같이 화상 표시 구간(DP)의 전단에 배치된 제1 비표시 구간(X1) 및/또는 화상 표시 구간(X0)의 후단에 배치된 제2 비표시 구간(X2)에서 외부 보상 방식에 따라 보상될 수 있다. 여기서, 제1 비표시 구간(X1)은 구동전원이 인가된 직후부터 화상이 표시되기 전까지의 구간으로 정의되며, 제2 비표시 구간(X2)은 화상 표시가 종료된 직후부터 구동전원이 차단될까지의 구간으로 정의될 수 있다.
- [0040] 도 5를 참조하여 구동 TFT(DT)의 문턱전압(V_{th}) 변화가 센싱 및 보상되는 원리를 설명하면, 외부 보상 방식은 구동 TFT(DT)를 소스 팔로워(Source Follower) 방식으로 동작시킨 후 구동 TFT(DT)의 소스전압(V_s)을 센싱 전압(V_{sen})으로 입력받고, 이 센싱 전압(V_{sen})을 토대로 구동 TFT(DT)의 문턱전압 변화를 보상하기 위해 입력 디지털 비디오 데이터를 변조한다. 이러한 외부 보상은 센싱에 소요되는 시간이 비교적 길기 때문에 비표시 구간들(X1, X2) 중 적어도 어느 하나에서 행해질 수 있다.
- [0041] 도 3 및 도 6을 참조하여 구동 TFT(DT)의 이동도(μ) 변화가 내부 보상 방식에 따라 센싱 및 보상되는 원리를 설명하면 다음과 같다. 내부 보상은 초기화 기간(T_i), 센싱 기간(T_s), 발광 기간(T_e)을 포함하여 이뤄진다.
- [0042] 초기화 기간(T_i)에서 제1 및 제2 게이트신호(WS1, WS2)는 모두 온 레벨(Lon)로 유지된다. 온 레벨(Lon)은 24V의 게이트 하이전압(VGH)으로 선택될 수 있으나, 이에 한정되지 않는다. 제1 스위치 TFT(ST1)는 온 레벨(Lon)의 제1 게이트신호(WS1)에 따라 턴 온 되어, 구동 TFT(DT)의 게이트전극에 데이터전압(MVdata)을 인가하고, 제2 스위치 TFT(ST2)는 온 레벨(Lon)의 제2 게이트신호(WS2)에 따라 턴 온 되어, 구동 TFT(DT)의 소스전극에 초기화전압(Vref)을 인가한다.
- [0043] 센싱 기간(T_s)에서 제1 게이트신호(WS1)는 온 레벨(Lon)로 유지되고, 제2 게이트신호(WS2)는 오프 레벨(Loff)로 유지된다. 오프 레벨(Loff)은 -6V의 게이트 로우전압(VGL)으로 선택될 수 있으나, 이에 한정되지 않는다. 제1 스위치 TFT(ST1)는 턴 온 상태를 유지하여, 구동 TFT(DT)의 게이트전위(V_g)를 데이터전압(MVdata)으로 유지시킨다. 제2 스위치 TFT(ST2)가 턴 오프 되며, 이때 구동 TFT(DT)에는 초기화 기간(T_i)에서 세팅된 게이트-소스 간 전위차(V_{gs})에 상당하는 전류가 흐른다. 따라서, 구동 TFT(DT)의 소스전위(V_s)는 구동 TFT(DT)의 게이트전극에 인가된 데이터전압(MVdata)을 향해 상승하여 원하는 계조 레벨에 맞게 구동 TFT(DT)의 게이트-소스 간 전위차(V_{gs})를 프로그래밍 한다.
- [0044] 발광 기간(T_e)에서 제1 및 제2 게이트신호(WS1, WS2)는 모두 오프 레벨(Loff)로 유지된다. 구동 TFT(DT)의 게이트전위(V_g) 및 소스전위(V_s)는 센싱 기간(T_s)에서 프로그래밍 된 전위차(V_{gs})를 유지하면서 OLED의 문턱전압 이상의 전압레벨까지 상승한 후 유지된다. 상기 프로그래밍된 구동 TFT(DT)의 게이트-소스 간 전위차(V_{gs})에 상당하는 구동전류가 OLED를 통해 흐르며, 그 결과 OLED가 발광하여 원하는 계조가 구현된다.
- [0045] 이처럼, 내부 보상 방식은 센싱 기간(T_s) 동안 구동 TFT(DT)의 게이트 전위(V_g)를 데이터전압(MVdata)으로 고정시킨 상태에서 구동 TFT(DT)의 소스 전위(V_s)를 커패시터 커플링 방식으로 상승시키는 원리를 통해 구동 TFT(DT)의 이동도 변화를 보상한다. 화소의 발광량(휘도)을 결정하는 구동전류는 도 6에 표기된 수식에서와 같

이 구동 TFT(DT)의 이동도(μ)(수학식의 K 또는 K'에 포함됨), 및 센싱 기간(T_s)에서 프로그래밍 된 구동 TFT(DT)의 게이트-소스 간 전위차(V_{gs})에 비례한다. 이동도(K)가 큰 화소에서는 센싱 기간(T_s) 동안 구동 TFT(DT)의 소스 전위(V_s)가 그보다 높은 게이트 전위(V_g)를 향해 빠르게 상승함으로써 구동 TFT(DT)의 게이트-소스 간 전위차(V_{gs})가 작게 프로그래밍 되고, 반대로 이동도(K')가 작은 화소에서는 센싱 기간(T_s) 동안 구동 TFT(DT)의 소스 전위(V_s)가 그보다 높은 게이트 전위(V_g)를 향해 느리게 상승함으로써 구동 TFT(DT)의 게이트-소스 간 전위차(V_{gs})가 크게 프로그래밍된다. 그 결과 화소간 이동도(μ) 차이에 따른 휘도 편차가 보상되는 것이다.

[0046] 한편, 센싱 기간(T_s)은 제1 게이트신호(WS_1)가 온 레벨로 유지됨과 동시에 제2 게이트신호(WS_2)가 오프 레벨로 유지되는 시간으로 정의되는 데, 이러한 센싱 기간(T_s)은 표시 위치별 또는 표시 계조별로 달라진다. 센싱 기간(T_s)이 표시 위치별로 달라지는 이유는 RC 딜레이로 인해 제1 및 제2 게이트신호(WS_1, WS_2)의 지연 정도가 표시 위치에 따라 달라지기 때문이다. 예를 들어, 도 7에서와 같이, 센싱 기간(T_s), RC 딜레이가 작은 표시패널의 제1 영역(게이트 구동회로에 가깝게 배치된 영역)에 비해 RC 딜레이가 큰 표시패널의 제2 영역(게이트 구동회로에서 멀리 떨어진 영역)에서 더 짧아진다. ($T_{s1} > T_{s2}$) 여기서, 제1 스위치 TFT(ST_1)와 달리 모든 제2 스위치 TFT(ST_2)는 전기적으로 서로 연결된 기준라인들에 공통으로 연결되므로, 동일한 패널 위치에서 제2 게이트신호(WS_2)의 지연 정도는 제1 게이트신호(WS_1)의 지연 정도에 비해 클 수 있다. 또한, 최적 센싱 기간(T_s)은 계조가 높아질수록 짧아지는 데, 이는 이동도(μ) 센싱시 데이터전압이 높을수록 센싱 능력이 좋아지기 때문이다.

[0047] 표시 위치별 또는 표시 계조별로 센싱 기간(T_s)의 편차가 커지면 구동 TFT의 이동도(μ) 보상 성능과 표시패널의 휘도 균일성이 저하되므로, 구동 TFT(DT)의 이동도(μ) 편차에 대한 보상 성능은 센싱 기간(T_s)에 많은 영향을 받는다. 그러므로, 표시 위치별 또는 표시 계조별 편차가 최소화되는 최적 센싱 기간을 설정하는 것이 중요하다. 이하에서는 표시 위치별 또는 표시 계조별로 센싱 기간(T_s)의 편차를 최소화할 수 있는 방안을 다양한 실시예를 통해 설명한다.

[0048] <제1 실시예>

[0049] 도 8은 표시 위치별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안을 보여준다. 도 9는 출력 슬로프 조절을 위한 게이트 구동회로(13)의 일 구성을 보여준다. 도 10 및 도 11은 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임을 기준값보다 증가시킬 때 표시 위치별 센싱 기간(T_s)의 편차가 줄어드는 것을 보여준다. 도 12는 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임을 기준값보다 증가시킬 때 표시패널의 휘도 균일성이 향상되는 것을 보여준다.

[0050] 본 발명은 표시 위치별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안으로서, 게이트 구동회로(13)에 대한 출력 슬로프 조절을 통해 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임을 미리 정해진 기준값보다 길게 설정한다. 본 발명에서, "폴링 타임"은, 도 8에서와 같이 제1 및 제2 게이트신호(WS_1, WS_2) 각각이 온 레벨(Lon)에서 오프 레벨(Loff)로 떨어질 때, 온 레벨(Lon) 100%에서 10%까지 변화되는 데 소요되는 시간으로 정의된다. 게이트 구동회로(13)에 대한 출력 슬로프를 길게 하면, 폴링 타임이 기준값 "FT1"에서 그보다 큰 "FT2"로 증가될 수 있다. 기준값 "FT1"은 패널 모델에 따라 달라질 수 있으며, 본 발명에서는 일 예시로서 0.5 μ s로 선택될 수 있다.

[0051] 게이트 구동회로(13)는, 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임 조절을 위해 도 9와 같이 각각 구성된 2개의 CMOS 인버터들을 포함할 수 있다. 제1 출력 노드를 통해 제1 게이트신호(WS_1)를 출력하는 제1 CMOS 인버터는 온 레벨(Lon)의 고전위 전원(VGH)과 제1 출력 노드 사이에 접속된 제1 PMOS 트랜지스터(MP)와, 오프 레벨(Loff)의 저전위 전원(VGL)과 제1 출력 노드 사이에 접속된 제1 NMOS 트랜지스터(MN)를 포함한다. 제2 출력 노드를 통해 제2 게이트신호(WS_2)를 출력하는 제2 CMOS 인버터는 온 레벨(Lon)의 고전위 전원(VGH)과 제2 출력 노드 사이에 접속된 제2 PMOS 트랜지스터(MP)와, 오프 레벨(Loff)의 저전위 전원(VGL)과 제2 출력 노드 사이에 접속된 제2 NMOS 트랜지스터(MN)를 포함한다.

[0052] 이러한 CMOS 인버터 구조에서 NMOS 트랜지스터(MN)의 채널 폭을 조절하면 NMOS 트랜지스터(MN)의 온 저항이 변화되어 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임을 조절할 수 있다. NMOS 트랜지스터(MN)의 채널 폭을 감소시킬수록 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임은 증가되게 된다. 본 발명은 제1 및 제2 NMOS 트랜지스터의 채널용량(채널 폭/채널 길이) 각각을 원하는 제1 및 제2 폴링 타임 설정에 맞게 조절할 수 있다.

[0053] 제1 및 제2 게이트신호(WS_1, WS_2)의 폴링 타임을 증가시키면, 도 10에서와 같이 표시패널의 위치별 최적 센싱 기

간에서 구동 TFT의 소스전위 상승 정도가 표시패널의 위치에 상관없이 비슷해진다. 이러한 최적 센싱 기간을 결정하기 위해서는 센싱 기간(T_s)에 따라서 구동 TFT의 이동도가 얼마나 보상되는지를 알아내야 한다. 이동도가 변시 전류 편차가 $\pm 2\%$ 이하로 변경될 때를 최적 보상 범위로 가정할 때, 이동도가 $\pm 20\%$ 까지 보상되는 시간을 최적 센싱 기간으로 가정한다. 이러한 가정하에 풀링 타임 $0.5\mu s$ 시와 $3\mu s$ 시에 있어 표시 위치별 최적 센싱 기간을 구하면 도 11과 같다. 도 11의 시뮬레이션 결과에서 명확히 알 수 있듯이 풀링 타임 $3\mu s$ 시에 있어 표시 위치별 최적 센싱 기간의 편차(ΔT_s)는 $0.1\mu s$ 로서, 풀링 타임 $0.5\mu s$ (기준값) 시에 있어 표시 위치별 최적 센싱 기간의 편차(ΔT_s)인 $0.3\mu s$ 에 비해 크게 감소한다. 이렇게 본 발명은 제1 및 제2 풀링 타임을 미리 설정된 기준값보다 4배~6배 길게 설정함으로써, 표시 위치별 최적 센싱 기간의 편차를 크게 줄임으로써, 표시패널의 휘도 균일성을 크게 높일 수 있다. 도 12에서와 같이 표시패널의 글로벌 휘도 균일성을 시뮬레이션을 통해 수치로 나타내면, 풀링 타임 $3\mu s$ 시의 휘도 균일성은 풀링 타임 $0.5\mu s$ (기준값)일 때에 비해 7% 향상된 90% 수준으로 나타났다.

[0054] <제2 실시예>

[0055] 도 13은 계조별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안을 보여준다. 도 14a는 제2 실시예 적용 전에 있어 고계조 저계조 간의 센싱 기간 편차와 함께 고계조 전류편차, 및 저계조 전류편차를 보여준다. 그리고, 도 14b는 제2 실시예 적용 후에 있어 고계조 저계조 간의 센싱 기간 편차와 함께 고계조 전류편차, 및 저계조 전류편차를 보여준다. 도 15는 제1 및 제2 게이트신호(WS_1, WS_2)의 풀링 타임을 기준값보다 차등적으로 증가시킬 때 계조별 센싱 기간(T_s)의 편차가 줄어드는 것을 보여준다.

[0056] 본 발명은 계조별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안으로서, 도 13의 (B)와 같이 게이트 구동회로(13)에 대한 출력 슬로프(slope) 조절을 통해 제1 및 제2 게이트신호(WS_1, WS_2)의 풀링 타임을 기준값보다 길게 설정하되, 제2 게이트신호(WS_2)의 풀링 타임을 제1 게이트신호(WS_1)의 풀링 타임에 비해 더 길게 설정한다.

[0057] 제1 및 제2 게이트신호(WS_1, WS_2)를 출력하는 2개의 CMOS 트랜지스터들의 채널 용량을 동일하게 줄이더라도, 도 13의 (A)와 같이 부하가 크게 걸리는 제2 게이트신호(WS_2)의 풀링 타임(FT_2)은 제1 게이트 출력신호(WS_1)의 그것(FT_1)에 비해 크다. 이러한 상황에서 본 발명은 2개의 CMOS 트랜지스터들의 채널 용량을 차등적으로 줄인다. 즉, 본 발명은 제2 게이트신호(WS_2)를 출력하는 NMOS 트랜지스터의 채널 폭을 제1 게이트신호(WS_1)를 출력하는 NMOS 트랜지스터의 채널 폭에 비해 더욱 줄인다. 이를 통해 본 발명은 도 13의 (B)와 같이 제2 게이트신호(WS_2)의 풀링 타임(FT_2')을 제1 게이트신호(WS_1)의 풀링 타임(FT_1)에 비해 더욱 길게 설정한다.

[0058] 출력 슬로프(slope) 조절을 통해 제1 및 제2 게이트신호(WS_1, WS_2)의 풀링 타임을 기준값보다 길게 설정하면, 위에서 설명한 바와 같이 표시 위치별 센싱 기간의 편차가 줄어드는 효과가 있다. 하지만, 이러한 구성만으로는 계조별 센싱 기간의 편차를 줄일 수는 없다. 즉, 도 14a에서와 같이 계조별 센싱 기간의 편차는 $1.4513\mu s$ (P1 및 P2 간 간격) - $1.2043\mu s$ (P3 및 P4 간 간격) = $0.247\mu s$ 로서 여전히 크다. 또한, 고계조에서의 전류 편차가 6%로서 비교적 높다.

[0059] 본 발명과 같이 제2 게이트신호(WS_2)의 풀링 타임(FT_2')을 제1 게이트신호(WS_1)의 풀링 타임(FT_1)에 비해 더욱 길게 설정하면, 센싱 기간 동안 구동 TFT의 소스 전위의 상승의 차이가 계조별로 줄어든다. 다시 말해, 계조별 최적 센싱 기간의 편차가 줄어든다. 도 14b에서와 같이 계조별 센싱 기간의 편차는 $1.4734\mu s$ (P1' 및 P2' 간 간격) - $1.0807\mu s$ (P3' 및 P4' 간 간격) = $0.0927\mu s$ 로서 획기적으로 줄어든다. 또한, 고계조에서의 전류 편차도 저계조에서와 마찬가지로 2% 미만으로 줄어든다.

[0060] 본 발명에 따라, 동일한 게이트 출력 슬로프 조절을 통해 제2 게이트신호(WS_2)의 풀링 타임을 제1 게이트신호(WS_1)의 풀링 타임에 비해 $2.9\mu s$ 길게 설정한 경우와, 차등적인 게이트 출력 슬로프 조절을 통해 제2 게이트신호(WS_2)의 풀링 타임을 제1 게이트신호(WS_1)의 풀링 타임에 비해 $5.9\mu s$ 길게 설정한 경우에 있어, 63 계조 및 127 계조의 최적 센싱 기간을 구하면 도 15와 같다. 도 15의 시뮬레이션 결과는 풀링 타임 차이를 $2.9\mu s$ 로 했을 경우에 비해 풀링 타임 차이를 $5.9\mu s$ 로 했을 때 63 계조 및 127 계조 간의 최적 센싱 기간 편차가 50% 줄어들음($0.4\mu s$ 에서 $0.2\mu s$ 로 줄어들음)을 보여주고 있다.

[0061] 이러한 제2 실시예는 제1 실시예와 함께 적용될 수 있으며, 이 경우 표시 위치별 및 계조별 최적 센싱 기간의 편차가 모두 줄어든다.

- [0062] <제3 실시예>
- [0063] 도 16a 및 도 16b는 표시 위치별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안을 보여준다. 도 17은 제1 및 제2 게이트신호(WS_1, WS_2)의 전압 레벨을 서로 다르게 조절하여 표시 위치별 센싱 기간(T_s)의 편차를 줄이는 시뮬레이션 결과를 보여준다. 도 18은 제1 및 제2 게이트신호(WS_1, WS_2)의 전압 레벨을 서로 다르게 조절함으로써 표시패널의 휘도 균일성을 향상시키는 시뮬레이션 결과를 보여준다.
- [0064] 본 발명은 표시 위치별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안으로서, 제1 및 제2 게이트신호(WS_1, WS_2)의 전압 레벨을 서로 다르게 한다. 즉, 본 발명은 온 레벨(VGH)과 오프 레벨(VGL) 간 전압차를 제1 및 제2 게이트신호(WS_1, WS_2)에서 서로 동일하게 유지하면서, 제1 및 제2 게이트신호(WS_1, WS_2)의 온 레벨(VGH)을 서로 다르게 설정함과 아울러, 제1 및 제2 게이트신호(WS_1, WS_2)의 오프 레벨(VGL)을 서로 다르게 설정한다. 본 발명은 제1 게이트신호(WS_1)의 온 레벨(VGH)을 제2 게이트신호(WS_2)의 온 레벨(VGH)보다 높게 설정하고, 또한 제1 게이트신호의 오프 레벨(VGL)을 제2 게이트신호의 오프 레벨(VGL)보다 높게 설정한다. 이렇게 제1 및 제2 게이트신호(WS_1, WS_2)의 전압 레벨을 차등적으로 설정하면, 표시 위치별 센싱 기간의 편차가 줄어드는 효과를 얻을 수 있다.
- [0065] 도 16a에서와 같이 제1 및 제2 게이트신호(WS_1, WS_2)에 대해 전압 레벨을 동일하게 설정(VGH 24V, VGL -6V)하면, 표시 위치별 센싱 기간의 편차는 $3.9958\mu s$ (Pa 및 Pb 간 간격) - $3.0675\mu s$ (Pa' 및 Pb' 간 간격) = $0.93\mu s$ 로서 비교적 크다.
- [0066] 반면, 도 16b에서와 같이 제1 및 제2 게이트신호(WS_1, WS_2)에 대해 전압 레벨을 차등적으로 설정(WS_1 VGH 20V, WS_1 VGL -10V, WS_2 VGH 26V, WS_2 VGL -4V)하면, 표시 위치별 센싱 기간의 편차는 $3.9958\mu s$ (Pa 및 Pb 간 간격) - $3.5922\mu s$ (Pa' 및 Pb' 간 간격) = $0.41\mu s$ 로서 크게 줄어든다.
- [0067] 이렇게 본 발명은 제1 및 제2 게이트신호(WS_1, WS_2)에 대해 전압 레벨을 차등적으로 설정함으로써, 표시 위치별 최적 센싱 기간의 편차를 크게 줄인다. 도 17과 같이 본 발명 적용 전후에 있어 표시 위치별 최적 센싱 기간의 편차를 비교하면, 동등 전압 레벨 설정시의 $0.5\mu s$ 대비, 차등 전압 레벨 설정시에는 $0.2\mu s$ 로서 $0.3\mu s$ 만큼 줄어드는 효과가 있다.
- [0068] 도 18에서와 같이 표시패널의 글로벌 휘도 균일성을 시뮬레이션을 통해 수치로 나타내면, 동등 전압 레벨 설정시의 80.1%에 비해 차등 전압 레벨 설정시에는 87.4%로 7.3% 향상된다.
- [0069] 이러한 제3 실시예는 제1 실시예와 함께 적용될 수 있으며, 이 경우 표시 위치별 최적 센싱 기간의 편차가 더욱 줄어든다.
- [0070] <제4 실시예>
- [0071] 도 19는 표시 위치별 센싱 기간(T_s)의 편차를 최소화할 수 있는 일 방안을 보여준다. 도 20 및 도 21은 표시 위치별로 구동 TFT의 사이즈를 변화시켜 위치별 보상 능력을 개선한 시뮬레이션 결과를 보여준다. 도 22 및 도 23은 표시 위치별로 스토리지 커패시터의 사이즈를 변화시켜 위치별 보상 능력을 개선한 시뮬레이션 결과를 보여준다. 도 24는 표시 위치별로 구동 TFT의 사이즈를 변화시켜 위치별 센싱 기간(T_s)의 편차를 줄이는 시뮬레이션 결과를 보여준다. 도 25는 표시 위치별로 스토리지 커패시터의 사이즈를 변화시켜 위치별 센싱 기간(T_s)의 편차를 줄이는 시뮬레이션 결과를 보여준다.
- [0072] 표시패널에서 게이트 구동회로에 근접 배치된 곳을 제1 영역(EP)이라 하고 게이트 구동회로에서 멀리 떨어진 곳을 제2 영역(CP)이라 할 때, 제1 및 제2 게이트신호(WS_1, WS_2)에 가해지는 RC 딜레이는 제1 영역(EP)에서 제2 영역(CP)으로 갈수록 점차적으로 증가한다. 본 발명은 표시 위치별 센싱 기간(T_s)의 편차를 최소화하기 위해 표시 위치별로 구동 TFT의 사이즈를 변화시키거나 및/또는 표시 위치별로 스토리지 커패시터의 사이즈를 변화시킨다.
- [0073] 게이트 라인의 RC 딜레이로 인해서, 최적 센싱 기간을 표시패널의 모든 영역에서 동일하게 설정하는 것을 쉽지 않다. 하지만, 본 발명과 같이 표시 위치별로 구동 TFT의 사이즈를 변화시키거나 및/또는 표시 위치별로 스토리지 커패시터의 사이즈를 변화시키면, RC 딜레이에 상관없이 표시패널의 모든 영역에서 구동 TFT의 소스전위를 균일한 속도로 상승시킬 수 있어, 표시 위치별 센싱 기간(T_s)의 편차를 최소화할 수 있다.
- [0074] 본 발명은 제1 영역(EP)에서 제2 영역(CP)으로 갈수록 점차적으로 구동 TFT의 채널 용량을 증가시킨다. 다시말

해, 본 발명은 표시 위치에 따라 RC 딜레이가 커질수록 해당 위치에 형성되는 구동 TFT의 채널 폭을 증가시킨다. 본 발명에 따르면 표시 위치별 구동 TFT의 전류 능력이 달라져 이동도 보상 능력이 개선된다. 도 20 및 도 21의 시뮬레이션 결과에서 명확히 알 수 있듯이, 본 발명을 적용하면 제1 영역(EP)과 제2 영역(CP) 간의 전류 편차를 dY에서 dY'로 줄일 수 있다.

[0075] 본 발명은 제1 영역(EP)에서 제2 영역(CP)으로 갈수록 점차적으로 스토리지 커패시터의 용량을 감소시킨다. 본 발명에 따르면 표시 위치별로 달라지는 스토리지 커패시터의 용량에 의해 센싱 기간에서 구동 TFT의 소스전위 상승 속도가 달라지기 때문에 이동도 보상 능력이 개선된다. 도 22 및 도 23의 시뮬레이션 결과에서 명확히 알 수 있듯이, 본 발명을 적용하면 제1 영역(EP)과 제2 영역(CP) 간의 전류 편차를 dY에서 dY'로 줄일 수 있다.

[0076] 도 24와 같은 시뮬레이션 결과를 통해, 제1 영역(EP) 대비 제2 영역(CP)에서 구동 TFT의 채널 용량을 15% 증가시키는 경우, 표시 위치별 센싱 기간의 편차는 0이 됨을 알 수 있었다. 그리고, 도 25와 같은 시뮬레이션 결과를 통해, 제1 영역(EP) 대비 제2 영역(CP)에서 스토리지 커패시터의 용량을 20% 감소시키는 경우, 표시 위치별 센싱 기간의 편차는 0이 됨을 알 수 있었다.

[0077] 이러한 제4 실시예는 전술한 제1 내지 제3 실시예와 함께 적용될 수 있으며, 이 경우 표시 위치별 및 계조별 센싱 기간의 편차를 줄이는 효과는 극대화된다.

[0078] 상술한 바와 같이, 본 발명은 하이브리드 보상 방식에 따라 구동 TFT의 이동도 편차를 내부적으로 보상할 때, 센싱 기간의 위치별 또는 표시 계조별 편차를 완화하여 구동 TFT의 이동도 보상 성능과 표시패널의 휘도 균일성을 향상시킬 수 있다.

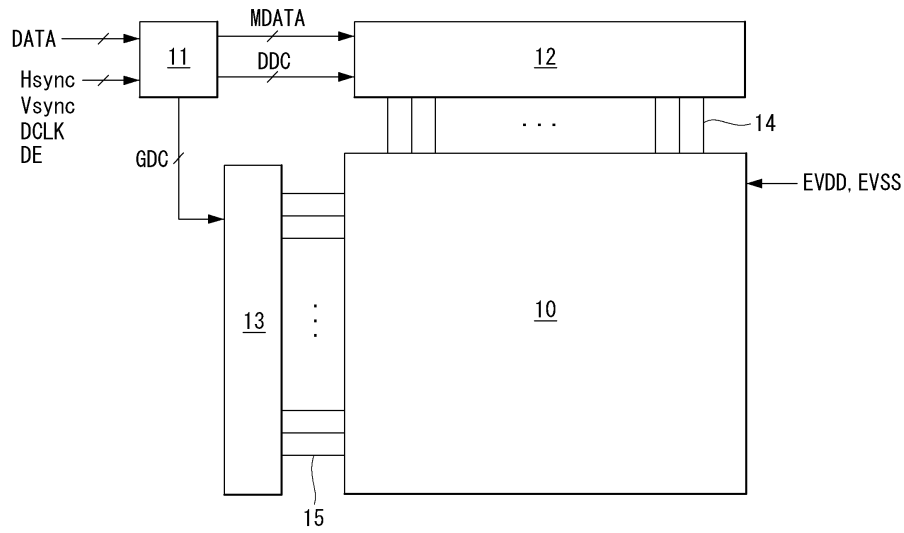
[0079] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

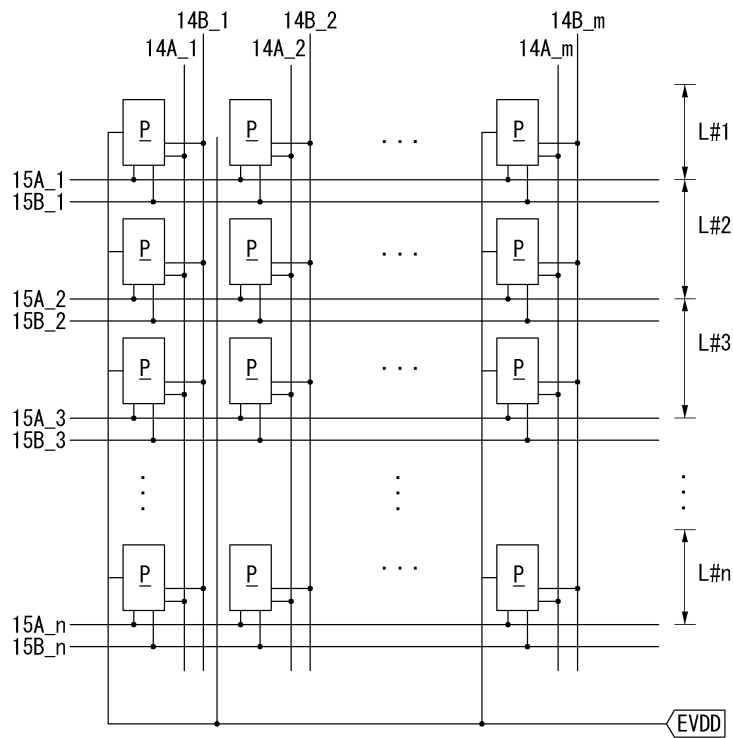
- [0080] 10 : 표시패널 11 : 타이밍 콘트롤러
 12 : 데이터 구동회로 13 : 게이트 구동회로
 14 : 데이터라인들 15 : 게이트라인들

도면

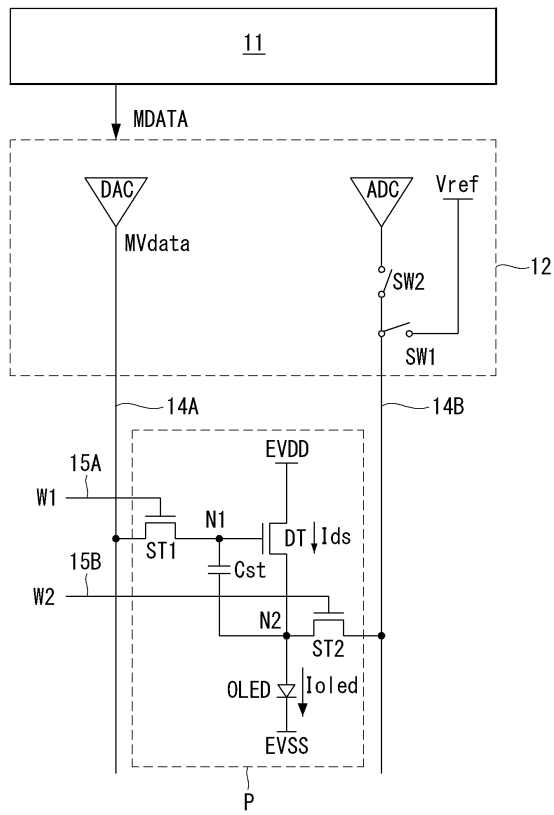
도면1



도면2



도면3

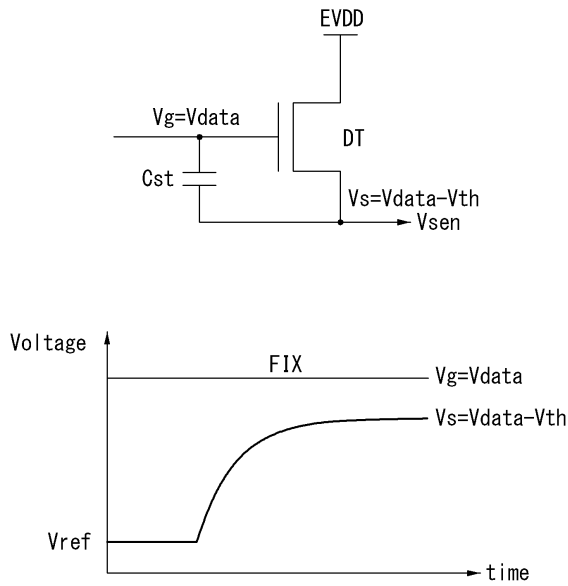


도면4

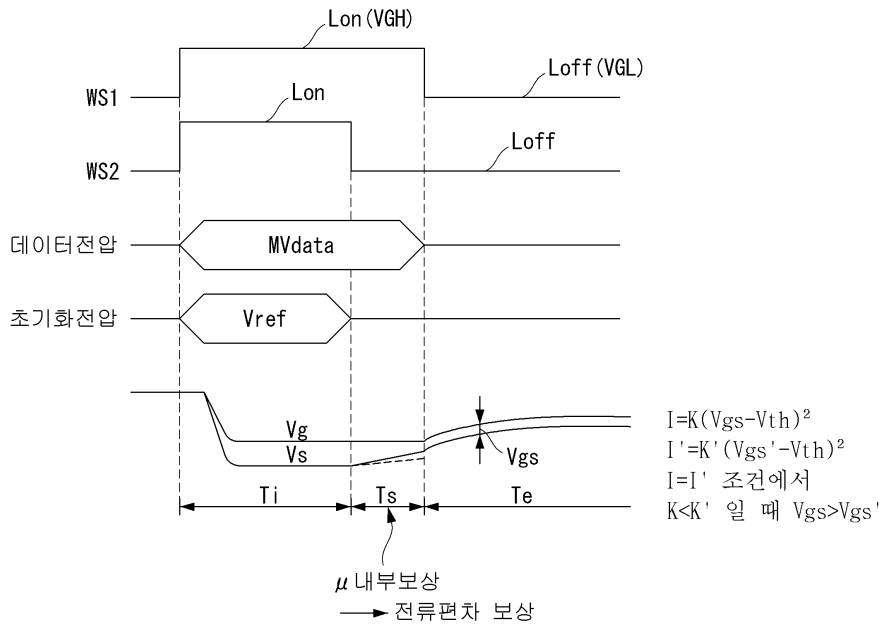


X1 or/and X2 : V_{th} 외부 보상
 DP : μ 내부 보상

도면5



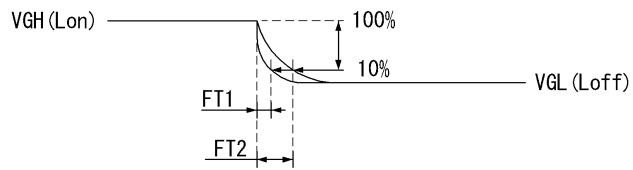
도면6



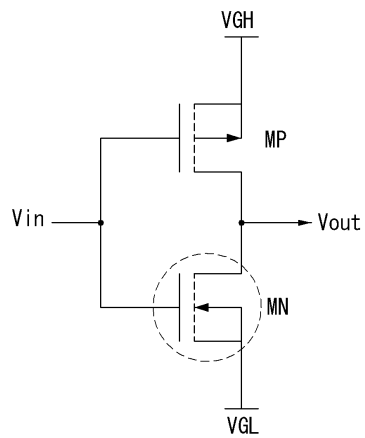
도면7



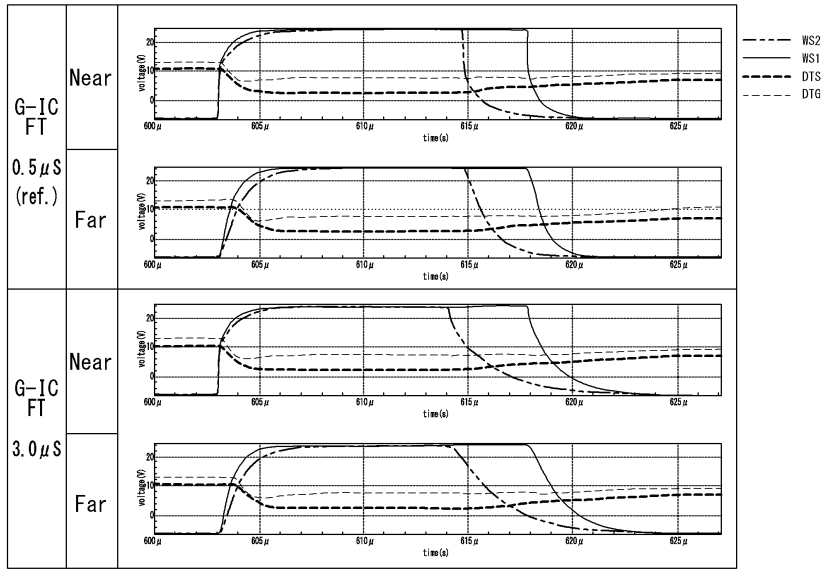
도면8



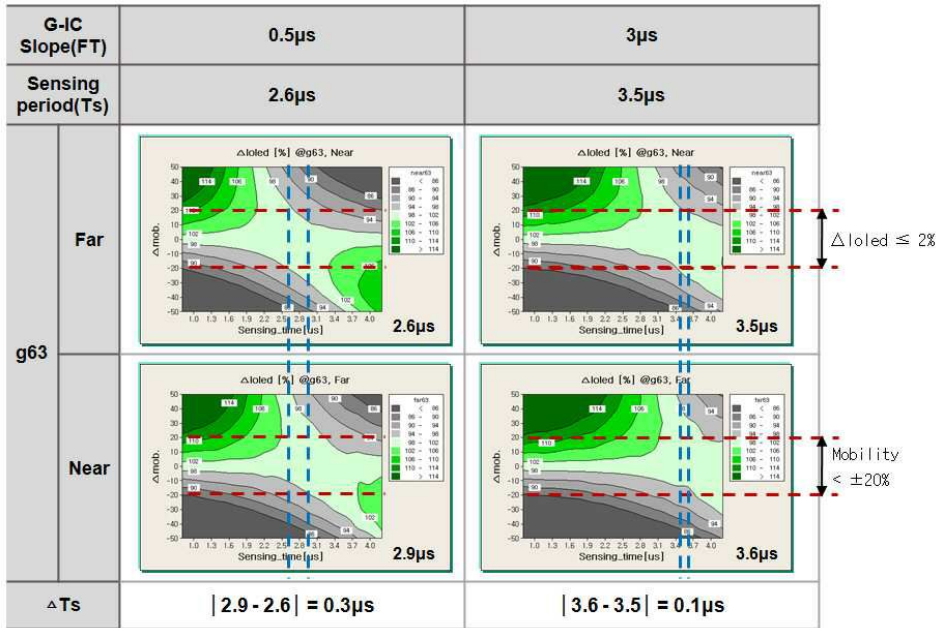
도면9



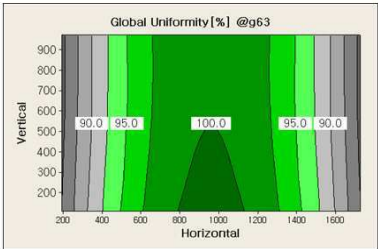
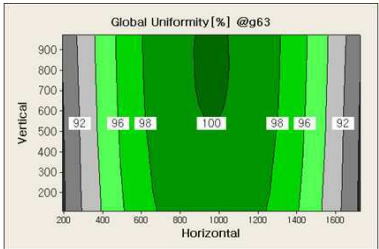
도면10



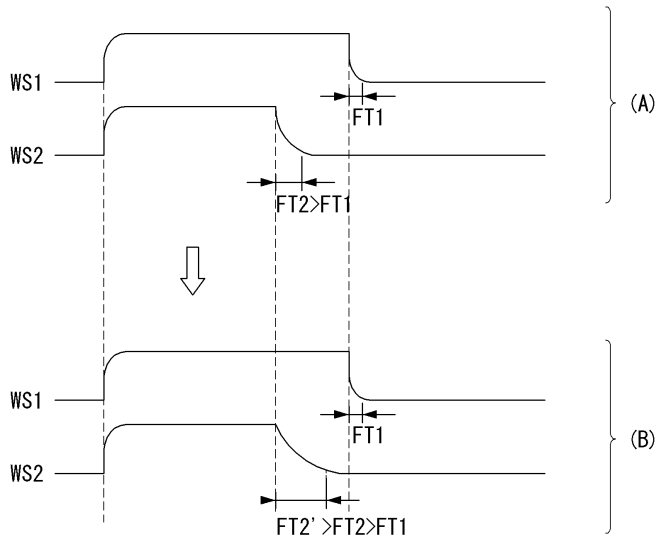
도면11



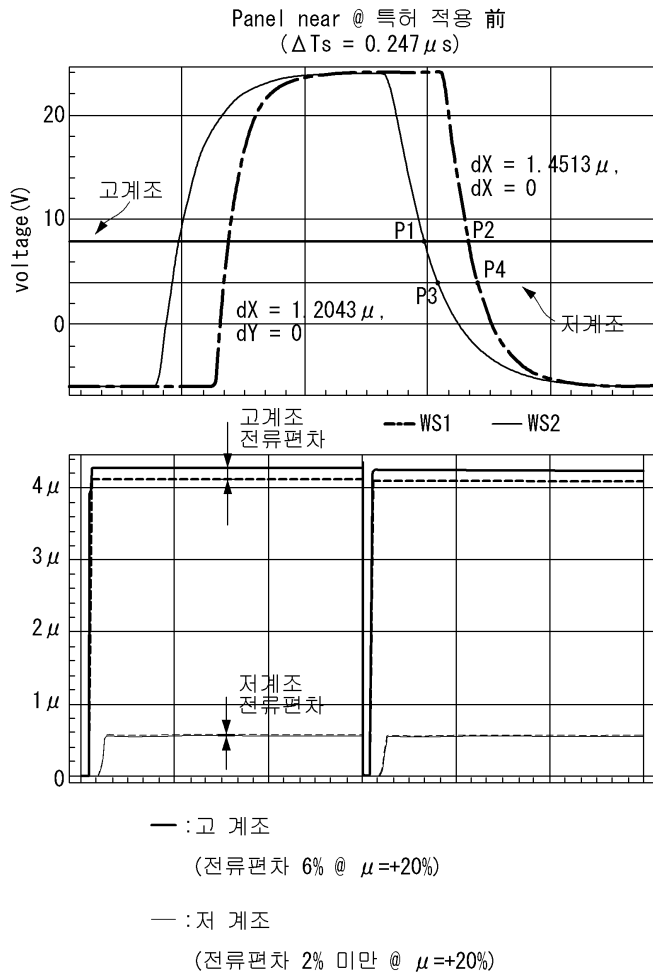
도면12

G-IC Slope (FT)	0.5 μ s	3 μ s
Panel 휘도		
Global Uniformity	83%	90%

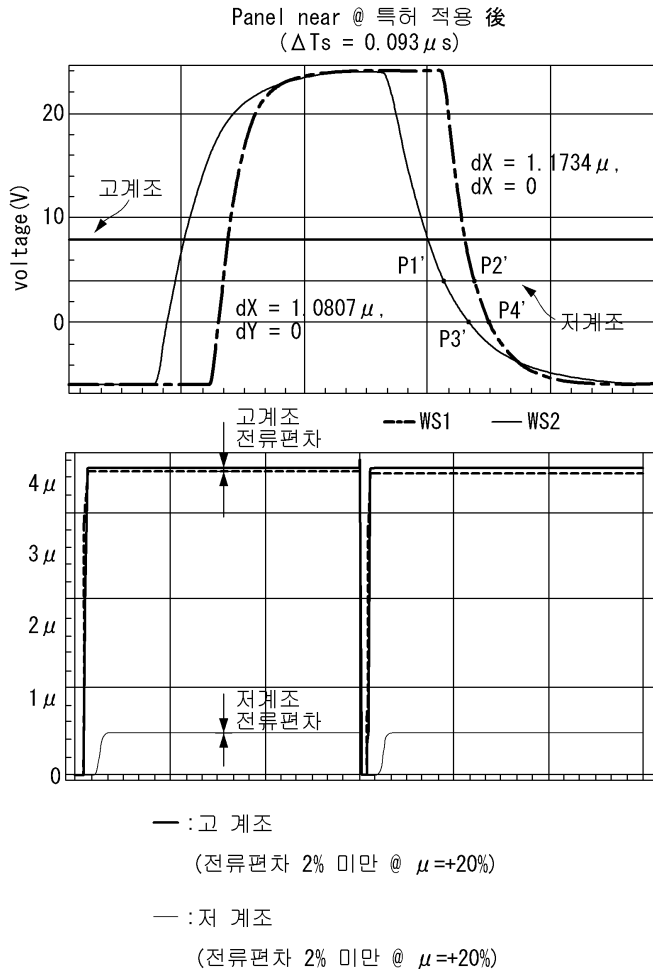
도면13



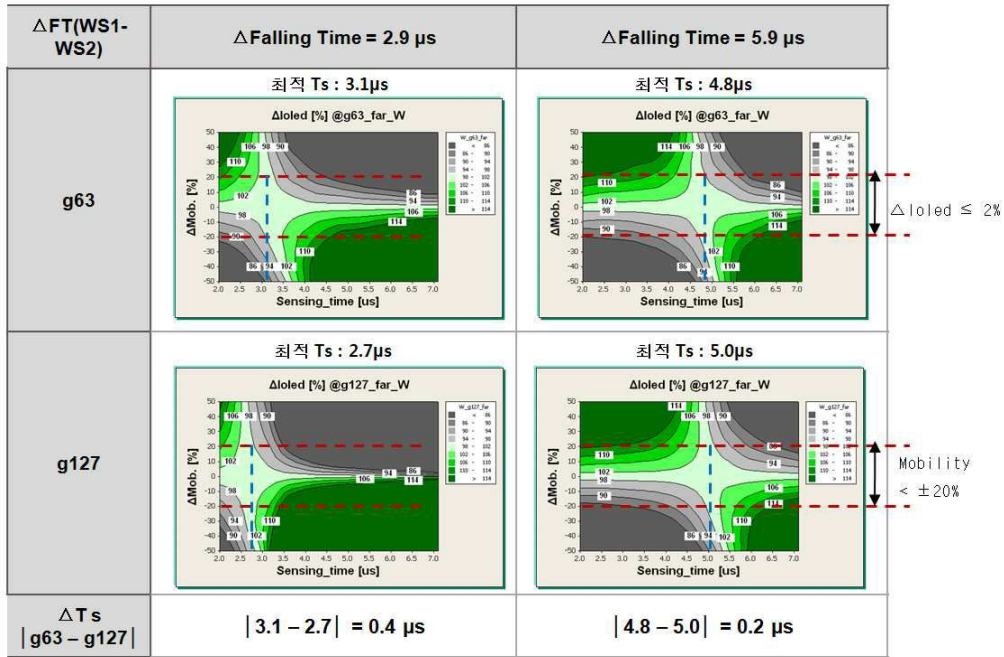
도면14a



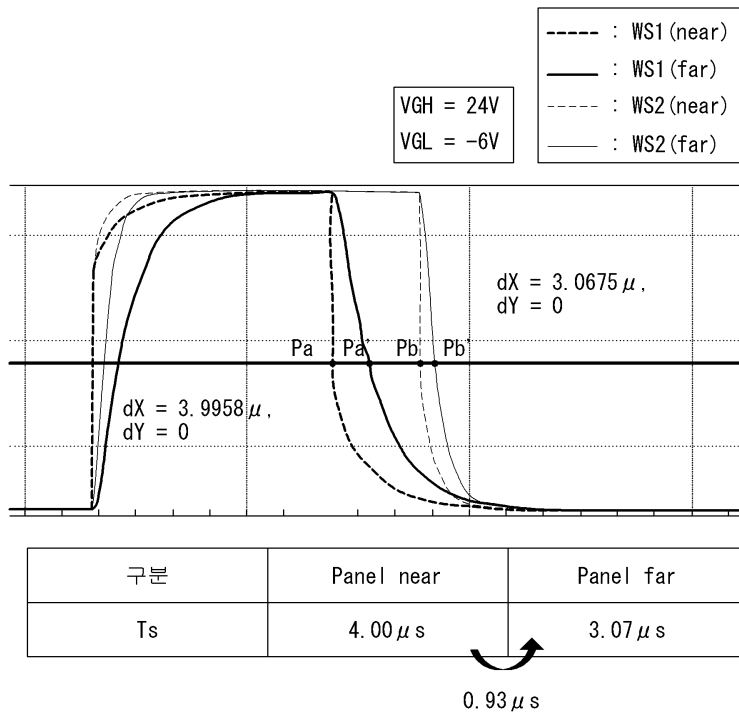
도면14b



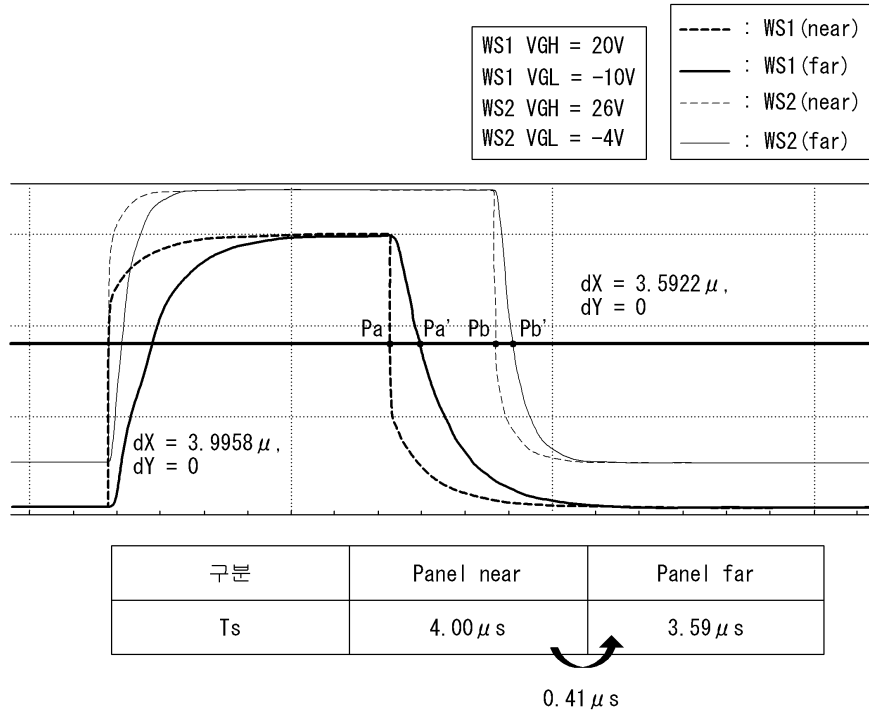
도면15



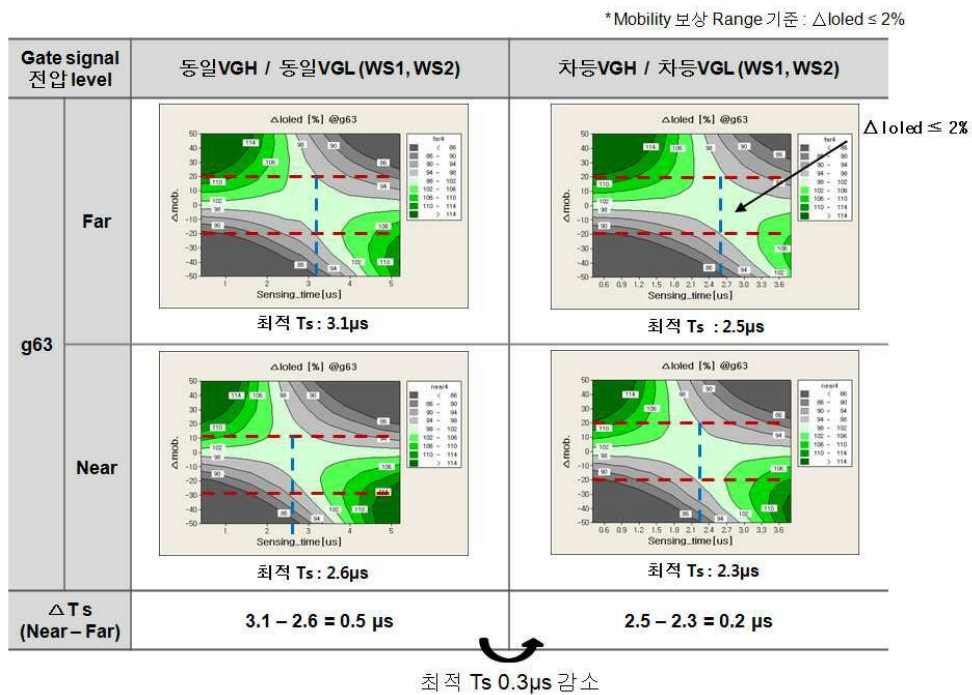
도면16a



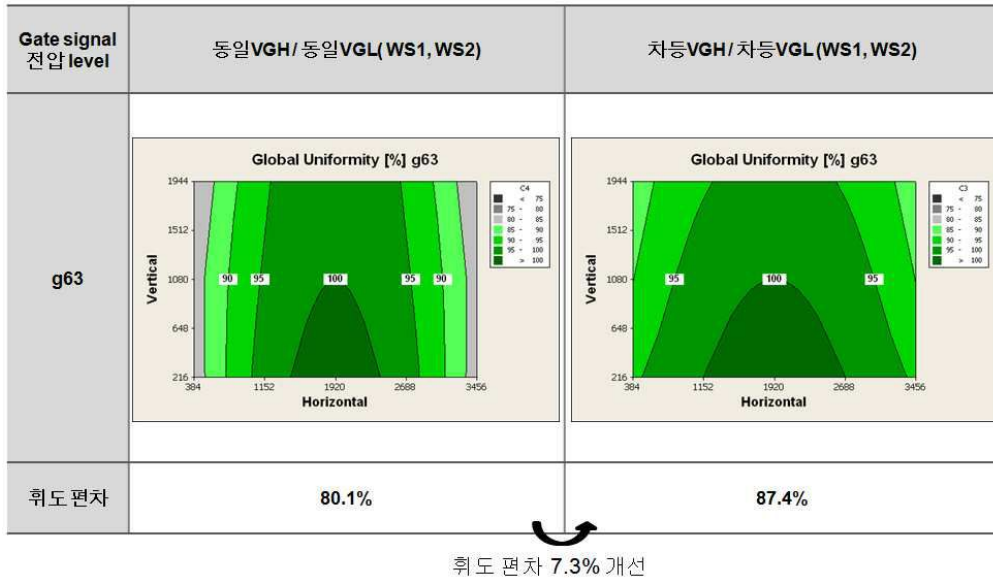
도면16b



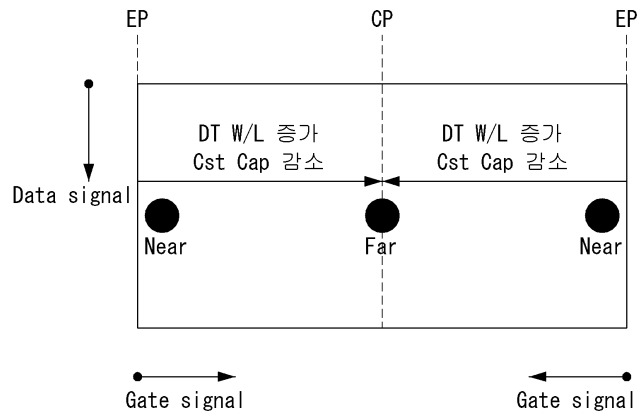
도면17



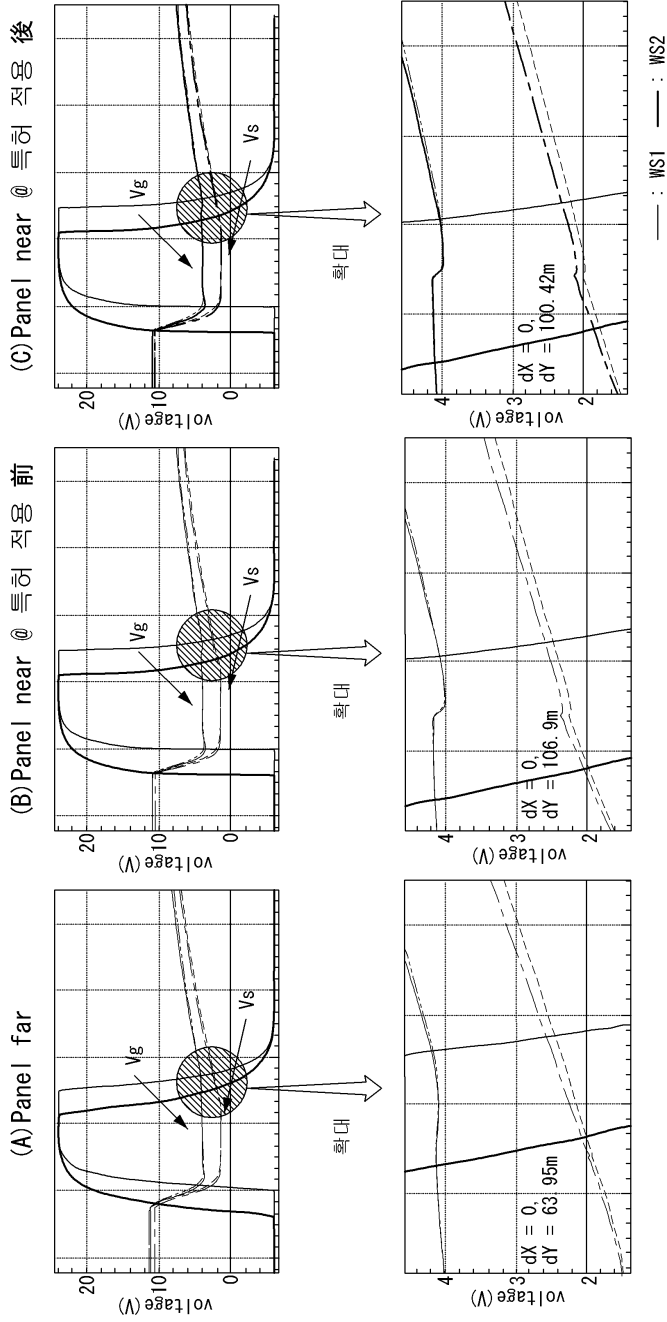
도면18



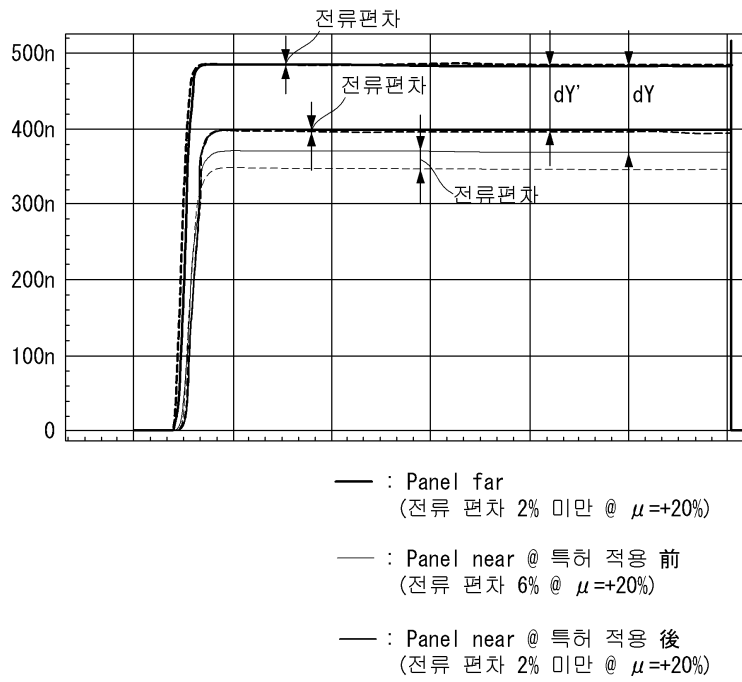
도면19



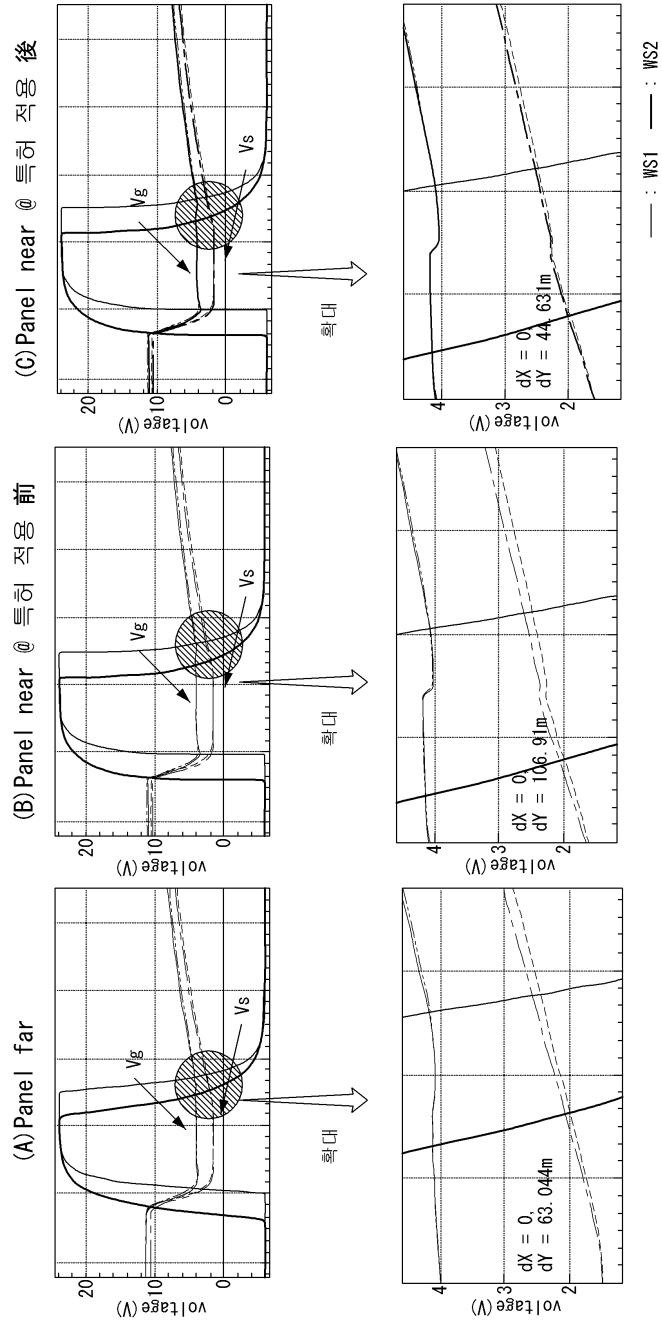
도면20



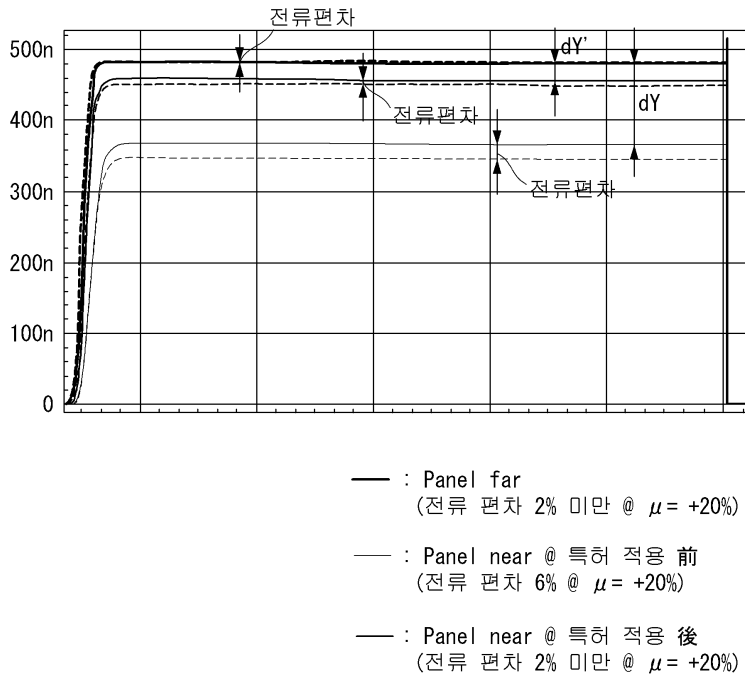
도면21



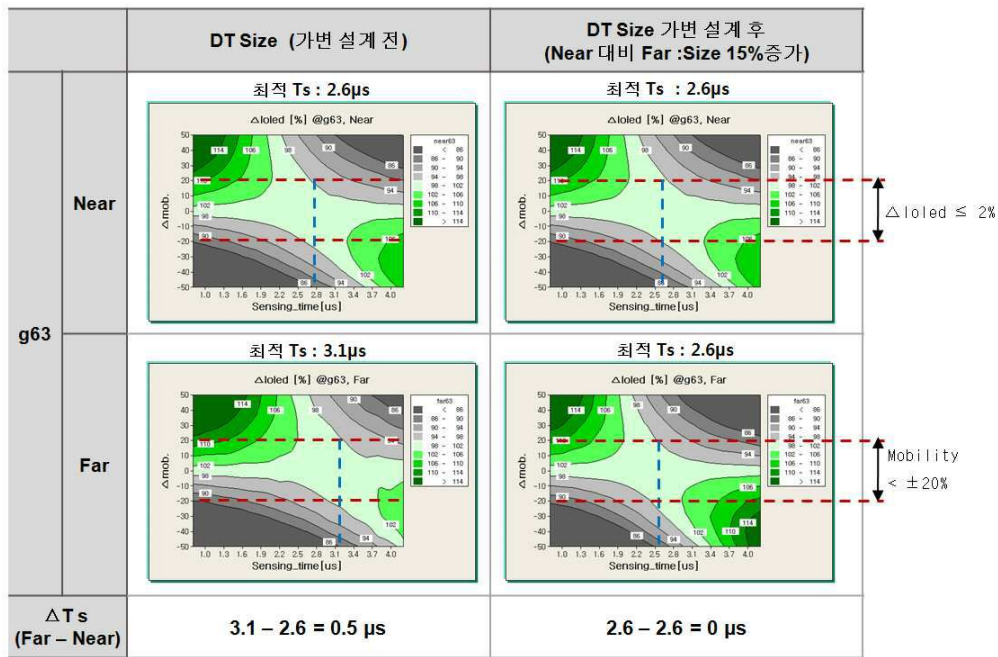
도면22



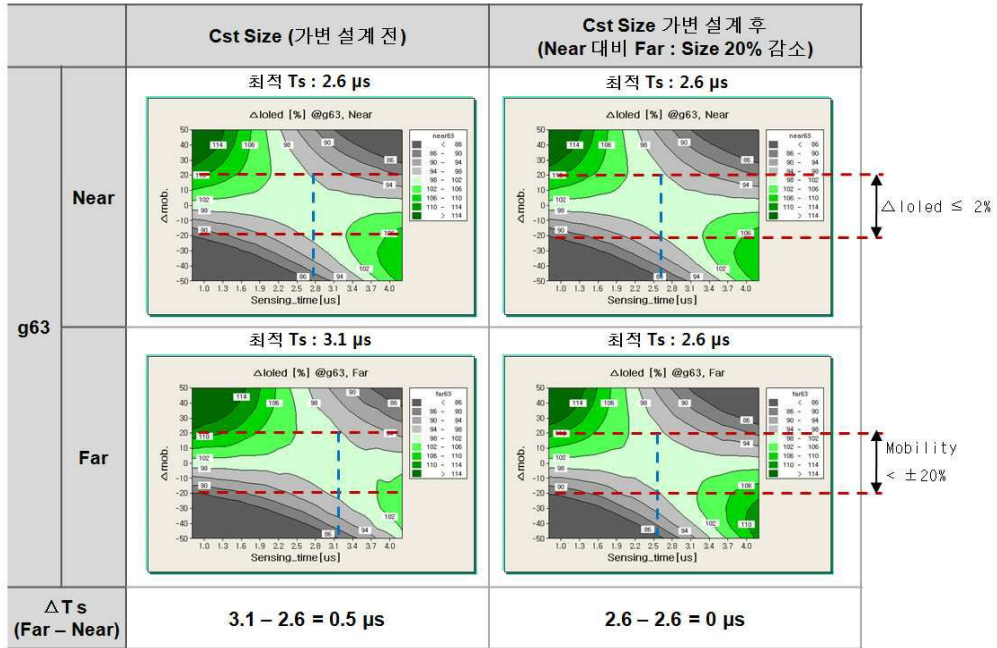
도면23



도면24



도면25



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020150072704A	公开(公告)日	2015-06-30
申请号	KR1020130160151	申请日	2013-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DONG IK 김동익 SON KI WON 손기원		
发明人	김동익 손기원		
IPC分类号	G09G3/32		
CPC分类号	H01L51/5284 G09G2320/0233 H01L27/3241 G09G3/3233 G09G3/3291		
外部链接	Espacenet		

摘要(译)

公开了一种有机发光显示器，其中驱动TFT的源极电压朝向施加到驱动TFT的栅极的数据电压升高的感测周期，以补偿驱动TFT的迁移率的变化，第一栅极信号保持在ON电平，第二栅极信号保持在OFF电平，第一和第二栅极信号在感测周期之后的发光周期中保持在OFF电平。并且，第一栅极信号的第一下降时间和第二栅极信号的第二下降时间，表示从ON电平变为OFF电平所需的时间，被设定为长于预定的参考值，分别。

