



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0063791

(43) 공개일자 2015년06월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2006.01) H05B 33/08 (2006.01)
(21) 출원번호 10-2013-0148605
(22) 출원일자 2013년12월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김덕희
경기 성남시 분당구 분당로201번길 17, 108동 50
4호 (서현동, 효자촌현대아파트)
(74) 대리인
특허법인 고려

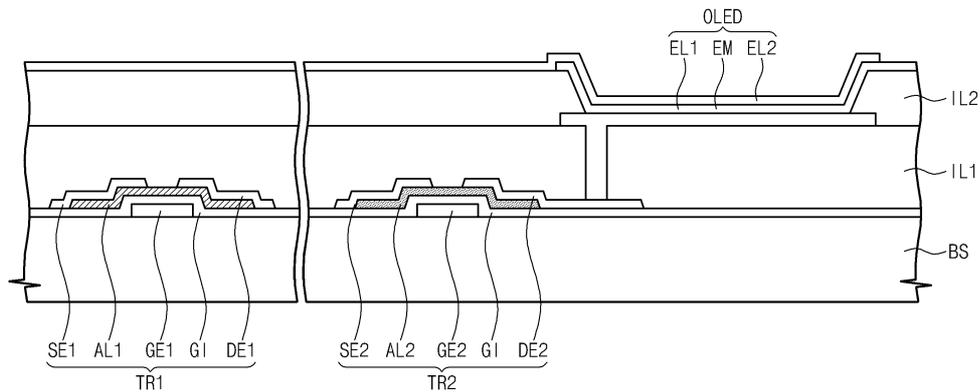
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 화소, 이의 제조 방법, 및 이를 포함하는 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 화소는 제어신호를 수신하고, 제1 반도체층을 구비하며, 제1 문턱 전압을 갖는 제1 트랜지스터; 및 상기 제어신호를 수신하며, 제2 반도체층을 구비하며, 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 갖는 제2 트랜지스터를 구비하는 구동회로를 포함하며, 상기 제1 및 상기 제2 반도체층은 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 도핑 된다. 따라서, 상기 제1 및 상기 제2 트랜지스터의 문턱 전압을 용이하게 조절할 수 있다. 그에 따라, 화소의 설계 자유도를 확보함과 동시에 화소의 표시품질을 향상시킬 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

제1 전원 전압 출력하는 구동회로; 및
상기 구동회로와 연결되고, 상기 제1 전원 전압에 대응하여 광을 생성하는 유기발광소자를 포함하며,
상기 구동회로는,
발광 제어신호를 수신하고, 제1 반도체층을 구비하며, 제1 문턱 전압을 갖는 제1 트랜지스터; 및
상기 발광 제어신호를 수신하며, 제2 반도체층을 구비하며, 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 갖는 제2 트랜지스터를 구비하고,
상기 제1 및 상기 제2 반도체층은 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 도핑 된 것을 특징으로 하는 화소.

청구항 2

제1 항에 있어서,
상기 제1 및 상기 제2 반도체층은 서로 다른 농도로 도핑 된 것을 특징으로 하는 화소.

청구항 3

제2 항에 있어서,
상기 제1 및 상기 제2 반도체층 간의 도핑 농도의 차이는 10% 이상 나는 것을 특징으로 하는 화소.

청구항 4

제1 항에 있어서,
상기 제1 반도체층은 제1 도펀트로 도핑 되며, 상기 제2 반도체층은 상기 제1 도펀트와 상이한 제2 도펀트로 도핑 되는 것을 특징으로 하는 화소.

청구항 5

제1 항에 있어서,
상기 제1 및 상기 제2 반도체층을 도핑하는 도펀트는 붕소, 인 중 어느 하나 인 것을 특징으로 하는 화소.

청구항 6

제1 항에 있어서,
상기 제1 반도체층은 선택적으로 도핑 되는 것을 특징으로 하는 화소.

청구항 7

제1 항에 있어서, 상기 구동회로는,
제1 게이트 신호에 응답하여 턴-온 되어, 초기화 신호를 제1 노드에 출력하는 제3 트랜지스터;
제2 게이트 신호에 응답하여 턴-온 되어, 데이터 신호를 제2 노드에 출력하는 제4 트랜지스터,
상기 제2 노드에 연결되고, 상기 제1 노드의 전압에 대응하여 제3 노드를 통해 상기 유기발광소자에 공급되는 구동 전류의 양을 제어하는 제5 트랜지스터,
상기 제3 노드 및 상기 제1 노드에 연결되고, 상기 제2 게이트 신호에 응답하여 턴-온 되는 제6 트랜지스터, 및

상기 제1 노드에 연결되는 제1 단자 및 상기 제1 전원 전압을 수신 받는 제2 단자를 포함하는 커패시터를 더 포함하며,

상기 제1 트랜지스터는 상기 발광 제어신호에 응답하여 턴-온 되어, 상기 제1 전원 전압을 상기 제2 노드에 출력하며, 상기 제2 트랜지스터는 상기 제3 노드 및 상기 유기발광소자와 연결되며, 상기 발광 제어신호에 응답하여 턴-온되어, 상기 제1 전원 전압을 상기 유기발광소자에 제공하는 것을 특징으로 하는 화소.

청구항 8

제7 항에 있어서,

상기 제2 반도체층은 상기 제2 문턱전압이 상기 제1 문턱 전압보다 높도록 도핑 되는 것을 특징으로 하는 화소.

청구항 9

제1 항에 있어서,

상기 유기발광소자는

상기 구동회로와 연결되어 상기 제1 전원 전압을 수신하는 제1 전극;

상기 제1 전극 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치되고, 제2 전원 전압을 수신하는 제2 전극을 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 10

전원 전압을 출력하는 구동회로를 형성하는 단계; 및

상기 구동회로와 연결되고, 상기 전원 전압에 대응하여 광을 생성하는 유기발광소자를 형성하는 단계;를 포함하며,

상기 구동회로를 형성하는 단계는,

제1 문턱 전압을 가지며, 발광 제어신호를 수신하는 제1 트랜지스터 및 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 가지고, 상기 발광 제어신호를 수신 받는 제2 트랜지스터를 형성하는 단계;

상기 제1 및 상기 제2 트랜지스터를 형성하는 단계는,

상기 제1 트랜지스터의 제1 반도체층을 형성하는 단계 및 상기 제2 트랜지스터의 제2 반도체층을 형성하는 단계를 포함하며,

상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 상기 제1 및 상기 제2 반도체층을 도핑하는 것을 특징으로 하는 화소 제조 방법.

청구항 11

제10항에 있어서,

상기 제1 반도체층을 형성하는 단계는 제1 마스크를 이용하여 상기 제1 반도체층을 도핑하는 제1 도핑 단계를 포함하며, 상기 제2 반도체층을 형성하는 단계는 제2 마스크를 이용하여 상기 제2 반도체층을 도핑하는 제2 도핑 단계를 더 포함하는 것을 특징으로 하는 화소 제조 방법.

청구항 12

제1 항에 있어서,

상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는,

상기 제1 및 상기 제2 반도체층을 서로 다른 농도로 도핑시키는 것을 특징으로 하는 화소 제조 방법.

청구항 13

제10 항에 있어서,

상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는,

상기 제1 및 상기 제2 반도체층간의 도핑 농도를 10% 이상 차이나게 하는 것을 특징으로 하는 화소 제조 방법.

청구항 14

제10 항에 있어서,

상기 제1 반도체층을 형성하는 단계는 상기 제1 반도체층을 제1 도펀트로 도핑하는 제1 도핑단계를 포함하며, 상기 제2 반도체층을 형성하는 단계는 상기 제2 반도체층을 제2 도펀트로 도핑하는 제2 도핑 단계를 포함하는 것을 특징으로 하는 화소 제조 방법.

청구항 15

제10 항에 있어서,

상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는,

상기 제1 및 상기 제2 반도체층을 붕소, 인 중 어느 하나로 도핑 하는 것을 특징으로 하는 화소.

청구항 16

제10 항에 있어서,

상기 제1 반도체층을 형성하는 단계는 상기 제1 반도체층을 선택적으로 도핑 하는 것을 특징으로 하는 화소.

청구항 17

복수의 게이트 라인들, 상기 복수의 게이트 라인들과 절연되어 배치되는 복수의 데이터 라인들, 상기 복수의 게이트 라인들 및 상기 복수의 데이터 라인들과 절연되어 배치되는 복수의 제어 라인들, 및 상기 게이트 라인들 중 대응되는 게이트 라인들, 상기 데이터 라인들 중 대응되는 데이터라인들, 및 상기 제어 라인들 중 대응되는 제어 라인과 연결되어 영상을 생성하는 복수의 화소들을 포함하며,

상기 화소는

전원 전압 출력하는 구동회로; 및

상기 구동회로와 연결되고, 상기 전원 전압에 대응하여 광을 생성하는 유기발광소자를 포함하며,

상기 구동회로는,

상기 제어 라인으로부터 제어신호를 수신하며, 제1 반도체층을 구비하며, 제1 문턱 전압을 갖는 제1 트랜지스터; 및

상기 제어신호를 수신하며, 제2 반도체층을 구비하며, 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 갖는 제2 트랜지스터를 구비하고,

상기 제1 및 상기 제2 반도체층은 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 도핑 된 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 더 상세하게는 유기발광 표시장치의 화소에 관한 것이다.

배경 기술

[0002] 상기 유기발광 표시장치는 복수의 화소들을 포함한다. 상기 복수의 화소들 각각은 유기발광소자를 구비한다. 상기 유기발광소자는 광을 방출하는 유기발광층 및 상기 유기발광층에 구동전압을 인가하는 전극들을 포함한다.

또한, 상기 유기발광층과 상기 전극들 사이에 공통층들이 배치된다.

[0003] 또한, 상기 복수의 화소들 각각은 적어도 하나의 트랜지스터 및 적어도 하나의 커패시터를 구비한다. 상기 적어도 하나의 트랜지스터는 상기 유기발광소자에 구동전압을 제공한다. 상기 커패시터는 상기 유기발광소자에 인가되는 구동전압을 하나의 프레임 구간 동안 유지한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 표시품질이 향상되고, 설계 자유도가 확보된 화소, 이의 제조 방법, 및 이를 포함하는 유기발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 화소는 제1 전원 전압 출력하는 구동회로; 및 상기 구동회로와 연결되고, 상기 제1 전원 전압에 대응하여 광을 생성하는 유기발광소자를 포함하며, 상기 구동회로는, 발광 제어신호를 수신하고, 제1 반도체층을 구비하며, 제1 문턱 전압을 갖는 제1 트랜지스터; 및 상기 발광 제어신호를 수신하며, 제2 반도체층을 구비하며, 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 갖는 제2 트랜지스터를 구비하고, 상기 제1 및 상기 제2 반도체층은 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 도핑 된다.

[0006] 상기 제1 및 상기 제2 반도체층은 서로 다른 농도로 도핑 된다.

[0007] 상기 제1 및 상기 제2 반도체층 간의 도핑 농도의 차이는 10% 이상 난다.

[0008] 상기 제1 반도체층은 제1 도펀트로 도핑 되며, 상기 제2 반도체층은 상기 제1 도펀트와 상이한 제2 도펀트로 도핑 된다.

[0009] 상기 제1 및 상기 제2 반도체층을 도핑 하는 도펀트는 붕소, 인 중 어느 하나 이다.

[0010] 상기 제1 반도체층은 선택적으로 도핑 된다.

[0011] 상기 구동회로는, 제1 게이트 신호에 응답하여 턴-온 되어, 초기화 신호를 제1 노드에 출력하는 제3 트랜지스터; 제2 게이트 신호에 응답하여 턴-온 되어, 데이터 신호를 제2 노드에 출력하는 제4 트랜지스터, 상기 제2 노드에 연결되고, 상기 제1 노드의 전압에 대응하여 제3 노드를 통해 상기 유기발광소자에 공급되는 구동 전류의 양을 제어하는 제5 트랜지스터, 상기 제3 노드 및 상기 제1 노드에 연결되고, 상기 제2 게이트 신호에 응답하여 턴-온 되는 제6 트랜지스터, 및 상기 제1 노드에 연결되는 제1 단자 및 상기 제1 전원 전압을 수신 받는 제2 단자를 포함하는 커패시터를 더 포함하며, 상기 제1 트랜지스터는 상기 발광 제어신호에 응답하여 턴-온 되어, 상기 제1 전원 전압을 상기 제2 노드에 출력하며, 상기 제2 트랜지스터는 상기 제3 노드 및 상기 유기발광소자와 연결되며, 상기 발광 제어신호에 응답하여 턴-온되어, 상기 제1 전원 전압을 상기 유기발광소자에 제공한다.

[0012] 상기 제2 반도체층은 상기 제2 문턱전압이 상기 제1 문턱 전압보다 높도록 도핑 된다.

[0013] 상기 유기발광소자는 상기 구동회로와 연결되어 상기 제1 전원 전압을 수신하는 제1 전극;상기 제1 전극 상에 배치된 유기발광층; 및 상기 유기발광층 상에 배치되고, 제2 전원 전압을 수신하는 제2 전극을 포함한다.

[0014] 본 발명의 일 실시예에 따른 화소 제조 방법은 전원 전압을 출력하는 구동회로를 형성하는 단계; 및 상기 구동회로와 연결되고, 상기 전원 전압에 대응하여 광을 생성하는 유기발광소자를 형성하는 단계;를 포함하며, 상기 구동회로를 형성하는 단계는, 제1 문턱 전압을 가지며, 발광 제어신호를 수신하는 제1 트랜지스터 및 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 가지고, 상기 발광 제어신호를 수신 받는 제2 트랜지스터를 형성하는 단계; 상기 제1 및 상기 제2 트랜지스터를 형성하는 단계는, 상기 제1 트랜지스터의 제1 반도체층을 형성하는 단계 및 상기 제2 트랜지스터의 제2 반도체층을 형성하는 단계를 포함하며,

[0015] 상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 상기 제1 및 상기 제2 반도체층을 도핑한다.

[0016] 상기 제1 반도체층을 형성하는 단계는 제1 마스크를 이용하여 상기 제1 반도체층을 도핑 하는 제1 도핑 단계를 포함하며, 상기 제2 반도체층을 형성하는 단계는 제2 마스크를 이용하여 상기 제2 반도체층을 도핑 하는 제2 도

핑 단계를 더 포함한다.

- [0017] 상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는, 상기 제1 및 상기 제2 반도체층을 서로 다른 농도로 도핑 시킨다.
- [0018] 상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는, 상기 제1 및 상기 제2 반도체층 간의 도핑 농도를 10% 이상 차이나게 도핑 한다.
- [0019] 상기 제1 반도체층을 형성하는 단계는 상기 제1 반도체층을 제1 도펀트로 도핑 하는 제1 도핑단계를 포함하며, 상기 제2 반도체층을 형성하는 단계는 상기 제2 반도체층을 제2 도펀트로 도핑 하는 제2 도핑 단계를 포함한다.
- [0020] 상기 제1 반도체층을 형성하는 단계 및 상기 제2 반도체층을 형성하는 단계는, 상기 제1 및 상기 제2 반도체층을 붕소, 인 중 어느 하나로 도핑 한다.
- [0021] 상기 제1 반도체층을 형성하는 단계는 상기 제1 반도체층을 선택적으로 도핑 한다.
- [0022] 본 발명의 일 실시예에 따른 유기발광 표시 장치는, 복수의 게이트 라인들, 상기 복수의 게이트 라인들과 절연되어 배치되는 복수의 데이터 라인들, 상기 복수의 게이트 라인들 및 상기 복수의 데이터 라인들과 절연되어 배치되는 복수의 제어 라인들, 및 상기 게이트 라인들 중 대응되는 게이트 라인들, 상기 데이터 라인들 중 대응되는 데이터라인들, 및 상기 제어 라인들 중 대응되는 제어 라인과 연결되어 영상을 생성하는 복수의 화소들을 포함하며, 상기 화소는 전원 전압 출력하는 구동회로; 및 상기 구동회로와 연결되고, 상기 전원 전압에 대응하여 광을 생성하는 유기발광소자를 포함하며, 상기 구동회로는, 상기 제어 라인으로부터 제어신호를 수신하며, 제1 반도체층을 구비하며, 제1 문턱 전압을 갖는 제1 트랜지스터; 및 상기 제어신호를 수신하며, 제2 반도체층을 구비하며, 상기 제1 문턱 전압과 상이한 제2 문턱 전압을 갖는 제2 트랜지스터를 구비하고, 상기 제1 및 상기 제2 반도체층은 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 도핑 된다.

발명의 효과

- [0023] 본 발명의 일 실시예에 따른 화소는 서로 다르게 도핑된 제1 트랜지스터 및 제2 트랜지스터를 포함한다. 따라서, 상기 제1 및 상기 제2 트랜지스터의 문턱 전압을 용이하게 조절할 수 있다. 그에 따라, 상기 화소의 레이아웃 설계에 대한 자유도를 확보함과 동시에, 상기 화소의 표시품질을 향상시킬 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- 도 2는 도 1에 도시된 화소의 등가회로도이다.
- 도 3은 도 2에 도시된 화소에 인가되는 신호들의 타이밍도이다.
- 도 4는 도 2에 도시된 화소의 일부에 대응하는 단면도이다.
- 도 5A 내지 도 5E는 본 발명의 일 실시예에 제1 및 제2 트랜지스터를 제조 단계를 나타내는 공정 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0026] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수의 표현을 포함한다.
- [0027] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해

되어야 한다. 또한, 층, 막, 영역, 관 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 관 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0028] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- [0030] 도 1을 참조하면, 본 발명의 실시예에 의한 유기발광 표시장치는 표시패널부(DP), 타이밍 제어부(100), 게이트 드라이버(200), 및 데이터 드라이버(300)를 포함한다.
- [0031] 상기 표시패널부(DP)는 복수의 게이트 라인들(G1~Gn), 복수의 데이터 라인들(D1~Dm), 복수의 제어 라인들(E1~En), 및 복수의 화소들(PX₁₁~PX_{nm})을 포함한다. 상기 복수의 화소들(PX₁₁~PX_{nm})은 상기 복수의 게이트 라인들(G1~Gn) 중 대응하는 게이트 라인, 복수의 데이터 라인들(D1~Dm) 중 대응하는 데이터 라인 및 상기 복수의 제어 라인들(E1~En) 중 대응하는 제어 라인에 연결된다.
- [0032] 상기 표시패널부(DP)는 적어도 하나의 기관(BS, 도 4에 도시됨)을 포함한다. 상기 복수의 게이트 라인들(G1~Gn), 상기 복수의 제어 라인들(E1~En), 및 상기 복수의 데이터 라인들(D1~Dm)은 상기 기관(BS) 상에 배치된다. 상기 복수의 게이트 라인들(G1~Gn)과 상기 복수의 제어 라인들(E1~En)은 이격되어 평행하게 연장된다. 상기 복수의 데이터 라인들(D1~Dm)은 상기 복수의 게이트 라인들(G1~Gn) 및 상기 복수의 제어 라인들(E1~En)과 다른 방향으로 연장되고, 서로 절연된다.
- [0033] 상기 타이밍 제어부(100)는 입력 영상신호들을 수신하고, 상기 표시패널부의 동작모드에 부합하게 변환된 영상 데이터들과 각종 제어신호를 출력한다.
- [0034] 상기 게이트 드라이버(200)는 타이밍 제어부(100)로부터 게이트 제어신호(GCS)를 수신한다. 상기 게이트 드라이버(200)는 상기 게이트 제어신호(GCS)를 근거로 복수의 게이트 신호들 및 복수의 발광 제어신호들을 생성한다. 상기 복수의 게이트 신호들은 상기 복수의 게이트 라인들(G1~Gn)에 순차적으로 공급되며 및 상기 복수의 발광 제어신호들은 상기 복수의 제어 라인들(E1~En)에 순차적으로 공급된다. 상기 데이터 드라이버(300)는 상기 타이밍 제어부(100)로부터 데이터 제어신호(DCS) 및 상기 영상데이터들(I_{DATA})을 수신한다. 상기 데이터 드라이버(300)는 상기 데이터 구동제어신호(DCS)와 상기 영상데이터들(I_{DATA})에 근거하여 복수 개의 데이터 신호들을 생성한다. 상기 복수 개의 데이터 신호들은 상기 복수의 데이터 라인들(D1~Dm)에 공급된다.
- [0035] 상기 표시패널부(DP)는 외부로부터 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 상기 복수의 화소들(PX₁₁~PX_{nm}) 각각은 상기 제1 전원전압(ELVDD) 및 상기 제2 전원전압(ELVSS)을 수신하고, 상기 데이터 신호들 중 대응하는 데이터 신호에 응답하여 광을 생성한다. 상기 제1 전원전압(ELVDD)은 상기 제2 전원전압(ELVSS)보다 높은 레벨의 전압이다. 상기 복수 개의 화소들(PX₁₁~PX_{nm}) 각각의 발광시간은 대응하는 상기 복수의 발광 제어신호들에 의하여 제어된다.
- [0036] 상기 복수의 화소들(PX₁₁~PX_{nm}) 중 i번째 화소행에 배열된 화소들은 i+1번째 화소행에 배열된 화소들과 전기적으로 연결된다. 상기 i번째 화소행에 배열된 화소들은 i번째 게이트 라인에 연결된 화소들이고, 상기 i+1번째 화소행에 배열된 화소들은 i+1번째 게이트 라인에 연결된 화소들이다. 예컨대, 첫번째 게이트 라인(G1)에 연결된 화소들은 두번째 게이트 라인(G2) 화소들과 전기적으로 연결된다.
- [0037] 도 2는 도 1에 도시된 화소의 등가회로도이다. 도 3은 도 2에 도시된 화소에 인가되는 신호들의 타이밍도이고, 도 4는 도 2에 도시된 화소의 일부에 대응하는 단면도이다. 화소들의 기능 및 구성은 유사하므로, 이하에서는 상기 복수 개의 화소들(PX₀₁₁~PX_{0nm}) 중 하나의 화소(PX_{0ij})를 예를 들어 설명한다.
- [0038] 도 2 내지 도 4를 참조하면, 화소(PX_{0ij})는 구동회로(DC) 및 유기발광소자(OLED)를 포함한다. 상기 화소(PX_{0ij})는 i번째 게이트 라인(Gi), i-1번째 게이트 라인(Gi-1), i번째 제어 라인(Ei), 및 j번째 데이터 라인(Dj)과 연결되며, i번째 게이트 라인(Gi), i-1번째 게이트 라인(Gi-1), i번째 제어 라인(Ei), 및 j번째 데이터 라인(Dj)로부터 각각 인가된 신호에 대응하여 영상을 생성한다.
- [0039] 상기 구동회로(DC)는 제1 내지 제6 트랜지스터(TR1~TR6) 및 커패시터(Ca)를 포함하며, i번째 게이트 라인(Gi)으로부터 i번째 게이트 신호를 수신 받고, i-1번째 게이트 라인(Gi-1)으로부터 i-1번째 게이트 신호를 수신 받고,

i번째 제어 라인(Ei)으로부터 i번째 발광 제어신호를 수신 받고, j번째 데이터 라인(Dj)으로부터 j번째 데이터 신호를 수신 받는다. 또한, 상기 구동회로(DC)는 제1 전원 전압을 수신 받는다. 상기 구동회로(DC)는 상기 i번째 게이트 신호, 상기 i-1번째 게이트 신호, 상기 i번째 발광 제어신호, 및 상기 j번째 데이터 신호에 대응하여 상기 유기발광소자(OLED)에 제1 전원 전압(ELVDD)을 출력하여 상기 유기발광소자(OLED)를 구동한다.

- [0040] 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)는 상기 기판(BS) 상에 배치된다.
- [0041] 상기 제1 트랜지스터(TR1)는 제1 게이트 전극(GE1), 게이트 절연막(GI), 제1 반도체층(AL1), 제1 소스전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 상기 기판(BS) 상에 배치된다. 상기 제1 반도체층(AL1)은 상기 게이트 절연막(GI)을 사이에 두고 상기 제1 게이트 전극(GE1) 상에 배치된다. 상기 게이트 절연막(GI)에 의해 상기 제1 반도체층(AL1)은 상기 제1 게이트 전극(GE1)과 전기적으로 절연된다. 상기 제1 소스 전극(SE1)은 상기 제1 반도체층(AL1) 상에 배치된다. 상기 제1 드레인 전극(DE1)은 상기 제1 소스 전극(SE1)과 이격하여 상기 제1 반도체층(AL1) 상에 배치된다.
- [0042] 상기 제2 트랜지스터(TR2)는 제2 게이트 전극(GE2), 게이트 절연막(GI), 제2 반도체층(AL2), 제2 소스전극(SE2), 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 게이트 전극(GE2)은 상기 기판(BS) 상에 배치된다. 상기 제2 반도체층(AL2)은 상기 게이트 절연막(GI)을 사이에 두고 상기 제2 게이트 전극(GE2) 상에 배치된다. 상기 게이트 절연막(GI)에 의해 상기 제2 반도체층(AL2)은 상기 제2 게이트 전극(GE2)과 전기적으로 절연된다. 상기 제2 소스 전극(SE2)은 상기 제2 반도체층(AL2) 상에 배치된다. 상기 제2 드레인 전극(DE2)은 상기 제2 소스 전극(SE2)과 이격하여 상기 제2 반도체층(AL2) 상에 배치된다.
- [0043] 제1 및 상기 제2 트랜지스터(TR1, TR2) 간의 문턱 전압은 서로 다르다. 상기 제1 트랜지스터(TR1)는 제1 문턱 전압을 가지며, 상기 제2 트랜지스터(TR2)는 제2 문턱 전압을 갖는다. 이 실시예에서 상기 제1 문턱 전압은 상기 제2 트랜지스터(TR2) 제2 문턱 전압 보다 낮다.
- [0044] 상기 제1 및 상기 제2 반도체층(AL1, AL2)은 각각 상기 제1 및 상기 제2 문턱 전압에 대응하여 서로 다르게 도핑 된다. 이 실시예에서, 상기 제2 반도체층(AL2)은 상기 제2 문턱 전압이 상기 제1 문턱 전압 보다 높도록 도핑 될 수 있다.
- [0045] 일 실시예로, 상기 제1 및 상기 제2 반도체층(AL1, AL2)는 서로 다른 농도로 도핑 된다. 상기 제1 및 상기 제2 반도체층(AL1, AL2)간의 도핑 농도의 차이는 다양하게 결정 될 수 있다. 예를 들어, 상기 제1 및 상기 제2 반도체층(AL1, AL2)간의 도핑 농도의 차이는 10% 이상 날 수 있다.
- [0046] 또한, 다른 실시예로써, 상기 제1 및 상기 제2 반도체층(AL1, AL2)은 서로 다른 도펀트로 도핑 될 수 있다. 보다 구체적으로, 상기 제1 반도체층(AL1)은 제1 도펀트(DP1, 도 5C)로 도핑되며, 상기 제2 반도체층(AL2)는 제2 도펀트(DP2, 도 5D)로 도핑된다. 상기 제1 및 상기 제2 도펀트는 다양하게 결정되어 제공될 수 있다. 예를 들어, 상기 제1 및 상기 제2 도펀트(DP1, DP2)는 붕소, 인 중 어느 하나 일 수 있다.
- [0047] 또한, 상기 제1 반도체층(AL1)은 선택적으로 도핑 될 수 있다. 다시 말해, 실시예에 따라 상기 제1 반도체층(AL1)은 도핑 되지 않을 수 있다.
- [0048] 상기 표시패널부(DP)는 제1 절연층(IL1) 및 제2 절연층(IL2)을 포함한다. 상기 제1 절연층(IL1)은 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)를 커버한다.
- [0049] 상기 유기발광소자(OLED)는 제1 전극(EL1), 유기발광층(EM), 및 제2 전극(EL2)를 포함하며, 상기 제1 전원 전압(ELVDD)에 대응하여 광을 생성한다.
- [0050] 상기 제1 전극(EL1) 상기 제1 절연층(IL1)을 개구하여 형성된 콘택홀을 통하여, 상기 제2 트랜지스터(TR2)의 상기 제2 드레인 전극(DE2)과 전기적으로 연결된다. 상기 제2 절연층(IL2)은 상기 제1 절연층(IL1) 상에 배치되며, 상기 제1 전극(EL1)의 일부를 노출시키는 개구부를 구비한다. 상기 개구부의 측벽은 상기 제1 전극(EL1)에 대해 경사질 수 있다.
- [0051] 상기 유기발광층(EM)은 상기 제1 전극(EL1) 상에 배치된다. 상기 제2 전극(EL2)은 상기 유기발광층(EM)상에 배치된다. 상기 제2 전극(EL2)는 제2 전원 전압(ELVSS)를 수신한다.
- [0052] 상기 제1 및 상기 제2 전극(EL1, EL2) 중 적어도 어느 하나는 ITO(indium-tin-oxide)와 같은 투명전도체로 제공될 수 있다.
- [0053] 이하, 구동회로(DC)의 구동에 대하여 설명한다.

- [0054] 상기 제3 트랜지스터(TR3)는 제1 노드(N1)와 연결되는 소스 전극, 초기화 전압(Vint)을 수신 받는 드레인 전극, 및 상기 i-1번째 게이트 라인(Gi-1)과 연결되는 게이트 전극을 포함한다. 상기 제3 트랜지스터(TR1)는 상기 i-1번째 게이트 신호에 응답하여 상기 초기화 전압(Vint)을 상기 제1 노드(N1)에 출력한다.
- [0055] 상기 제4 트랜지스터(TR4)는 상기 j번째 데이터 라인(Dj)과 연결되는 소스 전극, 제2 노드(N2)와 연결되는 드레인 전극, 및 상기 i번째 게이트 라인(Gi)과 연결되는 게이트 전극을 포함한다. 상기 제4 트랜지스터(TR4)는 상기 i번째 게이트 신호에 응답하여 상기 j번째 데이터 신호를 상기 제2 노드(N2)에 출력한다.
- [0056] 상기 제5 트랜지스터(TR5)는 상기 제2 노드(N2)와 연결되는 소스 전극, 제3 노드(N3)와 연결되는 드레인 전극, 및 상기 제1 노드(N1)와 연결되는 게이트 전극을 포함한다. 상기 제5 트랜지스터(TR5)는 상기 제1 노드(N1)에 걸린 전압에 대응하는 구동 전류(Ids)를 상기 제3 노드(N3)에 출력한다.
- [0057] 상기 제6 트랜지스터(TR6)는 상기 제3 노드(N3)와 연결되는 소스 전극, 제1 노드(N1)와 연결되는 드레인 전극, 및 상기 i번째 게이트 신호를 수신하는 게이트 전극을 포함한다. 상기 제6 트랜지스터(TR6)는 상기 i번째 게이트 신호에 응답하여 턴-온 되며, 상기 제5 트랜지스터(T5)를 다이오드 연결 시킨다.
- [0058] 상기 제1 트랜지스터(TR1)의 상기 제1 소스 전극(SE1)은 상기 제1 전원 전압(ELVDD)을 수신하며, 상기 제1 드레인 전극(DE1)은 상기 제2 노드(N2)와 연결되며, 상기 제1 게이트 전극(GE1)은 상기 i 번째 제어 라인과 연결된다. 상기 제1 트랜지스터(TR1)는 상기 i번째 발광 제어신호에 응답하여 상기 제1 전원 전압(ELVDD)을 상기 제1 노드(N1)에 출력한다.
- [0059] 상기 제2 트랜지스터(TR2)의 상기 제2 소스 전극(SE2)는 상기 제3 노드(N2)에 연결되며, 상기 제2 드레인 전극(DE2)은 상기 유기발광소자(OLED)와 연결되며, 상기 제2 게이트 전극(GE2)는 상기 i 번째 제어 라인과 연결된다. 상기 제2 트랜지스터(TR2)는 상기 i번째 발광 제어신호에 응답하여 상기 제5 트랜지스터(T5)로부터 출력되는 상기 구동 전류(Ids)를 상기 유기발광소자(OLED)에 전달한다.
- [0060] 상술한 바와 같이, 이 실시예에서 상기 제1 트랜지스터(TR1)의 제1 문턱 전압은 상기 제2 트랜지스터(TR2) 제2 문턱 전압 보다 낮다. 따라서 예를 들어, 상기 i번째 발광 제어신호의 전압이 상기 제1 문턱 전압보다 낮은 경우 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)는 모두 턴-오프 된다. 상기 i번째 발광 제어신호의 전압이 상기 제1 문턱 전압보다는 높고 상기 제2 문턱 전압보다 낮은 경우, 상기 제1 트랜지스터(TR1)는 턴-온 되나, 상기 제2 트랜지스터(TR2)는 턴-오프 된다. 상기 i번째 발광 제어신호의 전압이 상기 제2 문턱 전압보다 높은 경우, 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)은 모두 턴-온 된다.
- [0061] 상기 커패시터(Ca)는 상기 제1 노드(N1)에 연결되는 제1 단자 및 상기 제1 전원 전압(ELVDD)을 수신하는 제2 단자를 포함한다. 상기 커패시터(Ca)는 상기 제1 노드(N1)와 제2 노드(N2) 간에 인가된 전압차를 유지한다.
- [0062] 상기 i번째 게이트 신호는 로우 레벨 및 하이 레벨을 갖는다. 상기 로우 레벨은 상기 제4 및 상기 제6 트랜지스터(TR4, TR6)를 턴-온 시키며, 상기 하이 레벨은 제4 및 상기 제6 트랜지스터(TR4, TR6)를 턴-오프 시킨다. 상기 i번째 게이트 신호는 제1 시간(t1)에서 상기 로우 레벨을 가지며, 상기 제2 시간(t2) 이후로는 상기 하이 레벨을 갖는다.
- [0063] 상기 i-1번째 게이트 신호는 상기 로우 레벨 및 상기 하이 레벨을 갖는다. 상기 로우 레벨은 상기 제3 트랜지스터(TR3)를 턴-온 시키며, 상기 하이 레벨은 상기 제3 트랜지스터(TR3)를 턴-오프 시킨다. 상기 i-1번째 게이트 신호는 제1 시간(t1) 동안 상기 하이 레벨을 가지며, 제2 시간(t2)에서 상기 로우 레벨을 가지며, 상기 제3 시간(t3) 이후로는 다시 상기 하이 레벨을 갖는다.
- [0064] 상기 i번째 발광 제어신호는 상기 로우 레벨, 미드 레벨, 및 상기 하이 레벨을 갖는다. 상기 로우 레벨은 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)를 모두 턴-온 시키며, 상기 미드 레벨은 상기 제1 트랜지스터(TR1)를 턴-온 시키고 상기 제2 트랜지스터(TR2)를 턴-오프 시키며, 상기 하이 레벨은 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)를 모두 턴-오프 시킨다. 상기 i번째 발광 제어신호는 상기 제1 시간(t1) 내지 상기 제2 시간(t2) 동안 상기 하이 레벨을 가지며, 상기 제3 시간(t3)에서 상기 미드 레벨을 가지며, 상기 제4 시간(t4)에는 상기 로우 레벨을 갖는다.
- [0065] 상기 제1 시간(t1)에서, 상기 i번째 발광 제어신호의 하이 레벨에 대응하여 상기 제1 트랜지스터(TR1) 및 상기 제2 트랜지스터(TR2)는 턴-오프된다. 따라서, 상기 유기발광소자(OLED)는 발광되지 않는다.
- [0066] 상기 제1 시간(t1)에서, 상기 i-1번째 게이트 신호의 로우 레벨에 대응하여 상기 제3 트랜지스터(TR3)는 턴-온 된다. 상기 제3 트랜지스터(TR3)가 턴-온되면 상기 제1 노드(N1)에 상기 초기화전압(Vint)이 공급된다. 다시 말

해, 상기 커패시터(Ca)의 제1 단자의 전압 및 상기 제5 트랜지스터(TR5)의 게이트 전극의 전압이 상기 초기화전압(Vint)으로 초기화된다. 여기서, 초기화전압(Vint)은 상기 데이터 신호에 대응하는 전압보다 낮은 전압이다.

[0067] 이후, 상기 제2 시간(t2)에서, 상기 i번째 게이트 신호의 로우 레벨에 대응하여 상기 제4 트랜지스터(TR4) 및 상기 제6 트랜지스터(TR6)은 턴-온된다. 상기 제6 트랜지스터(TR6)가 턴-온되면 상기 제5 트랜지스터(TR5)가 다이오드 형태로 접속된다.

[0068] 상기 제2 시간(t2)에서, 상기 i번째 게이트 신호에 대응하여 상기 제4 트랜지스터(TR4)가 턴-온된다. 상기 제4 트랜지스터(TR4)가 턴-온되면 상기 j번째 데이터 신호가 상기 제4 트랜지스터(TR4)를 경유하여 상기 제2 노드(N2)에 공급된다. 이때, 상기 제5 트랜지스터(TR5)의 게이트 전극의 전압이 상기 초기화전압(Vint)으로 설정되기 때문에 상기 제5 트랜지스터(TR5)는 턴-온된다.

[0069] 상기 제5 트랜지스터(TR5)가 턴-온되면 상기 제2 노드(N1)에 인가된 상기 j번째 데이터 신호가 상기 제5 트랜지스터(TR5) 및 상기 제6 트랜지스터(TR6)를 경유하여 상기 커패시터(Ca)의 상기 제1 단자에 공급된다. 상기 커패시터(Ca)는 상기 j번째 데이터 신호에 대응하는 전압 및 상기 제5 트랜지스터(TR5)의 문턱 전압의 합에 대응되는 전압을 충전한다.

[0070] 상기 제3 시간(t3)에서, 상기 제1 트랜지스터(TR1)는 상기 미드 레벨에 대응하여 턴-온 된다. 상기 제1 트랜지스터(TR1)가 턴-온 되면, 상기 제1 트랜지스터(TR1)는 상기 제1 전원 전압(ELVDD)을 상기 제5 트랜지스터(TR5)의 상기 소스 전극에 인가한다.

[0071] 상기 제4 시간(t4)에서, 상기 i번째 발광 제어신호의 로우 레벨에 대응하여 상기 제2 트랜지스터(TR2)는 턴-온된다. 상기 제2 트랜지스터(TR2)가 턴-온 되면, 상기 제1 전원 전압(ELVDD)이 인가되는 상기 제1 트랜지스터(TR1)의 상기 제1 소스 전극(SE1)으로부터 상기 유기발광소자(OLED)에 이르는 전류 경로가 형성된다. 상기 제5 트랜지스터(TR5)는 상기 제1 노드(N1)에 충전된 전압에 대응하여 상기 전류 경로에 흐르는 상기 구동 전류(I_{dr})의 양을 제어한다.

[0072] 상술한 내용을 종합하면, 상기 구동회로(DC)는 상기 i번째 발광 제어신호를 입력 받아 상기 유기발광소자(OLED)를 구동한다. 특히, 상기 제1 및 상기 제2 트랜지스터(TR1, TR2) 상기 제1 및 상기 제2 문턱 전압을 다르게 설정 하고, 상기 i번째 제어신호에 상기 하이 레벨, 상기 미드 레벨, 및 상기 로우 레벨을 포함시킴으로써, 상기 유기발광소자(OLED)에 흐르는 상기 구동 전류(I_{dr})를 더욱 정밀하게 제어할 수 있다. 더 상세하게, 상기 제2 트랜지스터(TR2)가 턴-온 되어 상기 유기발광소자(OLED)에 전류를 제공하기 전에, 상기 제1 트랜지스터(TR1)를 턴-온 시킴으로써, 상기 제1 및 상기 제2 노드(N1, N2) 간에 전압차를 충분하게 확보하고, 상기 제5 트랜지스터(T5)를 언바이어스(unbias) 시킨다. 따라서, 상기 제5 트랜지스터(T5)가 언바이어스(unbias) 된 후, 상기 제2 트랜지스터(TR2)가 턴-온되어 상기 전류 경로가 형성되어 상기 유기발광소자(OLED)에 전류가 인가 된다. 그에 따라, 상기 유기발광소자(OLED)의 발광을 정밀하게 제어 할 수 있으므로, 상기 화소(PX_{0ij})의 모션 퀄리티(Motion quality)가 향상되며, 상기 화소(PX_{0ij})의 표시품질이 향상된다.

[0073] 특히, 전술한 바와 같이, 상기 제1 및 상기 제2 문턱 전압은 상기 제1 및 상기 제2 반도체층(AL1, AL2)을 다르게 도핑하여 조절된다. 따라서, 상기 구동회로(DC) 및 이를 포함하는 상기 화소(PX_{0ij})의 레이아웃의 설계에 대한 자유도가 확보된다. 즉, 제1 및 상기 제2 반도체층(AL1, AL2)의 형상을 변형시키지 않고 상기 제1 및 상기 제2 문턱 전압을 조절 할 수 있으므로, 상기 제1 및 상기 제2 문턱 전압을 상이하게 하기 위한 상기 제1 및 상기 제2 트랜지스터(TR1, TR2)의 형상에 대한 제약을 받지 않는다.

[0074] 도 5A 내지 도 5E는 본 발명의 일 실시예에 제1 및 제2 트랜지스터를 제조 단계를 나타내는 공정 흐름도 이다.

[0075] 도 5A 내지 5E 를 참조하면, 상기 기판(BS) 상에 상기 제1 및 상기 제2 게이트 전극(GE1, GE2)을 형성한다.

[0076] 이후, 상기 제1 및 상기 제2 게이트 전극(GE1, GE2)을 커버하는 상기 게이트 절연막(GI)을 형성한다.

[0077] 상기 게이트 절연막(GI)을 형성한 후, 상기 게이트 절연막(GI) 상에 상기 제1 게이트 전극(GE1)에 대응하여 제1 진성 반도체층 (IAL1)을 형성하고, 상기 제2 게이트 전극(GE2)에 대응하여, 상기 제2 게이트 전극(GE2) 상에, 제2 진성 반도체층(IAL2)을 형성한다. 상기 제1 진성 반도체층(IAL)은 상기 제2 진성 반도체층(IAL2)와 동일한 물질로 제공 될 수 있다.

[0078] 상기 제1 및 제2 진성 반도체층(IAL1, IAL2)을 형성한 후, 제1 도핑 단계가 진행된다. 상기 제1 도핑 단계에서는 제1 마스크(M1)를 이용하여 상기 제1 진성 반도체층(IAL1)을 도핑한다. 상기 제1 마스크(M1)는 상기 제1 진

성 반도체층(IAL1)에 대응하는 제1 개구부(OP1)를 포함한다. 상기 제1 도펀트(DP1)는 제1 개구부(OP1)를 통과하여 상기 제1 진성 반도체층(IAL1)을 도핑시켜 상기 제1 반도체층(AL1)을 형성한다. 상기 제1 마스크(M1)의 상기 제2 진성 반도체층(IAL2)에 대응하는 영역은 개구되지 않는다. 따라서, 상기 제1 도핑 단계에서, 상기 제2 진성 반도체층(IAL2)은 도핑 되지 않는다.

[0079] 상기 제1 도핑 단계 이후, 제2 도핑 단계가 진행된다. 상기 제2 도핑 단계에서는 제2 마스크(M2)를 이용하여 상기 제2 진성 반도체층(IAL2)을 도핑한다. 상기 제2 마스크(M2)는 상기 제2 진성 반도체층(IAL2)에 대응하는 제2 개구부(OP2)를 포함한다. 상기 제2 도펀트(DP2)는 상기 제2 개구부(OP2)를 통과하여, 상기 제2 진성 반도체층(IAL2)을 도핑시켜 상기 제2 반도체층(AL2)을 형성한다. 상기 제2 마스크(M2)의 상기 제1 진성 반도체층(IAL1)에 대응하는 영역은 개구되지 않는다. 따라서, 상기 제2 도핑 단계에서, 상기 제1 진성 반도체층(IAL1)은 도핑 되지 않는다.

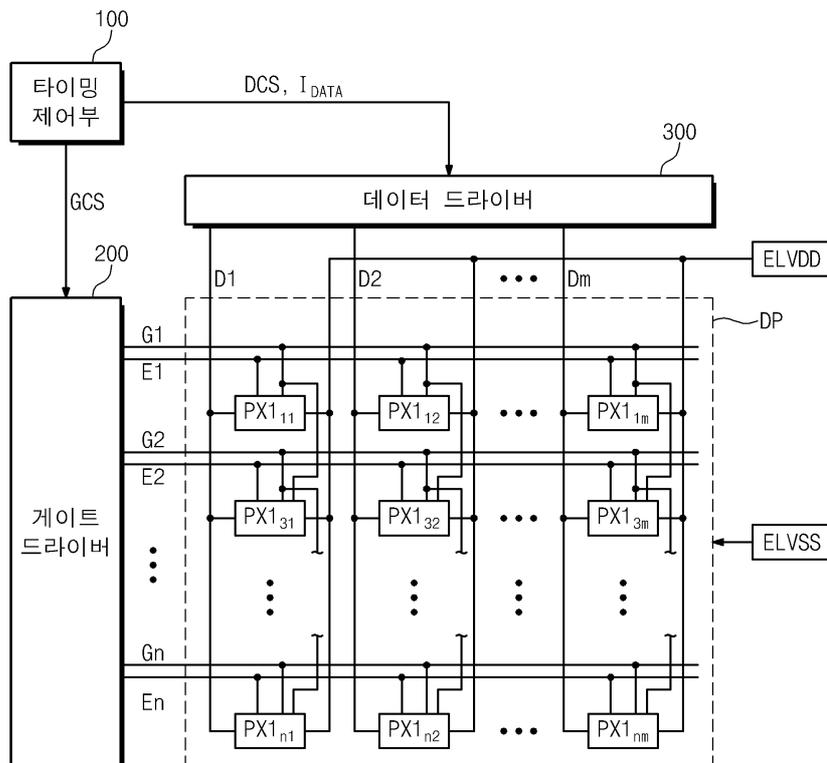
[0080] 상기 제1 및 상기 제2 도핑 단계 이후, 상기 제1 절연층(IL1)을 형성한다.

[0081] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

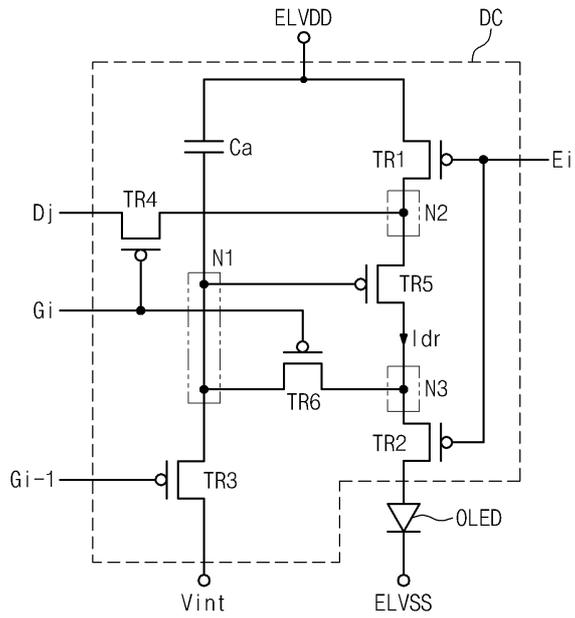
[0082] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면

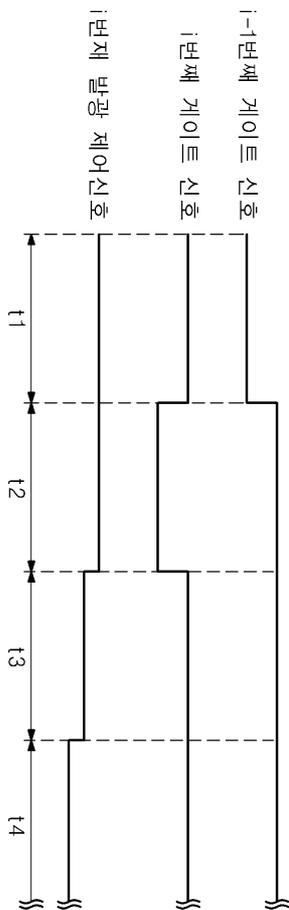
도면1



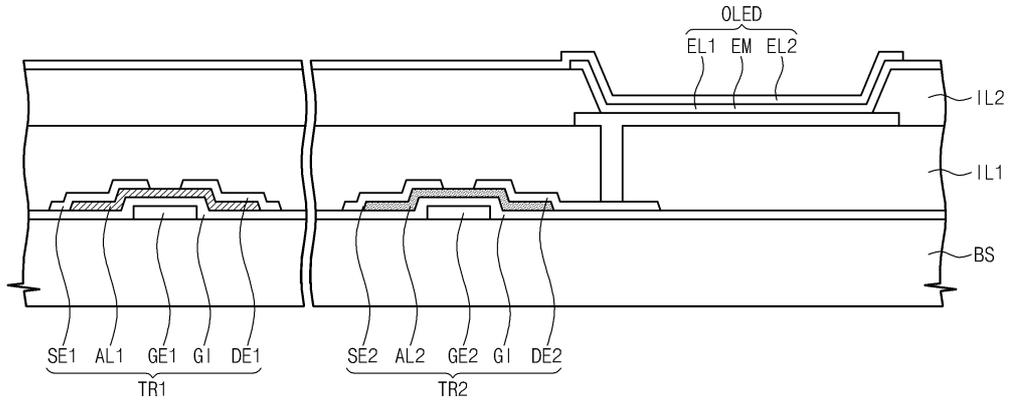
도면2



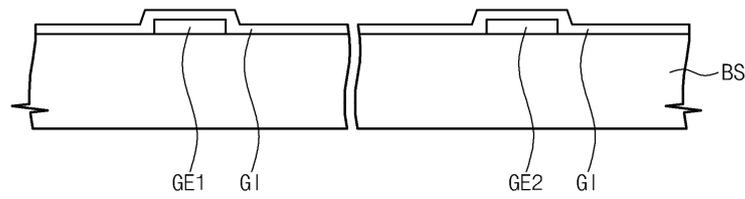
도면3



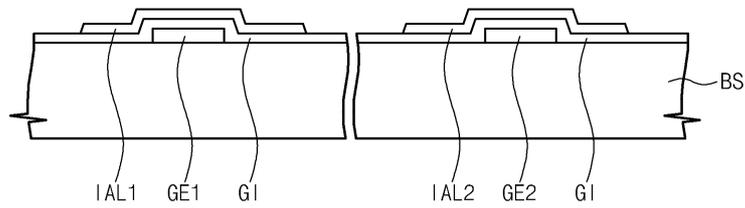
도면4



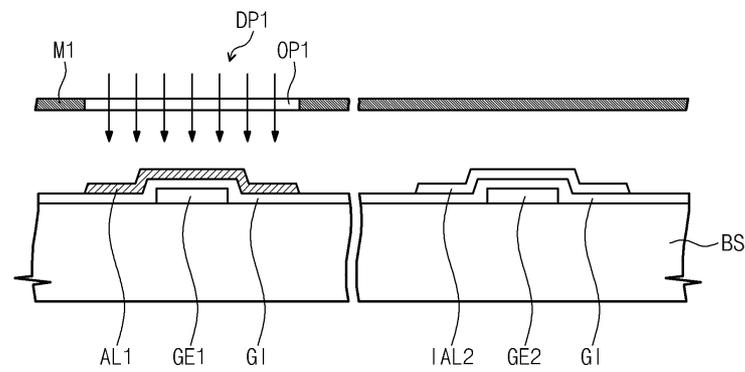
도면5a



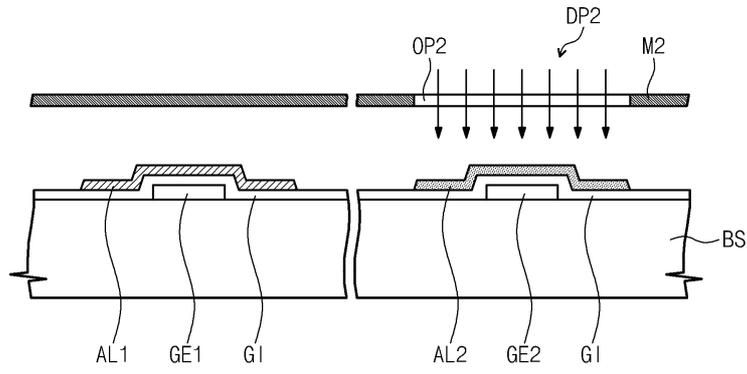
도면5b



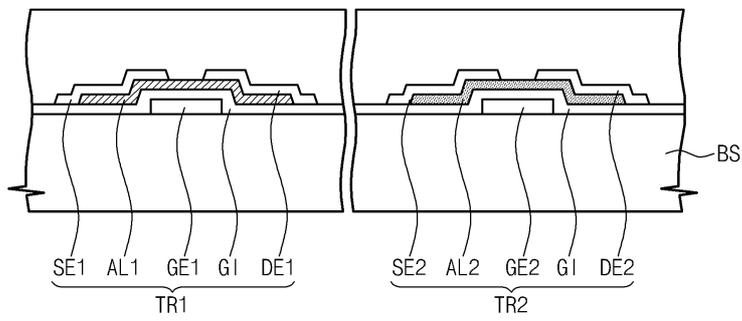
도면5c



도면5d



도면5e



专利名称(译)	标题：像素，其制造方法以及包括其的有机发光显示器		
公开(公告)号	KR1020150063791A	公开(公告)日	2015-06-10
申请号	KR1020130148605	申请日	2013-12-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DEOKHOI 김덕희		
发明人	김덕희		
IPC分类号	G09G3/32 H05B33/08		
CPC分类号	Y02B20/343		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的像素包括驱动电路，该驱动电路包括接收控制信号的第一晶体管，包括第一半导体层，并具有第一阈值电压和接收控制信号的第二晶体管，包括第二晶体管半导体层，具有与第一阈值电压不同的第二阈值电压。第一半导体层和第二半导体层分别对应于第一阈值电压和第二阈值电压而不同地掺杂。因此，容易控制第一晶体管和第二晶体管的阈值电压。由此，可以确保像素设计的自由度，并且可以同时提高像素的显示质量。COPYRIGHT KIPO 2015

