



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0060195  
(43) 공개일자 2015년06월03일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/32* (2006.01) *H01L 29/786* (2006.01)  
*H01L 51/52* (2006.01)

(21) 출원번호 10-2013-0144340  
(22) 출원일자 2013년11월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
윤성욱  
경기 고양시 덕양구 화신로 298, 804동 1604호 (화정동, 별빛마을8단지아파트)  
김상수  
경기 파주시 책향기로 441, 1013동 801호 (동파동, 책향기마을동문굿모닝힐아파트)

(74) 대리인  
특허법인네이트

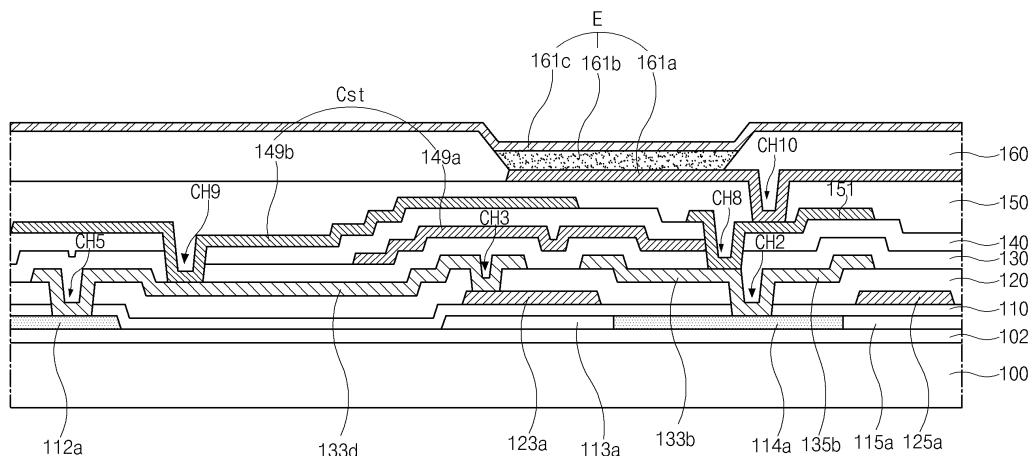
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광다이오드 표시장치 및 이의 제조방법

### (57) 요약

본 발명에 따른 유기발광다이오드 표시장치는 스토리지 커패시터를 구동 트랜지스 상부에 형성하는 것으로, 스토리지 커패시터의 정전용량을 확보함과 동시에 유기발광다이오드 표시장치 표시영역을 확보하고, 고해상도를 구현할 수 있는 효과를 갖는다.

### 대표 도 - 도4



## 명세서

### 청구범위

#### 청구항 1

기판과;

상기 기판 상부에 형성되어 화소영역을 정의하는 스캔배선 및 데이터배선과;

상기 스캔배선과 이격하여 형성되는 센싱배선과, 상기 데이터배선과 이격하여 형성되는 전원배선 및 기준전압배선과;

상기 스캔배선에 연결되는 스위칭 트랜지스터와, 상기 센싱배선에 연결되는 샘플링 트랜지스터와, 상기 스위칭 트랜지스터 및 상기 전원배선에 연결되는 구동 트랜지스터와;

상기 구동 트랜지스터와 연결되고, 상기 구동 트랜지스터를 덮는 스토리지 커페시터와;

상기 스토리지 커페시터 상부에 형성되는 유기발광다이오드를 포함하는 유기발광다이오드 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 스토리지 커페시터는, 상기 구동 트랜지스터와 중첩되며 상기 샘플링 트랜지스터의 드레인전극과 연결되는 제1커페시터전극과;

상기 제1커페시터전극 및 상기 구동 트랜지스터와 중첩되고, 상기 구동 트랜지스터의 게이트전극과 연결되는 제2커페시터전극을 포함하는 유기발광다이오드 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 제2커페시터전극은 상기 구동트랜지스터의 상기 게이트전극과 제1연결패턴을 통해 연결되고, 상기 제1커페시터전극은, 상기 샘플링 트랜지스터의 상기 드레인전극과 제2연결패턴을 통해 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 스토리지 커페시터는, 상기 스캔배선과 일부 중첩되어 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치.

#### 청구항 5

기판을 준비하는 단계와;

상기 기판 상부에 스캔배선, 센싱배선을 형성하는 단계와;

상기 스캔배선과 연결되는 스위칭 트랜지스터를 형성하고, 상기 센싱배선에 연결되는 샘플링 트랜지스터를 형성하고, 상기 스위칭 트랜지스터와 상기 샘플링 트랜지스터에 연결되는 구동 트랜지스터를 형성하는 단계와;

상기 구동 트랜지스터를 덮으며, 상기 샘플링 트랜지스터와 연결되는 제1커패시터전극을 형성하는 단계와;  
 상기 제1커패시터전극 상부로 상기 구동 트랜지스터와 중첩되고, 상기 구동 트랜지스터와 연결되는 제2커패시터전극을 형성하는 단계와;  
 상기 제1커패시터 및 제2커패시터전극 상부로 유기발광다이오드를 형성하는 단계를 포함하는 유기발광다이오드 표시장치의 제조방법.

### 청구항 6

제 5 항에 있어서,

상기 구동 트랜지스터의 게이트전극에 연결되는 제1연결패턴을 형성하는 단계와, 상기 제1커패시터전극과 상기 구동 트랜지스터의 드레인전극에 연결되는 제2연결배선을 형성하는 단계를 더 포함하며,  
 상기 제1연결배선은 상기 제2커패시터전극과 연결되고, 상기 제2연결배선은 상기 제1커패시터전극과 연결되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

### 청구항 7

제 5 항에 있어서,

상기 스토리지 커패시터는, 상기 스캔배선과 일부 중첩되어 형성되는 것을 특징으로 하는 유기발광다이오드 표시장치.

### 청구항 8

기판을 준비하는 단계와;

상기 기판 상부에 제1, 제2, 제3액티브층을 형성하는 단계와;

상기 제1, 제2, 제3액티브층 상부에 게이트절연막을 형성하는 단계와;

상기 게이트절연막 상부에 제1, 제2, 제3게이트전극을 형성하고, 상기 제1, 제2, 제3액티브층 각각의 양측에 불순물을 도핑하여 제1 내지 제3소스 및 제1 내지 제3드레인영역을 형성하는 단계와;

상기 제1, 제2, 제3게이트전극 상부에 제1충간절연막을 형성하는 단계와;

상기 제1충간절연막에 상기 제1 내지 제3소스 및 제1 내지 제3드레인영역과 접촉되는 제1 내지 제3소스 및 제1 내지 제3드레인전극을 형성하는 단계와;

상기 제3게이트전극과 제2드레인영역에 접촉하는 제1연결패턴을 형성하는 단계와;

상기 제3드레인전극과 제1연결패턴을 덮는 제2충간절연막을 형성하는 단계와;

상기 제1연결패턴 및 상기 제3드레인전극과 중첩하여 제1커패시터전극을 형성하는 단계와;

상기 제1커패시터전극 상부에 제3충간절연막을 형성하는 단계와;

상기 제1연결패턴에 접촉되며, 상기 제2드레인전극과 상기 제1커패시터전극과 상기 제3게이트전극과 중첩되는 제2커패시터전극을 형성하는 단계와;

상기 제1커패시터전극과 연결되는 제2연결패턴을 형성하는 단계와;

상기 제2연결패턴 상부로 평탄화막을 형성하는 단계와;

상기 평탄화막 상부에 유기발광다이오드를 형성하는 단계를 포함하는 유기발광다이오드 표시장치의 제조방법.

## 청구항 9

제 8 항에 있어서,

상기 제1연결패턴을 형성하는 단계는, 상기 제1층간절연막에 상기 제2드레인영역과 제3게이트전극을 노출시키는 콘택홀을 형성하는 단계를 포함하고,

상기 제2커페시터전극을 형성하는 단계는, 상기 제2 및 제3층간절연막에 상기 제1연결패턴을 노출시키는 콘택홀을 형성하는 단계를 포함하고,

상기 제2연결패턴을 형성하는 단계는, 상기 제2커페시터전극을 형성하는 단계와 동일한 공정에서 수행되는 것을 특징으로 하는 유기발광다이오드 표시장치의 제조방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것으로, 특히 고해상도를 구현할 수 있는 유기발광다이오드 표시장치 및 이의 제조방법에 관한 것이다.

### 배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: liquid crystal display), 플라즈마표시장치(PDP: plasma display panel), 유기발광다이오드 표시장치(OLED: organic light emitting diode device)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이중 유기발광다이오드 표시장치는 스스로 발광하는 자발광소자를 이용함으로써 응답속도가 빠르고 발광효율, 휙도 및 시야각이 우수한 장점이 있다.

[0004] 유기발광다이오드 표시장치는 도 1과 같이 유기발광다이오드를 가진다. 유기발광다이오드는 애노드전극과 캐소드전극 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 구비한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0005] 유기발광다이오드 표시장치는 이와 같은 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔필스에 의해 선택된 화소들의 밝기를 비디오 데이터의 계조에 따라 제어한다.

[0006] 도 2는 유기발광다이오드 표시장치에 있어서 하나의 화소에 대한 등가 회로도이다. 도 2를 참조하면, 유기발광다이오드 표시장치의 화소는 유기발광다이오드(E), 서로 교차하는 게이트라인(GL) 및 데이터라인(DL), 스위칭 트랜지스터(ST), 구동 트랜지스터(DT) 및 스토리지 커페시터(Cst)를 포함한다.

[0007] 스위칭 트랜지스터(ST)는 게이트라인(GL)으로부터의 스캔신호에 응답하여 턴-온(turn-on)됨으로써 데이터라인(DL)으로부터의 데이터전압을 구동 트랜지스터(DT)의 게이트전극에 인가한다. 구동 트랜지스터(DT)는 게이트전극의 게이트전위(Vg)와 소스전극의 소스전위(Vs)간의 차이(Vg-s)에 따라 유기발광다이오드(E)에 흐르는 전류량을 제어한다. 스토리지 커페시터(Cst)는 구동 트랜지스터(DT)의 게이트전위(Vg)를 한 프레임동안 일정하게 유지시킨다. 유기발광다이오드(E)는 구동 트랜지스터(DT)의 드레인전극과 기저전압원(Vcc) 사이에 접속된다.

[0008] 일반적으로, 유기발광다이오드 표시장치에서 화소들 간 휙도의 불균일성은 구동 TFT의 문턱전압 편차에 기인한다.

[0009] LTPS(Low Temperature Poly Silicon)로 구동 트랜지스터를 형성하는 유기발광다이오드 표시장치에서는 ELA(Excimer Laser Annealing) 공정으로 인해 화소들 간 구동 트랜지스터의 문턱전압 편차가 발생한다. 반면, a-Si(Amorphous Silicon)로 구동 트랜지스터를 형성하는 유기발광다이오드 표시장치에서는 패널 구동에 따라 진행되는 구동 트랜지스터의 열화 정도가 화소마다 달라져 화소들 간 TFT의 문턱전압 편차가 발생된다.

[0010] 화소들 간 구동 트랜지스터의 문턱전압 편차를 보상하기 위해, 각 화소마다 전압보상 또는 전류보상회로(예를 들어 4개의 트랜지스터와 1개의 커패시터(4T1C), 4개의 트랜지스터와 2개의 커패시터(4T2C), 5개의 트랜지스터와 2개의 커패시터(5T2C), 6개의 트랜지스터와 1개의 커패시터(6T1C), 6개의 트랜지스터와 2개의 커패시터(6T2C))를 갖는 보상화소 구조가 제안되고 있다.

[0011] 그러나, 보상화소 구조는 보상 기능을 수행하기 위해 많은 수의 소자(예를 들어 전술한 4개의 트랜지스터와 1개의 커패시터(4T1C), 4개의 트랜지스터와 2개의 커패시터(4T2C), 5개의 트랜지스터와 2개의 커패시터(5T2C), 6개의 트랜지스터와 1개의 커패시터(6T1C), 6개의 트랜지스터와 2개의 커패시터(6T2C))들을 구비해야하기 때문에, 고해상도의 표시장치로 갈수록 화소의 크기가 줄어들어 소자와 커패시터가 한 화소내에 형성되지 못하는 문제점이 있다. 특히 커패시터는 표시장치를 구동하기 위해서 일정한 정전용량이 확보되어야 하는데, 정전용량을 확보하기 위해서는 어느 정도 이상의 면적이 반드시 필요하게 된다.

[0012] 즉, 종래의 보상화소 구조는 커패시터의 정전용량을 확보하면서 고해상도의 표시장치를 구현하기에 적합하지 않은 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0013] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 스토리지 커패시터의 정전용량을 확보하고, 고해상도를 구현 할 수 있는 유기발광다이오드 표시장치를 제공하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0014] 전술한 바와 같이 목적을 달성하기 위해, 본 발명은 기판과; 상기 기판 상부에 형성되어 화소영역을 정의하는 스캔배선 및 데이터배선과; 상기 스캔배선과 이격하여 형성되는 센싱배선과, 상기 데이터배선과 이격하여 형성되는 전원배선 및 기준전압배선과; 상기 스캔배선에 연결되는 스위칭 트랜지스터와, 상기 센싱배선에 연결되는 샘플링 트랜지스터와, 상기 스위칭 트랜지스터 및 상기 전원배선에 연결되는 구동 트랜지스터와; 상기 구동 트랜지스터와 연결되고, 상기 구동 트랜지스터를 덮는 스토리지 커패시터와; 상기 스토리지 커패시터 상부에 형성되는 유기발광다이오드를 포함하는 유기발광다이오드 표시장치를 제공한다.

[0015] 상기 스토리지 커패시터는, 상기 구동 트랜지스터와 중첩되며 상기 샘플링 트랜지스터의 드레인전극과 연결되는 제1커패시터전극과; 상기 제1커패시터전극 및 상기 구동 트랜지스터와 중첩되고, 상기 구동 트랜지스터의 게이트전극과 연결되는 제2커패시터전극을 포함하고, 상기 제2커패시터전극은 상기 구동트랜지스터의 상기 게이트전극과 제1연결패턴을 통해 연결되고, 상기 제1커패시터전극은, 상기 샘플링 트랜지스터의 상기 드레인전극과 제2연결패턴을 통해 연결되는 것을 특징으로 한다.

[0016] 상기 스토리지 커패시터는, 상기 스캔배선과 일부 중첩되어 형성되는 것을 특징으로 한다.

[0017] 전술한 바와 같이 본 발명에 따른 유기발광다이오드 표시장치를 제공하기 위해 기판을 준비하는 단계와; 상기 기판 상부에 스캔배선, 센싱배선을 형성하는 단계와; 상기 스캔배선과 연결되는 스위칭 트랜지스터를 형성하고, 상기 센싱배선에 연결되는 샘플링 트랜지스터를 형성하고, 상기 스위칭 트랜지스터와 상기 샘플링 트랜지스터에 연결되는 구동 트랜지스터를 형성하는 단계와; 상기 구동 트랜지스터를 덮으며, 상기 샘플링 트랜지스터와 연결되는 제1커패시터전극을 형성하는 단계와; 상기 제1커패시터전극 상부로 상기 구동 트랜지스터와 중첩되고, 상기 구동 트랜지스터와 연결되는 제2커패시터전극을 형성하는 단계와; 상기 제1커패시터 및 제2커패시터전극 상부로 유기발광다이오드를 형성하는 단계를 포함하는 유기발광다이오드 표시장치의 제조방법을 제공한다.

[0018] 상기 구동 트랜지스터의 게이트전극에 연결되는 제1연결패턴을 형성하는 단계와, 상기 제1커패시터전극과 상기 구동 트랜지스터의 드레인전극에 연결되는 제2연결배선을 형성하는 단계를 더 포함하며, 상기 제1연결배선은 상기 제2커패시터전극과 연결되고, 상기 제2연결배선은 상기 제1커패시터전극과 연결되는 것을 특징으로 한다.

[0019] 상기 스토리지 커패시터는, 상기 스캔배선과 일부 중첩되어 형성되는 것을 특징으로 한다.

[0020] 더욱 기판을 준비하는 단계와; 상기 기판 상부에 제1, 제2, 제3액티브층을 형성하는 단계와; 상기 제1, 제2, 제

3액티브층 상부에 게이트절연막을 형성하는 단계와; 상기 게이트절연막 상부에 제1, 제2, 제3게이트전극을 형성하고, 상기 제1, 제2, 제3액티브층 각각의 양측에 불순물을 도핑하여 제1 내지 제3소스 및 제1 내지 제3드레인 영역을 형성하는 단계와; 상기 제1, 제2, 제3게이트전극 상부에 제1층간절연막을 형성하는 단계와; 상기 제1층 간절연막에 상기 제1 내지 제3소스 및 제1 내지 제3드레인영역과 접촉되는 제1 내지 제3소스 및 제1 내지 제3드레인전극을 형성하는 단계와; 상기 제3게이트전극과 제2드레인영역에 접촉하는 제1연결패턴을 형성하는 단계와; 상기 제3드레인전극과 제1연결패턴을 덮는 제2층간절연막을 형성하는 단계와; 상기 제1연결패턴 및 상기 제3드레인전극과 중첩하여 제1커패시터전극을 형성하는 단계와; 상기 제1커패시터전극 상부에 제3층간절연막을 형성하는 단계와; 상기 제1연결패턴에 접촉되며, 상기 제2드레인전극과 상기 제1커패시터전극과 상기 제3게이트전극과 중첩되는 제2커패시터전극을 형성하는 단계와; 상기 제1커패시터전극과 연결되는 제2연결패턴을 형성하는 단계와; 상기 제2연결패턴 상부로 평탄화막을 형성하는 단계와; 상기 평탄화막 상부에 유기발광다이오드를 형성하는 단계를 포함하는 유기발광다이오드 표시장치의 제조방법을 제공한다.

[0021] 상기 제1연결패턴을 형성하는 단계는, 상기 제1층간절연막에 상기 제2드레인영역과 제3게이트전극을 노출시키는 콘택홀을 형성하는 단계를 포함하고,

[0022] 상기 제2커패시터전극을 형성하는 단계는, 상기 제2 및 제3층간절연막에 상기 제1연결패턴을 노출시키는 콘택홀을 형성하는 단계를 포함하고, 상기 제2연결패턴을 형성하는 단계는, 상기 제2커패시터전극을 형성하는 단계와 동일한 공정에서 수행되는 것을 특징으로 한다.

### 발명의 효과

[0023] 상술한 바와 같이, 본 발명의 유기발광다이오드 표시장치는 스토리지 커패시터를 트랜지스터 상부에 형성하는 것으로, 스토리지 커패시터의 정전용량을 확보함과 동시에 유기발광다이오드 표시장치의 고해상도를 구현할 수 있는 효과를 갖는다.

### 도면의 간단한 설명

[0024] 도 1은 일반적인 유기발광다이오드 표시장치의 발광원리를 보여주는 도면이다.

도 2는 종래의 유기발광다이오드 표시장치에 있어서 하나의 화소를 등가적으로 나타내는 등가 회로도이다.

도 3은 본 발명의 실시예에 따른 유기발광다이오드 표시장치에 있어서 하나의 화소를 등가적으로 나타내는 등가 회로도이다.

도 4는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 단면도이다. 도 5a 내지 도 5j는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 공정순서에 따라 나타낸 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 실세예에 따른 유기발광다이오드 표시장치를 상세히 설명한다.

[0026] 도 3는 본 발명의 실시예에 따른 유기발광다이오드 표시장치에 있어서 하나의 화소를 등가적으로 나타내는 등가 회로도이다.

[0027] 도시한 바와 같이, 스캔배선(SCAN), 센싱배선(SEN), 데이터배선(DL), 전원배선(Vdd), 기준전압배선(Vref)이 배치되어 있다.

[0028] 스캔배선(SCAN)과 데이터배선(DL)은 서로 교차하여 화소영역(P)을 정의한다. 스캔배선(SCAN)과 이격하며 센싱배선(SEN)이 배치되어 있고, 데이터배선(DL)과 이격하며 기준전압배선(Vref)과 전원배선(Vdd)이 배치되어 있다.

[0029] 화소영역(P)에는 다수의 트랜지스터, 예를 들면 제1 내지 제3트랜지스터(T1, T2, T3)와, 커패시터(C)와 유기발광다이오드(E)가 구성될 수 있다. 여기서, 제1 내지 제3트랜지스터(T1, T2, T3)를 P타입의 트랜지스터가 사용되는 것을 예로 설명한다. 한편, N타입의 트랜지스터가 제1 내지 제3트랜지스터(T1, T2, T3)로서 사용될 수 있음을 당업자에게 있어 자명하고, 더욱이 제1 내지 제3트랜지스터(T1, T2, T3) 중 일부에 대해서는 P타입의 트랜지

스터를 사용하고 나머지에 대해서는 N타입의 트랜지스터를 사용할 수 있음을 당업자에게 자명하다.

[0030] 제1트랜지스터(T1)는 스위칭 트랜지스터의 기능을 할 수 있다. 제1트랜지스터(T1)의 게이트전극은 스캔배선(SCAN)에 연결될 수 있고, 제1트랜지스터(T1)의 소스전극은 데이터배선(DL)에 연결될 수 있다. 그리고 제1트랜지스터(T1)의 드레인전극은 커패시터(C)의 제1전극과 연결될 수 있다. 여기서, 제1트랜지스터(T1)와 커패시터(C)의 접점을 제1노드(N1)라고 칭한다.

[0031] 제2트랜지스터(T2)는 구동 트랜지스터로서 기능할 수 있다. 제2트랜지스터(T2)의 게이트전극은 제1노드(N1)를 통해 커패시터(C)의 제1전극과 제1트랜지스터(T1)의 드레인전극과 연결될 수 있고, 소스전극은 전원배선(Vdd)과 연결될 수 있다. 그리고, 제2트랜지스터(T2)의 드레인전극은 유기발광다이오드(E)의 애노드전극에 연결될 수 있다.

[0032] 제3트랜지스터(T3)는 샘플링 트랜지스터의 기능을 할 수 있다. 제3트랜지스터(T3)의 게이트전극은 센싱배선(SEN)에 연결될 수 있고, 소스전극은 기준전압배선(Vref)에 연결될 수 있다. 그리고 제3트랜지스터(T3)의 드레인전극은 제1커패시터(C2)의 제2전극과 연결될 수 있다. 여기서, 제3트랜지스터(T3)와 커패시터(C)의 접점을 제2노드(N2)라고 칭한다.

[0033] 커패시터(C)는 스토리지 커패시터의 기능을 할 수 있다. 커패시터(C)의 제1전극은 제1노드(N1)에 연결되고, 제2전극은 제2노드(N2)에 연결될 수 있다.

[0034] 제3트랜지스터(T3)의 드레인전극과 커패시터(C)의 제2전극은 제2노드(N2)를 통해 제2트랜지스터(T2)의 드레인전극과 연결되고 유기발광다이오드(E)의 애노드전극과 연결될 수 있다.

[0035] 전술한 바와 같은 관계로, 제1 내지 제3트랜지스터(T1, T2, T3)와 커패시터(C)와, 유기발광다이오드(E)가 서로 연결되어, 화소영역(P)에 입력되는 다수의 신호들을 통해 동작하고 빛을 발광하게 된다.

[0036] 이하 전술한 바와 같은 구성요소들의 기능에 대해 상세히 살펴본다.

[0037] 제1 및 제3트랜지스터 (T1, T3)는 제1시간구간(예를 들어 초기화구간)에서 스캔배선(SCAN)을 통해 턴-온 전압이 인가되고, 센싱배선(SEN)을 통해 턴-온전압이 인가되어, 그에 따라 제1, 제3트랜지스터(T1, T3)는 턴-온된다. 이 때, 제1 및 제3트랜지스터(T1, T3)가 P타입인 경우 로우레벨전압 또는 부극성전압이 턴-온 전압으로 사용될 수 있다.

[0038] 이에 따라, 제1트랜지스터(T1)의 드레인전극과 제2트랜지스터(T2)의 게이트전극 및 커패시터(C)의 접점인 제1노드(N1)는 데이터전압에 대응되는 전압을 가지며, 제2트랜지스터(T2)의 드레인전극과, 커패시터(C)와 발광다이오드(E)의 접점인 제2노드(N2)는 초기전압을 갖는다.

[0039] 이후, 제2시간구간(예를 들어 센싱구간)에서 스캔배선(SCAN)을 통해 턴-오프 전압이 인가되고, 센싱배선(SEN)을 통해 턴-온 전압이 인가되어, 그에 따라 제1트랜지스터(T1)는 턴-오프되고, 제3트랜지스터(T3)는 턴-온 상태가 유지된다.

[0040] 이에 따라, 제1노드(N1)는 플로팅(floating)되고, 제2노드(N2)에는 제2트랜지스터(T2)를 흐르는 전류에 의하여 전하가 축적되어 전압이 상승하며, 이러한 제2노드(N2)의 전압 상승은 제2트랜지스터(T2)가 턴-오프 될 때까지 지속된다.

[0041] 따라서, 제2노드(N2)는 제2트랜지스터(T2)가 턴-오프 될 때의 전압, 즉 데이터전압에서 제2트랜지스터(T2)의 문턱전압을 뺀 값에 대응되는 전압이 되며, 턴-온 된 제3트랜지스터(T3)에 연결된 초기화배선(Vref) 역시 이와 동일한 전압이 되며, 이 전압은 데이터구동부(미도시)에 저장된다.

[0042] 이후, 제3시간구간(예를 들어 종료구간)에서 스캔배선(SCAN)과 센싱배선(SEN)은 턴-오프 전압을 가지며, 이에 따라 제1, 제3트랜지스터(T1, T3)는 턴-오프 된다.

[0043] 이에 따라, 데이터구동부(미도시)에 저장되어 있는 전압(즉, 데이터신호-문턱전압)이 아날로그-디지털 변환기(미도시)로 전달되어 이에 대응되는 센싱데이터가 생성된다. 이러한 센싱데이터를 이용하여 제2트랜지스터(T2)의 열화를 보상할 수 있다.

[0044] 이하, 도면을 참조하여, 본 발명에 따른 유기발광다이오드 표시장치의 특징적인 부분인 제1커패시터가 제2트랜지스터와 중첩되는 단면구조를 설명한다.

- [0045] 도 4는 본 발명에 따른 유기발광다이오드 표시장치의 단면도로, 본 발명의 특징적인 부분으로 제1트랜지스터의 드레인영역과 제2트랜지스터와, 제3트랜지스터의 드레인영역을 도시한다. 도시하지 않은 제1트랜지스터와 제3트랜지스터의 소스영역은 드레인전극과 동일한 공정에서 동일한 물질, 구조로 형성된다.
- [0046] 도 4를 참조하면, 본 발명에 따른 유기발광다이오드 표시장치는 투명한 유기 또는 플라스틱 등의 절연물질로 이루어진 기판(100) 상에 전면으로 무기절연물질 예를들면 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiN}_x$ )으로 베퍼층(102)이 형성되어 있고, 베퍼층(102) 위로 제1액티브층(미도시), 제2액티브층(113a), 제3액티브층(115a)이 형성되어 있다. 이 때, 각 액티브층(미도시, 113a, 115a)은 비정질 실리콘, 다결정질 실리콘, 산화물 반도체 등으로 형성할 수 있다.
- [0047] 그리고, 각 액티브층(미도시, 113a, 115a)은 양측면으로 고농도의 불순물 이온이 도핑된 제1드레인영역(112a), 제2드레인영역(114a), 제3드레인영역(114a)으로 구성된다. 이 때, 제2드레인영역(114a)과 제3드레인영역(114a)은 명칭을 달리 하였지만 실제 동일영역으로 구성될 수 있다.
- [0048] 이러한, 각 액티브층(미도시, 113a, 115a) 상부에는 게이트절연막(110)이 형성되고, 게이트절연막(110) 상부에는 각 액티브층(미도시, 113a, 115a)에 대응하여 제1게이트전극(미도시), 제2게이트전극(123a), 제3게이트전극(125a)이 형성되어 있다. 도시하지 않았지만 게이트절연막(110) 상부에 일방향으로 연장하는 스캔배선(도 3의 SCAN), 센싱배선(도 3의 SEN)이 형성되어 있다. 이 때, 제3게이트전극(125a)은 센싱배선(도 3의 SEN)의 일부분으로 형성될 수 있다.
- [0049] 그리고, 각 게이트전극(123a, 125a)과 스캔배선과 센싱배선(도 3의 SCAN, SEN) 상부로 제1충간절연막(120)이 형성되어 있으며, 이 때, 제1충간절연막(120)은 제1드레인영역(112a), 제2게이트전극(123a), 제2, 제3드레인영역(114a)을 노출시키는 제2, 제3, 제5(CH2, CH3, CH5)을 구비하고 있다.
- [0050] 그리고, 제1충간절연막(120) 상부로 제2콘택홀(CH2)을 통해 제2, 제3드레인영역(114a)에 접촉하는 제2드레인전극(133b), 제3드레인전극(135b)과, 제3콘택홀(CH3)을 통해 제2게이트전극(123a)과 제1드레인영역(112a)에 접촉하는 제1연결패턴(133d)이 형성되어 있다. 이 때, 제1연결패턴(133d)은 제1드레인전극(미도시)와 연결되어 있다.
- [0051] 한편, 도시하지 않았지만, 각각의 액티브층과 접촉하는 각각의 소스 및 드레인전극이 형성되어 있다.
- [0052] 제2드레인전극(133b), 제3드레인전극(135b), 제1연결패턴(133d)은 도전성을 갖는 금속으로 예를 들면, Al, Cu, Mo, Nd, Ti, Pt, Ag, Nb, Cr, W, Ta 과 이들의 합금 중 적어도 하나의 단일층 또는 둘 이상의 이중층 구조로 형성될 수 있다.
- [0053] 이 때, 제1액티브영역(미도시), 제1게이트전극(미도시), 제1소스전극(미도시), 제1드레인전극(미도시)는 제1 트랜지스터(T1)를 이루며, 제2액티브영역(113a), 제2게이트전극(123a), 제2소스전극(미도시), 제2드레인전극(133b)는 제2트랜지스터(T2)를 이루고, 제3액티브영역(115a), 제3게이트전극(125a), 제3소스전극(미도시), 제3드레인전극(135b)은 제3트랜지스터(T3)를 이룬다.
- [0054] 한편, 도시하지는 않았지만, 제1충간절연막(120) 상으로 스캔배선(도 3의 Scan)과 교차하여 화소영역을 정의하는 데이터배선(도 3의 DL)이 형성되어 있으며, 데이터배선(도 3의 DL)과 이격하며 전원전압을 인가하기 위한 전원배선(도 3의 PL)과 기준전압을 공급하는 기준전압배선(도 3의 Vref)이 형성되어 구비된다.
- [0055] 이어서, 제2드레인전극(133b), 제3드레인전극(135b), 제1연결패턴(133d)을 덮으며 기판(100) 전면에 제2충간절연막(130)이 형성되어 있다.
- [0056] 제2충간절연막(130) 상에는 제2게이트전극(123a)과 중첩되고 제2드레인영역(114a) 일부와 중첩되며 제1커패시터전극(149a)이 형성되어 있다.
- [0057] 그리고, 제1커패시터전극(149a)을 덮고 기판(100) 전면으로 제3충간절연막(140)이 형성되어 있다.
- [0058] 이 때, 제2충간절연막(130)과 제3충간절연막(140)은 제1커패시터전극(149a)의 일부와 제2드레인전극(133b) 또는 제3드레인전극(135b)의 일부를 노출시키는 제8콘택홀(CH8)과, 제1연결배선(133d)의 일부분을 노출시키는 제9콘택홀(CH9)을 구비한다.
- [0059] 그리고, 제3충간절연막(140) 상으로 제8콘택홀(CH8)을 통해 제1커패시터전극(149a)과 제2드레인전극(133b) 또는 제3드레인전극(135b)과 접촉하는 제2연결패턴(151)이 형성되어 있으며, 제2연결배선(151)과 소정간격 이격하여

제9콘택홀(CH9)을 통해 제1연결배선(133d)과 접촉하는 제2커패시터전극(149b)이 형성되어 있다.

[0060] 여기서, 제1커패시터전극(149a)와 제2커패시터전극(149b)은 스토리지 커패시터(Cst)를 이루게 된다.

[0061] 본 발명은 제2레이트전극(123a)과 중첩되며, 제1드레이인전극(미도시)부터 제3드레이인전극(135b)의 사이에 해당하는 화소영역(P)에 걸쳐 스토리지 커패시터(Cst)가 형성되어 있는 것을 특징으로 한다. 이 때, 스토리지 커패시터(Cst)는 스캔배선(도 3의 SCAN) 및 데이터배선(도 3의 DL)과 일부 중첩되며 형성 될 수 있다.

[0062] 이어서, 제2커패시터전극(149b)과 제2연결패턴(151)을 덮으며 기판(100) 전면으로 평탄화막(150)이 형성되어 있다.

[0063] 이 때, 평탄화막(150)은 제2연결패턴(151)을 노출시키는 제10콘택홀(CH10)을 구비한다.

[0064] 제10콘택홀(CH10)을 통해 제2연결패턴(151)과 연결되는 애노드전극(161a)이 평탄화막(160) 상부에 형성되어 있다. 이 때, 애노드전극(161a)은 일함수 값이 비교적 큰 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어질 수 있다.

[0065] 그리고, 애노드전극(161a)의 가장자리에 뱅크(160)가 형성되어 애노드전극(161a)의 중앙부를 노출시키고, 노출된 애노드전극(161a)의 중앙부에는 유기발광층(161b)이 형성된다. 이때, 유기발광층(161b)은 유기발광물질로 이루어진 단일층으로 구성될 수도 있으며, 또는 발광 효율을 높이기 위해 다중층 구조로 이루어질 수도 있다.

[0066] 유기발광층(161b)이 다중층 구조를 이루는 경우, 애노드전극(161a)의 상부로부터 순차적으로 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 5중층 구조로 형성될 수도 있으며, 또는 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 4중층 구조, 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer)의 3중층 구조로 형성될 수도 있다.

[0067] 유기발광층(161b)의 상부에는 캐소드전극(161c)이 형성되어 있다. 캐소드전극(161c)은 일함수 값이 비교적 낮은 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 은(Ag), 마그네슘(Mg), 금(Au), 알루미늄마그네슘 합금(AlMg) 중 어느 하나 또는 둘 이상의 물질로 이루어질 수 있다.

[0068] 이때, 애노드, 캐소드전극(161a, 161c)과 그 사이에 형성된 유기발광층(161b)은 유기발광다이오드(E)를 이루게 된다.

[0069] 이하에서는, 도 5a 내지 도 5j를 참고하여, 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 제조방법에 대해 더욱 구체적으로 설명한다.

[0070] 도 5a 내지 도 5j는 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 공정순서를 나타낸 도면으로, 도 4에 대응되는 단면을 도시한다. 이 때, 설명의 편의상 도면에는 제1트랜지스터의 드레인영역과 제2트랜지스터와, 제3트랜지스터만 도시하였지만, 실제 제1트랜지스터의 소스영역과 제3트랜지스터의 소스영역은 제2트랜지스터와 동일한 공정에서 동일한 물질, 구조로 형성된다.

[0071] 도 5a에 도시한 바와 같이, 기판(100)상에 베퍼층(102)을 형성한다. 이 때, 베퍼층(102)은 무기절연물질 예를들면 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiN<sub>x</sub>)을 증착하여 형성할 수 있다.

[0072] 이어서, 베퍼층(102) 상에 제1액티브층(미도시), 제2액티브층(113a)과 제3액티브층(115a)을 형성한다. 이 때, 제1, 제2, 제3액티브층(미도시, 113a, 115a)은 산화물 반도체, 예를 들어 Zn, Cd, Ga, In, Sn, Hf 및 Zr 중 적어도 하나와 산소(O)를 포함하는 결정질 또는 비정질로 예를들면, ZnO, InGaZnO<sub>4</sub>, ZnInO, ZnSnO, InZnHfO, SnInO 및 SnO 중 선택하여 증착 한 후, 선택적으로 패터닝 하여 형성할 수 있다. 또는 비정질 실리콘, 다결정질 실리콘을 선택하여 형성할 수도 있다.

[0073] 이어서, 제1, 제2, 제3액티브층(미도시, 113a, 115a)을 포함하는 기판(100) 상의 전면으로 절연물질을 적층하여 제1, 제2, 제3액티브층(미도시, 113a, 115a)을 커버하는 게이트절연막(110)을 형성한다.

- [0074] 도 5b에 도시한 바와 같이, 게이트절연막(110) 상으로 금속박막을 증착하고 이를 선택적으로 패터닝하여, 제1액티브층(미도시) 상부로 제1게이트전극(미도시)과, 제2액티브층(113a) 상부로 제2게이트전극(123a), 제3액티브층(155a) 상부로 제3게이트전극(125a)을 형성한다.
- [0075] 이 때, 도시하지는 않았지만 제3게이트전극(125a)과 연결되는 센싱배선(미도시)과, 센싱배선(미도시)과 평행하게 이격하는 스캔배선(미도시)이 형성되어 있다. 여기서 제3게이트전극(125a)은 센싱배선(미도시)의 일부분으로 형성할 수도 있다.
- [0076] 이 때, 각 게이트전극(123a, 125a)은 도전성을 갖는 금속으로 선택되는데, 특히 Al, Cu, Mo, Nd, 중 적어도 하나의 단일층 또는 적어도 둘 이상의 이중층으로 형성할 수 있다.
- [0077] 이어서, 각 게이트전극(123a, 125a)을 도핑 마스크로, 각 액티브층(미도시, 113a, 115a)으로 불순물을 도핑하여, 제1드레인영역(112a), 제2드레인영역(114a), 제3드레인영역(114a)을 형성한다. 이 때, 제2드레인영역(114a)과 제3드레인영역(114a)은 명칭을 달리하였지만 실제 동일영역으로 구성될 수 있다.
- [0078] 이어서, 도 5c에 도시한 바와 같이, 각 게이트전극(123a, 125a)이 형성된 기판(100) 전면에 절연물질을 적층하여, 각 게이트전극(123a, 125a)을 덮는 제1층간절연막(120)을 형성한다.
- [0079] 그리고, 제1층간절연막(120)을 선택적으로 패터닝하여, 제2드레인영역 또는 제3드레인영역(114a)을 노출시키는 제2콘택홀(CH2)과, 제2게이트전극(123a)을 노출시키는 제3콘택홀(CH3)과, 제1드레인영역(112a)을 노출시키는 제5콘택홀을 형성한다.
- [0080] 이어서, 도 5d에 도시한 바와 같이, 제1층간절연막(120) 상부로 제2콘택홀(CH2)을 통해 제2, 제3드레인영역(114a)에 접촉하는 제2드레인전극(133b) 및 제3드레인전극(135b)과, 제2드레인전극과 이격하여 채널을 이루는 제2소스전극(미도시) 및 제3드레인전극(135b)과 이격하여 채널을 이루는 제3소스전극(미도시)과, 제3콘택홀(CH3) 및 제5콘택홀(CH5)을 통해 제2게이트전극(123a)과 제1드레인영역(112a)에 접촉하는 제1연결패턴(133d) 및 제1드레인전극(미도시)과 제1드레인전극과 이격하여 채널을 이루는 제1소스전극(미도시)을 형성한다.
- [0081] 이 때, 제2드레인전극(133b), 제3드레인전극(135b), 제1연결패턴(133d)은 도전성을 갖는 금속으로 예를 들면, Al, Cu, Mo, Nd, Ti, Pt, Ag, Nb, Cr, W, Ta 과 이들의 합금 중 적어도 하나의 단일층 또는 둘 이상의 이중층 구조로 형성될 수 있다.
- [0082] 이어서, 도 5e에 도시한 바와 같이, 제2드레인전극(133b), 제3드레인전극(135b), 제1연결패턴(133d)이 형성된 기판(100) 상의 전면으로 절연물질을 적층하여 제2층간절연막(130)을 형성한다.
- [0083] 그리고, 제2층간절연막(130) 상부에 제2게이트전극(123a)과 중첩되고, 제2드레인영역(114a) 일부와 중첩되는 제1커패시터전극(149a)을 형성한다. 이 때, 제1커패시터전극(149a)은 도전성을 갖는 Al, Cu, Mo, Nd, Ti, Pt, Ag, Nb, Cr, W, Ta 중 적어도 하나의 단일층 또는 둘 이상의 합금으로 형성할 수 있다.
- [0084] 이어서, 도 5f에 도시한 바와 같이, 제1커패시터전극(149a)이 형성된 기판(100) 상의 전면으로 제3층간절연막(140)을 형성하고, 제1커패시터전극(149a)과 제2드레인전극(133b)의 일부분을 노출시키는 제8콘택홀(CH8)과, 제1연결패턴(133d)의 일부를 노출시키는 제9콘택홀(CH9)을 제2층간절연막(130)과 제3층간절연막(140)에 형성한다.
- [0085] 이어서, 도 5g에 도시한 바와 같이, 도전성을 갖는 금속을 증착한 후 선택적으로 패터닝하여 제8콘택홀(CH8)을 통해 제1커패시터전극(149a) 및 제2드레인전극(133b)과 접촉되는 제2연결패턴(151)과, 제9콘택홀(CH9)을 통해 제1연결패턴(133d)과 연결되는 제2커패시터전극(149b)을 형성한다.
- [0086] 이 때, 제1커패시터전극(149a)과 제2커패시터전극(149b)은 스토리지 커패시터(Cst)를 이루게 된다.
- [0087] 이어서, 도 5h에 도시한 바와 같이, 제2연결패턴(151)과 제2커패시터전극(149b)이 형성된 기판(100) 상의 전면으로 절연물질을 이용하여 평탄화막(150)을 형성하고, 제2연결패턴(151)을 노출시키는 제10콘택홀(CH10)을 형성한다.
- [0088] 이어서, 투명 도전성 물질 예를 들어, 인듐-텅-옥사이드(ITO) 또는 인듐-징크-옥사이드(ZTO)를 이용하여, 제10콘택홀(CH10)을 통해 제2연결패턴(151)과 연결되는 애노드전극(161a)을 형성한다.
- [0089] 도 5i에 도시한 바와 같이, 애노드전극(161a)의 중앙부를 노출시키고 가장자리를 덮는 뱅크(160)를 형성한다. 이 때, 뱅크(160)는 폴리이미드(polyimide), 포토아크릴(photo acryl), 벤조사이클로뷰텐(BCB) 중 어느 하나로 이루어질 수 있으며, 또는 블랙을 나타내는 물질 예를 들면 블랙수지로 이루어질 수 있다.

[0090] 이어서, 도 5j에 도시한 바와 같이, 노출된 애노드전극(161a)의 중앙부에 유기발광층(161b)을 형성된다. 유기발광층(161b)은 유기발광물질로 이루어진 단일층으로 구성될 수도 있으며, 또는 발광 효율을 높이기 위해 다중층 구조로 이루어질 수도 있다.

[0091] 유기발광층(161b)이 다중층 구조를 이루는 경우, 애노드전극(161a)의 상부로부터 순차적으로 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 5중층 구조로 형성될 수도 있으며, 또는 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)의 4중층 구조, 정공수송층(hole transporting layer), 발광층(emitting material layer), 전자수송층(electron transporting layer)의 3중층 구조로 형성될 수도 있다.

[0092] 그리고, 유기발광층(161b)과 뱅크(160)를 덮는 캐소드전극(161c)을 형성한다. 캐소드전극(161c)은 일함수 값이 비교적 낮은 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 은(Ag), 마그네슘(Mg), 금(Au), 알루미늄 마그네슘 합금(AlMg) 중 어느 하나 또는 둘 이상의 물질로 이루어질 수 있다. 이때, 애노드, 캐소드전극(161a, 161c)과 그 사이에 형성된 유기발광층(161b)은 유기발광다이오드(E)를 이루게 된다.

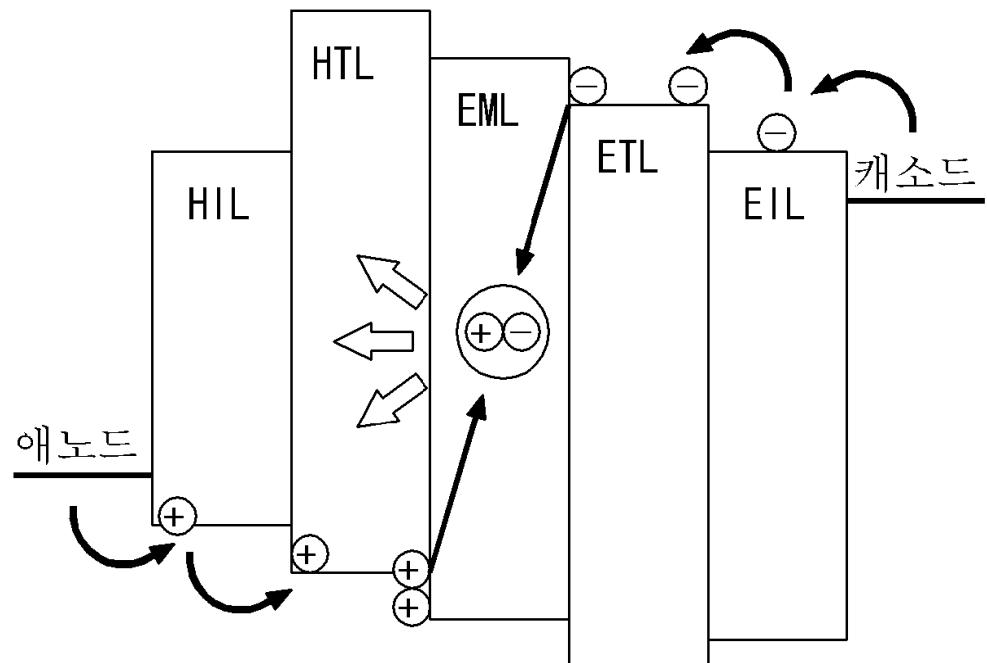
[0093] 전술한 바와 같이, 본 발명의 유기발광다이오드 표시장치는 스토리지 커패시터(Cst)를 구동 트랜지스터 상부로 구동 트랜지스터와 중첩하도록 형성하는 것으로, 스토리지 커패시터(Cst)의 정전용량을 확보함과 동시에 유기발광다이오드 표시장치 표시영역을 확보하고, 고해상도를 구현할 수 있는 효과를 갖는다.

### 부호의 설명

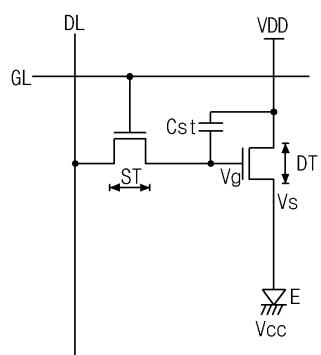
100 : 기판	102 : 벼퍼층
110 : 게이트절연막	112a : 제2드레인영역
113a : 제3액티브층	114a : 제3드레인영역
115a : 제5액티브층	120 : 제1층간절연막
123a : 제3게이트전극	125 : 제5게이트전극
130 : 제2층간절연막	133b : 제3드레인전극
135b : 제5드레인전극	133d : 제1연결패턴
140 : 제3층간절연막	149b : 제2커패시터전극
149a : 제1커패시터전극	150 : 평탄화막
151 : 제2연결패턴	160 : 뱅크
161a : 제1전극	161b : 유기발광층
161c : 제2전극	E : 유기발광다이오드

도면

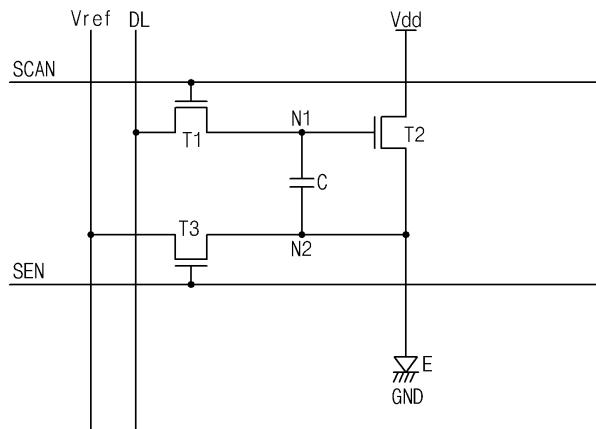
도면1



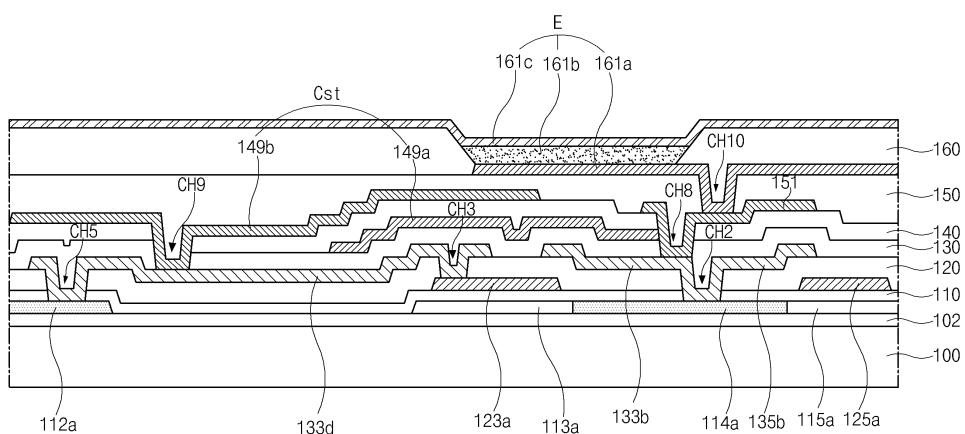
도면2



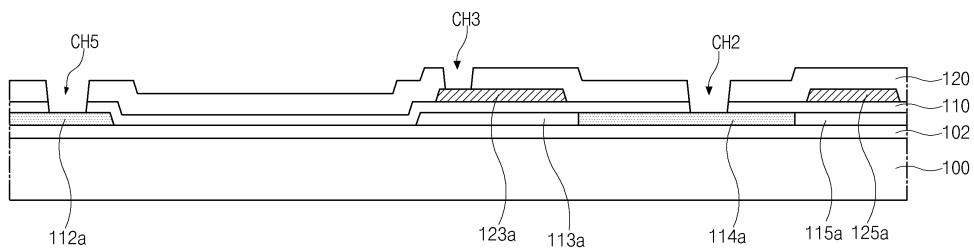
도면3



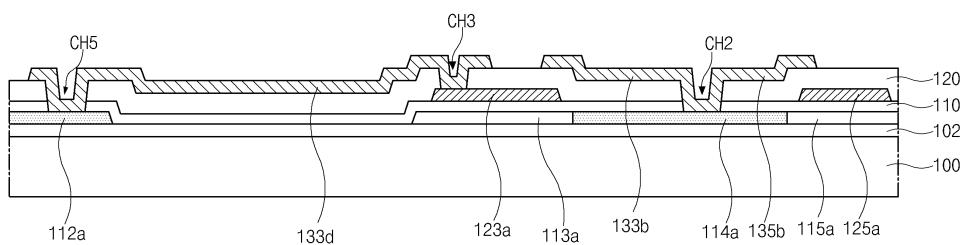
도면4



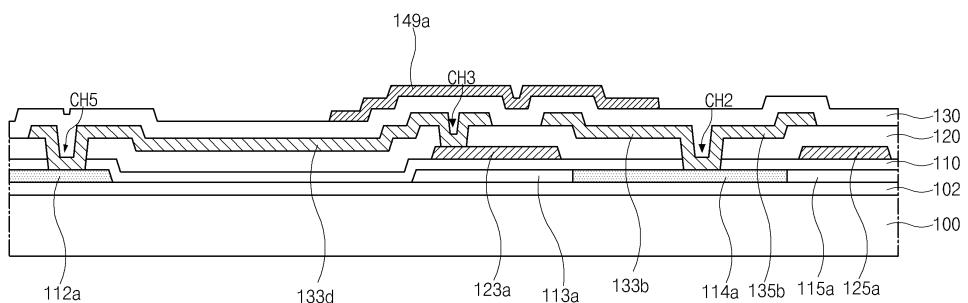
도면5c



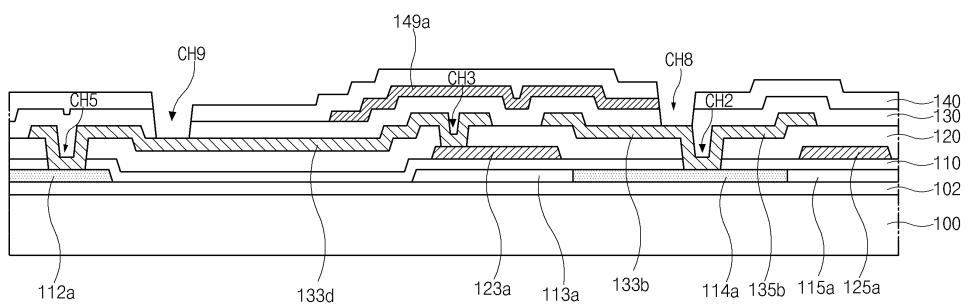
도면5d



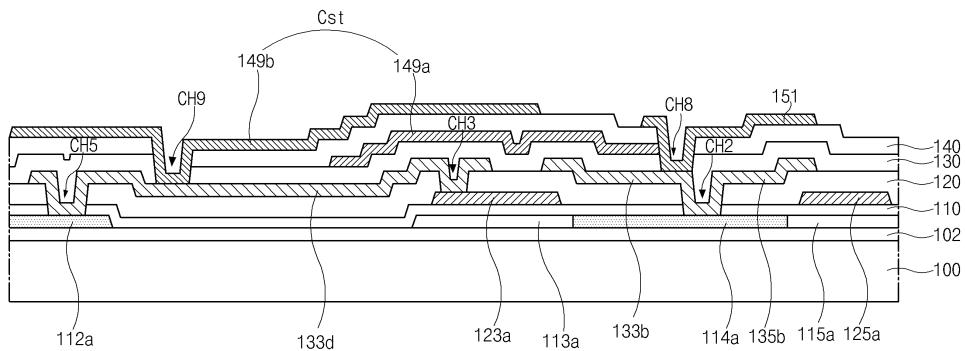
도면5e



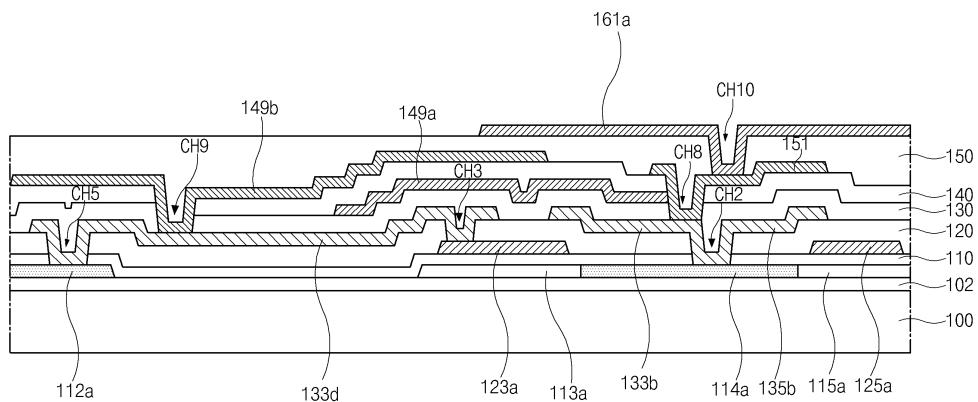
도면5f



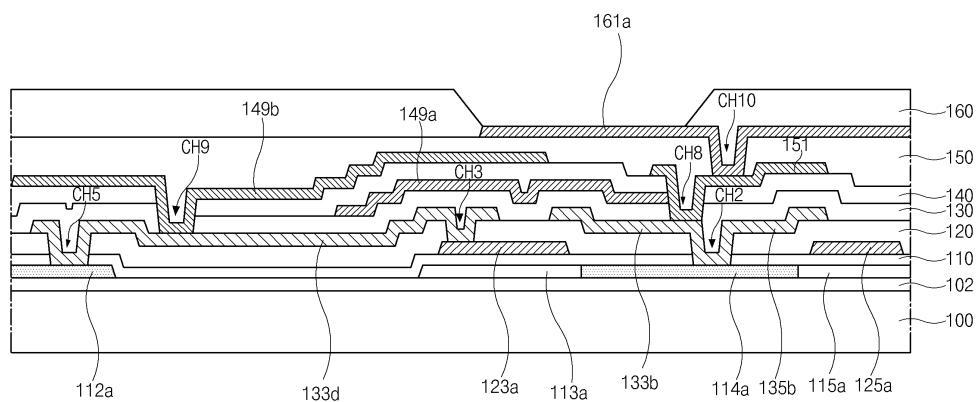
## 도면5g



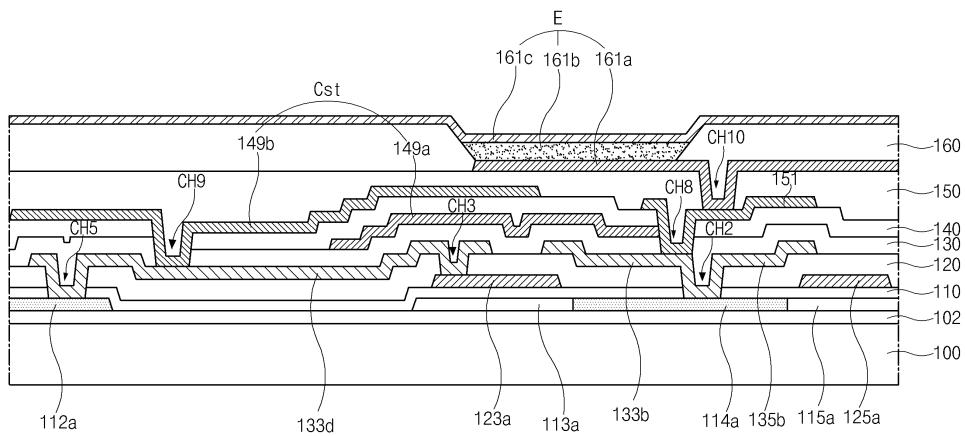
## 도면5h



## 도면5i



도면5j



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR1020150060195A	公开(公告)日	2015-06-03
申请号	KR1020130144340	申请日	2013-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON SUNG WOOK 윤성욱 KIM SANG SOO 김상수		
发明人	윤성욱 김상수		
IPC分类号	H01L27/32 H01L51/52 H01L29/786		
CPC分类号	H01L27/3265 H01L27/1255 H01L27/3276		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

根据本发明的有机发光二极管显示装置通过在驱动晶体管上形成存储电容器，确保存储电容器的电容，确保有机发光二极管显示装置显示区域，以及实现高分辨率而形成。有。

