



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0136785
(43) 공개일자 2014년12월01일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0057297
(22) 출원일자 2013년05월21일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
유춘기
경기도 용인시 기흥구 삼성2로 95 (농서동)
최준후
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 20 항

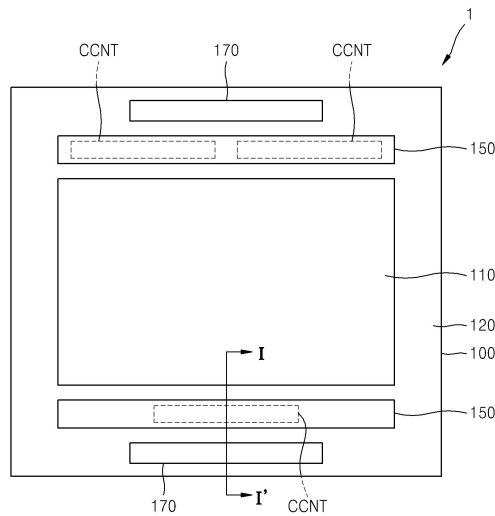
(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

본 발명은 유기발광표시장치 및 그 제조방법을 개시한다.

본 발명의 유기발광표시장치는, 화소전극, 발광층을 포함하는 중간층 및 캐소드 전극이 순차적으로 적층된 유기 발광소자; 및 상기 화소전극과 동일층에 형성되고 상기 캐소드 전극과 접촉하는 캐소드 버스 라인, 상기 캐소드 버스 라인 상부에 상기 캐소드 버스 라인의 가장자리 영역을 따라 형성된 제1보조전극, 및 상기 제1보조전극과 접촉하는 제2보조전극을 포함하는 캐소드 콘택부;를 포함할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

화소전극, 발광층을 포함하는 중간층 및 캐소드 전극이 순차적으로 적층된 유기발광소자; 및

상기 화소전극과 동일층에 형성되고 상기 캐소드 전극과 접촉하는 캐소드 버스 라인, 상기 캐소드 버스 라인 상부에 상기 캐소드 버스 라인의 가장자리 영역을 따라 형성된 제1보조전극, 및 상기 제1보조전극과 접촉하는 제2보조전극을 포함하는 캐소드 콘택부;를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 캐소드 버스 라인 및 상기 제1보조전극과 상기 제2보조전극 사이에 배치된 층간 절연막; 및

상기 화소전극과 캐소드 버스 라인의 가장자리 영역과 접촉하며 상기 제1절연층 상에 배치된 화소 정의막;을 더 포함하는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 화소 정의막은 상기 제1보조전극과 제2보조전극을 덮으며 캐소드 버스 라인의 가장자리 영역과 접촉하는 유기발광표시장치.

청구항 4

제2항에 있어서,

상기 제2보조전극은 상기 층간 절연막에 형성된 복수의 콘택홀을 통해 상기 제1보조전극과 접촉하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 화소전극 및 상기 캐소드 버스 라인은 투명한 도전성 금속산화물을 포함하고,

상기 제1보조전극 및 상기 제2보조전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 제1보조전극 및 제2보조전극은 상기 캐소드 버스 라인보다 전기저항이 작은 물질을 포함하는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 캐소드 콘택부는 비표시 영역에 형성된 유기발광표시장치.

청구항 8

제2항에 있어서,

상기 캐소드 전극은 상기 화소 정의막 상부에 전면 전극 형태로 형성되고, 상기 제1보조전극 및 제2보조전극과는 접촉하지 않는 유기발광표시장치.

청구항 9

제2항에 있어서,
 상기 층간 절연막은 무기 절연 물질을 포함하는 유기발광표시장치.

청구항 10

제2항에 있어서,
 상기 화소 정의막은 유기 절연 물질을 포함하는 유기발광표시장치.

청구항 11

제1항에 있어서,
 활성층, 상기 캐소드 버스 라인과 동일층에 형성된 하부 게이트전극 및 상기 제1보조전극과 동일층에 형성된 상부 게이트전극을 포함하는 게이트전극, 상기 제2보조전극과 동일층에 형성되고 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터;를 더 포함하는 유기발광표시장치.

청구항 12

제11항에 있어서,
 상기 활성층과 동일층에 형성된 하부 커패시터 전극, 및 상기 캐소드 버스 라인과 동일층에 형성된 상부 커패시터 전극을 포함하는 커패시터;를 더 포함하는 유기발광표시장치.

청구항 13

제1항에 있어서,
 상기 캐소드 버스 라인과 동일층에 형성된 제1전극층과 상기 제1보조전극과 동일층에 형성된 제2전극층을 포함하는 하부 패드전극, 및 상기 제2보조전극과 동일층에 형성되어 상기 하부 패드전극과 접촉하는 상부 패드전극을 포함하는 패드;를 더 포함하는 유기발광표시장치.

청구항 14

화소전극을 형성하기 위한 제1전극패턴, 캐소드 버스 라인을 형성하기 위한 제2전극패턴을 각각 형성하는 단계;
 상기 제1전극패턴 상부면을 노출하는 개구, 상기 제2전극패턴의 가장자리 영역을 따라 상기 제2전극패턴의 상부면을 노출하는 복수의 컨택홀들을 구비한 층간절연막을 형성하는 단계;
 상기 제1전극패턴으로부터 상기 화소전극을 형성하고, 상기 제2전극패턴으로부터 상기 캐소드 버스 라인과 제1보조전극을 형성하고, 상기 복수의 컨택홀들을 통해 상기 제1보조전극과 접촉하는 제2보조전극을 형성하는 단계;
 상기 화소전극과 상기 캐소드 버스 라인의 일부를 노출하는 화소 정의막을 형성하는 단계; 및
 상기 캐소드 버스 라인과 접촉하며 상기 화소 정의막 상부에 전면 전극 형태로 캐소드 전극을 형성하는 단계;를 포함하는 유기발광표시장치의 제조방법.

청구항 15

제14항에 있어서,
 상기 화소 정의막은 상기 제1보조전극과 제2보조전극을 덮으며 캐소드 버스 라인의 가장자리 영역과 접촉하는 유기발광표시장치의 제조방법.

청구항 16

제14항에 있어서,
 상기 화소전극 및 상기 캐소드 버스 라인은 투명한 도전성 금속산화물을 포함하고,

상기 제1보조전극 및 상기 제2보조전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치의 제조방법.

청구항 17

제14항에 있어서,

상기 제1보조전극 및 제2보조전극은 상기 캐소드 버스 라인보다 전기저항이 작은 물질을 포함하는 유기발광표시장치의 제조방법.

청구항 18

제14항에 있어서,

상기 캐소드 전극은 상기 제1보조전극 및 제2보조전극과 접촉하지 않는 유기발광표시장치의 제조방법.

청구항 19

제14항에 있어서,

상기 층간 절연막은 무기 절연 물질을 포함하는 유기발광표시장치의 제조방법.

청구항 20

제14항에 있어서,

상기 화소 정의막은 유기 절연 물질을 포함하는 유기발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 대형의 진류 발광 유기 발광 표시장치에서 발열 제어는 중요하다.

[0003] 캐소드 전극은 공통전극으로서 모든 화소에 동일전압을 인가하며, 캐소드 컨택부를 통해 외부 단자로부터 캐소드 전압을 인가받는다. 이때 캐소드 컨택부는 화소 정의막에 노출된 소스/드레인 전극 형성 물질과 캐소드 전극이 접촉하는 구조를 갖는다. 이때 소스/드레인 전극 형성 물질과 화소 정의막 간에 접촉 불량 발생하여 캐소드 컨택부에서 발열이 되지 않고 그 주변부에 발열이 집중되는 현상이 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 캐소드 컨택부의 발열 문제를 개선할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

[0005] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치는, 화소전극, 발광층을 포함하는 중간층 및 캐소드 전극이 순차적으로 적층된 유기발광소자; 및 상기 화소전극과 동일층에 형성되고 상기 캐소드 전극과 접촉하는 캐소드 버스 라인, 상기 캐소드 버스 라인 상부에 상기 캐소드 버스 라인의 가장자리 영역을 따라 형성된 제1보조전극, 및 상기 제1보조전극과 접촉하는 제2보조전극을 포함하는 캐소드 컨택부;를 포함할 수 있다.

[0006] 상기 유기발광표시장치는, 상기 캐소드 버스 라인 및 상기 제1보조전극과 상기 제2보조전극 사이에 배치된 층간 절연막; 및 상기 화소전극과 캐소드 버스 라인의 가장자리 영역과 접촉하며 상기 제1절연층 상에 배치된 화소 정의막;을 더 포함할 수 있다.

[0007] 상기 화소 정의막은 상기 제1보조전극과 제2보조전극을 덮으며 캐소드 버스 라인의 가장자리 영역과 접촉할 수 있다.

- [0008] 상기 제2보조전극은 상기 층간 절연막에 형성된 복수의 컨택홀을 통해 상기 제1보조전극과 접촉할 수 있다.
- [0009] 상기 화소전극 및 상기 캐소드 버스 라인은 투명한 도전성 금속산화물을 포함하고, 상기 제1보조전극 및 상기 제2보조전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.
- [0010] 상기 제1보조전극 및 제2보조전극은 상기 캐소드 버스 라인보다 전기저항이 작은 물질을 포함할 수 있다.
- [0011] 상기 캐소드 컨택부는 비표시 영역에 형성될 수 있다.
- [0012] 상기 캐소드 전극은 상기 화소 정의막 상부에 전면 전극 형태로 형성되고, 상기 제1보조전극 및 제2보조전극과는 접촉하지 않을 수 있다.
- [0013] 상기 층간 절연막은 무기 절연 물질을 포함하고, 상기 화소 정의막은 유기 절연 물질을 포함할 수 있다.
- [0014] 상기 유기발광표시장치는, 활성층, 상기 캐소드 버스 라인과 동일층에 형성된 하부 게이트전극 및 상기 제1보조전극과 동일층에 형성된 상부 게이트전극을 포함하는 게이트전극, 상기 제2보조전극과 동일층에 형성되고 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터;를 더 포함할 수 있다.
- [0015] 상기 유기발광표시장치는, 상기 활성층과 동일층에 형성된 하부 커패시터 전극, 및 상기 캐소드 버스 라인과 동일층에 형성된 상부 커패시터 전극을 포함하는 커패시터;를 더 포함할 수 있다.
- [0016] 상기 유기발광표시장치는, 상기 캐소드 버스 라인과 동일층에 형성된 제1전극층과 상기 제1보조전극과 동일층에 형성된 제2전극층을 포함하는 하부 패드전극, 및 상기 제2보조전극과 동일층에 형성되어 상기 하부 패드전극과 접촉하는 상부 패드전극을 포함하는 패드;를 더 포함할 수 있다.
- [0017] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치의 제조방법은, 화소전극을 형성하기 위한 제1전극패턴, 캐소드 버스 라인을 형성하기 위한 제2전극패턴을 각각 형성하는 단계; 상기 제1전극패턴 상부면을 노출하는 개구, 상기 제2전극패턴의 가장자리 영역을 따라 상기 제2전극패턴의 상부면을 노출하는 복수의 컨택홀들을 구비한 층간절연막을 형성하는 단계; 상기 제1전극패턴으로부터 상기 화소전극을 형성하고, 상기 제2전극패턴으로부터 상기 캐소드 버스 라인과 제1보조전극을 형성하고, 상기 복수의 컨택홀들을 통해 상기 제1보조전극과 접촉하는 제2보조전극을 형성하는 단계; 상기 화소전극과 상기 캐소드 버스 라인의 일부를 노출하는 화소 정의막을 형성하는 단계; 및 상기 캐소드 버스 라인과 접촉하며 상기 화소 정의막 상부에 전면 전극 형태로 캐소드 전극을 형성하는 단계;를 포함할 수 있다.
- [0018] 상기 제조방법은, 상기 화소 정의막을 상기 제1보조전극과 제2보조전극을 덮으며 캐소드 버스 라인의 가장자리 영역과 접촉하도록 할 수 있다.
- [0019] 상기 제조방법은, 상기 화소전극 및 상기 캐소드 버스 라인을 투명한 도전성 금속산화물로 형성하고, 상기 제1보조전극 및 상기 제2보조전극을 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질로 형성할 수 있다.
- [0020] 상기 제조방법은, 상기 제1보조전극 및 제2보조전극을 상기 캐소드 버스 라인보다 전기저항이 작은 물질로 형성할 수 있다.
- [0021] 상기 제조방법은, 상기 캐소드 전극을 상기 제1보조전극 및 제2보조전극과 접촉하지 않도록 형성할 수 있다.
- [0022] 상기 제조방법은, 상기 층간 절연막은 무기 절연 물질로 형성하고, 상기 화소 정의막은 유기 절연 물질로 형성할 수 있다.

발명의 효과

- [0023] 본 발명은 캐소드 전극과 접촉하는 캐소드 버스 라인을 화소 전극 형성 물질로 형성함으로써 캐소드 컨택부의 화소 정의막 들뜸 현상 및 발열 편차를 해소하여 표시장치의 대형화 및 고품질의 화상 제공을 용이하게 할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
 도 2는 도 1의 I-I' 선을 따라 절개한 단면도이다.

도 3 내지 도 11은 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다.

도 12는 본 발명의 일 실시예에 따른 캐소드 컨택부(CCNT)를 나타낸 단면도이다.

도 13은 도 12에 대한 비교예를 개략적으로 도시한 단면도이다.

도 14는 도 10의 A 영역을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0026] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0027] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.
- [0030] 유기발광표시장치(1)는 기판(100) 상에 다수의 화소가 배열된 표시 영역(110)과 표시 영역(110) 외곽에 형성된 비표시 영역(120)을 포함한다.
- [0031] 기판(100)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0032] 표시 영역(110)에는 화상 표현의 기본 단위인 화소가 매트릭스 형태로 배열되고, 각 화소와 전기적으로 연결된 배선이 형성된다. 화소는 적어도 하나의 박막 트랜지스터(TFT)와 커패시터(Cst)를 포함하는 화소 회로와 유기발광소자(EL)를 포함할 수 있다. 유기발광소자(EL)는 박막 트랜지스터(TFT)와 연결된 화소 전극, 유기 발광층 및 전면 전극 형태의 캐소드 전극이 적층된 구조를 갖는다. 캐소드 전극을 통해 캐소드 전압이 각 화소로 인가된다.
- [0033] 비표시 영역(120)에는 캐소드 컨택부(CCNT)를 통해 표시 영역(110)의 캐소드 전극과 전기적으로 연결되는 캐소드 버스 영역(150)과, 표시 영역(110)과 캐소드 버스 영역(150)으로 전원을 인가하는 패드(PAD)가 형성되는 패드 영역(170)을 포함할 수 있다. 캐소드 버스 영역(150)은 캐소드 컨택부(CCNT)를 통해 외부로부터 인가되는 캐소드 전압을 패드(PAD)를 통해 각 화소로 제공한다. 캐소드 버스 영역(150)과 패드 영역(170)은 비표시 영역(120)의 적어도 일 측에 하나 이상 형성될 수 있다. 도 1에서는 캐소드 버스 영역(150)과 패드 영역(170)이 비표시 영역(120)의 상하부에 각각 형성된 예를 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 캐소드 컨택부(CCNT)는 캐소드 버스 영역(150)에 하나 이상 형성될 수 있다.
- [0034] 본 발명의 실시예는 비표시 영역(120)에 캐소드 컨택부(CCNT)를 형성하여 표시 영역(110)의 외곽부에서 캐소드 버스 라인과 캐소드 전극을 직접 전기적으로 접촉시킴으로써 캐소드 전극과 캐소드 버스 라인의 전기적인 접촉을 용이하게 한다.
- [0035] 기판(100)은 비표시 영역(120)에 형성되는 실링부재(미도시)에 의해 기판(100)과 대향하는 봉지기판(미도시)과 접합될 수 있다.
- [0036] 도 2는 도 1의 I-I' 선을 따라 절개한 단면도이다.
- [0037] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 표시 영역(110)에 발광 영역(20), 트랜지스터영역(30) 및 저장영역(40)을 포함하고, 비표시 영역(120)에 캐소드 버스 영역(150) 및 패드영역(170)을 포함한다.
- [0038] 발광영역(20)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극

(37/39) 중 하나와 전기적으로 연결된 화소전극(21), 화소전극(21)과 마주보도록 형성된 캐소드 전극(25) 및 그 사이에 개재된 중간층(23)으로 구성된다. 화소전극(21)은 투명한 도전성 금속산화물로 형성되며, 박막트랜지스터(TFT)의 하부 게이트전극(33)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0039] 트랜지스터영역(30)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 활성층(31), 게이트전극(35) 및 소스/드레인 전극(37,39)으로 구성된다. 게이트전극(35)은 하부 게이트전극(33)과 하부 게이트전극(33) 상부에 있는 상부 게이트전극(34)으로 구성되고, 이때 하부 게이트전극(33)은 투명한 도전성 금속산화물로 형성될 수 있다. 게이트전극(35)과 활성층(31) 사이에는 이들 간의 절연을 위한 게이트 절연막인 제1절연층(102)이 개재되어 있다. 또한, 활성층(31)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인영역(31s/31d)이 형성되어 있으며, 이들은 소스/드레인 전극(37/39)에 각각 연결되어 있다. 소스/드레인영역(31s/31d) 사이는 채널 영역(31c)으로 기능한다.

[0040] 저장영역(40)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부 커패시터전극(41) 및 상부 커패시터전극(43)으로 이루어지며, 이들 사이에 제1절연층(102)이 개재된다. 여기서, 하부 커패시터전극(41)은 박막트랜지스터(TFT)의 활성층(31)과 동일한 층에 형성될 수 있다. 하부 커패시터전극(41)은 반도체 물질로 이루어질 수 있으며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 상부 커패시터전극(43)은 박막트랜지스터(TFT)의 하부 게이트전극(33) 및 유기발광소자(EL)의 화소전극(21)과 동일한 층에 형성될 수 있다.

[0041] 캐소드 버스 영역(150)은 캐소드 버스 라인(53)과 캐소드 전극(25)이 전기적으로 연결되는 캐소드 컨택부(CCNT)를 포함한다. 캐소드 버스 라인(53)은 캐소드 전극(25)과 직접 접촉하여 전기적으로 연결된다. 캐소드 버스 라인(53)의 가장자리 영역 상부에는 캐소드 버스 라인(53)과 직접 접촉하나 캐소드 전극(25)과는 직접 접촉하지 않는 제1보조전극(54)이 형성된다. 제1보조전극(54) 상부에는 제1보조전극(54)과 직접 접촉하나 캐소드 전극(25)과는 직접 접촉하지 않는 제2보조전극(55)이 형성된다. 캐소드 버스 라인(53)의 가장자리 영역에는 제1보조전극(54)이 접촉되고 있어, 캐소드 전극(25)은 캐소드 버스 라인(53)뿐만 아니라 제1보조전극(54)을 통해 제2보조전극(55)과 이중으로 접촉한다. 캐소드 버스 라인(53)은 박막트랜지스터(TFT)의 하부 게이트전극(33), 유기발광소자(EL)의 화소전극(21) 및 커패시터(Cst)의 상부 커패시터전극(43)과 동일한 층에 형성될 수 있다. 제1보조전극(54)은 박막트랜지스터(TFT)의 상부 게이트전극(34)과 동일한 층에 형성될 수 있다. 제2보조전극(55)은 박막트랜지스터(TFT)의 소스/드레인 전극(37/39)과 동일한 층에 형성될 수 있다.

[0042] 패드영역(170)은 패드(PAD)를 포함한다. 여기서, 도시되지 않았지만, 패드(PAD)는 박막트랜지스터(TFT) 또는 유기발광소자(EL)와 배선(미도시)을 통해 전기적으로 연결될 수 있다. 또한, 패드(PAD)는 유기발광표시장치(1)의 구동을 위해 전류를 공급하는 드라이버IC(미도시)와 전기적으로 연결된다. 따라서, 패드(PAD)는 드라이버IC(미도시)로부터 전류 또는 전압을 인가받아 배선(미도시)을 통해 표시 영역(110)에 위치한 박막트랜지스터(TFT) 또는 유기발광소자(EL)로 전류 또는 전압을 전달하게 된다. 이때 패드(PAD)는 캐소드 버스 영역(150)의 캐소드 컨택부(CCNT)를 통해 캐소드 전극(25)으로 캐소드 전압을 전달한다. 패드(PAD)는 하부 패드전극(73)과 상부 패드전극(75)을 포함할 수 있다. 하부 패드전극(73)은 하부 게이트전극(33)과 동일한 층에 형성된 제1전극(71), 상부 게이트전극(34)과 동일한 층에 형성된 제2전극(72)을 포함한다. 상부 패드전극(75)은 박막트랜지스터(TFT)의 소스/드레인 전극(37/39)과 동일한 층에 형성될 수 있다. 상부 패드전극(75)은 외부의 드라이버IC(미도시)와 전기적으로 연결되기 위하여 개구부를 통해 외부로 노출된다.

[0043] 도 3 내지 도 11은 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.

[0044] 먼저, 도 3에 도시된 바와 같이, 기판(100) 상부에 보조층(101)을 형성한다. 상세히, 기판(100)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(100)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

[0045] 기판(100) 상면에는 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(101)이 구비될 수 있다. 보조층(101)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.

[0046] 다음으로 도 4에 도시된 바와 같이, 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(31)과 하부 커패시터전극(41)을 형성한다. 활성층(31)과 하부 커패시터전극(41)은 다결정실리콘층을 패터닝함으로써 형성될 수 있다. 활성층(31)과 하부 커패시터전극(41)은 반도체를 포함할 수 있고, 도핑에 의해 이온 불순물을 포함할 수 있다. 또

한 활성층(31)과 하부 커패시터전극(41)은 산화물 반도체로 형성될 수 있다. 본 실시예에서는, 활성층(31)과 하부 커패시터전극(41)이 분리 형성되었으나, 활성층(31)과 하부 커패시터전극(41)을 일체로 형성할 수도 있다.

- [0047] 다음으로, 도 5에 도시된 바와 같이, 활성층(31)과 하부 커패시터전극(41)이 형성된 기관(100)의 전면에 제1절연층(102), 제1도전층(103) 및 제2도전층(104)을 순차로 형성한다.
- [0048] 제1절연층(102)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(102)은, 박막트랜지스터(TFT)의 활성층(31)과 게이트전극(35) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 상부 커패시터전극(43)과 하부 커패시터전극(41) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0049] 제1도전층(103)은 ITO , IZO , ZnO , 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(103)은 화소전극(21), 하부 게이트전극(33), 상부 커패시터전극(43), 캐소드 버스 라인(53), 및 하부 패드전극(73)의 제1전극(71)으로 패터닝 될 수 있다.
- [0050] 제2도전층(104)은 Ag , Mg , Al , Pt , Pd , Au , Ni , Nd , Ir , Cr , Li , Ca , Mo , Ti , W , MoW , Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(104)은 Mo-Al-Mo 의 3층 구조로 형성될 수도 있다. 추후 제2도전층(104)은 상부 게이트전극(34), 제1보조전극(54) 및 하부 패드전극(73)의 제2전극(72)으로 패터닝 될 수 있다.
- [0051] 그러나 본 발명은 전술된 물질에 한정되지 않고, 제1도전층(103)은 제2도전층(104)에 비해 내부식성이 좋은 물질을 포함하며, 제2도전층(104)은 제1도전층(103)에 비해 저항이 작아 전류가 잘 흐르는 물질을 포함한다면 본 발명의 일 실시예들을 만족한다.
- [0052] 다음으로, 도 6에 도시된 바와 같이, 제1도전층(103) 및 제2도전층(104)을 패터닝하여, 제1기관(10) 상에 게이트전극(35)과, 제1전극패턴(20), 제2전극패턴(40), 제3전극패턴(50)과 제4전극패턴(70)을 각각 형성한다.
- [0053] 트랜지스터영역(30)에는 활성층(31) 상부에 게이트전극(35)이 형성되고, 게이트전극(35)은 제1도전층(103)의 일부로 형성된 하부 게이트전극(33)과 제2도전층(104)의 일부로 형성된 상부 게이트전극(34)을 포함한다.
- [0054] 여기서, 게이트전극(35)은 활성층(31)의 중앙에 대응하도록 형성되며, 게이트전극(35)을 셀프 얼라인(self align) 마스크로 하여 활성층(31)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(35)의 양측에 대응하는 활성층(31)의 가장자리에 소스/드레인영역(21s/21d)과 이들 사이의 채널영역(21c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0055] 발광영역(20)에는 추후 화소전극(21)을 형성하기 위한 제1전극패턴(20)이 형성되고, 저장영역(40)에는 추후 상부 커패시터전극(43)을 형성하기 위한 제2전극패턴(40)이 하부 커패시터전극(41) 상부에 형성된다. 그리고, 캐소드 버스 영역(150)에는 추후 캐소드 버스 라인(53)과 제1보조전극(54)을 형성하기 위한 제3전극패턴(50)이 형성되고, 패드영역(170)에는 제1전극(71)과 제2전극(72)을 포함하는 하부 패드전극(73)을 형성하기 위한 제4전극패턴(70)이 형성된다.
- [0056] 다음으로, 도 7에 도시된 바와 같이, 게이트전극(35)이 형성된 기관(100)의 전면에 제2절연층(105)을 증착한다.
- [0057] 상기 제2절연층(105)은 전술한 제1절연층(102)과 같은 무기 절연 물질로 형성될 수 있다. 제2절연층(105)은 박막트랜지스터(TFT)의 게이트전극(35)과 소스/드레인전극(37/39) 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(105)은 상기와 같은 무기 절연 물질뿐만 아니라, 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질을 교번하여 형성할 수도 있다.
- [0058] 다음으로, 도 8에 도시된 바와 같이, 제2절연층(105)을 패터닝하여 제1전극패턴(20)을 노출하는 개구들(H1, H2), 제2전극패턴(40)을 노출하는 개구(H5), 제4전극패턴(70)을 노출하는 개구(H7), 활성층(31)의 소스/드레인영역(31s/31d)의 일부를 노출하는 컨택홀들(H3, H4), 및 제3전극패턴(50)의 가장자리를 따라 상부면을 노출하는 다수의 컨택홀들(H6)을 형성한다.
- [0059] 제1개구(H1) 및 제2개구(H2)는 제1전극패턴(20)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다. 컨택홀들(H3, H4)은 소스/드레인영역(31s/31d)의 일부를 각각 노출시킨다. 제5개구(H5)는 제2전극패턴(40)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다. 컨택홀들(H6)은 제3전극패턴(50)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다. 컨택홀들(H6)은 제3전극패턴(50)의 가장자리 영

역에 하나 이상 형성된다. 제7개구(H7)는 제4전극패턴(70)의 상부를 구성하는 제2도전층(104)의 적어도 일부를 노출시킨다.

- [0060] 다음으로, 도 9에 도시된 바와 같이, 제2절연층(105)을 덮도록 기관(100) 전면에서 제3도전층(106)을 증착한다.
- [0061] 제3도전층(106)은 전술한 제1 또는 제2도전층(103, 104)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 콘택홀들(H3, H4, H6), 개구들(H1, H2, H5, H7) 사이를 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0062] 다음으로, 도 10에 도시된 바와 같이, 제3도전층(106)을 패터닝하여, 소스/드레인전극(37/39), 제2보조전극(55) 및 상부 패드전극(75)을 형성한다.
- [0063] 소스/드레인전극(37/39)은 콘택홀들(H3, H4)을 통해 활성층(31)의 소스/드레인 영역(31s/31d)과 전기적으로 연결된다. 소스/드레인전극(37/39) 중 하나의 전극(본 실시예의 경우 드레인전극(39))은 화소전극(21) 상부의 제2도전층(104)의 가장자리 영역의 제2개구(H2)를 통하여 화소전극(21)과 전기적으로 연결되도록 형성된다.
- [0064] 제2보조전극(55)은 콘택홀들(H6)을 통해 제3전극패턴(50)의 가장자리 영역과 전기적으로 연결된다. 그리고, 제2보조전극(55)을 형성함과 동시에 캐소드 버스 라인(53) 및 제1보조전극(54)을 형성한다. 그러나 본 발명은 이에 한정되지 않고, 제2보조전극(55)을 형성한 후 추가 식각에 의해 캐소드 버스 라인(53) 및 제1보조전극(54)을 각각 형성할 수도 있다.
- [0065] 도 14는 도 10의 A 영역을 나타내는 도면이다. 도 14를 함께 참조하면, 제3전극패턴(도 8의 50 참조)의 제2도전층(104)의 일부가 제거되어 제1도전층(103)으로 캐소드 버스 라인(53)이 형성된다. 캐소드 버스 라인(53)은 콘택홀(H8)에 의해 중앙의 상부면이 노출된다. 캐소드 버스 라인(53)의 가장자리를 따라 잔존하는 제2도전층(104)에 의해 제1보조전극(54)이 형성된다. 제1보조전극(54) 상부의 제2절연층(105)에는 제1보조전극(54)의 상부면을 노출하는 복수의 콘택홀들(H6)이 형성되어 있다. 콘택홀들(H6)을 통해 제1보조전극(54)과 제2보조전극(55)이 접촉하여 전기적으로 연결될 수 있다. 이에 따라, 제1보조전극(54)은 콘택홀(H6)을 통해 캐소드 버스 라인(53)과 제2보조전극(55)을 전기적으로 연결한다.
- [0066] 본 발명의 실시예는 복수의 콘택홀들(H6)을 형성함으로써 제1보조전극(54)과 제2보조전극(55) 사이의 전기적 접촉 특성을 용이하게 향상시킬 수 있다.
- [0067] 다시 도 10을 참조하면, 상부 패드전극(75)은 제7개구(H7)를 통해 제4전극패턴(70)으로부터 형성된 하부 패드전극(73)의 제2전극(72)과 직접 접촉한다.
- [0068] 한편, 소스/드레인전극(37/39)을 형성함과 동시에 화소전극(21) 및 상부 커패시터전극(43)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(37/39)을 형성한 후 추가 식각에 의해 화소전극(21) 및 상부 커패시터전극(43)을 각각 형성할 수도 있다. 제1전극패턴(도 8의 20 참조)에서 제1개구(H1)에 의해 노출된 상부 제2도전층(104)을 제거하여 화소전극(21)을 형성한다. 그리고, 제2전극패턴(도 8의 40 참조)에서 제5개구(H5)에 의해 노출된 상부 제2도전층(104)을 제거하여 상부 커패시터전극(43)을 형성한다.
- [0069] 따라서, 화소전극(21), 하부 게이트전극(33), 상부 커패시터전극(43), 캐소드 버스 라인(53), 및 하부 패드전극(73)의 제1전극(71)은 동일층에서 동일 물질로 형성된다. 그리고, 상부 게이트전극(34), 제1보조전극(54) 및 하부 패드전극(73)의 제2전극(72)은 동일층에서 동일 물질로 형성된다.
- [0070] 여기서, 상부 커패시터 전극(43) 상부를 노출하는 개구를 통해 n형 또는 p형의 불순물을 주입하여 하부 커패시터전극(41)을 도핑할 수 있다. 도핑 시 주입되는 불순물은 활성층(31)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.
- [0071] 다음으로, 도 11에 도시된 바와 같이, 기관(100) 상에 제3절연층(107)을 형성한다.
- [0072] 상세히, 화소전극(21), 소스/드레인전극(37/39), 상부 커패시터전극(43), 캐소드 버스 라인(53)과 제2보조전극(55) 및 상부 패드전극(75)이 형성된 기관(100) 전면에서 제3절연층(107)을 증착한다. 이때 제3절연층(107)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제3절연층(107)은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 제3절연층(107)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 한편, 제3절연층(107)은 선택에 따라 패드영역(170)에 증착될 수도 있고, 증착되지 않을 수도 있다. 제3절연층

(107)을 패터닝하여 화소전극(21)의 일부를 노출하는 제9개구(H9)와 캐소드 버스 라인(53)의 일부를 노출하는 제10개구(H10)를 형성한다. 제3절연층(107)은 화소를 정의하는 화소정의막(pixel define layer: PDL)으로 기능한다. 제3절연층(107)은 화소전극(21)과 캐소드 버스 라인(53)의 가장자리 영역과 접촉하며, 제1보조전극(54)과 제2보조전극(55)을 덮는다. 즉, 캐소드 버스 라인(53)의 가장자리 영역은 제2절연층(105)과 제3절연층(107)에 의해 덮인다. 이에 따라, 제1보조전극(54)과 제2보조전극(55)은 캐소드 전극(25)과 직접 접촉하지 않는다.

[0073] 이후, 도 2에 도시된 바와 같이, 화소전극(21)을 노출하는 제9개구(H9)에 유기 발광층을 포함하는 중간층(23) 및 캐소드 전극(25)을 형성한다.

[0074] 중간층(23)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다. 유기 발광층이 적색, 녹색, 청색의 빛을 각각 방출하는 경우, 유기 발광층은 적색 발광층, 녹색 발광층 및 청색 발광층으로 각각 패터닝될 수 있다. 한편, 유기 발광층이 백색광을 방출하는 경우, 유기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일 층 구조를 가질 수 있다.

[0075] 캐소드 전극(25)은 패드 영역(170)을 제외한 기판(100) 전면에 증착되어 공통 전극으로 형성될 수 있다. 캐소드 전극(25)은 캐소드 콘택부(CCNT)에서 콘택홀(H10)을 통해 캐소드 버스 라인(53)과 직접 접촉한다.

[0076] 유기발광표시장치(1)가 기판(100)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(21)은 투명전극이 되고 캐소드 전극(25)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.

[0077] 도 12는 본 발명의 일 실시예에 따른 캐소드 콘택부(CCNT)를 나타낸 단면도이다. 도 13은 도 12에 대한 비교예를 개략적으로 도시한 단면도이다.

[0078] 먼저, 도 13에 도시된 비교예의 캐소드 콘택부(CCNT)를 참조하면, 보조층(101)과 제1절연층(102)이 차례로 적층된 기판(100) 상에 형성된 제3전극패턴(도 8의 50 참조)은 추가 패터닝 없이 구비된다. 제3전극패턴(도 8의 50 참조) 상부에 제2절연층(105)이 적층되고, 제2절연층(105)에 형성된 개구에 의해 제3전극패턴(도 8의 50 참조)의 상부면이 노출된다. 제3전극패턴(도 8의 50 참조)은 화소전극 형성 물질을 포함하는 제1도전층(103)과 게이트 전극 형성 물질을 포함하는 제2도전층(104)으로 형성된다. 제2절연층(105) 상부에는 제3도전층(106)으로 형성된 전극층(55')이 제3전극패턴(도 8의 50 참조)과 접촉한다. 제3도전층(106)은 소스/드레인 전극 형성 물질을 포함한다.

[0079] 전극층(55') 상부에는 제3절연층(107)이 화소 정의막으로서 형성되고, 제3절연층(107)에 형성된 개구에 의해 전극층(55')의 상부면이 노출된다. 제3절연층(107) 상부에는 캐소드 전극(25)이 전면 전극으로 형성되어 전극층(55')의 노출된 상부면과 접촉하여 전기적으로 연결된다.

[0080] 즉, 비교예의 캐소드 콘택부(CCNT)는, 캐소드 전극(25)이 소스/드레인 전극 형성 물질의 전극층(55')과 접촉하고, 제3절연층(107)이 소스/드레인 전극 형성 물질의 전극층(55')과 접촉한다. 이 경우, 유기 절연 물질을 포함하는 제3절연층(107)과 소스/드레인 전극 형성 물질 간의 접촉 불량에 의해 단차 영역(B)에서 제3절연층(107)의 들뜸 현상이 발생한다. 특히 소스/드레인 전극 형성 물질이 몰리브덴(Mo)을 포함하는 경우, 몰리브덴(Mo)의 산화에 의해 소스/드레인 전극 형성 물질의 전극층(55')과 제3절연층(107)의 접촉 불량은 심해진다. 이로 인해 소스/드레인 전극 형성 물질의 전극층(55')과 캐소드 전극(25) 간의 접촉 저항 편차가 발생하고, 제3절연층(107)의 들뜸 부분에서는 발열이 되지 않고 주변부에 전류 쏠림 현상이 발생하여 발열이 집중되는 불량이 발생한다.

[0081] 반면, 도 12를 참조하면, 본 발명의 일 실시예에 따른 캐소드 콘택부(CCNT)는 캐소드 전극(25)이 소스/드레인 전극 형성 물질을 포함하는 전극층과 접촉하지 않고, 화소 전극 형성 물질을 포함하는 캐소드 버스 라인(53)과 직접 접촉한다. 그리고 제3절연층(107)으로 형성된 화소 정의막은 게이트 전극 형성 물질을 포함하는 제1보조전극(54)과 소스/드레인 전극 형성 물질을 포함하는 제2보조전극(55)을 감싸면서, 캐소드 버스 라인(53)의 상부 가장자리와 접촉한다. 이에 따라, 제3절연층(107)의 접촉 불량과 이로 인한 캐소드 전극(25)과 하부 전극층 간의 저항 산포 불량을 개선할 수 있다.

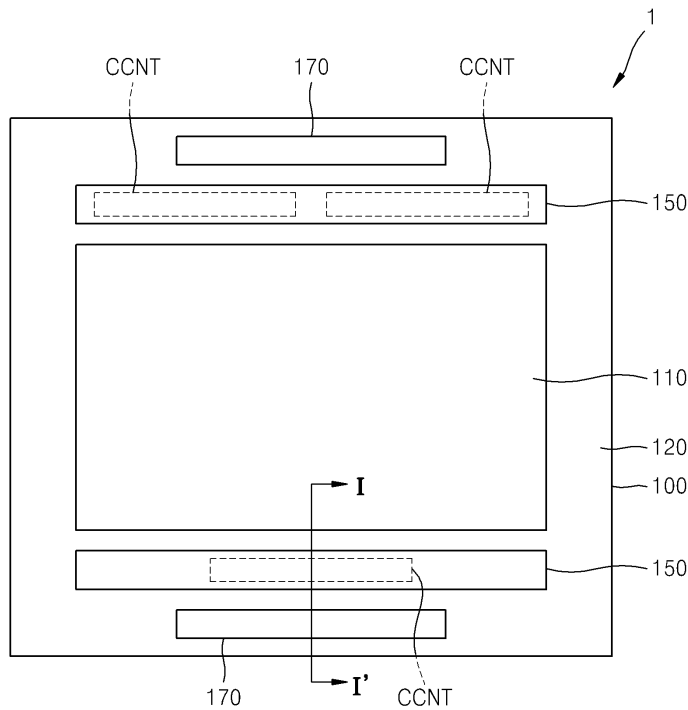
[0082] 한편, 캐소드 버스 라인(53)을 형성하는 화소 전극 형성 물질인 투명한 도전성 금속산화물은 상대적으로 높은

전기 저항을 갖는다. 따라서 유기발광표시장치의 구동 전압과 소비 전력도 증대되는 문제가 있다. 이에 따라 본 발명의 실시예는 상대적으로 낮은 전기 저항을 갖는 제1보조전극(54)과 제2보조전극(55)을 캐소드 버스 라인(53)과 접촉하도록 함으로써 캐소드 버스 라인(53)의 전기 저항을 낮출 수 있다. 즉, 상대적으로 낮은 전기 저항을 갖는 제1보조전극(54)과 제2보조전극(55)을 캐소드 버스 라인(53) 상부에 형성함에 따라 캐소드 버스 라인(53)의 전체적인 전기 저항이 감소한다. 이에 따라, 캐소드 버스 라인(53)과 접촉하는 캐소드 전극(25)의 전압 강하가 감소하고, 전기 저항으로 인한 전력의 손실이 최소화된다. 따라서, 동일한 구동 전압에서도 유기 발광 소자의 휘도를 높이고, 휘도 불균일을 개선하고, 소비전력을 감소할 수 있으므로 유기발광표시장치의 대형화, 고해상도에 유리하고 나아가 제품의 품위를 향상시킬 수 있다.

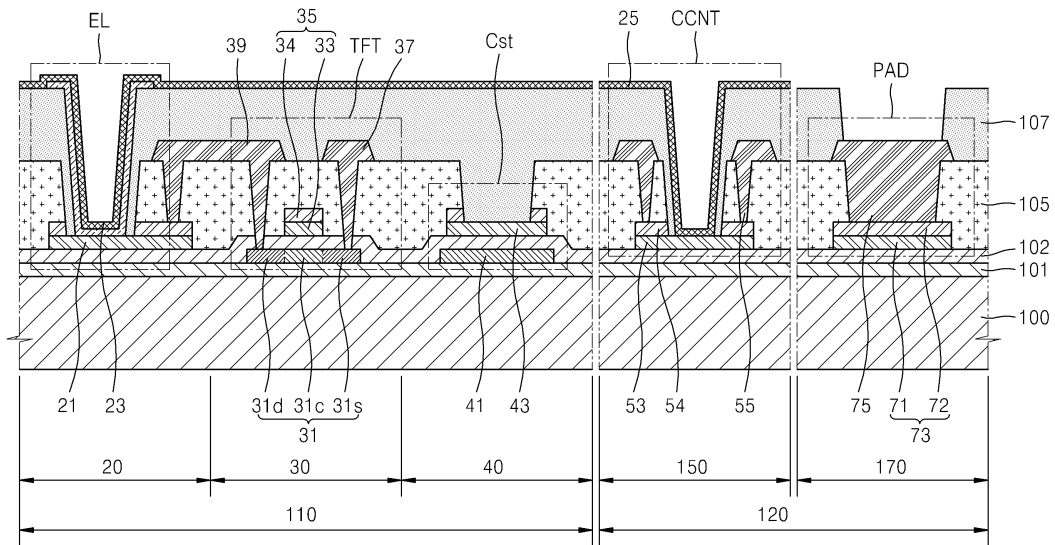
[0083] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

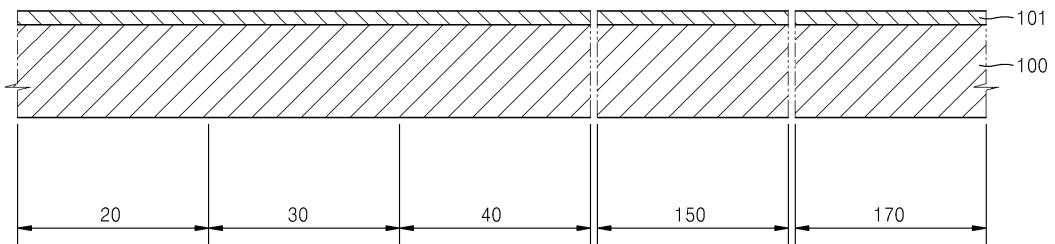
도면1



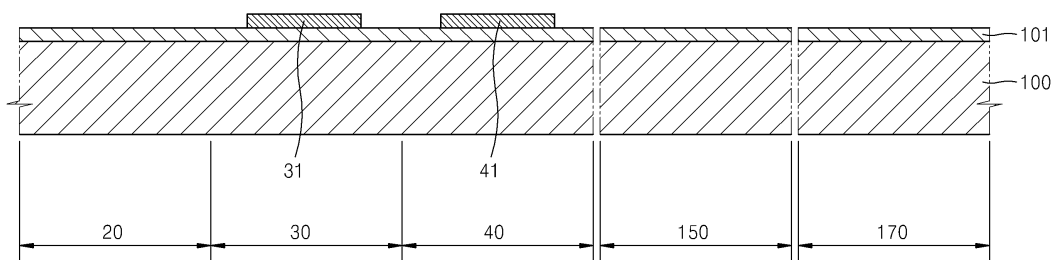
도면2



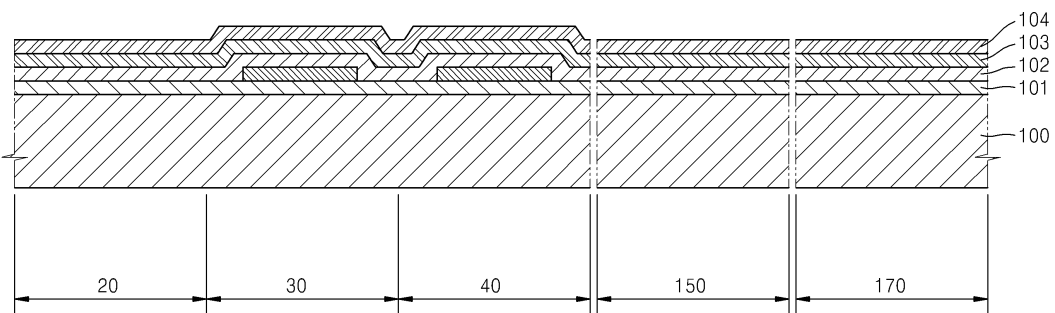
도면3



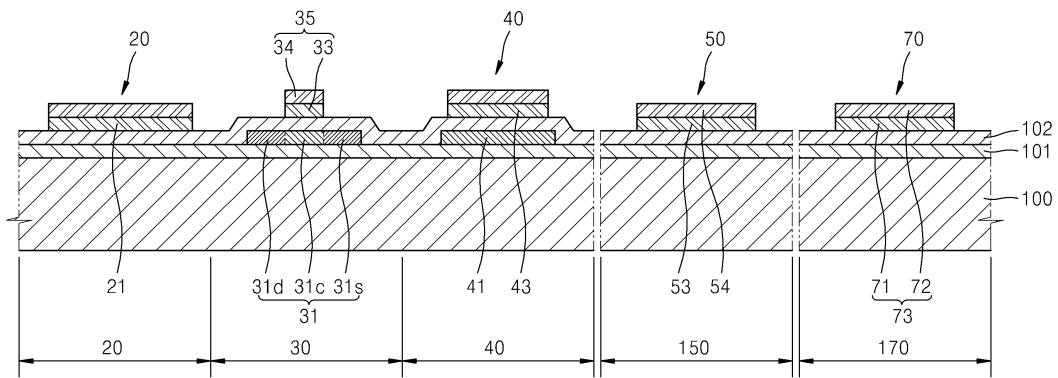
도면4



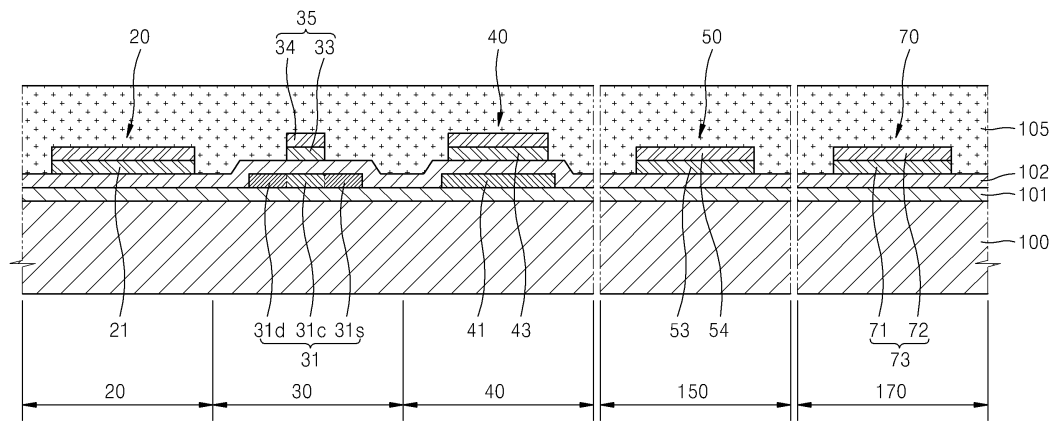
도면5



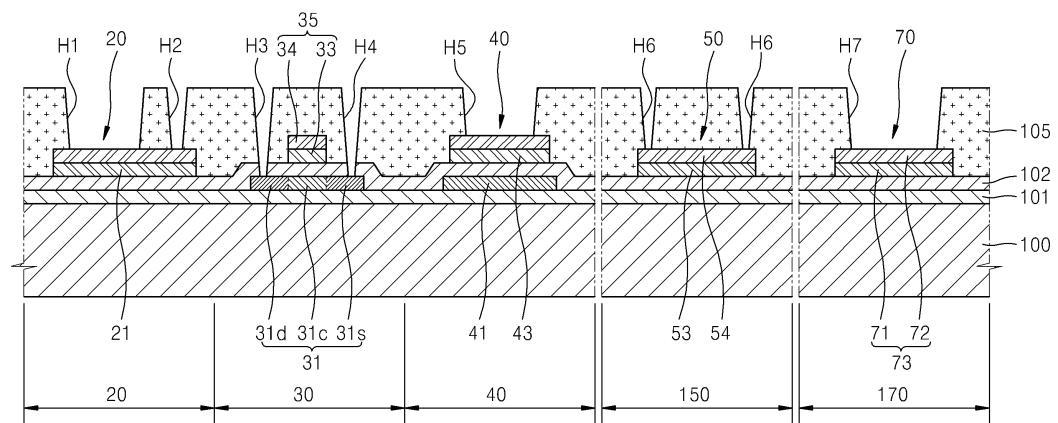
도면6



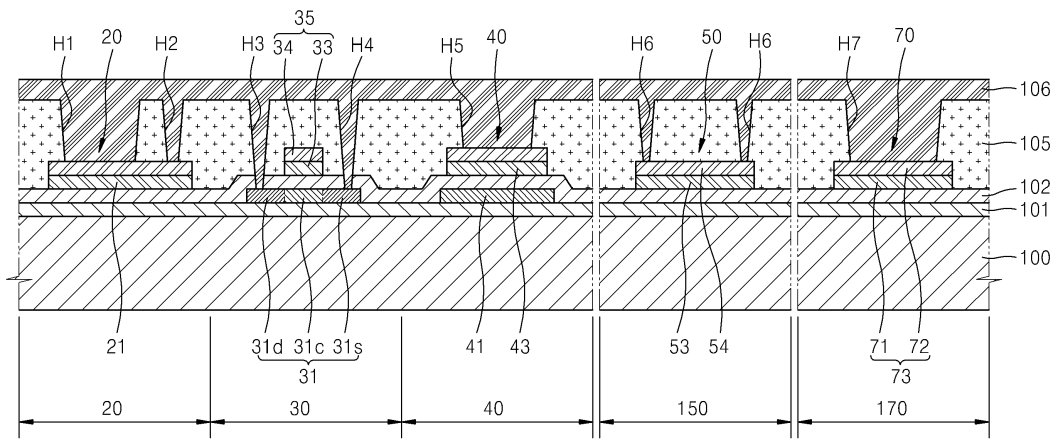
도면7



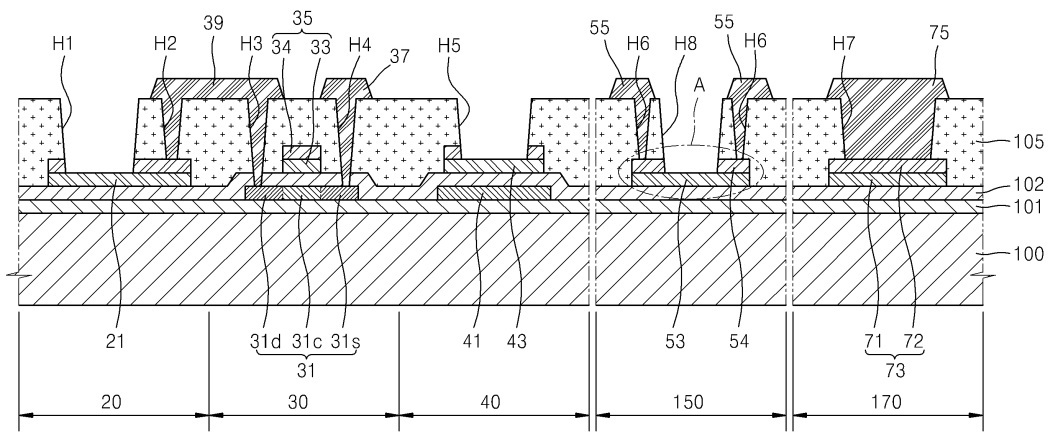
도면8



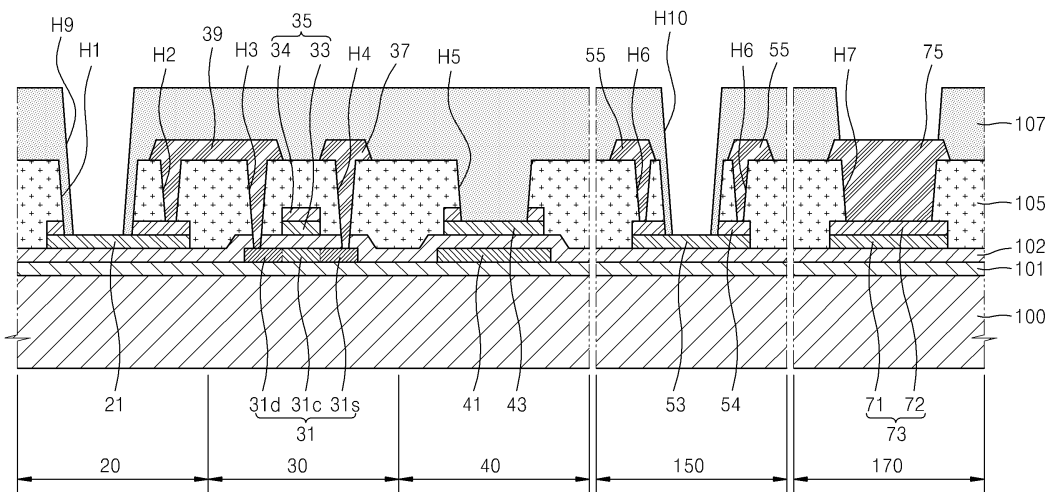
도면9



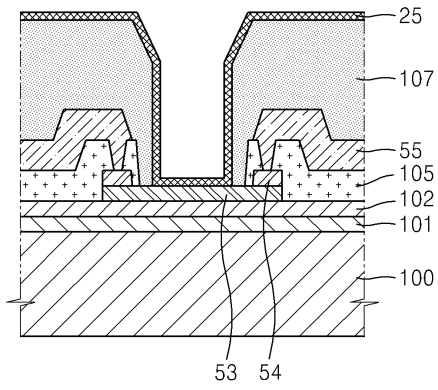
도면10



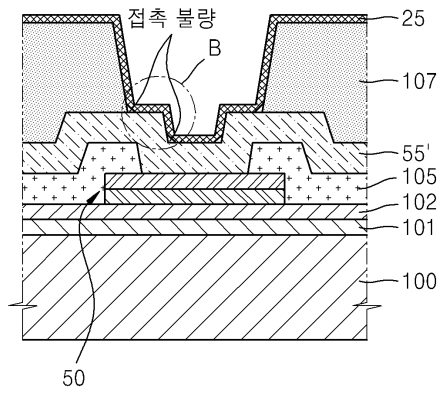
도면11



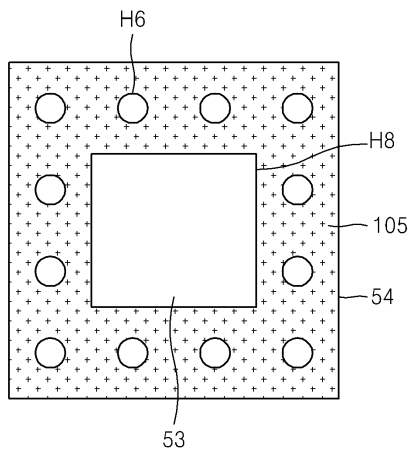
도면12



도면13



도면14



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	KR1020140136785A	公开(公告)日	2014-12-01
申请号	KR1020130057297	申请日	2013-05-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOU CHUN GI 유춘기 CHOI JUN HOO 최준후		
发明人	유춘기 최준후		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L27/3248 H01L27/3246 H01L27/3258 H05B33/10 H01L51/5225 H01L51/5228 H01L2227/323 H01L51/56		
其他公开文献	KR102090703B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示器及其制造方法。本发明的有机发光显示器包括：有机发光元件，其中顺序堆叠像素电极，包括发光层的中间层和阴极电极；并且，第一辅助电极形成在与像素电极相同的层上并与阴极电极接触，第一辅助电极沿阴极总线的边缘区域形成在阴极总线上，并且阴极接触部分包括第二辅助电极。

