

(72) 발명자

이윤규

경기도 용인시 기흥구 삼성2로 95 (농서동)

박경훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

문상호

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

활성층, 상기 활성층과 절연되며 게이트하부전극 및 게이트상부전극을 포함하는 게이트전극, 상기 게이트전극을 덮는 절연막, 상기 절연막 상에 형성되어 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터와 전기적으로 연결되며, 상기 게이트하부전극과 동일층에 형성된 화소전극, 발광층을 포함하는 중간층 및 대향전극이 순차적으로 적층된 유기발광소자; 및

상기 게이트하부전극과 동일층에 형성된 패드하부전극; 상기 게이트상부전극과 동일층에 형성된 패드상부전극을 포함하는 패드전극;

을 포함하며,

여기서, 상기 패드상부전극은 상기 패드하부전극을 노출하는 개구부를 구비하며, 상기 개구부를 통해 외부로 노출된 상기 패드하부전극의 상면에는, 상기 패드상부전극과 동일층에 형성된 전극패턴 및 상기 전극패턴의 상면을 덮으며 상기 절연막과 동일층에 형성된 절연패턴이 구비된 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 개구부를 통해 외부로 노출된 상기 패드하부전극 및 상기 전극패턴의 측면은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버IC와 전기적으로 연결되는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 개구부를 통해 외부로 노출된 상기 패드하부전극 및 상기 전극패턴의 측면은 도전볼을 통해 상기 드라이버IC와 전기적으로 연결되는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 전극패턴은 상기 패드상부전극과 연결된 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 전극패턴은 상기 패드상부전극으로부터 상기 개구부를 통해 외부로 노출된 상기 패드하부전극의 적어도 중앙부까지 돌출된 형태인 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 전극패턴은 하부의 상기 패드하부전극을 노출하는 관통공을 포함하는 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 관통공의 최대폭은 상기 패드전극을 상기 드라이버IC와 전기적으로 연결하는 도전볼의 최대폭보다 큰 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 전극패턴은 상기 패드상부전극과 연결된 적어도 하나이상의 막대형상으로 구현된 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 전극패턴과 상기 절연패턴을 동일한 형태의 패턴을 가지는 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 패드전극은 상기 박막트랜지스터 또는 상기 유기발광소자와 배선을 통해 전기적으로 커플링된 유기발광표시장치.

청구항 11

제1항에 있어서,

상기 패드하부전극은 상기 패드상부전극 및 상기 전극패턴에 비해 내부식성(耐腐蝕性)이 좋은 물질을 포함하는 유기발광표시장치.

청구항 12

제1항에 있어서,

상기 게이트하부전극, 상기 화소전극 및 상기 패드하부전극은 투명한 도전성 금속산화물을 포함하며,

상기 게이트상부전극, 상기 패드상부전극 및 상기 전극패턴은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치.

청구항 13

제1항에 있어서,

상기 활성층과 동일층에 형성된 커패시터하부전극 및 상기 게이트전극과 동일층에 형성된 커패시터상부전극을 포함하여, 상기 박막트랜지스터와 전기적으로 커플링된 커패시터; 를 더 구비하는 유기발광표시장치.

청구항 14

기관 상에 박막트랜지스터의 활성층을 형성하는 제1마스크공정단계;

상기 활성층 상부에, 화소전극을 형성하기 위한 제1전극유닛, 게이트전극, 패드전극을 형성하기 위한 제2전극유닛을 각각 형성하는 제2마스크공정단계;

상기 활성층의 양쪽 가장자리를 노출하는 컨택홀들, 상기 제1전극유닛의 일부를 노출하는 개구 및 상기 제2전극유닛 상면에 소정의 형상의 절연패턴을 갖는 층간절연막을 형성하는 제3마스크공정단계;

상기 컨택홀을 통해 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1전극유닛으로부터 상기 화소전극을 형성하며, 상기 제2전극유닛으로부터 상기 절연패턴의 하부에 형성된 전극패턴을 포함하는 상기 패드전극을 형성하는 제4마스크공정단계; 및

상기 화소전극의 적어도 일부를 노출하는 화소정의막을 형성하는 제5마스크공정단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 15

제14항에 있어서,

상기 전극패턴과 상기 절연패턴을 동일한 형태의 패턴을 가지도록 형성되는 유기발광표시장치의 제조방법.

청구항 16

제14항에 있어서,

상기 제2마스크공정단계는

상기 활성층을 덮도록 상기 기판 상에 제1절연층, 제1도전층 및 제2도전층을 순차적으로 형성하는 단계; 및

상기 제1도전층 및 상기 제2도전층을 동시에 패터닝하여, 상기 제1도전층을 게이트하부전극으로 하고 상기 제2도전층을 게이트상부전극으로 하는 상기 게이트전극을 형성하는 동시에, 상기 제1도전층을 패드하부전극으로 하고 상기 제2도전층을 패드상부전극으로 하는 상기 제2전극유닛을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 17

제16항에 있어서,

상기 제4마스크공정단계는

상기 층간절연막 상에 제3도전층을 형성하는 단계;

상기 제3도전층을 패터닝하여 상기 소스전극 및 상기 드레인전극을 형성하는 단계; 및

상기 전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 화소전극을 형성하고, 상기 제2전극유닛을 구성하는 상기 패드상부전극을 일부 제거하여 하부의 상기 패드하부전극을 노출하는 개구부 및 상기 개구부 내에 상기 제2도전층으로 이루어진 상기 전극패턴을 포함하는 패드전극을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 18

제14항에 있어서,

상기 제3마스크공정단계는

상기 전극유닛, 상기 게이트전극 및 상기 패드전극 상에 제2절연층을 형성하는 단계; 및

상기 제2절연층을 패터닝하여, 상기 컨택홀들, 상기 제1전극유닛의 일부를 노출하는 개구 및 상기 제2전극유닛의 일부를 노출하는 소정 형상의 절연패턴을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 19

제14항에 있어서,

상기 제5마스크공정단계는

상기 소스전극 및 상기 드레인전극을 덮도록 상기 기판 전면에서 제4절연층을 형성하는 단계; 및

상기 제4절연층을 패터닝하여 상기 화소정의막을 형성하는 단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 20

제14항에 있어서,

상기 제1마스크공정단계는 기판 상에 상기 활성층과 동일층에 커패시터하부전극을 형성하는 단계; 를 더 포함하고,

상기 제2마스크공정단계는 상기 커패시터하부전극의 상부에, 커패시터상부전극을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 21

제14항에 있어서,

상기 제5마스킹공정단계 이후에 상기 화소전극 상부에 발광층을 포함하는 중간층, 및 대향 전극을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명의 일 측면은 유기발광표시장치 및 그 제조방법에 관한 것으로, 상세하게는 제조 공정이 단순화되고, 패드부의 내부식성 및 접촉저항이 개선된 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다. 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0003] 그러나, 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 측면은 제조 공정이 단순화되고, 패드부의 내부식성 및 접촉저항이 개선된 유기발광표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 활성층, 상기 활성층과 절연되며 게이트하부 전극 및 게이트상부전극을 포함하는 게이트전극, 상기 게이트전극을 덮는 절연막, 상기 절연막 상에 형성되어 상기 활성층과 접촉하는 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 박막트랜지스터와 전기적으로 연결되며, 상기 게이트하부전극과 동일층에 형성된 화소전극, 발광층을 포함하는 중간층 및 대향전극이 순차적으로 적층된 유기발광소자; 및 상기 게이트하부전극과 동일층에 형성된 패드하부전극; 상기 게이트상부전극과 동일층에 형성된 패드상부전극을 포함하는 패드전극; 을 포함하며, 여기서, 상기 패드상부전극은 상기 패드하부전극을 노출하는 개구부를 구비하며, 상기 개구부를 통해 외부로 노출된 상기 패드하부전극의 상면에는, 상기 패드상부전극과 동일층에 형성된 전극패턴 및 상기 전극패턴의 상면을 덮으며 상기 절연막과 동일층에 형성된 절연패턴이 구비된 유기발광표시장치를 제공한다.

[0006] 본 발명의 다른 특징에 따르면, 상기 개구부를 통해 외부로 노출된 상기 패드하부전극 및 상기 전극패턴의 측면은 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버IC와 전기적으로 연결된다.

[0007] 본 발명의 다른 특징에 따르면, 상기 개구부를 통해 외부로 노출된 상기 패드하부전극 및 상기 전극패턴의 측면은 도전볼을 통해 상기 드라이버IC와 전기적으로 연결된다.

[0008] 본 발명의 다른 특징에 따르면, 상기 전극패턴은 상기 패드상부전극과 연결된다.

[0009] 본 발명의 다른 특징에 따르면, 상기 전극패턴은 상기 패드상부전극으로부터 상기 개구부를 통해 외부로 노출된 상기 패드하부전극의 적어도 중앙부까지 돌출된 형태이다.

[0010] 본 발명의 다른 특징에 따르면, 상기 전극패턴은 하부의 상기 패드하부전극을 노출하는 관통공을 포함한다.

[0011] 본 발명의 다른 특징에 따르면, 상기 관통공의 최대폭은 상기 패드전극을 상기 드라이버IC와 전기적으로 연결하

는 도전볼의 최대폭보다 크다.

- [0012] 본 발명의 다른 특징에 따르면, 상기 전극패턴은 상기 패드상부전극과 연결된 적어도 하나 이상의 막대형상으로 구현된다.
- [0013] 본 발명의 다른 특징에 따르면, 상기 전극패턴과 상기 절연패턴을 동일한 형태의 패턴을 가진다.
- [0014] 본 발명의 다른 특징에 따르면, 상기 패드전극은 상기 박막트랜지스터 또는 상기 유기발광소자와 배선을 통해 전기적으로 커플링 또는 연결된다.
- [0015] 본 발명의 다른 특징에 따르면, 상기 패드하부전극은 상기 패드상부전극 및 상기 전극패턴에 비해 내부식성(耐腐蝕性)이 좋은 물질을 포함한다.
- [0016] 본 발명의 다른 특징에 따르면, 상기 게이트하부전극, 상기 화소전극 및 상기 패드하부전극은 투명한 도전성 금속산화물을 포함하며, 상기 게이트상부전극, 상기 패드상부전극 및 상기 전극패턴은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함한다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 활성층과 동일층에 형성된 커패시터하부전극 및 상기 게이트전극과 동일층에 형성된 커패시터상부전극을 포함하여, 상기 박막트랜지스터 또는 상기 유기발광소자와 전기적으로 연결된 커패시터; 를 더 구비한다.
- [0018] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 박막트랜지스터의 활성층을 형성하는 제1마스크공정단계; 상기 활성층 상부에, 화소전극을 형성하기 위한 제1전극유닛, 게이트전극, 패드전극을 형성하기 위한 제2전극유닛을 각각 형성하는 제2마스크공정단계; 상기 활성층의 양쪽 가장자리를 노출하는 컨택홀들, 상기 제1전극유닛의 일부를 노출하는 개구 및 상기 제2전극유닛 상면에 소정의 형상의 절연패턴을 갖는 층간절연막을 형성하는 제3마스크공정단계; 상기 컨택홀을 통해 상기 활성층과 접촉하는 소스전극 및 드레인전극을 형성하고, 상기 제1전극유닛으로부터 상기 화소전극을 형성하며, 상기 제2전극유닛으로부터 상기 절연패턴의 하부에 형성된 전극패턴을 포함하는 상기 패드전극을 형성하는 제4마스크공정단계; 및 상기 화소전극의 적어도 일부를 노출하는 화소정의막을 형성하는 제5마스크공정단계; 를 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0019] 본 발명의 다른 특징에 따르면, 상기 전극패턴과 상기 절연패턴을 동일한 형태의 패턴을 가지도록 형성된다.
- [0020] 본 발명의 다른 특징에 따르면, 상기 제2마스크공정단계는 상기 활성층을 덮도록 상기 기판 상에 제1절연층, 제1도전층 및 제2도전층을 순차적으로 형성하는 단계; 및 상기 제1도전층 및 상기 제2도전층을 동시에 패터닝하여, 상기 제1도전층을 게이트하부전극으로 하고 상기 제2도전층을 게이트상부전극으로 하는 상기 게이트전극을 형성하는 동시에, 상기 제1도전층을 패드하부전극으로 하고 상기 제2도전층을 패드상부전극으로 하는 상기 제2전극유닛을 형성하는 단계; 를 포함한다.
- [0021] 본 발명의 다른 특징에 따르면, 상기 제4마스크공정단계는 상기 층간절연막 상에 제3도전층을 형성하는 단계; 상기 제3도전층을 패터닝하여 상기 소스전극 및 상기 드레인전극을 형성하는 단계; 및 상기 전극유닛을 구성하는 상기 제2도전층을 제거하여 상기 제1도전층으로 이루어진 화소전극을 형성하고, 상기 제2전극유닛을 구성하는 상기 패드상부전극을 일부 제거하여 하부의 상기 패드하부전극을 노출하는 개구부 및 상기 개구부 내에 상기 제2도전층으로 이루어진 상기 전극패턴을 포함하는 패드전극을 형성하는 단계; 를 포함한다.
- [0022] 본 발명의 다른 특징에 따르면, 상기 제3마스크공정단계는 상기 전극유닛, 상기 게이트전극 및 상기 패드전극 상에 제2절연층을 형성하는 단계; 및 상기 제2절연층을 패터닝하여, 상기 컨택홀들, 상기 제1전극유닛의 일부를 노출하는 개구 및 상기 제2전극유닛의 일부를 노출하는 소정 형상의 절연패턴을 형성하는 단계; 를 포함한다.
- [0023] 본 발명의 다른 특징에 따르면, 상기 제5마스크공정단계는 상기 소스전극 및 상기 드레인전극을 덮도록 상기 기판 전면에 제4절연층을 형성하는 단계; 및 상기 제4절연층을 패터닝하여 상기 화소정의막을 형성하는 단계; 를 포함한다.
- [0024] 본 발명의 다른 특징에 따르면, 상기 제1마스크공정단계는 기판 상에 상기 활성층과 동일층에 커패시터하부전극을 형성하는 단계; 를 더 포함하고, 상기 제2마스크공정단계는 상기 커패시터하부전극의 상부에, 커패시터상부전극을 형성하는 단계; 를 더 포함한다.
- [0025] 본 발명의 다른 특징에 따르면, 상기 제5마스크공정단계 이후에 상기 화소전극 상부에 발광층을 포함하는 중간층, 및 대향 전극을 형성하는 단계; 를 더 포함한다.

발명의 효과

[0026] 이상과 같은 본 발명의 일 실시예에 따르면, 유기발광표시장치의 제조공정이 단순화되고, 패드부의 내부식성 및 접촉저항이 개선되어 장치의 신뢰성이 향상되는 효과를 얻을 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치의 구조를 개략적으로 나타낸 평면도이다.
 도 2는 도 1의 II-II'선을 따라 절개한 단면도이다.
 도 3 내지 도 11은 도 2에 도시된 유기발광표시장치의 제조공정을 개략적으로 나타내는 단면도이다.
 도 12는 도 2의 유기발광표시장치에 포함된 패드전극을 보다 상세하게 나타내는 도면들이다.
 도 13 내지 도 16은 도 2에 도시된 유기발광표시장치에 포함된 패드전극의 다른 실시예들을 개략적으로 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0029] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0032] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)의 구조를 개략적으로 나타낸 평면도이다.

[0033] 도 1을 참조하면, 유기발광표시장치(1)는 복수개의 발광화소를 포함하는 제1기판(10), 제1기판(10)과 실링을 통해 합착되는 제2기판(70)을 포함한다.

[0034] 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.

[0035] 제2기판(70)은 제1기판(10)에 구비된 TFT 및 발광화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기판일 수 있다. 제2기판(70)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(70)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.

[0036] 제1기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링부재(90)가 배치되어, 제1기판(10)과 제2기판(70)을 접합한다.

[0037] 상술한 바와 같이, 제1기판(10)의 발광영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광영역(DA)의 배선으로부터 연장 형성된 패드전극(PAD)이 위치하는 패드영역(5)이 포함될 수 있다.

[0038] 도 2는 도 1의 II-II'선을 따라 절개한 단면도이다.

[0039] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 트랜지스터영역(2), 저장영역(3), 발광영역(4) 및 패드영역(5)을 포함한다.

역(5)을 포함한다.

- [0040] 트랜지스터영역(2)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 활성층(21), 게이트전극(20) 및 소스/드레인 전극(29,27)으로 구성된다. 게이트전극(20)은 게이트하부전극(23)과 게이트하부전극(23) 상부에 있는 게이트상부전극(25)으로 구성되고, 이 때 게이트하부전극(23)은 투명한 전도성 물질로 형성될 수 있다. 게이트전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트절연막인 제1절연층(12)이 개재되어 있다. 또한, 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인영역(21s/21d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(29/27)에 각각 연결되어 있다.
- [0041] 저장영역(3)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 커패시터하부전극(31) 및 커패시터상부전극(33)으로 이루어지며, 이들 사이에 제1절연층(12)이 개재된다. 여기서, 커패시터하부전극(31)은 박막트랜지스터(TFT)의 활성층(21)과 동일한 층에 형성될 수 있다. 커패시터하부전극(31)은 반도체 물질로 이루어지며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 커패시터상부전극(33)은 박막트랜지스터(TFT)의 게이트하부전극(23), 및 유기발광소자(EL)의 화소전극(43)과 동일한 층에 형성될 수 있다.
- [0042] 발광영역(4)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극(29/27) 중 하나와 접촉된 화소전극(43), 화소전극(43)과 마주보도록 형성된 대향전극(45) 및 그 사이에 개재된 중간층(44)으로 구성된다. 화소전극(43)은 투명한 전도성 물질로 형성되며, 박막트랜지스터(TFT)의 게이트하부전극(23) 등과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0043] 패드영역(5)은 패드전극(PAD)을 포함한다. 여기서, 도시되지 않았지만, 패드전극(PAD)은 박막트랜지스터(TFT) 또는 유기발광소자(EL)와 배선(미도시)을 통해 전기적으로 연결될 수 있다. 또한, 패드전극(PAD)은 유기발광표시장치(1)의 구동을 위해 전류를 공급하는 드라이버IC(미도시)와 전기적으로 연결된다. 따라서, 패드전극(PAD)은 드라이버IC(미도시)로부터 전류를 인가받아 배선(미도시)을 통해 발광영역(도 1의 DA)에 위치한 박막트랜지스터(TFT) 또는 유기발광소자(EL)로 전류를 전달하게 된다. 패드전극(PAD)은 게이트하부전극(23)과 동일층에 동일한 물질로 형성된 패드하부전극(53), 및 게이트상부전극(35)과 동일층에 동일한 물질로 형성된 패드상부전극(55)을 포함한다. 패드전극(PAD)은 배선(미도시)을 통해 발광영역(도 1의 DA)과 연결되는 제1접속부(50a)와 드라이버IC(미도시)와 연결되는 제2접속부(50b)를 포함할 수 있다. 제2접속부(50b)는 외부의 드라이버IC(미도시)와 전기적으로 연결되기 위하여 개구부(OP)를 통해 외부로 노출된 것을 특징으로 한다. 한편, 제1접속부(50a)는 내부의 소자와 배선(미도시)을 통해 전기적으로 연결되고 타 구성과는 절연되기 위해서 층간절연막(14)으로 덮힌 것을 특징으로 한다.
- [0044] 패드전극(PAD)의 제2접속부(50b)에 대응하는 영역의 패드상부전극(55)은 하부의 패드하부전극(53)을 노출하는 개구부(OP)를 구비한다. 이 개구부(OP)를 통해 외부로 노출된 패드하부전극(53)의 상면에는 전극패턴(57) 및 절연패턴(54)이 위치한다. 전극패턴(57)은 패드상부전극(55)과 연결되며, 패드상부전극(55)과 동일층에 동일한 물질로 형성된 것이며, 절연패턴(54)은 층간절연막인 제2절연층(14)과 동일한 층에 동일한 물질로 형성된 것이다. 전극패턴(57)과 절연패턴(54)은 동일한 형태의 패턴을 가진다. 즉, 전극패턴(57)의 상면은 모두 절연패턴(54)으로 덮여 있어, 전극패턴(57)의 상면은 외부로 노출되지 않는다. 개구부(OP)를 통해 노출된 패드하부전극(53) 및 전극패턴(57)의 측면은 외부의 드라이버IC(미도시)와 도전볼(도 12의 80)을 통해 전기적으로 연결된다. 이와 관련해서는 도 12를 참조하여 차후에 상세히 설명하기로 한다.
- [0045] 본 발명의 일 실시예에 의하면, 패드전극(PAD)의 제2접속부(50b)에는 외부로 노출된 패드하부전극(53) 상에 소정의 형상의 전극패턴(57)이 위치하고, 전극패턴(57)의 상면은 외부로 직접 노출되지 않도록 절연패턴(54)에 의해 덮힌 것을 특징으로 한다. 여기서 패드하부전극(53)은 전극패턴(57)에 비해 내부식성(耐腐蝕性)이 좋은 물질을 포함한다. 또한, 전극패턴(57)은 패드하부전극(53)에 비해 저항이 작아 전류가 잘 흐르는 물질을 포함한다. 예를 들어 패드하부전극(53)을 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명한 도전성 금속산화물로 형성하고, 전극패턴(57)을 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질로 형성할 수 있다.
- [0046] 이하에서는 본 발명의 일 실시예에 의한 구조의 효과를 알아본다. 예를 들어, 제2접속부(50b)를 패드하부전극(53)으로만 구성하여 드라이버IC(미도시)와 패드하부전극(53)만이 전기적으로 접촉하는 경우, 40인치(inch) 이상의 대형 패널에서 저항 산포가 발생하여 표시 품질이 저하되는 문제가 있다. 실험적으로, 패드하부전극(53)으로만 이루어진 패드는 평균적으로 저항이 약 621(Ω ; ohm)이며, 표준편차가 약 599(Ω ; ohm)이다. 한편, 제2접속부(50b)를 패드상부전극(55)만이 노출되도록 구성하여 드라이버IC(미도시)와 패드상부전극(55)만 전기적으로 접촉하는 경우, 이 패드는 평균적으로 저항이 약 144(Ω ; ohm)이며, 표준편차가 약 2(Ω ; ohm)이다. 즉, 저항

산포는 개선되나, 패드상부전극(55)을 구성하는 금속물질이 직접 노출되어 쉽게 부식되고, 이러한 내부식성의 저하로 장치의 신뢰성이 저하되는 문제가 있다. 그러나, 도 2에 도시된 본 발명의 구조에 의하면, 패드하부전극(53) 상에 패드상부전극(55)과 전기적으로 연결된 전극패턴(57)을 배치하여 저항 산포 및 접촉 저항을 개선하는 특징이 있다. 게다가, 전극패턴(57)의 상면에는 절연패턴(54)을 형성하여 전극패턴(57) 상면이 외부로 직접 노출되지 않아 내부식성이 향상되는 효과도 동시에 가지고 있다.

- [0047] 도 3 내지 도 11은 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에 서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.
- [0048] 먼저, 도 3에 도시된 바와 같이, 제1기판(10) 상부에 보조층(11)을 형성한다. 상세히, 제1기판(10)은 SiO₂를 주 성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 제1기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0049] 한편, 제1기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0050] 다음으로 도 4에 도시된 바와 같이, 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(21)과 커패시터하부전극(31)을 형성한다. 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(21) 및 커패시터하부전극(31)으로 패터닝된다.
- [0051] 본 실시예에서는, 활성층(21)과 커패시터하부전극(31)이 분리 형성되었으나, 활성층(21)과 커패시터하부전극(31)을 일체로 형성할 수도 있다.
- [0052] 다음으로, 도 5에 도시된 바와 같이, 활성층(21)과 커패시터하부전극(31)이 형성된 제1기판(10)의 전면에 제1절연층(12), 제1도전층(13) 및 제2도전층(15)을 순차로 형성한다.
- [0053] 제1절연층(12)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(12)은, 박막트랜지스터(TFT)의 활성층(21)과 게이트전극(20) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터상부전극(33)과 커패시터하부전극(31) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0054] 제1도전층(13)은 ITO, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(13)은 화소전극(43), 게이트하부전극(23), 커패시터상부전극(33), 및 패드하부전극(53)으로 패터닝 될 수 있다.
- [0055] 한편, 제2도전층(15)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 추후 제2도전층(15)은 게이트상부전극(25) 패드상부전극(55) 및 전극패턴(57)으로 패터닝 될 수 있다.
- [0056] 그러나 이에 한정되지 않고, 제1도전층(13)은 제2도전층(15)에 비해 내부식성이 좋은 물질을 포함하며, 제2도전층(15)은 제1도전층(13)에 비해 저항이 작아 전류가 잘 흐르는 물질을 포함한다면 본 발명의 일 실시예들을 만족한다.
- [0057] 다음으로, 도 6에 도시된 바와 같이, 제1기판(10) 상에 게이트전극(20)과, 제1전극유닛(40)과 제3전극유닛(30)과 제2전극유닛(50)을 각각 형성한다.
- [0058] 상세히, 제1기판(10) 전면에 차례로 적층된, 제1도전층(13) 및 제2도전층(15)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0059] 이 때, 트랜지스터영역(2)에는 활성층(21) 상부에 게이트전극(20)이 형성되고, 게이트전극(20)은 제1도전층(13)의 일부로 형성된 게이트하부전극(23)과 제2도전층(15)의 일부로 형성된 게이트상부전극(25)을 포함한다.

- [0060] 여기서, 게이트전극(20)은 활성층(21)의 중앙에 대응하도록 형성되며, 게이트전극(20)을 셀프 얼라인(self align) 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인영역(21s/21d)과 이들 사이의 채널영역(21c)을 형성한다. 여기서 불순물은 보론(B) 이온 또는 인(P) 이온일 수 있다.
- [0061] 저장영역(3)에는 추후 커패시터상부전극(33)을 형성하기 위한 제3전극유닛(30)이 커패시터하부전극(31) 상부에 형성되고, 발광영역(4)에는 추후 화소전극(43)을 형성하기 위한 제1전극유닛(40)이 형성된다. 그리고, 패드영역(5)에는 추후 패드전극(PAD)을 형성하기 위한 제2전극유닛(50)이 형성된다.
- [0062] 다음으로, 도 7에 도시된 바와 같이, 게이트전극(20)이 형성된 제1기판(10)의 전면에서 제2절연층(14)을 증착한다.
- [0063] 상기 제2절연층(14)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스펀 코팅 등의 방법으로 형성된다. 제2절연층(14)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(12)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(20)과 소스/드레인전극(29/27) 사이의 증간절연막 역할을 수행한다. 한편, 제2절연층(14)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연층(12)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질을 교번하여 형성할 수도 있다.
- [0064] 다음으로, 도 8에 도시된 바와 같이, 제2절연층(14)을 패터닝하여 제1 및 제3전극유닛(30, 40)을 노출하는 개구들(H3, H4, H5)과 활성층(21)의 소스/드레인영역(21s/21d)의 일부를 노출하는 컨택홀들(H1, H2) 및 절연패턴(54)을 갖는 증간절연막(14)을 형성한다.
- [0065] 상세히, 상기 제2절연층(14)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 컨택홀들, 개구들(H1, H2, H3, H4, H5) 및 절연패턴(54)을 형성한다. 여기서, 컨택홀들(H1, H2)은 소스/드레인영역(21s/21d)의 일부를 각각 노출시키고, 제3개구(H3) 및 제4개구(H4)는 제1전극유닛(40)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다. 상기 제5개구(H5)는 제3전극유닛(30)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다. 그리고, 제2전극유닛(50)의 제2접속부(50b)의 상부에는 소정의 형상의 절연패턴(54)이 형성되는데, 이 절연패턴(54)은 제2전극유닛(50)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다. 한편, 절연패턴(54)은 다른 개구들(H1, H2, H3, H4, H5)과 달리 소정의 형상으로 패터닝 된다.
- [0066] 한편, 도 8에 도시된 바와 같이 제3, 5개구(H3, H5)는 각 전극유닛(30, 40) 전체를 노출시키도록 형성될 수도 있으나, 이에 한정된 것은 아니다.
- [0067] 다음으로, 도 9에 도시된 바와 같이, 증간절연막(14)을 닦도록 제1기판(10) 전면에서 제3도전층(17)을 증착한다.
- [0068] 상기 제3도전층(17)은 전술한 제1 또는 제2도전층(13, 15)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 컨택홀들, 개구들(H1, H2, H3, H4, H5) 및 절연패턴(54) 사이를 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0069] 다음으로, 도 10에 도시된 바와 같이, 제3 도전층(도 10의 17 참조)을 패터닝하여, 소스/드레인전극(29/27), 화소전극(43) 커패시터상부전극(33) 및 전극패턴(57)을 포함하는 패드전극(PAD)을 각각 형성한다.
- [0070] 상세히, 상기 제3도전층(도 10의 17 참조)을 제4마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인전극(29/27)을 형성한다.
- [0071] 여기서, 소스/드레인전극(29/27) 중 하나의 전극(본 실시예의 경우 드레인전극(27))은 화소전극(43)이 형성될 전극패턴(도 8의 40 참조)의 상부 제2도전층(15)의 가장자리 영역의 제3개구(H3)를 통하여 화소전극(43)과 접촉하도록 형성된다.
- [0072] 한편, 소스/드레인전극(29/27)을 형성함과 동시에 화소전극(43) 및 커패시터상부전극(33)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(29/27)을 형성한 후 추가 식각에 의해 화소전극(43) 및 커패시터상부전극(33)을 각각 형성할 수도 있다. 상세히, 제1전극패턴(도 8의 40 참조)은 제4개구(H4)에 의해 노출된 상부 제2도전층(15)을 제거하여 화소전극(43)을 형성한다. 그리고, 상기 제3전극패턴(도 8의 30 참조)은 제3개구(H3)에 의해 노출된 상부 제2도전층(15)을 제거하여 커패시터상부전극(33)을 형성한다. 그리고, 제2전극패턴(도 8의 50 참조)은 절연패턴(54)에 대응하는 패드상부전극(55)을 제외한 나머지 패드상부전극(55)을 제거하는 개구부(OP)를 형성하여 전극패턴(57)을 형성한다. 따라서, 형성된 전극패턴(57)은 절연패턴(54)과 동일한 패턴을 가지게 된다. 한편, 상술한 바와 같이 전극패턴(57)은 드라이버IC(미도시)와 전기적으로 연결되는 제2접

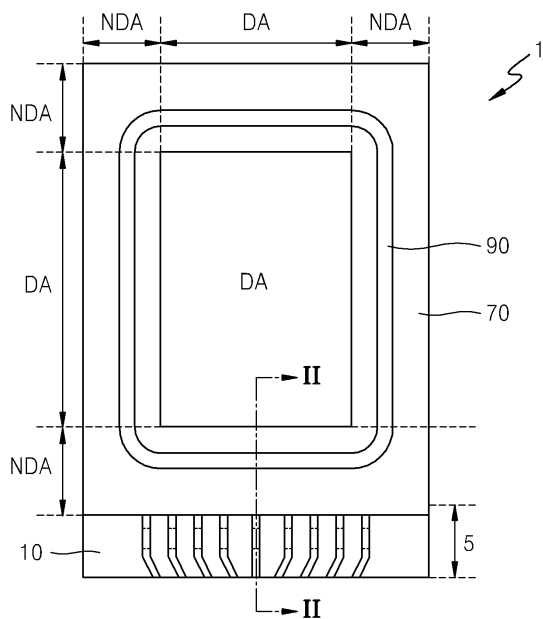
속부(50b)상에 형성된다.

- [0073] 따라서 게이트 게이트하부전극(23), 커패시터상부전극(33) 및 화소전극(43)은 동일층에서 동일 물질로 형성된다.
- [0074] 여기서, 상기 제5개구(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터하부전극(31)을 도핑할 수 있다. 상기 도핑 시 주입되는 불순물은 상기 활성층(21)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.
- [0075] 다음으로, 도 11에 도시된 바와 같이, 제1기판(10) 상에 화소정의막(pixel define layer: PDL)(16)을 형성한다.
- [0076] 상세히, 화소전극(43), 소스/드레인전극(29/27), 커패시터상부전극(33), 및 패드전극(PAD)이 형성된 제1기판(10) 전면에 제3절연층(16)을 증착한다. 이때 상기 제3절연층(16)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3절연층(16)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연층(16)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0077] 한편, 제3절연층(16)은 선택에 따라 패드영역(5)에 증착될 수도 있고, 증착되지 않을 수도 있다.
- [0078] 제3절연층(16)은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소전극(43)의 중앙부가 노출되도록 제7개구(H7)를 형성함으로써, 픽셀을 정의하게 된다.
- [0079] 이후 도 2에 도시된 바와 같이, 화소전극(43)을 노출하는 제7개구(H7)에 발광층을 포함하는 중간층(44) 및 대향전극(45)을 형성한다.
- [0080] 중간층(44)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0081] 상기 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0082] 유기 발광층이 저분자 유기물로 형성되는 경우, 중간층(44)은 유기 발광층을 중심으로 화소전극(43)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향전극(45) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0083] 한편, 유기 발광층이 고분자 유기물로 형성되는 경우에는, 중간층(44)은 유기 발광층을 중심으로 화소전극(43) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(43) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- [0084] 상기 대향전극(45)은 제1기판(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기발광 표시장치(1)의 경우, 화소전극(43)은 애노드 전극으로 사용되고, 대향전극(45)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0085] 유기발광표시장치(1)가 제1기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(43)은 투명전극이 되고 대향전극(45)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.
- [0086] 도 12는 도 2의 유기발광표시장치에 포함된 패드전극을 보다 상세하게 나타내는 도면들이고, 도 13 내지 도 16은 도 2에 도시된 유기발광표시장치(1)에 포함된 패드전극(PAD)의 다른 실시예들을 개략적으로 나타내는 평면도

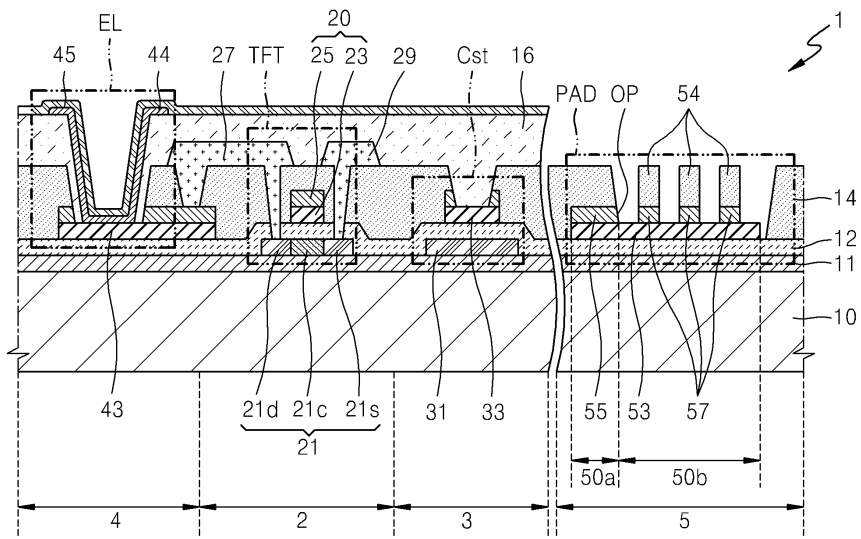
- | | |
|--------------|---------------------|
| 16: 제3절연층 | 17: 제3도전층 |
| 20: 게이트전극 | 21: 활성층 |
| 23: 게이트하부전극 | 25: 게이트상부전극 |
| 30: 제3전극유닛 | 31: 커패시터하부전극 |
| 33: 커패시터상부전극 | 40: 제1전극유닛 |
| 43: 화소전극 | 44: 중간층 |
| 45: 대향 전극 | 50a: 제1접속부 |
| 50: 제2전극유닛 | 50b: 제2접속부 |
| 53: 패드하부전극 | 54: 절연패턴 |
| 55: 패드상부전극 | 29, 27: 및 소스/드레인 전극 |
| 57a: 관통공 | 57b: 돌출부 |
| 57: 전극패턴 | 70: 제2기판 |
| 80: 도전볼 | 85: 드라이버IC |
| 90: 실링부재 | |

도면

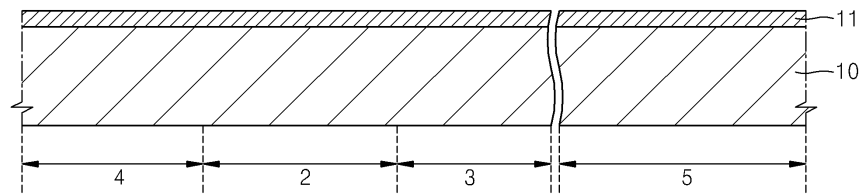
도면1



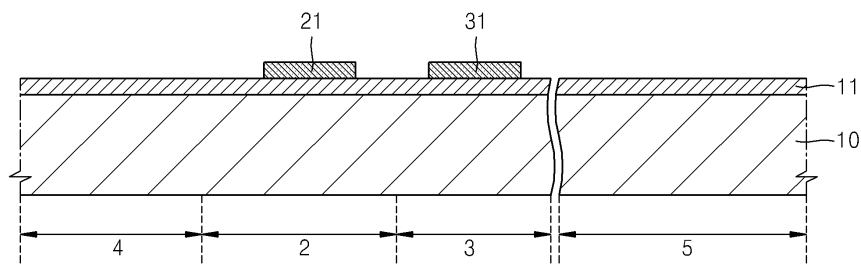
도면2



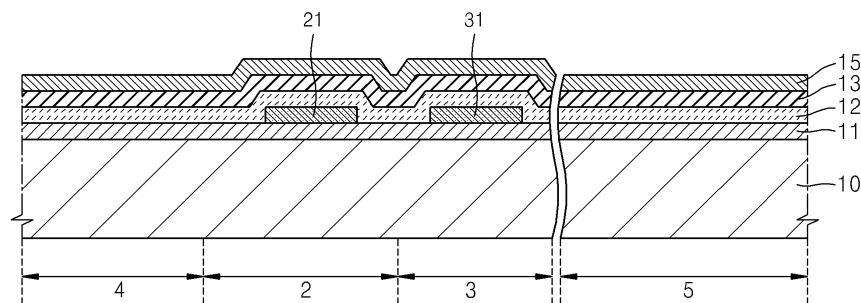
도면3



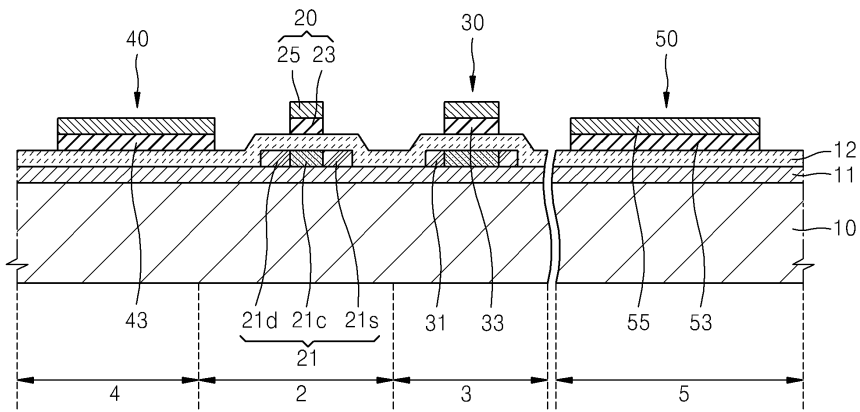
도면4



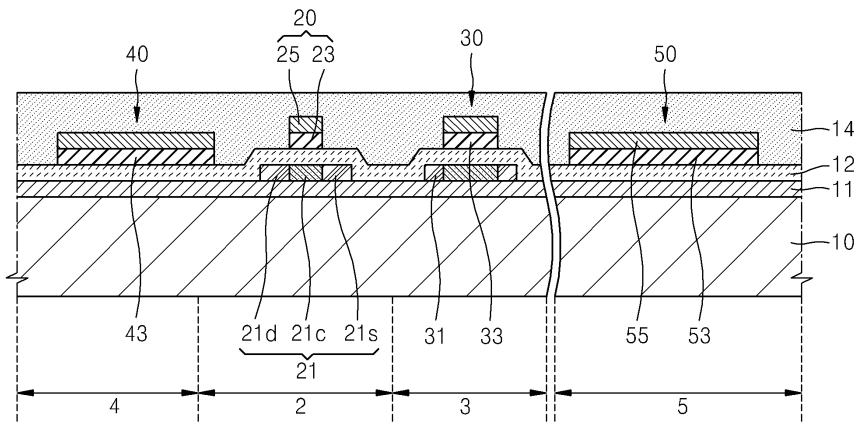
도면5



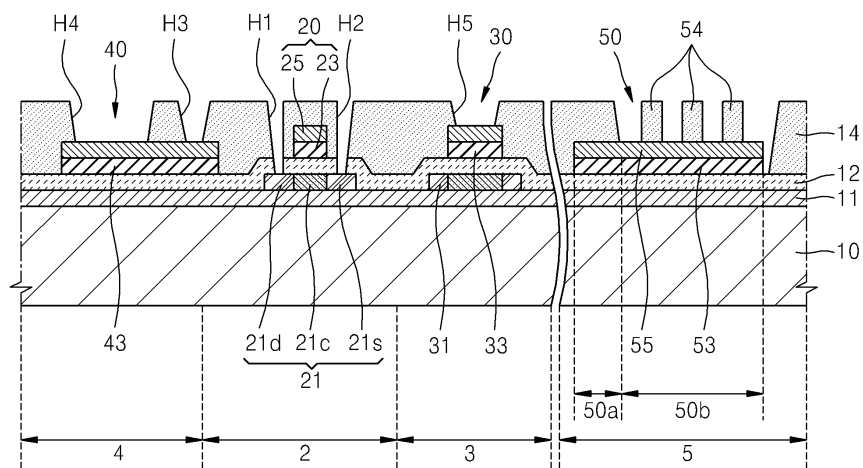
도면6



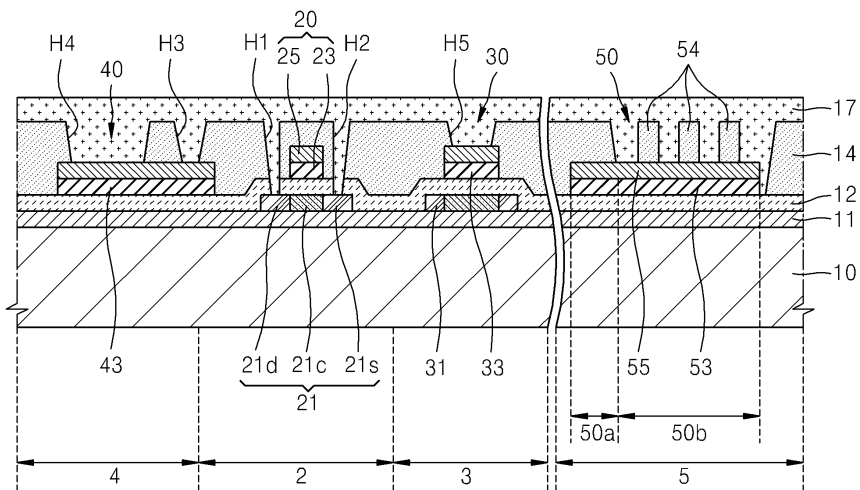
도면7



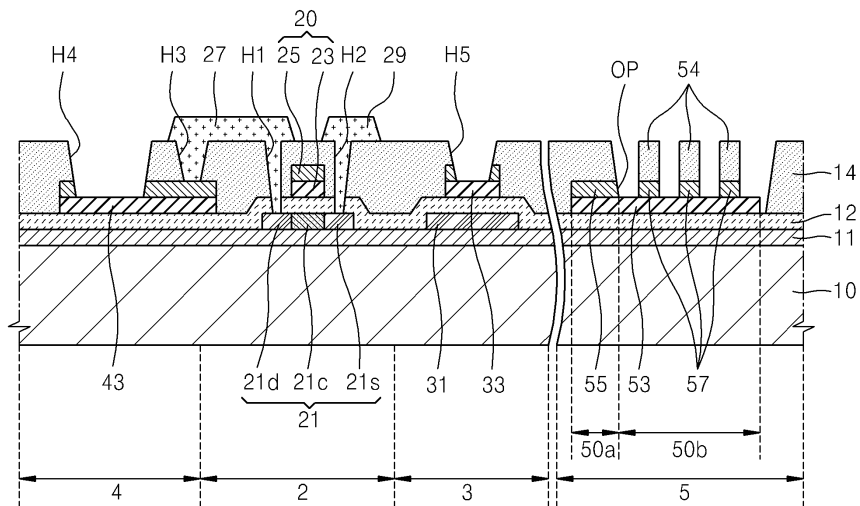
도면8



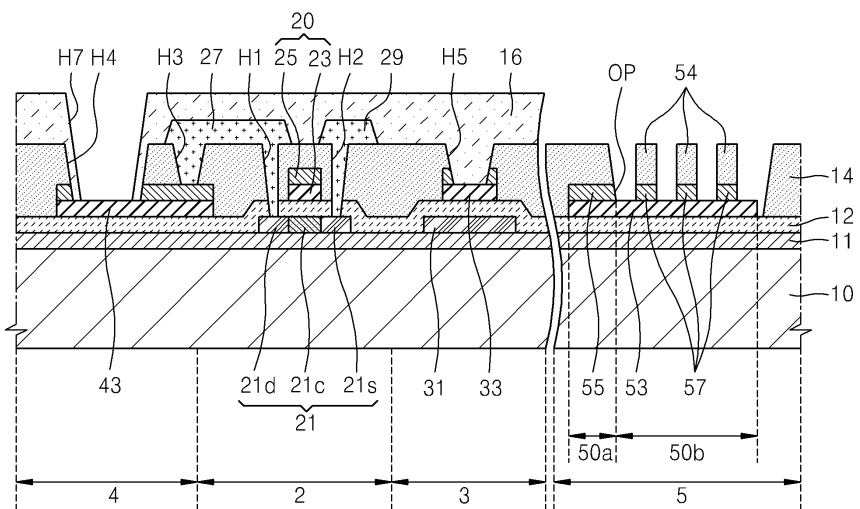
도면9



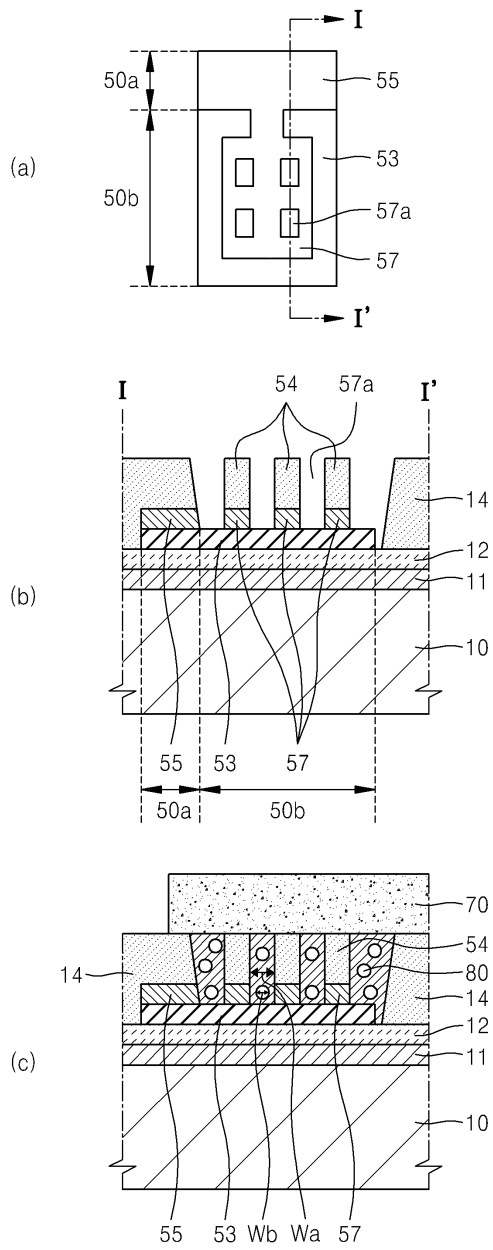
도면10



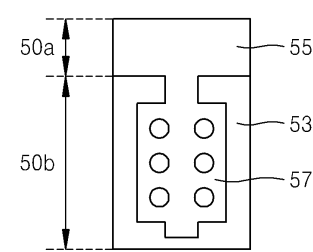
도면11



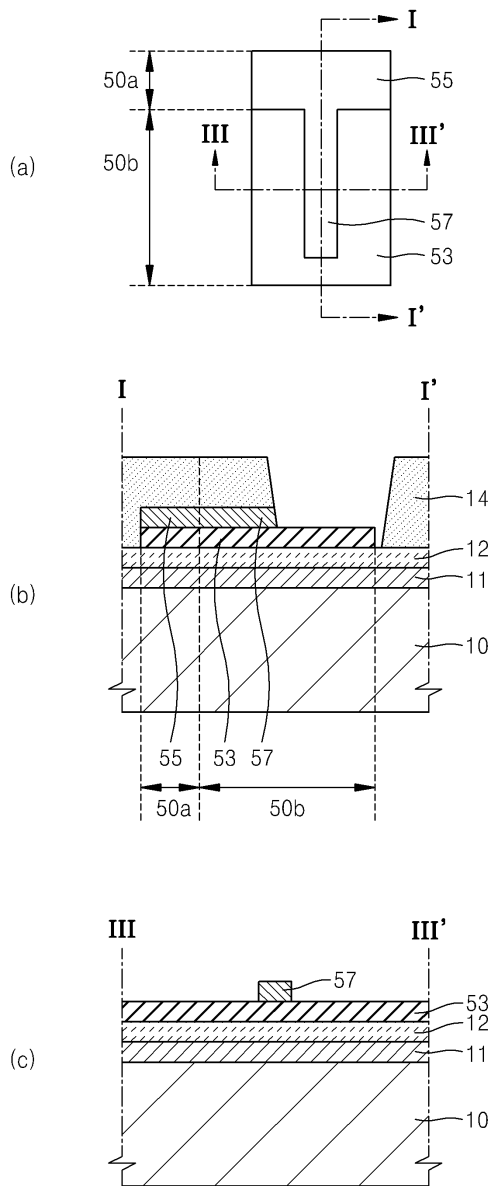
도면12



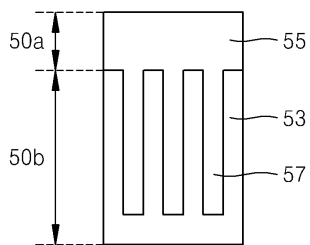
도면13



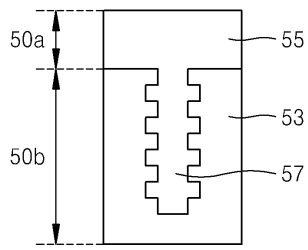
도면14



도면15



도면16



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020130007053A	公开(公告)日	2013-01-18
申请号	KR1020110063049	申请日	2011-06-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SUN 박선 PARK JONG HYUN 박종현 LEE YUL KYU 이율규 PARK KYUNG HOON 박경훈 MOON SANG HO 문상호		
发明人	박선 박종현 이율규 박경훈 문상호		
IPC分类号	H01L51/50 H05B33/06 H05B33/10		
CPC分类号	H01L27/3248 H01L2227/323 H01L27/3276 H01L2251/10 H01L2251/50		
外部链接	Espacenet		

摘要(译)

本发明的用于薄膜包括源电极和所述绝缘膜上形成有源层接触的漏电极，覆盖栅电极，与有源层分离的栅电极，绝缘膜，所述有源层和栅极底电极和栅极顶电极晶体管；它被连接至所述薄膜晶体管和电，像素电极，中间层和有机发光相对电极的设备顺序地包括形成在栅极下电极和在同一层的发光层堆叠；并且垫下电极形成在与栅下电极相同的层上；一种焊盘电极，包括焊盘上电极，形成在与栅极上电极相同的层上；夹杂物，并且其中所述衬垫上电极和具有开口暴露所述焊盘下电极，通过露出到外部的开口的焊盘下电极的上表面上，形成在焊盘电极图案，顶部电极和在同一层并且绝缘图案覆盖电极图案的上表面并形成在与绝缘层相同的层上。

