(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월03일
(11) 등록번호 10-1702429
(24) 등록일자 2017년01월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)
(21) 출원번호 10-2013-0155542
(22) 출원일자 2013년12월13일
심사청구일자 2015년06월03일
(65) 공개번호 10-2015-0069288
(43) 공개일자 2015년06월23일
(56) 선행기술조사문헌
KR1020110032251 A*
WO2005122120 A2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한인효
경기 광명시 디지털로 24, 105동 803호 (철산동, 철산푸르지오하늘채아파트)
윤상욱
울산 울주군 온양읍 연안8길 44-7, 1103호 (상아비취맨션)
(74) 대리인
김은구, 송해모

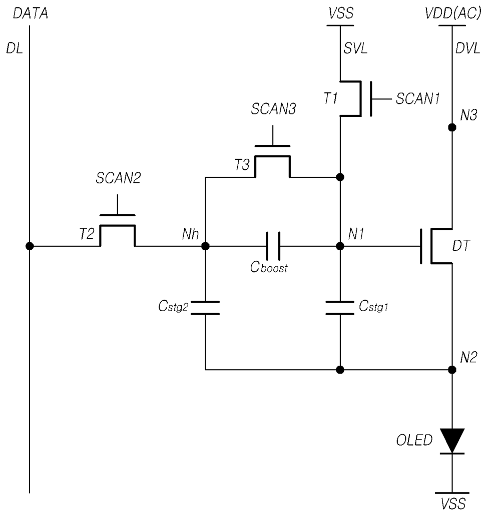
전체 청구항 수 : 총 15 항 심사관 : 김재문

(54) 발명의 명칭 **보상 화소 구조를 갖는 유기발광표시장치**

(57) 요 약

본 발명은 구동 시에 발생할 수 있는 문턱전압 손실을 보상해주어, 문턱전압 보상 능력 및 범위를 크게 향상시킬 수 있는 화소 구조를 갖는 유기발광표시장치에 관한 것이다.

대 표 도 - 도5



명 세 서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널;

상기 데이터 라인들을 구동하는 데이터 구동부;

상기 게이트 라인들을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되,

상기 다수의 화소 각각은,

유기발광다이오드와,

상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와,

제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와,

제2 스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터와,

제3스캔신호에 의해 제어되며 상기 구동 트랜지스터의 제1노드와 상기 홀드 노드 사이에 연결되는 제3트랜지스터를 포함하고,

상기 부스트 캐패시터의 일단은 상기 구동 트랜지스터의 제1노드와 연결되고, 상기 부스트 캐패시터의 타단은 상기 제2스토리지 캐패시터의 일단과 연결되며, 상기 제2스토리지 캐패시터의 타단은 상기 구동 트랜지스터의 제2노드와 연결되고,

상기 부스트 캐패시터의 타단과 상기 제2스토리지 캐패시터의 일단이 연결된 지점이 상기 홀드 노드인 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 제1스토리지 캐패시터, 상기 부스트 캐패시터 및 상기 제2스토리지 캐패시터 중 상기 제2스토리지 캐패시터의 정전용량이 가장 작은 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 구동전압 라인을 통해 공급되는 구동전압은 교류전압이고,

상기 다수의 화소 각각은,

초기화 단계와, 문턱전압 센싱 단계와, 데이터 기록 및 이동도 센싱 단계와, 발광 단계로 동작하는 것을 특징으로 하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 초기화 단계에서,

상기 구동 트랜지스터의 제3노드는 로우(Low) 레벨의 구동전압이 인가되고, 상기 제1트랜지스터 및 상기 제3트랜지스터는 턴 온 되고, 상기 제2트랜지스터는 턴 오프 되어,

상기 홀드 노드와 상기 구동 트랜지스터의 제1노드는 기저전압으로 초기화되고, 상기 구동 트랜지스터의 제2노드는 로우 레벨의 구동전압으로 초기화되는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 문턱전압 센싱 단계에서,

상기 구동 트랜지스터의 제3노드에는 하이(High) 레벨의 구동전압이 인가되고, 상기 제1트랜지스터는 턴 온이 유지되며, 상기 제2트랜지스터는 턴 오프 되고, 상기 제3트랜지스터는 턴 오프가 유지되어,

상기 구동 트랜지스터의 제1노드는 기저전압으로 유지되고, 상기 구동 트랜지스터의 제2노드의 전압은 상승하며, 상기 홀드 노드의 전압은 상기 구동 트랜지스터의 제2노드의 전압 변화량과 제1 정전용량 비율에 따라 상승하는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 홀드 노드의 전압은, 상기 구동 트랜지스터의 제2노드의 전압 변화량과 제1 정전용량 비율을 곱한 전압 값으로 상승하고,

상기 제1 정전용량 비율은, 상기 제2스토리지 캐패시터의 정전용량을 상기 부스트 캐패시터와 상기 제2스토리지 캐패시터의 정전용량의 합으로 나눈 값인 것을 특징으로 하는 유기발광표시장치.

청구항 7

제5항에 있어서,

상기 데이터 기록 및 이동도 센싱 단계에서,

상기 제2트랜지스터로 상기 데이터 라인을 통해 데이터 전압이 인가되고, 상기 구동 트랜지스터의 제3노드는 하이레벨의 구동전압이 인가되며, 상기 제1트랜지스터가 턴 오프 되고, 상기 제2트랜지스터는 턴 온 되어,

상기 홀드 노드의 전압이 상승하고, 상기 구동 트랜지스터의 제2노드의 전압은 이동도 센싱에 따라 상승하며,

상기 구동 트랜지스터의 제1노드의 전압은 상기 홀드 노드의 전압 변화량, 상기 구동 트랜지스터의 제2노드의 전압 변화량, 제2 정전용량 비율, 제3 정전용량 비율에 따라 상승하고,

상기 제2 정전용량 비율은,

상기 부스트 캐패시터의 정전용량을 상기 제1스토리지 캐패시터와 상기 부스트 캐패시터의 정전용량의 합으로 나눈 값이고,

상기 제3 정전용량 비율은,

상기 제1스토리지 캐패시터의 정전용량을 상기 부스트 캐패시터와 상기 제1스토리지 캐패시터의 정전용량의 합으로 나눈 값인 것을 특징으로 하는 유기발광표시장치.

청구항 8

제7항에 있어서,

상기 구동 트랜지스터의 제1노드의 전압은,

상기 홀드 노드의 전압 변화량과 상기 제2 정전용량 비율을 곱한 전압 값과, 상기 구동 트랜지스터의 제2노드의 전압 변화량과 상기 제3 정전용량 비율을 곱한 전압 값을 더한 전압 값만큼 더 상승하는 것을 특징으로 하는 유기발광표시장치.

청구항 9

삭제

청구항 10

제7항에 있어서,

상기 제3 정전용량 비율은,

상기 구동 트랜지스터의 제1노드와 제2노드의 전압 차이가 감소하는 속도를 결정하는 것을 특징으로 하는 유기발광표시장치.

청구항 11

제7항에 있어서,

상기 발광 단계에서,

상기 구동 트랜지스터, 상기 제1트랜지스터, 상기 제2트랜지스터 및 상기 제3트랜지스터는 모두 턴 오프 되고, 상기 구동 트랜지스터의 제2노드의 전압이 상승하면서 상기 유기발광다이오드가 발광하는 것을 특징으로 하는 유기발광표시장치.

청구항 12

제1항에 있어서,

상기 제2스토리지 캐패시터의 정전용량은,

상기 구동 트랜지스터의 제1노드의 기생 캐패시터에 의한 문턱전압 정보 손실 보상의 제어량을 결정하는 것을 특징으로 하는 유기발광표시장치.

청구항 13

제1항에 있어서,

상기 구동전압 라인을 통해 공급되는 구동전압은 직류전압이고,

상기 다수의 화소 각각은,

초기화 단계와, 문턱전압 센싱 단계와, 데이터 기록 및 이동도 센싱 단계와, 발광 단계로 동작하고,

상기 구동 트랜지스터의 제2노드와 초기화전압 라인 사이에 연결되며 상기 제3트랜지스터를 제어하는 상기 제3스캔신호에 의해 제어되는 제4트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 14

제13항에 있어서,

상기 초기화 단계에서,

상기 구동 트랜지스터의 제3노드는 상기 구동전압이 인가되고,

상기 제1트랜지스터, 상기 제3트랜지스터 및 상기 제4트랜지스터는 턴 온 되고, 상기 제2트랜지스터는 턴 오프되어,

상기 홀드 노드와 상기 구동 트랜지스터의 제1노드는 기저전압으로 초기화되고, 상기 구동 트랜지스터의 제2노드는 초기화전압으로 초기화되는 것을 특징으로 하는 유기발광표시장치.

청구항 15

데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널;

상기 데이터 라인들을 구동하는 데이터 구동부;

상기 게이트 라인들을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되,

상기 다수의 화소 각각은,

유기발광다이오드와,

상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와,

제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와,

제2스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터를 포함하고,

상기 구동전압 라인을 통해 공급되는 구동전압은 교류전압이며,

상기 홀드 노드는 상기 데이터 라인을 통해 인가된 전압에 의해 초기화되되,

상기 데이터 라인을 통해 인가되는 전압은, 로우(Low) 레벨의 초기 데이터 전압과 하이(High) 레벨의 데이터 전압이 교번하는 전압이고,

상기 제2트랜지스터는, 수평주기 단위로 턴 온과 턴 오프를 반복하는 유기발광표시장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널;

상기 데이터 라인들을 구동하는 데이터 구동부;

상기 게이트 라인들을 구동하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되,

상기 다수의 화소 각각은,

유기발광다이오드와,

상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와,

제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와,

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와,

제2스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터를 포함하고,

상기 구동 트랜지스터의 제2노드와 초기화전압 라인 사이에 연결되며, 상기 제2트랜지스터를 제어하는 제2스캔신호에 의해 제어되는 제3트랜지스터를 더 포함하되, 상기 구동전압 라인을 통해 공급되는 구동전압은 직류전압

인 것을 특징으로 하는 유기발광표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광표시장치에 관한 것이다.

배 경 기 술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광 표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기발광표시장치의 각 화소는 유기발광다이오드 이외에도, 유기발광다이오드를 구동하기 위한 구동 트랜지스터를 포함하는데, 이러한 구동 트랜지스터는 문턱전압, 이동도 등의 고유한 특성치를 갖는다. 이러한 구동 트랜지스터의 특성치의 화소 간 편차가 발생하는 경우, 해당 화소의 휘도 품질을 떨어뜨릴 수 있다.

[0005] 따라서, 구동 트랜지스터의 문턱전압 및 이동도를 보상하기 위한 화소 구조가 개발되고 있다.

[0006] 하지만, 이러한 보상 기술에도 불구하고, 구동 트랜지스터의 게이트 노드에서의 기생 캐패시터 성분에 의해 문턱전압 정보의 손실이 발생하는 문제점이 있다. 이러한 문턱전압 정보의 손실은 심한 화질 분균일을 초래할 수 있다.

발명의 내용

해결하려는 과제

[0007] 이러한 배경에서, 본 발명의 목적은, 구동 시에 발생할 수 있는 문턱전압 손실을 보상해주어, 문턱전압 보상 능력 및 범위를 크게 향상시킬 수 있는 화소 구조를 갖는 유기발광표시장치를 제공하는 데 있다.

[0008] 본 발명의 다른 목적은, 이동도 보상이 가능하며, 화소 구조 내 캐패시터 설계를 통해 이동도 보상 시간을 제어하여, 데이터 기록(Data Writing) 시간을 충분히 확보할 수 있도록 해주는 화소 구조를 갖는 유기발광표시장치를 제공하는 데 있다.

[0009] 본 발명의 또 다른 목적은, 우수한 글로벌 균일(Global Uniformity) 특성을 보이는 화소 구조를 갖는 유기발광표시장치를 제공하는 데 있다.

과제의 해결 수단

[0010] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널; 상기 데이터 라인들을 구동하는 데이터 구동부; 상기 게이트 라인들을 구동하는 게이트 구동부; 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 상기 다수의 화소 각각은, 유기발광다이오드와, 상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와, 제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와, 제2 스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터와, 제3스캔신호에 의해 제어되며 상기 구동 트랜지스터의 제1노드와 상기 홀드 노드 사이에 연결되는 제3트랜지스터를 포함하는 유기발광표시장치를 제공한다.

[0011] 다른 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널; 상기 데이터 라인들을 구동하는 데이터 구동부; 상기 게이트 라인들을 구동하는 게이트 구동부; 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 상기 다수의 화소 각각은, 유기발광다이오드와, 상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노

드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와, 제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와, 제2 스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터와, 제3스캔신호에 의해 제어되며 상기 구동 트랜지스터의 제1노드와 상기 홀드 노드 사이에 연결되는 제3트랜지스터를 포함하되, 상기 구동 트랜지스터의 제2노드와 초기화전압 라인 사이에 연결되며 상기 제3트랜지스터를 제어하는 상기 제3스캔신호에 의해 제어되는 제4트랜지스터를 더 포함하는 유기발광표시장치를 제공한다.

[0012] 또 다른 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널; 상기 데이터 라인들을 구동하는 데이터 구동부; 상기 게이트 라인들을 구동하는 게이트 구동부; 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 상기 다수의 화소 각각은, 유기발광다이오드와, 상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와, 제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와, 제2스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터를 포함하는 유기발광표시장치를 제공한다.

[0013] 또 다른 측면에서, 본 발명은, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 다수의 화소가 정의된 표시패널; 상기 데이터 라인들을 구동하는 데이터 구동부; 상기 게이트 라인들을 구동하는 게이트 구동부; 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하되, 상기 다수의 화소 각각은, 유기발광다이오드와, 상기 유기발광다이오드를 구동하되, 게이트 노드인 제1노드와, 상기 유기발광다이오드와 연결되는 제2노드와, 구동전압 라인과 연결되는 제3노드를 갖는 구동 트랜지스터와, 제1스캔신호에 의해 제어되며 기저전압 라인과 상기 구동 트랜지스터의 제1노드 사이에 연결되는 제1트랜지스터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제1스토리지 캐패시터와, 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 연결되는 제2스토리지 캐패시터 및 부스트 캐패시터와, 제2스캔신호에 의해 제어되며 상기 제2스토리지 캐패시터 및 상기 부스트 캐패시터가 연결된 홀드 노드와 데이터 라인 사이에 연결되는 제2트랜지스터를 포함하되, 상기 구동 트랜지스터의 제2노드와 초기화전압 라인 사이에 연결되며, 상기 제2트랜지스터를 제어하는 제2스캔신호에 의해 제어되는 상기 제3트랜지스터를 더 포함하는 유기발광표시장치를 제공한다.

발명의 효과

[0014] 이상에서 설명한 바와 같이 본 발명에 의하면, 구동 시에 발생할 수 있는 문턱전압 손실을 보상해주어, 문턱전압 보상 능력 및 범위를 크게 향상시킬 수 있는 화소 구조를 갖는 유기발광표시장치를 제공하는 효과가 있다.

[0015] 본 발명에 의하면, 이동도 보상이 가능하며, 화소 구조 내 캐패시터 설계를 통해 이동도 보상 시간을 제어하여, 데이터 기록(Data Writing) 시간을 충분히 확보할 수 있도록 해주는 화소 구조를 갖는 유기발광표시장치를 제공하는 효과가 있다.

[0016] 본 발명에 의하면, 우수한 글로벌 균일(Global Uniformity) 특성을 보이는 화소 구조를 갖는 유기발광표시장치를 제공하는 데 효과가 있다.

도면의 간단한 설명

[0017] 도 1은 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.

도 2는 제1실시예에 따른 유기발광표시장치의 화소 구조의 등가회로도이다.

도 3은 제1실시예에 따른 유기발광표시장치의 화소 구조를 갖는 화소의 구동 타이밍도이다.

도 4는 제1실시예에 따른 유기발광표시장치의 화소 구조의 기생 캐패시터 성분을 나타낸 도면이다.

도 5는 제2실시예에 따른 유기발광표시장치의 화소 구조의 등가회로도이다.

도 6은 제2실시예에 따른 유기발광표시장치의 화소 구조를 갖는 화소의 구동 타이밍도이다.

도 7 내지 도 12는 제2실시예에 따른 유기발광표시장치의 화소 구조에 대한 구동 단계별 동작회로도와 주요 노드의 전압 변화 그래프이다.

도 13 내지 도 16은 제2실시예에 따른 유기발광표시장치의 화소 구조에 대한 각종 시뮬레이션 그래프이다.

도 17은 제3실시예에 따른 유기발광표시장치의 화소 구조의 등가회로도이다.

도 18은 제3실시예에 따른 유기발광표시장치의 화소 구조를 갖는 화소의 구동 타이밍도이다.

도 19는 제4실시예에 따른 유기발광표시장치의 화소 구조의 등가회로도이다.

도 20 및 도 21은 제4실시예에 따른 유기발광표시장치의 화소 구조에 대한 구동 타이밍도와 주요 노드의 전압 변화 그래프이다.

도 22는 제5실시예에 따른 유기발광표시장치의 화소 구조의 등가회로도이다.

도 23은 제5실시예에 따른 유기발광표시장치의 화소 구조를 갖는 화소의 구동 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0019] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0020] 도 1은 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.

[0021] 도 1을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, 데이터 라인들(DL1~DLm)과 게이트 라인들(GL1~GLn)이 형성되어 다수의 화소(P: Pixel)가 정의된 표시패널(110)과, 데이터 라인들(DL1~DLm)을 구동하는 데이터 구동부(120)와, 게이트 라인들(GL1~GLn)을 구동하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0022] 전술한 데이터 구동부(120)는 다수의 데이터 구동 집적회로(소스 구동 집적회로라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있고, 표시패널(110)에 집적화되어 형성될 수도 있다.

[0023] 전술한 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(110)의 양측에 위치할 수도 있다.

[0024] 이러한 게이트 구동부(130)는, 이하에서 설명하게 될 여러 가지의 화소 구조에 맞는 1개 또는 여러 개의 스캔신호를 각 화소마다 공급해줄 수 있다.

[0025] 또한, 게이트 구동부(130)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있고, 표시패널(110)에 집적화되어 형성될 수도 있다.

[0026] 전술한 타이밍 컨트롤러(140)는 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하고 이를 위해 각종 제어 신호를 출력한다.

[0027] 전술한 유기발광표시장치(100)의 각 화소는, 유기발광다이오드(OLED)와, 이를 구동하기 위한 회로부를 포함한다.

[0028] 유기발광다이오드(OLED)를 구동하기 위한 회로부는, 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(Driving Transistor)와, 이러한 구동 트랜지스터의 게이트 노드로 데이터 전압을 인가하기 위한 스위칭 트랜지스터(Switching Transistor)와, 한 프레임 시간 동안 데이터 전압을 유지시켜주는 역할을 하는 스토리지 캐패시터(Storage Capacitor) 등을 기본적으로 포함할 수 있으며, 이들뿐만 아니라, 구동 트랜지스터의 문턱전압(Vth: Threshold Voltage) 및 이동도(Mobility)를 보상하기 위한 적어도 하나의 트랜지스터 등을 더 포함할 수 있다.

[0029] 이러한 회로부에 포함되는 트랜지스터 및 캐패시터의 개수 및 연결 구조에 따라, 화소 구조가 달라질 수 있다.

[0030] 아래에서는, 5가지의 화소 구조를 각 실시예로 설명한다.

[0031] 먼저, 제1실시예로서, 4개의 트랜지스터 및 1개의 캐패시터를 구성된 화소 구조를 도 2 내지 도 4를 참조하여 설명한다.

[0032] 도 2는 제1실시예에 따른 유기발광표시장치(100)의 화소 구조의 등가회로도이다.

[0033] 도 2를 참조하면, 제1실시예에 따른 유기발광표시장치(100)의 각 화소는, 유기발광다이오드(OLED)와, 구동전압(EVDD)을 공급하는 구동전압 라인(DVL)과 유기발광다이오드(OLED) 사이에 연결되는 제1트랜지스터(T1)와, 데이터 라인(DL)과 제1트랜지스터(T1)의 게이트 노드(DTG) 사이에 연결되는 제2트랜지스터(T2)와, 제1트랜지스터(T1)의 소스 노드(DTS)와 초기화전압(Vini)을 공급하는 초기화전압 라인(IVL) 사이에 연결되는 제3트랜지스터(T3)와, 기준전압(Vref)을 공급하는 기준전압 라인과 제1트랜지스터(T1)의 게이트 노드(DTG) 사이에 연결되는 제4트랜지스터(T4)와, 제1트랜지스터(T1)의 게이트 노드(DTG)와 소스 노드(DTS) 사이에 연결되는 스토리지 캐패시터(Cstg)를 포함하는 화소 구조를 갖는다.

[0034] 전술한 제1트랜지스터(T1)은 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터이다.

[0035] 도 2에서는, 4개의 트랜지스터(T1~T4)를 N 타입으로 도시하였으나, 이는 설명의 편의를 위한 예시일 뿐, P 타입으로 설계될 수도 있다.

[0036] 이러한 화소 구조를 갖는 화소에 대한 구동 방식을 도 3에 도시된 구동 타이밍도를 참조하여 설명한다.

[0037] 도 3은 제1실시예에 따른 유기발광표시장치(100)의 화소 구조를 갖는 화소의 구동 타이밍이다.

[0038] 도 3을 참조하면, 제1실시예에 따른 유기발광표시장치(100)의 화소 구조를 갖는 화소는, 초기화 단계(Initial Step), 문턱전압 센싱 단계(Vth Sensing Step), 데이터 기록 및 이동도 보상 단계(Data Writing and Mobility Compensation Step), 발광 단계(Emission Step)로 구동 동작을 한다.

[0039] 도 3을 참조하면, 초기화 단계에서, 제2트랜지스터(T2)는 턴 오프(Turn Off) 되어 있고, 제4트랜지스터(T4)와 제3트랜지스터(T3)가 턴 온(Turn On) 되어, 제1트랜지스터(T1)의 게이트 노드(DTG)와 소스 노드(DTS)가 기준전압(Vref)와 초기화전압(Vini)으로 각각 초기화된다.

[0040] 도 3을 참조하면, 문턱전압 센싱 단계에서, 제3트랜지스터(T3)가 턴 오프 되고, 제1트랜지스터(T1)의 소스 노드(DTS)에서 제1트랜지스터(T1)의 문턱전압을 센싱한다. 즉, 제1트랜지스터(T1)의 소스 노드(DTS)의 전압(Vs)은 문턱전압을 포함하여 표현될 수 있다(Vs=Vref-Vth).

[0041] 이때, 제1트랜지스터(T1)의 문턱전압(Vth)에 대한 정보는 스토리지 캐패시터(Cstg)에 저장된다. 즉, 스토리지 캐패시터(Cstg)의 양단의 전압 차이는 제1트랜지스터(T1)의 문턱전압(Vth)이 된다.

[0042] 도 3을 참조하면, 데이터 기록 및 이동도 보상 단계에서, 제3트랜지스터(T3) 및 제4트랜지스터(T4)가 턴 오프 되고, 제2트랜지스터(T2)가 턴 온 되어, 데이터 전압(Vdata)이 제1트랜지스터(T1)의 게이트 노드(DTG)에 인가된다(기록된다).

[0043] 이때, 제1트랜지스터(T1)이 턴 온 상태가 되어, 제1트랜지스터(T1)의 소스 노드(DTS)의 전압이 상승한다.

[0044] 이러한 제1트랜지스터(T1)의 소스 노드(DTS)의 전압 상승(전압 변화)은, 제1트랜지스터(T1)의 이동도(Mobility)에 비례하여 상승한다.

[0045] 가령, 제1트랜지스터(T1)의 이동도가 μ1과 μ2이고, μ1이 μ2보다 크다고 가정하면(μ1 > μ2), 제1트랜지스터(T1)의 이동도가 μ1일 때의 소스 노드(DTS)의 전압 변화(△DTS1)는, 제1트랜지스터(T1)의 이동도가 μ2일 때의 소스 노드(DTS)의 전압 변화(△DTS2)보다 크게 된다. 이에 따라, 제1트랜지스터(T1)의 이동도가 μ1일 때의

게이트 노드(DTS)와 소스 노드(DTS)의 전압 차이(Vgs1)는, 제1트랜지스터(T1)의 이동도가 μ2일 때의 게이트 노드(DTS)와 소스 노드(DTS)의 전압 차이(Vgs2)보다 작아지게 된다.

[0046] 제1트랜지스터(T1)의 소스 노드(DTS)의 전압 상승(전압 변화)의 정도를 토대로, 제1트랜지스터(T1)의 이동도를 센싱할 수 있고, 네거티브 피드백(Negative Feedback)을 주어 이동도에 대한 편차를 보상할 수 있다.

[0047] 도 3을 참조하면, 발광 단계에서, 구동 트랜지스터인 제1트랜지스터(T1)를 제외한 모든 트랜지스터(T2~T4)가 모두 턴 오프 상태가 되고, 제1트랜지스터(T1)와 유기발광다이오드(OLED)의 전류가 같도록, 제1트랜지스터(T1)의 소스 노드(DTS)의 전압이 상승하면서도 유기발광다이오드(OLED)의 발광이 시작된다.

[0048] 이때, 제1트랜지스터(T1)의 소스 노드(DTS)에 있던 문턱전압에 대한 정보가 제1트랜지스터(T1)의 게이트 노드(DTG)로 전달됨으로써, 제1트랜지스터(T1)의 문턱전압이 보상된다.

[0049] 즉, 제1트랜지스터(T1)의 소스 노드(DTS)의 전압은 문턱전압 없이 표현이 되고, 제1트랜지스터(T1)의 게이트 노드(DTG)의 전압은 문턱전압이 포함되어 표현된다. 제1트랜지스터(T1)는 문턱전압의 영향 없이 유기발광다이오드(OLED)를 구동할 수 있게 된다.

[0050] 전술한 제1실시예에 따른 유기발광표시장치(100)의 화소 구조는, 종래 문제가 되었던 문턱전압 센싱 및 이동도 보상 등을 가능하게 하는 구조이다.

[0051] 한편, 전술한 바와 같이, 제1실시예에 따른 유기발광표시장치(100)의 화소 구조에서는, 문턱전압 센싱 단계에서, 구동 트랜지스터인 제1트랜지스터(T1)의 문턱전압(Vth)을 소스 노드(DTS)에 저장해두고, 이와 같이, 제1트랜지스터(T1)의 소스 노드(DTS)에 저장된 문턱전압(Vth)은, 발광 단계에서 구동 트랜지스터인 제1트랜지스터(T1)의 게이트 노드(DTG)로 전달된다.

[0052] 여기서, 제1트랜지스터(T1)의 소스 노드(DTS)에 문턱전압이 저장된다는 것은, 제1트랜지스터(T1)의 소스 노드(DTS)의 전압이 문턱전압에 의해 표현될 수 있다는 것을 의미한다. 또한, 제1트랜지스터(T1)의 소스 노드(DTS)에 저장된 문턱전압(Vth)이 제1트랜지스터(T1)의 게이트 노드(DTG)로 전달된다는 것은, 제1트랜지스터(T1)의 소스 노드(DTS)의 전압 표현식에 포함되었던 문턱전압이 제1트랜지스터(T1)의 게이트 노드(DTG)의 전압 표현식에 포함된다는 것을 의미한다.

[0053] 이러한 문턱전압의 저장 및 전달 과정에서, 도 4에 도시된 바와 같이, 구동 트랜지스터인 제1트랜지스터(T1)의 게이트 노드(DTG)에 형성된 기생 캐패시터(Cpara: Parasitic Capacitor)에 의해, 문턱전압 손실이 발생할 수 있다.

[0054] 특히, 구동 트랜지스터(T1)의 게이트 노드(DTG)에 형성된 기생 캐패시터(Cpara: Parasitic Capacitor)에 의한 문턱전압 손실은, 구동 트랜지스터(T1)의 작은 게이트 소스 전압(Vgs)으로 하여 제어하는 저계조에서 상대적은 큰 게이트 소스 전압(Vgs)을 발생시켜, 문턱전압에 대한 심각한 화질 불균일을 초래할 수 있다.

[0055] 또한, 문턱전압 보상 범위(Range)가 많이 줄어들어 트랜지스터 수율을 저하시킬 수도 있다.

[0056] 또한, 이동도 보상 시간이 짧아서 충분한 데이터 기록(Data Writing) 시간을 확보하기에 어려운 점도 있다.

[0057] 따라서, 아래에서는, 구동 시에 발생할 수 있는 문턱전압 손실을 보상해주어, 문턱전압 보상 능력 및 범위를 크게 향상시킬 수 있고, 이동도 보상이 가능하며, 화소 구조 내 캐패시터 설계를 통해 이동도 보상 시간을 제어하여, 데이터 기록(Data Writing) 시간을 충분히 확보할 수 있도록 해주며, 우수한 글로벌 균일(Global Uniformity) 특성을 갖는 화소 구조의 실시예들(제2~5실시예)을 설명한다.

[0058] 먼저, 4개의 트랜지스터(T: Transistor)와 3개의 캐패시터(C: Capacitor)로 이루어진 4T3C 화소 구조를 제2실시예로 하여, 도 5 내지 도 16을 참조하여 설명한다.

[0059] 도 5는 제2실시예에 따른 유기발광표시장치(100)의 화소 구조의 등가회로도이다.

[0060] 도 5를 참조하면, 제2실시예에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 다수의 화소 각각은, 유기발광다이오드(OLED)와, 구동 트랜지스터(DT), 제1트랜지스터(T1), 제2트랜지스터(T2) 및 제3트랜지스터(T3)를 포함하는 4개의 트랜지스터와, 제1스토리지 캐패시터(Cstg1), 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)를 포함하는 3개의 캐패시터를 포함하는 4T3C 화소 구조를 갖는다.

[0061] 구동 트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하되, 게이트 노드인 제1노드(N1)와, 유기발광다이오드(OLED)와 연결되는 제2노드(N2)와, 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltagle Line)과

연결되는 제3노드(N3)를 갖는다.

[0062] 제1트랜지스터(T1)는, 제1스캔신호(SCAN1)에 의해 제어되며 기저전압 라인(SVL: Source Voltage Line)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다.

[0063] 제1스토리지 캐패시터(Cstg1)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다.

[0064] 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다.

[0065] 제2트랜지스터(T2)는, 제2스캔신호(SCAN2)에 의해 제어되며 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)가 연결된 홀드 노드(Nh)와 데이터 라인(DL: Data Line) 사이에 연결된다.

[0066] 제3트랜지스터(T3)는, 제3스캔신호(SCAN3)에 의해 제어되며 구동 트랜지스터(DT)의 제1노드(N1)와 홀드 노드(Nh) 사이에 연결된다.

[0067] 제2실시예에 따른 유기발광표시장치(100)의 화소 구조에서, 구동전압 라인(DVL)을 통해 구동 트랜지스터(DT)의 제3노드(N3)으로 인가되는 구동전압(VDD)은 교류전압이고, 1H씩 쉬프트(Shift) 된다.

[0068] 여기서, 로우 레벨의 구동전압(VDD)을 VDD(-)로 표시하고, 하이 레벨의 구동전압(VDD)을 VDD(+)로 표시할 수 있다.

[0069] 한편, 제2실시예에 따른 유기발광표시장치(100)의 화소 구조에서, 3개의 캐패시터 각각은 저마다의 정전용량(Capacitance)을 갖고 있는데, 이 크기를 비교해보면, 제1스토리지 캐패시터(Cstg1), 부스트 캐패시터(Cboost) 및 제2스토리지 캐패시터(Cstg2) 중 제2스토리지 캐패시터(Cstg2)의 정전용량가 가장 작게 설계되어 있다. 제1스토리지 캐패시터(Cstg1)와 부스트 캐패시터(Cboost)의 정전용량은 비슷하게 설계되어 있다.

[0070] 아래에서는, 전술한 4T3C 화소 구조를 갖는 화소의 구동 동작에 대하여 설명한다.

[0071] 도 6은 제2실시예에 따른 유기발광표시장치(100)의 화소 구조를 갖는 화소의 구동 타이밍도이다.

[0072] 도 6을 참조하면, 제2실시예에 따른 유기발광표시장치(100)의 화소 구조를 갖는 화소는, 초기화 단계(Initial Step)와, 문턱전압 센싱 단계(Vth Sensing Step)와, 데이터 기록 및 이동도 센싱 단계(Data Writing and Mobility Sensing Step)와, 발광 단계(Emission Step)로 구동 동작을 할 수 있다.

[0073] 아래에서는, 각 구동 단계별로 동작을 도 7 내지 도 12를 참조하여 설명한다.

[0074] 먼저, 도 7을 참조하면, 초기화 단계에서, 구동 트랜지스터(DT)의 제3노드(N3)는 로우(Low) 레벨의 구동전압(VDD(-))이 인가되고, 제1트랜지스터(T1) 및 제3트랜지스터(T3)는 하이 레벨의 제1스캔신호(SCAN1) 및 제3스캔신호(SCAN3)에 의해 턴 온 되고, 제2트랜지스터(T2)는 로우 레벨의 제2스캔신호(SCAN2)에 의해 턴 오프 된다.

[0075] 이에 따라, 홀드 노드(Nh)와 구동 트랜지스터(DT)의 제1노드(N1)는 기저전압(Vss)으로 초기화되고, 구동 트랜지스터(DT)의 제2노드(N2)는 로우 레벨의 구동전압(VDD(-))으로 초기화된다.

[0076] 이러한 초기화 단계에서, 구동 트랜지스터(DT)의 제1노드(N1), 구동 트랜지스터(DT)의 제2노드(N2), 홀드 노드(Nh) 각각의 전압은 아래의 수학식 1과 같이 표현될 수 있다.

수학식 1

[0077]
$$
\begin{aligned}
&EN1\text{의 전압} = VSS\\
&EN2\text{의 전압} = VDD(-)\\
&ENh\text{의 전압} = VSS
\end{aligned}
$$

[0078] 상기 수학식 1에서, VSS는 기저전압이고, VDD(-)는 로우 레벨의 구동전압이다.

[0079] 다음으로, 도 8을 참조하면, 문턱전압 센싱 단계에서, 구동 트랜지스터(DT)의 제3노드(N3)에는 하이(High) 레벨의 구동전압(VDD(+))이 인가되고, 제1트랜지스터(T1)는 하이 레벨의 제1스캔신호(SCAN1)에 의해 턴 온이 유지되며, 로우 레벨의 제2스캔신호(SCAN2)에 의해 제2트랜지스터(T2)는 턴 오프 되고, 로우 레벨의 제3스캔신호

(SCAN3)에 의해 제3트랜지스터(T3)는 턴 오프가 유지된다.

[0080] 이러한 문턱전압 센싱 단계에서, 구동 트랜지스터(DT)의 제1노드(N1), 구동 트랜지스터(DT)의 제2노드(N2), 홀드 노드(Nh) 각각의 전압 변화를 도 9를 통해 알아본다.

[0081] 도 9를 참조하면, 문턱전압 센싱 단계에서, 구동 트랜지스터(DT)의 제1노드(N1)는 기저전압(VSS)으로 유지된다.

[0082] 또한, 문턱전압 단계에서, 구동 트랜지스터(DT)의 제2노드(N2)의 전압은 초기화된 전압 VDD(-)에서 상승한다. 이러한 전압 상승은 구동 트랜지스터(DT)의 제1노드(N1)의 전압인 기저전압(VSS)에서 문턱전압(Vth)만큼 작은 전압(VSS-Vth)까지 이루어진다.

[0083] 따라서, 문턱전압 단계에서, 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화는 VSS-Vth-VDD(-)가 된다.

[0084] 또한, 문턱전압 단계에서, 홀드 노드(Nh)의 전압은 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량(VSS-Vth-VDD(-))과 제1 정전용량 비율(A)에 따라 상승한다.

[0085] 더욱 상세하게 설명하면, 홀드 노드(Nh)의 전압은, 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량(VSS-Vth-VDD(-))과 제1 정전용량 비율(A)을 곱한 전압 값으로 상승한다. 이때, 제1 정전용량 비율(A)은, 제2스토리지 캐패시터(Cstg2)의 정전용량을 부스트 캐패시터(Cboost)와 제2스토리지 캐패시터(Cstg2)의 정전용량의 합으로 나눈 값이다.

[0086] 문턱전압 센싱 단계에서, 구동 트랜지스터(DT)의 제1노드(N1), 구동 트랜지스터(DT)의 제2노드(N2), 홀드 노드(Nh) 각각의 전압은 아래의 수학식 2 및 수학식 3(VSS=0인 경우)와 같이 표현될 수 있다.

수학식 2

[0087]
$$EN1\text{의전압}=VSS$$
$$EN2\text{의전압}=VSS-Vth$$
$$ENh\text{의전압}=VSS+A\times(VSS-Vth-VDD(-))$$
$$Where,\ A=Cstg2/(Cboost+Cstg2)$$

수학식 3

[0088]
$$VSS=0\text{인경우},$$
$$EN1\text{의전압}=0$$
$$EN2\text{의전압}=-Vth$$
$$ENh\text{의전압}=-A\times(VDD(-)+Vth)$$

[0089] 상기 수학식 2 및 수학식 3에서, VSS는 기저전압이고, Vth는 구동트랜지스터(DT)의 문턱전압이며, VDD(-)는 로우 레벨의 구동전압이며, A는 제1 정전용량 비율이고, *Cstg2*는 제2스토리지 캐패시터(Cstg2)의 정전용량이며, *Cboost*는 부스트 캐패시터(Cboost)의 정전용량이다.

[0090] 또 다음으로, 도 10을 참조하여, 데이터 기록 및 이동도 센싱 단계에서, 제2트랜지스터(T2)는 하이 레벨의 제2스캔신호(SCAN2)에 의해 턴 온 되고, 턴 온 된 제2트랜지스터(T2)로 데이터 라인(DL)을 통해 데이터 전압(Vdata)이 인가되고, 구동 트랜지스터(DT)의 제3노드(N3)는 하이레벨의 구동전압(VDD(+))이 인가되며, 제1트랜지스터(T1)가 로우 레벨의 제1스캔신호(SCAN1)에 의해 턴 오프 되고,

[0091] 이러한 데이터 기록 및 이동도 센싱 단계에서는, 제2트랜지스터(T2)가 턴 온 되고, 이를 통해, 데이터 라인(DL)에서 공급된 데이터 전압(Vdata)이 홀드 노드(Nh)에 인가된다.

[0092] 이에 따라, 홀드 노드(Nh)의 전압이 데이터 전압(Vdata)으로 상승한다.

[0093] 이때, 홀드 노드(Nh)의 전압 변화량(△Vp)은 Vdata-[VSS+A×(VSS-Vth-VDD(-))]이다.

[0094] 한편, 구동 트랜지스터(DT)의 제2노드(N2)의 전압은, 이동도 센싱(Mobility Sensing)에 따라 문턱전압 단계에서 상승하였던 전압(VSS-Vth)에서 더 상승하게 된다.

[0095] 이러한 전압 상승에 따른 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량(△Vu)은 홀드 노드(Nh)의 전압 변화량(△Vp)에 따라 달라질 수 있다.

[0096] 한편, 구동 트랜지스터(DT)의 제1노드(N1)의 전압은, 구동 트랜지스터(DT)의 제1노드(N1)에 커플링 된 데이터(Coupled Data)의 인가, 그리고, 이와 동시에, 이동도 센싱에 따라 문턱전압 단계까지 유지되던 기저전압(VSS)에서 상승하게 된다.

[0097] 이러한 구동 트랜지스터(DT)의 제1노드(N1)의 전압은 홀드 노드(Nh)의 전압 변화량(△Vp), 이동도 센싱 동작에 의한 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량(△Vu), 제2 정전용량 비율(B), 제3 정전용량 비율(C)에 따라 상승할 수 있다.

[0098] 더욱 구체적으로는, 구동 트랜지스터(DT)의 제1노드(N1)의 전압은, 홀드 노드(Nh)의 전압 변화량(△Vp)과 제2 정전용량 비율(B)을 곱한 전압 값과, 이동도 센싱 동작에 의한 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량(△Vu)과 제3 정전용량 비율(C)을 곱한 전압 값을 더한 전압 값(B×△Vp+C×△Vu)만큼 더 상승한다.

[0099] 여기서, 제2 정전용량 비율(B)은, 부스트 캐패시터(Cboost)의 정전용량을 제1스토리지 캐패시터(Cstg1)와 부스트 캐패시터(Cboost)의 정전용량의 합으로 나눈 값이다.

[0100] 그리고, 제3 정전용량 비율(C)은, 제1스토리지 캐패시터(Cstg1)의 정전용량을 부스트 캐패시터(Cboost)와 제1스토리지 캐패시터(Cstg1)의 정전용량의 합으로 나눈 값이다.

[0101] 이러한 제3 정전용량 비율(C)은, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)의 전압 차이가 감소하는 속도를 결정할 수 있다.

[0102] 데이터 기록 및 이동도 센싱 단계에서, 구동 트랜지스터(DT)의 제1노드(N1), 구동 트랜지스터(DT)의 제2노드(N2), 홀드 노드(Nh) 각각의 전압은 아래의 수학식 4 및 수학식 5(VSS=0인 경우)와 같이 표현될 수 있다.

수학식 4

[0103]

$$
\begin{aligned}
&\text{N1의 전압}=VSS+B\times\triangle Vp+C\times\triangle Vu\\
&\text{N2의 전압}=VSS-Vth+\triangle Vu\\
&\text{Nh의 전압}=Vdata=VSS+A\times(VSS-Vth-VDD(-))+\triangle Vp\\
&\quad Where,\ B=Cboost/(Cstg1+Cboost)\\
&\qquad\quad C=Cstg1/(Cboost+Cstg1)
\end{aligned}
$$

수학식 5

[0104]

$$
\begin{aligned}
&VSS=0\ \text{인 경우,}\\
&\text{N1의 전압}=B\times\triangle Vp+C\times\triangle Vu\\
&\text{N2의 전압}=-Vth+\triangle Vu\\
&\text{Nh의 전압}=Vdata=-A\times(VDD(-)+Vth)+\triangle Vp
\end{aligned}
$$

[0105] 상기 수학식 4 및 수학식 5에서, VSS는 기저전압이고, Vth는 구동트랜지스터(DT)의 문턱전압이며, VDD(-)는 로

우 레벨의 구동전압이며, Vdata는 데이터 전압이고, △Vp는 홀드 노드(Nh)의 전압 변화량이며, △Vu는 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량이고, B는 제2 정전용량 비율이고, C는 제3 정전용량 비율이며, *Cstg1*는 제1스토리지 캐패시터(Cstg1)의 정전용량이며, *Cboost*는 부스트 캐패시터(Cboost)의 정전용량이다.

[0106] 또 다음으로, 도 12를 참조하면, 발광 단계에서, 구동 트랜지스터(DT), 제1트랜지스터(T1), 제2트랜지스터(T2) 및 제3트랜지스터(T3)는 모두 턴 오프 된다.

[0107] 이에 따라, 구동 트랜지스터(DT)의 제2노드(N2)의 전압이 상승하면서 유기발광다이오드(OLED)가 발광한다.

[0108] 이때, 구동 트랜지스터(DT)의 문턱전압이 전달된다.

[0109] 한편, 구동 트랜지스터(DT)의 드레인 노드(N3) 및 소스 노드(N2) 간에 흐르는 전류(Ids)는 하기 수학식 6과 같이 표현될 수 있다.

수학식 6

[0110]
$$Ids=k(Vgs-Vth)^2,\ \ Where\ k=\frac{1}{2}\mu Cox\frac{W}{L}$$

[0111] 상기 수학식 6에서, Ids는 구동 트랜지스터(DT)의 드레인 노드(N3) 및 소스 노드(N1) 간에 흐르는 전류이고, Vgs는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 간의 전압 차이이고, Vth는 구동 트랜지스터(DT)의 문턱전압이다. k는 구동 트랜지스터(DT)의 이동도(Mobility)에 대한 성분으로서, 이동도(Mobility)인 μ, 옥사이드 캐패시턴스(Oxide Capacitance)인 Cox, 채널 폭(Channel Width)인 W, 채널 길이(Channel Length)인 L에 의해 정의된다.

[0112] 유기발광다이오드(OLED)R가 발광할 때, 구동 트랜지스터(DT)의 드레인 노드(N3) 및 소스 노드(N2) 간에 흐르는 전류(Ids)는전류(Ids)는 유기발광다이오드(OLED)에 흐르는 전류(Ioled)와 같다.

[0113] 따라서, 구동 트랜지스터(DT)의 문턱전압(Vth)이 해당 화소의 휘도에 영향을 끼치지는지 알아보기 위해서는, 즉, 구동 트랜지스터(DT)의 문턱전압(Vth)이유기발광다이오드(OLED)에 흐르는 전류(Ioled)에 영향을 끼치는지를 알아보기 위해서는, "Vgs-Vth"를 평가해보면 된다.

[0114] 이상에서 설명한 각 구동 단계에 따른 구동 트랜지스터(DT)의 제1노드(N1), 구동 트랜지스터(DT)의 제2노드(N2), 홀드 노드(Nh) 각각의 전압을 토대로, Vgs-Vth를 살펴보면 다음과 같은 수학식 7과 같이 표현될 수 있다.

수학식 7

$$\begin{aligned} Vgs-Vth &= B\mathrm{S}\triangle Vp+C\mathrm{S}\triangle Vu-(-Vth+\triangle Vu)-Vth \\ &= B(Data+A(VDD(-)+Vth))+C\mathrm{S}\triangle Vu+Vth-\triangle Vu-Vth \\ &= B\mathrm{S}Data+B\mathrm{S}A\mathrm{S}VDD(-)+B\mathrm{S}A\mathrm{S}Vth-\triangle Vu\mathrm{S}(1-C) \end{aligned}$$

$$\begin{aligned} Where,\ A &= Cstg2/(Cboost+Cstg2) \\ B &= (Cboost/Cstg1+Cboost) \\ C &= Cstg1/(Cboost+Cstg1) \end{aligned}$$
[0115]

[0116] 상기 수학식 7에서, VSS는 기저전압이고, Vth는 구동트랜지스터(DT)의 문턱전압이며, VDD(-)는 로우 레벨의 구동전압이며, Vdata는 데이터 전압이고, △Vp는 홀드 노드(Nh)의 전압 변화량이며, △Vu는 구동 트랜지스터(DT)의 제2노드(N2)의 전압 변화량이고, A는 제1 정전용량 비율이며, B는 제2 정전용량 비율이고, C는 제3 정전용량 비율이며, *Cstg1*는 제1스토리지 캐패시터(Cstg1)의 정전용량이며, *Cboost*는 부스트 캐패시터(Cboost)의 정전용량이고, *Cstg12*는 제2스토리지 캐패시터(Cstg2)의 정전용량이다.

[0117] 상기 수학식 7에서, "B×A×Vth' 부분은, 문턱전압 손실을 상쇄해주는 부분이다. 이 부분에서 B×A가 매우 작아지도록 3개의 캐패시터(Cstg1, Cstg2, Cboost)의 정전용량을 결정하면, Vgs-Vth에서 B×A×Vth 는 무시해도 좋을 정도로 작아지게 되고, 구동 트랜지스터(DT)의 문턱전압(Vth)에 대한 큰 영향 없이, 유기발광다이오드(OLED)로 흐르는 전류를 흐르게 할 수 있다.

[0118] 이러한 점을 고려하면, 제2스토리지 캐패시터(Cstg2)를 통해 문턱전압 손실 상쇄분을 제어할 수 있다.

[0119] 즉, 제2스토리지 캐패시터(Cstg2)의 정전용량은, 구동 트랜지스터(DT)의 제1노드(N1)의 기생 캐패시터(Cpara)에 의한 문턱전압 정보 손실 보상의 제어량을 결정할 수 있다.

[0120] 한편, 상기 수학식 7에서, △Vu×(1-C) 부분은, 이동도 센싱 때, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)의 전압 차이(Vgs)의 감소 부분이다.

[0121] 여기서, 제3 정전용량 비율(C)로 인해, Vgs 감소 속도를 늦출 수 있다. 즉, 제3 정전용량 비율(C)은, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2)의 전압 차이(Vgs)가 감소하는 속도를 결정한다.

[0122] 도 13 내지 도 16은 제2실시예에 따른 유기발광표시장치(100)의 화소 구조에 대한 각종 시뮬레이션 그래프이다.

[0123] 도 13은 제2실시예에 따른 화소 구조에서, 기생 캐패시터(Cpara)에 의한 문턱전압 손실을 보상하기 위해, 제2캐패시터(Cstg2)를 변경해가면서 문턱전압 보상 능력을 시뮬레이션한 결과를 나타낸 것이다.

[0124] 도 13을 참조하면, 저계조(63 Gray) 및 고계조(255 Gray) 모두에서, 최적 보상 성능을 보이는 제2캐패시터(Cstg2)의 정전용량 값을 갖는다.

[0125] 도 14는 제2실시예에 따른 화소 구조에서, 구동 트랜지스터(DT)의 문턱전압(Vth) 및 이동도(Mobility)가 모두 틀어질 때의 콤플렉스(Complex) 보상 능력을 시뮬레이션 한 결과이다.

[0126] 도 14를 참조하면, △Ioled가 5% 이내를 기준으로, 저계조(63 Gray) 및 고계조(255 Gray) 모두에서, 넓은 문턱전압(Vth) 및 이동도 보상 영역을 갖는다는 것을 알 수 있다.

[0127] 도 15는 제2실시예에 따른 화소 구조에 따른 저계조(63 Gray) 및 고계조(255 Gray)의 글로벌 균일성(Global Uniformity)을 나타낸 도면이다.

[0128] 도 15를 참조하면, 제2실시예에 따른 화소 구조에 따르면, 저계조(63 Gray) 및 고계조(255 Gray) 모두에서, 우수한 글로벌 균일성(Global Uniformity)을 보인다는 것을 알 수 있다.

[0129] 도 16은 제2실시예에 따른 화소 구조에서, 데이터 전압(X축)에 따른 유기발광다이오드(OLED)에 흐르는 전류(Y축)를 나타낸 것이다.

[0130] 도 16을 참조하면, 각 스텝(1.5pF, 1.0pF, 0.5pF, 0pF)은 유기발광다이오드(OELD)의 제1전극(예: 애노드)와 기저전압(VSS) 사이의 정전용량을 의미한다.

[0131] 도 16을 참조하면, 기본적으로, 유기발광다이오드(OLED)는 캐패시터처럼 동작하지만, 전류 능력이 부족할 경우, 캐패시터를 설계하여 전류 능력을 조절할 수 있다. 즉, 동일한 데이터 전압이더라도, 유기발광다이오드(OLED)의 캐패시터 성분의 정전용량을 크게 설계함으로써 유기발광다이오드(OLED)에 흐르는 전류를 증가시킬 수 있다.

[0132] 이상에서는, 제2실시예에 따른 4T3C 화소 구조와 이러한 4T3C 화소 구조를 갖는 화소의 구동 동작을 설명하였다.

[0133] 아래에서는, 제2실시예에 따른 4T3C 화소 구조의 변형 실시예(제3실시예)와 그 구동 동작에 대하여 도 17 및 도 18을 참조하여 설명한다.

[0134] 도 17은 제3실시예에 따른 유기발광표시장치(100)의 화소 구조의 등가회로도이다.

[0135] 도 17을 참조하면, 제3실시예에 따른 유기발광표시장치(100)의 각 화소는, 유기발광다이오드(OLED)와, 구동 트랜지스터(DT), 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3) 및 제4트랜지스터(T4)를 포함하는 5개의 트랜지스터와, 제1스토리지 캐패시터(Cstg1), 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)를 포함하는 3개의 캐패시터를 포함하는 5T3C 화소 구조를 갖는다.

[0136] 구동 트랜지스터(DT)는, 게이트 노드인 제1노드(N1)와, 유기발광다이오드(OLED)와 연결되는 제2노드(N2)와, 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltagle Line)과 연결되는 제3노드(N3)를 갖는다.

[0137] 제1트랜지스터(T1)는, 제1스캔신호(SCAN1)에 의해 제어되며 기저전압 라인(SVL: Source Voltage Line)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다.

[0138] 제1스토리지 캐패시터(Cstg1)는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다.

[0139] 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다.

[0140] 제2트랜지스터(T2)는, 제2스캔신호(SCAN2)에 의해 제어되며 홀드 노드(Nh)와 데이터 라인(DL: Data Line) 사이에 연결된다.

[0141] 제3트랜지스터(T3)는, 제3스캔신호(SCAN3)에 의해 제어되며 구동 트랜지스터(DT)의 제1노드(N1)와 홀드 노드(Nh) 사이에 연결된다.

[0142] 제4트랜지스터(T4)는, 구동 트랜지스터(DT)의 제2노드(N2)와 초기화전압(Vini)을 공급하는 초기화전압 라인(IVL: Initial Voltage Line) 사이에 연결된다.

[0143] 이러한 제4트랜지스터(T4)는, 제3트랜지스터(T3)를 제어하는 제3스캔신호(SCAN3)에 의해 동일하게 제어된다.

[0144] 도 17에 도시된 제3실시예에 따른 5T3C 화소 구조는, 도 5에 도시된 제2실시예에 따른 4T3C 화소 구조와 비해, 구동전압 라인(DVL)을 통해 공급되는 구동전압(VDD)은 직류전압이고, 제4트랜지스터(T4)가 추가되었다는 점에서만 다르다.

[0145] 이로 인해, 도 5의 제2실시예에 따른 4T3C 화소 구조에서는, 구동 트랜지스터(DT)의 제2노드(N2)가 VDD(-)로 초기화되었지만, 도 17의 제3실시예에 따른 화소 구조에서는, 구동 트랜지스터(DT)의 제2노드(N2)가 초기화전압 라인(IVL)을 통해 공급되는 초기화전압(IVL)으로 초기화된다.

[0146] 도 17에 도시된 제3실시예에 따른 5T3C 화소 구조는, 도 5에 도시된 제2실시예에 따른 4T3C 화소 구조와 비해, 전술한 바와 같이, 구동 트랜지스터(DT)의 제2노드(N2)의 초기화 방식만 다를 뿐, 구동 방식 및 동작 특성은 모두 동일하다.

[0147] 따라서, 도 18에 도시된 제3실시예에 따른 5T3C 화소 구조를 갖는 화소의 구동 타이밍은, 도 5에 도시된 제2실시예에 따른 4T3C 화소 구조를 갖는 화소의 구동 타이밍과 동일하다.

[0148] 도 17에 도시된 제3실시예에 따른 5T3C 화소 구조를 갖는 화소의 구동 타이밍을 도 18을 참조하여, 간단하게 설명한다.

[0149] 도 18을 참조하면, 제3실시예에 따른 5T3C 화소 구조를 갖는 화소도, 제2실시예와 마찬가지로, 초기화 단계, 문턱전압 센싱 단계, 데이터 기록 및 이동도 센싱 단계, 발광 단계로 구동 동작을 한다.

[0150] 도 18에 도시된 제3실시예에 따른 5T3C 화소 구조를 갖는 화소의 구동 타이밍과, 도 5에 도시된 제2실시예에 따른 4T3C 화소 구조를 갖는 화소의 구동 타이밍을 비교하면, 구동전압(VDD)만 직류로 공급될 뿐, 나머지의 구동 방식 및 동작 특성은 모두 동일하다.

[0151] 이와 같이, 구동전압(VDD)이 직류로 공급됨에 따라, 구동 트랜지스터(DT)의 제2노드(N2)의 초기화를 위해, 제4트랜지스터(T4)가 더 추가된다.

[0152] 따라서, 초기화 단계에서, 구동 트랜지스터(DT)의 제3노드(N3)는 직류의 구동전압(VDD)이 인가되고, 하이 레벨의 제1스캔신호(SCAN1)에 의해 제1트랜지스터(T1)가 턴 온 되고, 하이 레벨의 제3스캔신호(SCAN3)에 의해 제3트랜지스터(T3) 및 제4트랜지스터(T4)가 턴 온 되고, 로우 레벨의 제2스캔신호(SCAN2)에 의해 제2트랜지스터(T2)는 턴 오프 된다.

[0153] 이에 따라, 홀드 노드(Nh)와 구동 트랜지스터(DT)의 제1노드(N1)는 제1트랜지스터(T1)를 통해 공급되는 기저전압(VSS)으로 초기화되고, 구동 트랜지스터(DT)의 제2노드(N2)는 제4트랜지스터(T4)를 통해 공급되는 초기화전압(Vini)으로 초기화된다.

[0154] 나머지, 문턱전압 센싱 단계, 데이터 기록 및 이동도 센싱 단계, 발광 단계는, 제2실시예에 따른 4T3C 화소 구조를 화소의 구동 동작의 설명으로 대신한다.

[0155] 이상에서는, 제2실시예에 따른 4T3C 화소 구조와, 이에 비해, 1개의 트랜지스터(제4트랜지스터(T4))를 더 갖는 제3실시예에 따른 5T3C 화소 구조를 설명하였다.

[0156] 아래에서는, 제2실시예에 따른 4T3C 화소 구조의 변형 실시예에 해당하는 제4실시예에 따른 3T3C 화소 구조를 도 19 내지 도 21을 참조하여 설명하고, 이어서, 제4실시예의 변형 실시예에 해당하는 제5실시예에 따른 4T3C 화소 구조를 도 22 및 도 23을 참조하여 설명한다.

[0157] 도 19는 제4실시예에 따른 유기발광표시장치(100)의 화소 구조의 등가회로도이다.

[0158] 제4실시예에 따른 유기발광표시장치(100)는, 도 1에 도시된 바와 같이, 데이터 라인들(DL1~DLm)과 게이트 라인들(GL1~GLn)이 형성되어 다수의 화소(P: Pixel)가 정의된 표시패널(110)과, 데이터 라인들(DL1~DLm)을 구동하는 데이터 구동부(120)와, 게이트 라인들(GL1~GLn)을 구동하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0159] 도 19를 참조하면, 제4실시예에 따른 유기발광표시장치(100)의 다수의 화소 각각은, 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1트랜지스터(T1), 제2트랜지스터(T2), 제1스토리지 캐패시터(Cstg1), 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)를 포함하는 3T3C 화소 구조를 갖는다.

[0160] 여기서, 구동 트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하되, 게이트 노드인 제1노드(N1)와, 유기발광다이오드(OLED)와 연결되는 제2노드(N2)와, 구동전압 라인(DVL)과 연결되는 제3노드(N3)를 갖는다.

[0161] 제1트랜지스터(T1)는 제1스캔신호(SCAN1)에 의해 제어되며 기저전압 라인(SVL)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다.

[0162] 제1스토리지 캐패시터(Cstg1)는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다.

[0163] 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다. 제2스토리지 캐패시터 및 부스트 캐패시터 간의 연결 노드가 홀드 노드(Nh)가 된다.

[0164] 제2트랜지스터(T2)는 제2스캔신호(SCAN2)에 의해 제어되며 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)가 연결된 홀드 노드(Nh)와 데이터 라인(DL) 사이에 연결된다.

[0165] 도 19를 참조하면, 제4실시예에 따른 유기발광표시장치(100)의 다수의 화소 각각에서, 구동전압 라인(DVL)을 통해, 구동트랜지스터(DT)의 제3노드(N3)에 공급되는 구동전압(VDD)은, 교류전압이다.

[0166] 도 19에 도시된 제4실시예에 따른 3T3C 화소 구조를 갖는 화소의 구동 동작을 도 20 및 도 21을 참조하여 설명한다.

[0167] 도 20 및 도 21은 제4실시예에 따른 유기발광표시장치(100)의 화소 구조에 대한 구동 타이밍도와 주요 노드의 전압 변화 그래프이다.

[0168] 도 20을 참조하면, 제4실시예에 따른 3T3C 화소 구조를 갖는 화소의 구동 동작은, 제2실시예에 따른 4T3C 화소 구조를 갖는 화소의 구동 동작과 동일하다.

[0169] 또한, 도 20을 참조하면, 제4실시예에 따른 3T3C 화소 구조를 갖는 화소는, 제2실시예에 따른 4T3C 화소 구조를 갖는 화소와 동일하게, 초기화 단계, 문턱전압 센싱 단계, 데이터 기록 및 이동도 센싱 단계, 발광 단계로 구동 동작을 한다.

[0170] 다만, 제4실시예에 따른 3T3C 화소 구조를 갖는 화소의 구동 동작은, 제2실시예에 따른 4T3C 화소 구조를 갖는 화소의 구동 동작에 비해, 홀드 노드(Nh)를 초기화하기 위한 트랜지스터(도 5의 T3)가 없기 때문에, 데이터 라인(DL)을 통해 공급된 데이터 전압으로 홀드 노드(Nh)를 초기화한다는 점에서만 차이점이 있다.

[0171] 따라서, 데이터 전압을 로우 레벨의 초기 데이터 전압(Vo)과 하이 레벨의 데이터 전압(Vdata)의 형태로 입력해 주고, 초기 데이터 전압(Vo)으로 홀드 노드(Nh)를 초기화해준다.

[0172] 즉, 제4실시예에 따른 3T3C 화소 구조를 갖는 화소에서, 홀드 노드(Nh)는 데이터 라인(DL)을 통해 인가된 전압에 의해 초기화되되, 데이터 라인(DL)을 통해 인가되는 전압은, 로우(Low) 레벨의 초기 데이터 전압(Vo)과 하이(High) 레벨의 데이터 전압(Vdata)이 교번하는 전압이다.

[0173] 이에 따라, 홀드 노드(Nh)와 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된 트랜지스터(도 5의 T3)와 이를 제어하는 스캔신호(도 5의 SCAN3)를 없앨 수 있게 된 것이다.

[0174] 한편, 도 20의 초기화 단계를 구동 타이밍을 참조하면, 홀드 노드(Nh)를 로우(Low) 레벨의 초기 데이터 전압(Vo)으로 초기화하기 때문에, 데이터 라인(DL)으로 초기화할 때 초기화 시간이 부족할 수 있다.

[0175] 따라서, 제2스캔신호(SCAN2)를 수평주기(HT: Horizontal Time) 단위로 멀티(Multi)로 온 시켜 초기화하는데 부족한 시간을 더 확보할 수 있다. 이에 따라, 제2트랜지스터(T2)는, 수평주기(HT: Horizontal Time) 단위로 턴온과 턴 오프를 반복한다.

[0176] 이와 같이, 데이터 전압의 형태(Vdata+Vo) 및 제2스캔신호(SCAN2)의 형태에 따라, 초기화 단계에서, 홀드 노드(Nh)는, 도 21에 도시된 바와 같이 계단형태로, 로우(Low) 레벨의 초기 데이터 전압(Vo)으로 초기화된다.

[0177] 이러한 초기화 단계를 제외하고는, 이후 모든 단계(문턱전압 센싱 단계, 데이터 기록 및 이동도 센싱 단계, 발광 단계)의 구동 동작 및 그 타이밍은, 제2실시예에 따른 4T3C 화소 구조를 갖는 화소의 구동 동작 및 그 타이밍과 동일하다.

[0178] 따라서, 도 21에 도시된 제4실시예에 따른 3T3C 화소 구조를 갖는 화소에서 제1노드(N1), 제2노드(N2) 및 홀드노드(Nh)의 전압 변화는, 초기화 단계에서의 홀드 노드 전압 변화만 다를 뿐, 도 11에 도시된 제2실시예에 따른 4T3C 화소 구조를 갖는 화소에서 제1노드(N1), 제2노드(N2) 및 홀드노드(Nh)의 전압 변화와 동일하다.

[0179] 이에, 제4실시예에 따른 3T3C 화소 구조를 갖는 화소의 문턱전압 센싱 단계, 데이터 기록 및 이동도 센싱 단계, 발광 단계의 구동 동작과, 이때의 각 노드(N1, N2, Nh)의 전압 변화에 대해서는, 제2실시예에 따른 4T3C 화소 구조를 갖는 화소에 대한 설명으로 대신한다.

[0180] 아래에서는, 도 19에 도시된 제4실시예에 따른 3T3C 화소 구조의 변형 실시예에 해당하는 제5실시예에 따른 4T3C 화소 구조와, 4T3C 화소 구조를 갖는 화소의 구동 동작에 대하여 설명한다.

[0181] 도 22는 제5실시예에 따른 유기발광표시장치(100)의 화소 구조의 등가회로도이다.

[0182] 도 22를 참조하면, 제5실시예에 따른 유기발광표시장치(100)의 다수의 화소 각각의 화소 구조는, 도 19에 도시된 제4실시예에 따른 4T3C 화소 구조에 비해, 구동 트랜지스터(DT)의 제3노드(N3)에 인가된 구동전압(VDD)이 직류전압으로 바뀌고, 이에 따라, 구동 트랜지스터(DT)의 제2노드(N2)와 초기화전압 라인(IVL) 사이에 연결되는 상기 제3트랜지스터(T3)을 더 포함한다는 점에서 차이점이 있을 뿐 나머지는 모두 동일하다.

[0183] 즉, 구동 트랜지스터(DT)는, 유기발광다이오드(OLED)를 구동하되, 게이트 노드인 제1노드(N1)와, 유기발광다이오드(OLED)와 연결되는 제2노드(N2)와, 구동전압 라인(DVL)과 연결되는 제3노드(N3)를 갖는다. 제1트랜지스터(T1)는 제1스캔신호(SCAN1)에 의해 제어되며 기저전압 라인(SVL)과 구동 트랜지스터(DT)의 제1노드(N1) 사이에 연결된다. 제1스토리지 캐패시터(Cstg1)는, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다. 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)는 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결된다. 제2스토리지 캐패시터 및 부스트 캐패시터 간의 연결 노드가 홀드 노드(Nh)가 된다. 제2트랜지스터(T2)는 제2스캔신호(SCAN2)에 의해 제어되며 제2스토리지 캐패시터(Cstg2) 및 부스트 캐패시터(Cboost)가 연결된 홀드 노드(Nh)와 데이터 라인(DL) 사이에 연결된다.

[0184] 도 22에 도시된 제5실시예에 따른 유기발광표시장치(100)의 다수의 화소 각각의 화소 구조는, 도 19에 도시된 제4실시예에 따른 4T3C 화소 구조에 비해, 1개의 트랜지스터(T3)를 더 가지기 때문에, 5T3C 화소 구조이다.

[0185] 도 22에 도시된 제5실시예에 따른 5T3C 화소 구조에서 더 갖게 되는 제3트랜지스터(T3)는, 제2트랜지스터(T2)를 제어하는 제2스캔신호(SCAN2)에 의해 공통으로 제어된다.

[0186] 도 22에 도시된 제5실시예에 따른 5T3C 화소 구조를 갖는 화소의 구동 동작을 도 23을 참조하여 설명한다.

[0187] 도 23을 참조하면, 제5실시예에 따른 5T3C 화소 구조를 갖는 화소의 구동 타이밍과, 도 20에 도시된 제4실시예에 따른 4T3C 화소 구조를 화소의 구동 타이밍을 비교해보면, 직류의 구동전압(VDD)이 공급된다는 점, 이에 따라, 구동 트랜지스터(DT)의 제2노드(N2)에 연결되는 제3트랜지스터(T3)에 의해 구동 트랜지스터(DT)의 제2노드(N2)에 초기화전압(Vini)을 인가하여 구동한다는 점에서만 차이가 있을 뿐, 나머지는 모두 동일하다.

[0188] 이상에서 설명한 바와 같이 본 발명에 의하면, 구동 시에 발생할 수 있는 문턱전압 손실을 보상해주어, 문턱전압 보상 능력 및 범위를 크게 향상시킬 수 있는 화소 구조를 갖는 유기발광표시장치를 제공하는 효과가 있다.

[0189] 즉, 본 실시예들에 따른 화소 구조를 이용하면, 절대 문턱전압 이외에, 상대 문턱전압도 따로 저장하였다가 문턱전압 손실 부분을 추가로 보상해줄 수 있다.

[0190] 본 발명에 의하면, 이동도 보상이 가능하며, 화소 구조 내 캐패시터 설계를 통해 이동도 보상 시간을 제어하여, 데이터 기록(Data Writing) 시간을 충분히 확보할 수 있도록 해주는 화소 구조를 갖는 유기발광표시장치를 제공

하는 효과가 있다.

[0191] 즉, 본 실시예들에 따른 화소 구조를 이용하면, 내부 캐패시터를 이용하여 이동도 센싱 시간을 원하는 시간으로 제어할 수 있고, 이를 통해, 충분한 데이터 기록(Data Writing) 시간을 확보할 수 있다.

[0192] 본 발명에 의하면, 우수한 글로벌 균일(Global Uniformity) 특성을 보이는 화소 구조를 갖는 유기발광표시장치를 제공하는 데 효과가 있다.

[0193] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0194] 100: 유기발광표시장치

110: 표시패널

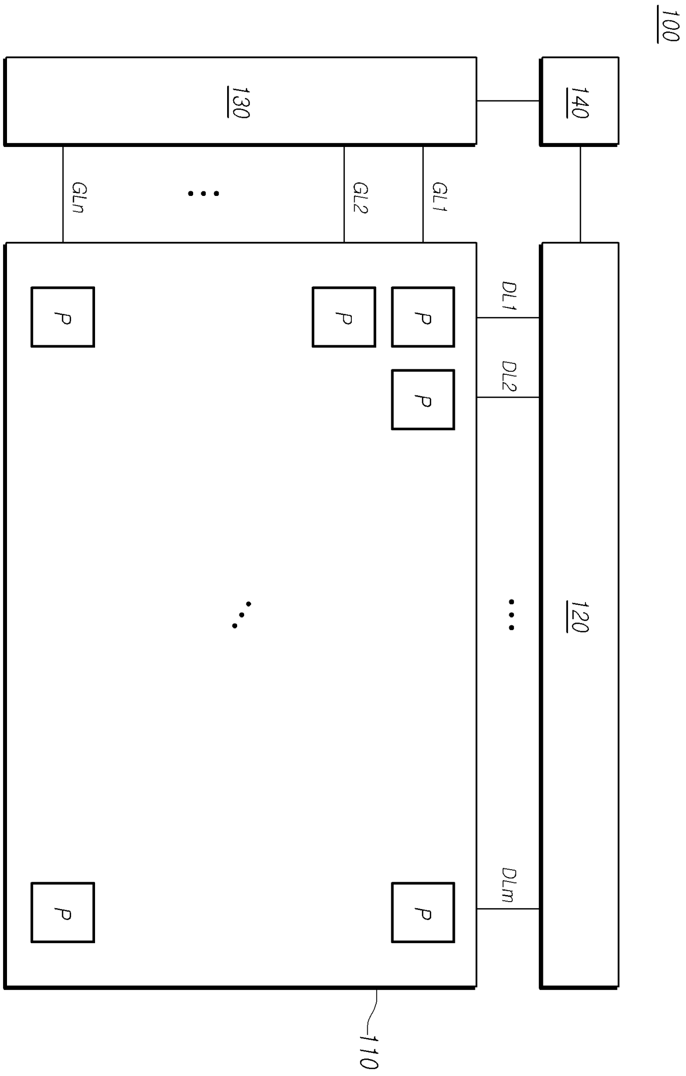
120: 데이터 구동부

130: 게이트 구동부

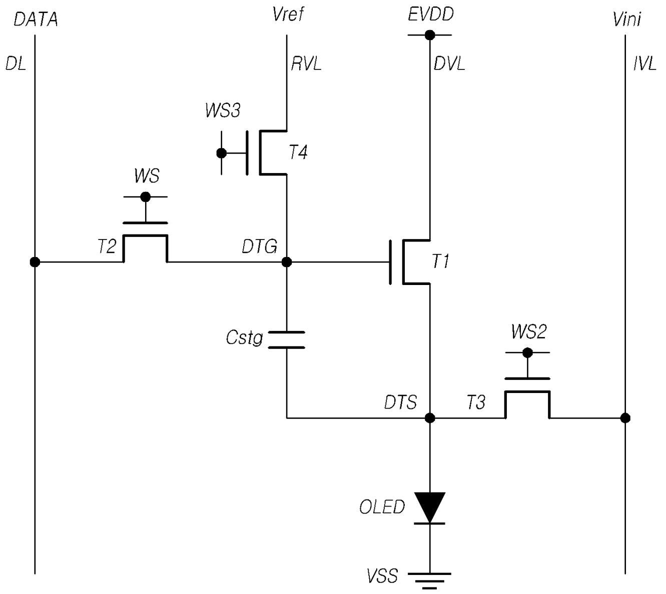
140: 타이밍 컨트롤러

도면

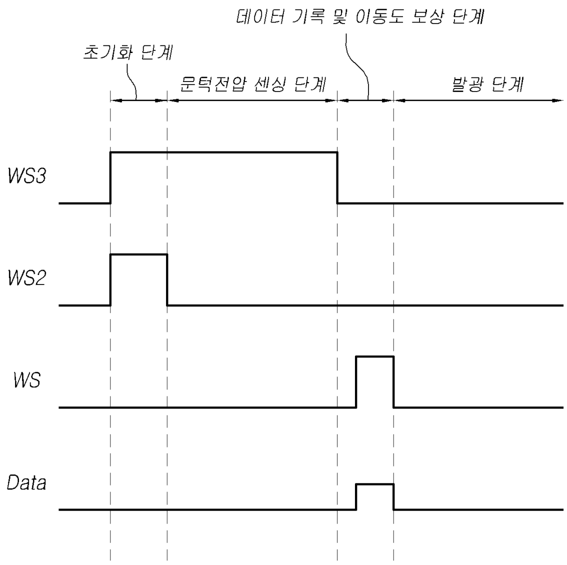
도면1



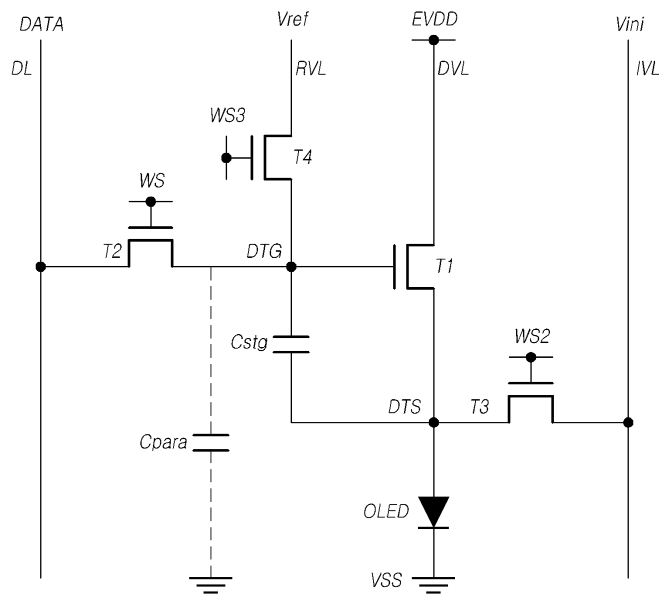
도면2


DATA
DL
Vref
RVL
EVDD
DVL
Vini
IVL
WS3
T4
WS
T2
DTG
T1
Cstg
WS2
DTS
T3
OLED
VSS

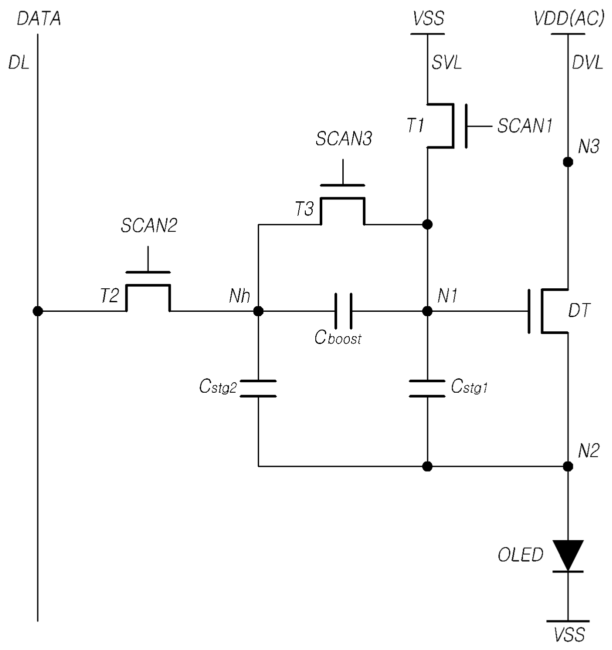
도면3


데이터 기록 및 이동도 보상 단계
초기화 단계
문턱전압 센싱 단계
발광 단계
WS3
WS2
WS
Data

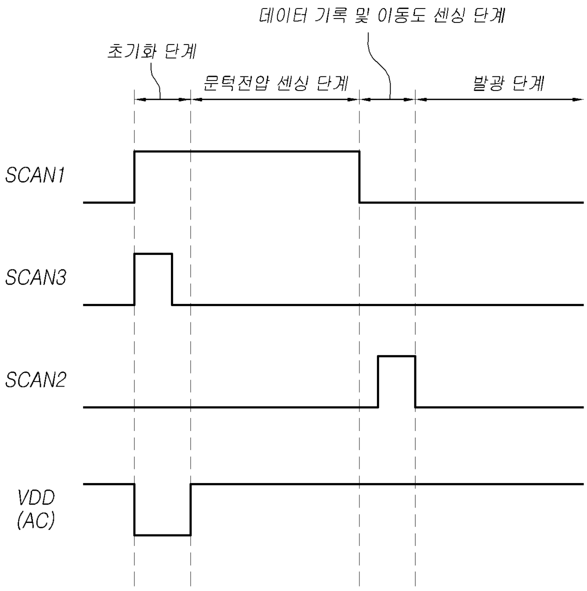
도면4


DATA
DL
Vref
RVL
EVDD
DVL
Vini
IVL
WS3
T4
WS
T2
DTG
T1
Cstg
WS2
DTS
T3
Cpara
OLED
VSS

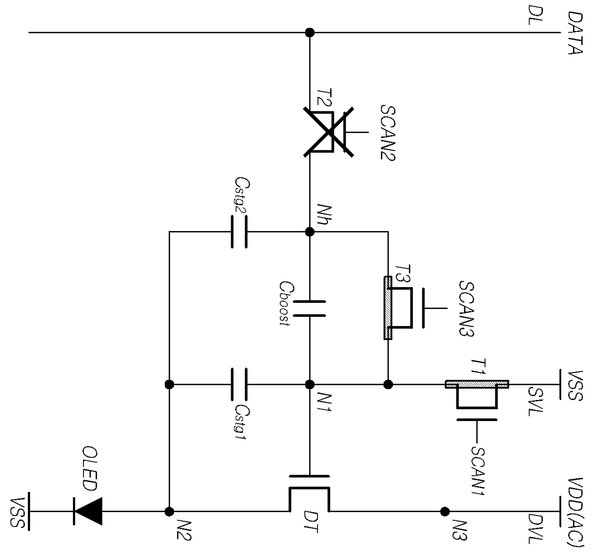
도면5


DATA
DL
VSS
SVL
VDD(AC)
DVL
T1
SCAN1
SCAN3
N3
T3
SCAN2
T2
Nh
N1
DT
Cboost
Cstg2
Cstg1
N2
OLED
VSS

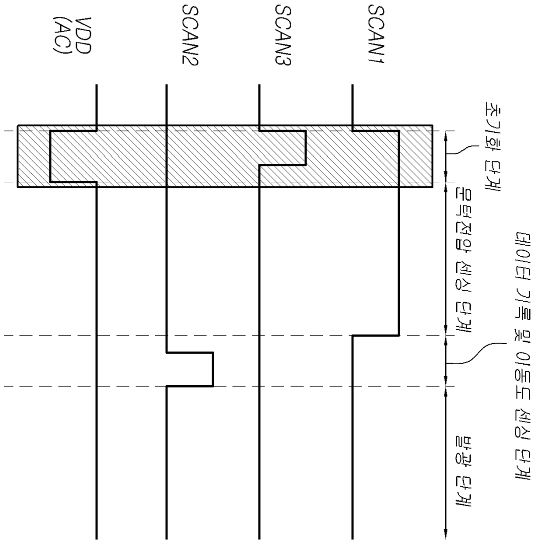
도면6


데이터 기록 및 이동도 센싱 단계
초기화 단계
문턱전압 센싱 단계
발광 단계
SCAN1
SCAN3
SCAN2
VDD
(AC)

도면7


DATA
DL
T2
SCAN2
Nh
Cstg2
Cboost
T3
SCAN3
VSS
SVL
T1
SCAN1
N1
Cstg1
OLED
VSS
N2
DT
N3
VDD(AC)
DVL

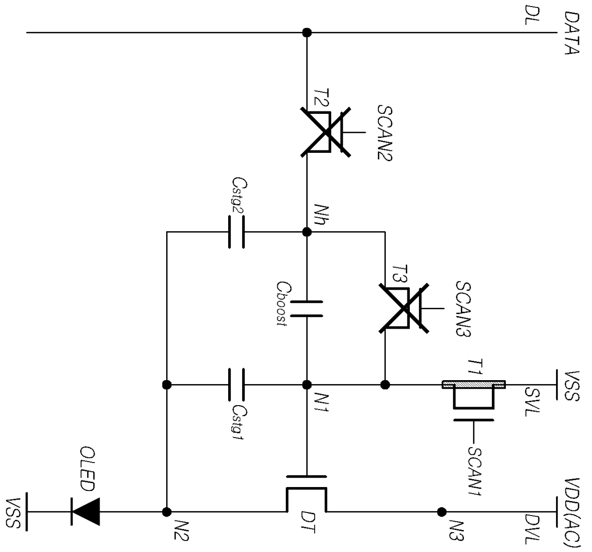
(a)


SCAN1
SCAN3
SCAN2
VDD
(AC)
초기화 단계
문턱전압 센싱 단계
데이터 기록 및 이동도 센싱 단계
발광 단계

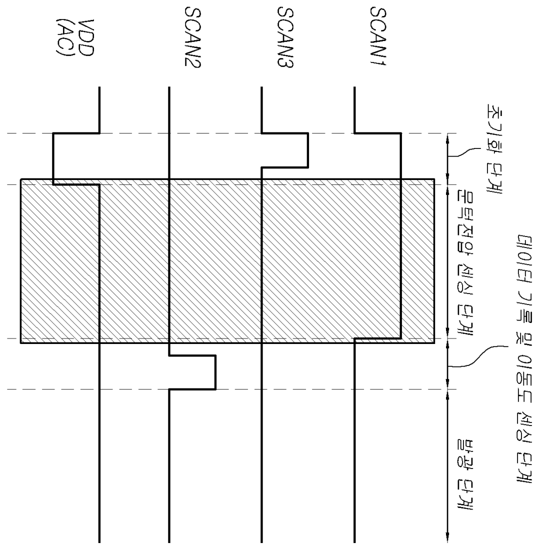
(b)

도면8

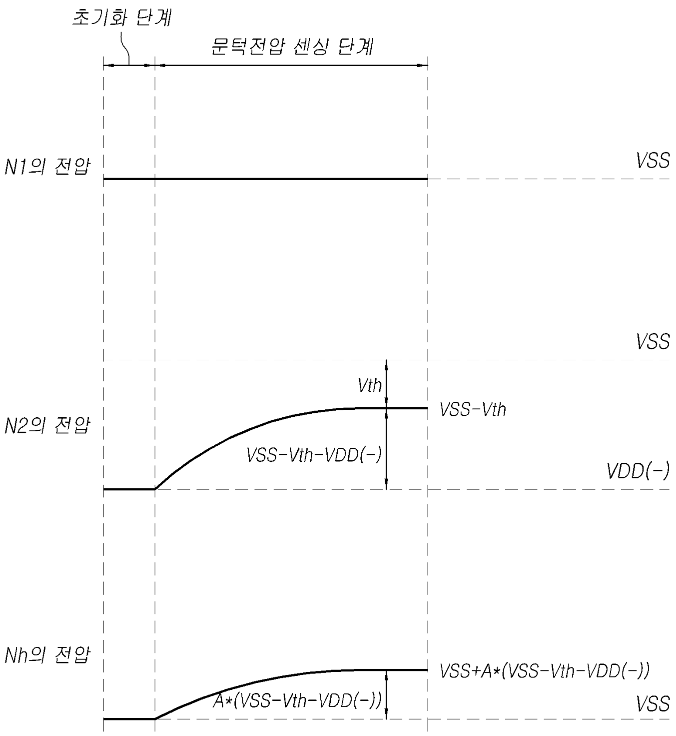
(a)


DATA
DL
SCAN2
T2
Nh
Cstg2
Cboost
T3
SCAN3
T1
VSS
SVL
SCAN1
N1
Cstg1
OLED
VSS
N2
DT
N3
DVL
VDD(AC)

(b)

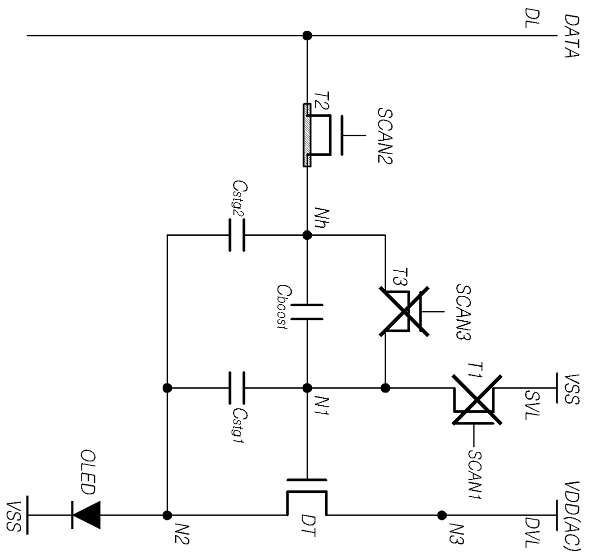

SCAN1
SCAN3
SCAN2
VDD (AC)
초기화 단계
문턱전압 센싱 단계
데이터 기록 및 이동도 센싱 단계
발광 단계

도면9

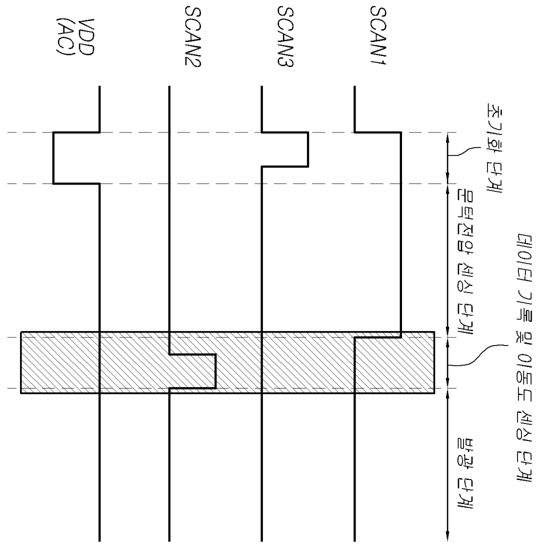

초기화 단계
문턱전압 센싱 단계
N1의 전압
VSS
VSS
Vth
VSS-Vth
N2의 전압
VSS-Vth-VDD(-)
VDD(-)
Nh의 전압
VSS+A*(VSS-Vth-VDD(-))
A*(VSS-Vth-VDD(-))
VSS

도면10

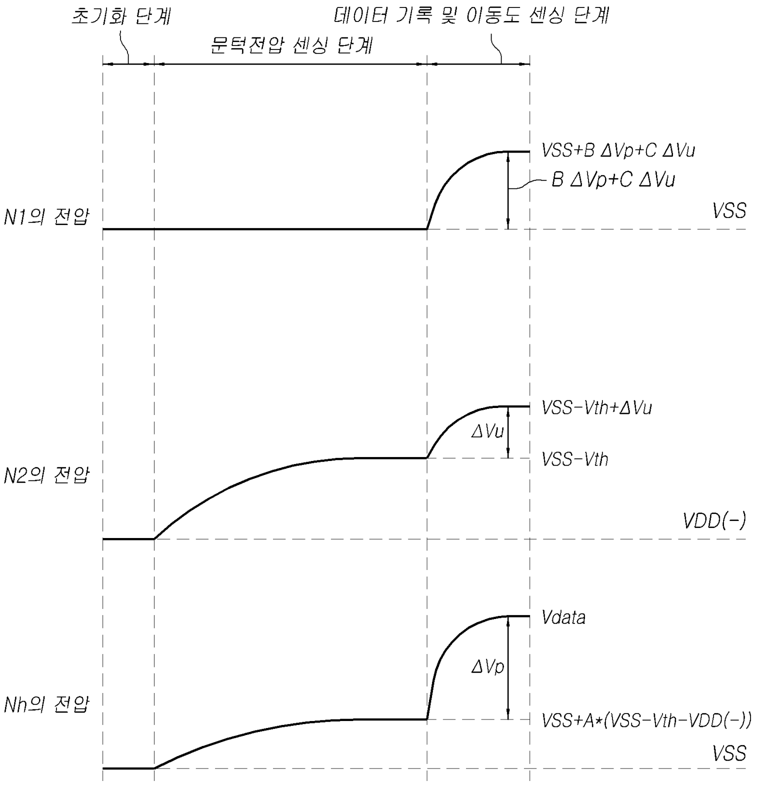
(a)


DATA
DL
T2
SCAN2
Cstg2
Nh
T3
SCAN3
Cboost
VSS
SVL
T1
SCAN1
N1
Cstg1
OLED
VSS
VDD(AC)
DVL
N3
DT
N2

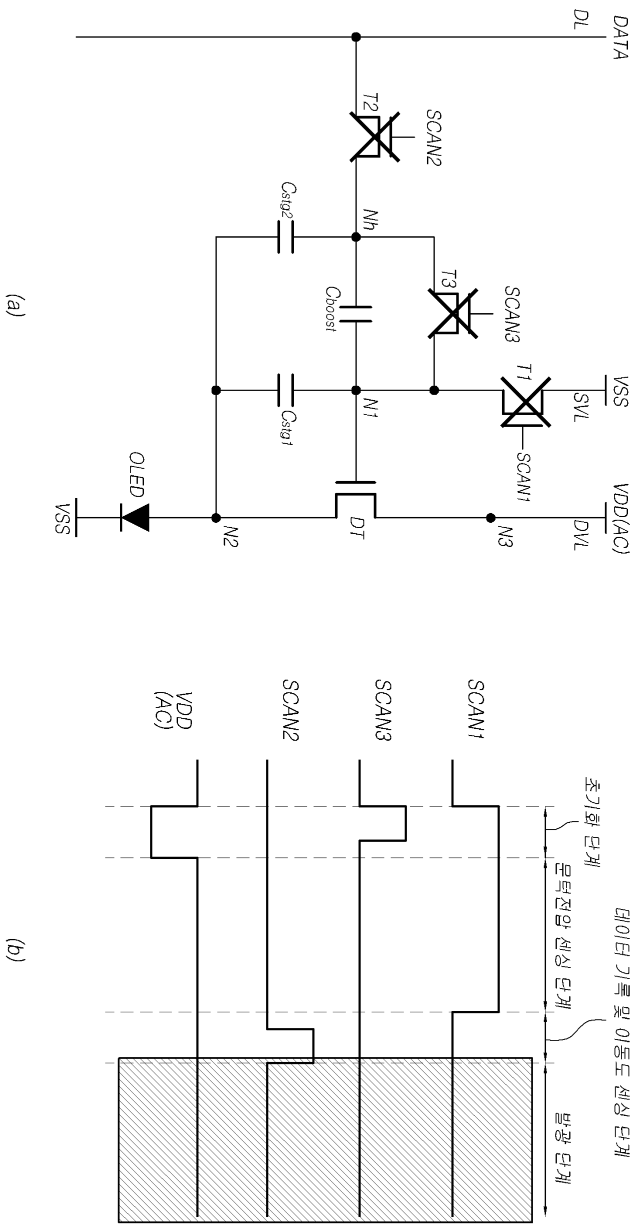
(b)


SCAN1
SCAN3
SCAN2
VDD
(AC)
초기화 단계
문턱전압 센싱 단계
데이터 기록 및 이동도 센싱 단계
발광 단계

도면11

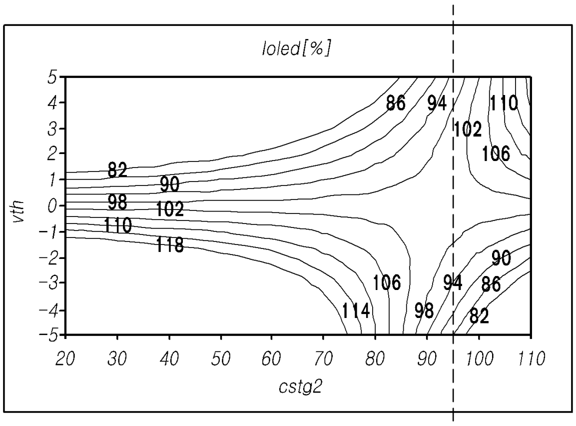

초기화 단계
데이터 기록 및 이동도 센싱 단계
문턱전압 센싱 단계
VSS+B ΔVp+C ΔVu
B ΔVp+C ΔVu
N1의 전압
VSS
VSS-Vth+ΔVu
ΔVu
VSS-Vth
N2의 전압
VDD(-)
Vdata
ΔVp
Nh의 전압
VSS+A*(VSS-Vth-VDD(-))
VSS

도면12


(a)
DATA
DL
SCAN2
T2
Nh
Cstg2
Cboost
T3
SCAN3
VSS
SVL
T1
SCAN1
N1
Cstg1
OLED
VSS
N2
DT
N3
VDD(AC)
DVL
(b)
SCAN1
SCAN3
SCAN2
VDD (AC)
초기화 단계
문턱전압 센싱 단계
데이터 기록 및 이동도 센싱 단계
발광 단계

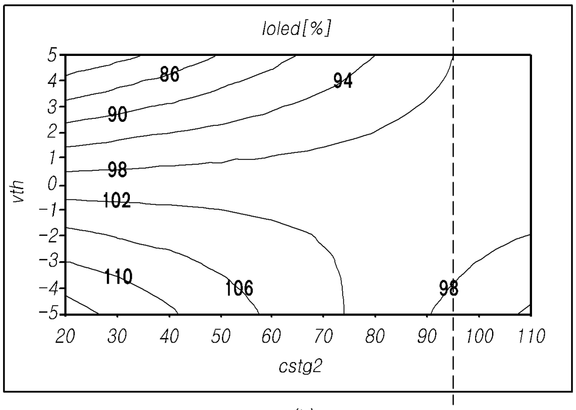
도면13

63Gray



(a)

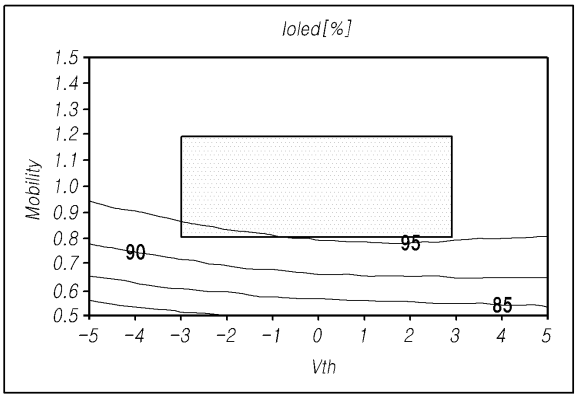
255Gray



(b)

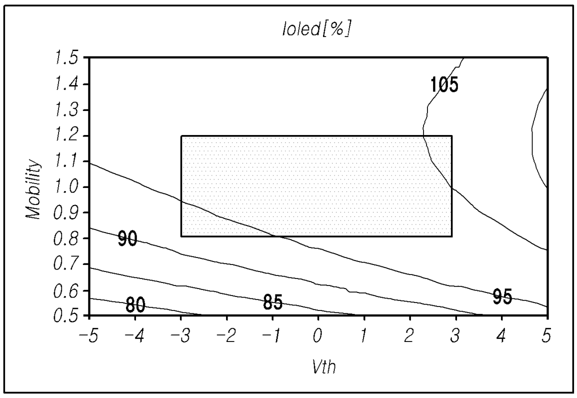
도면14

63Gray



(a)

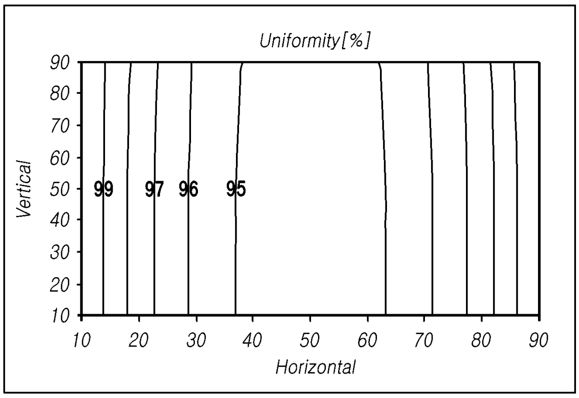
255Gray



(b)

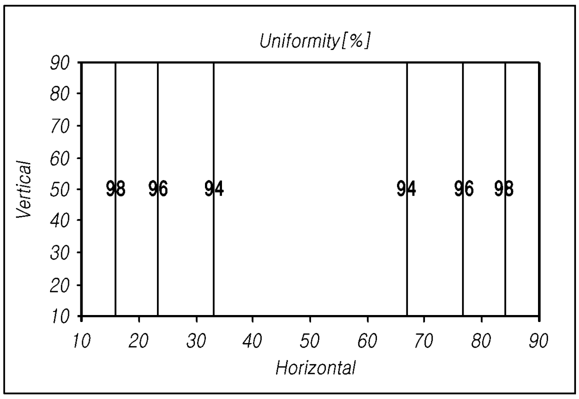
도면15

63Gray



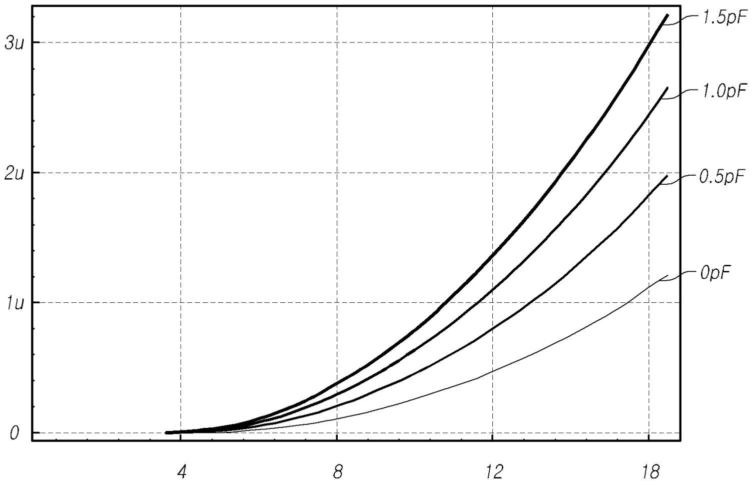
(a)

255Gray

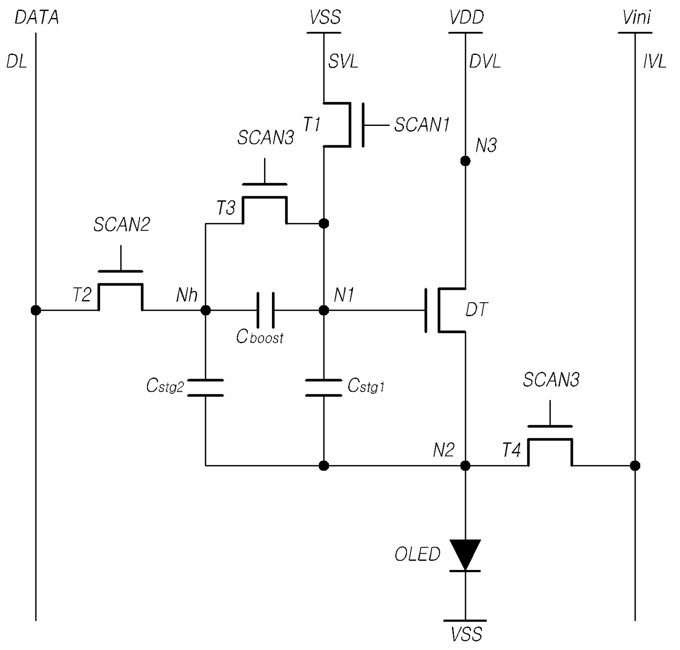


(b)

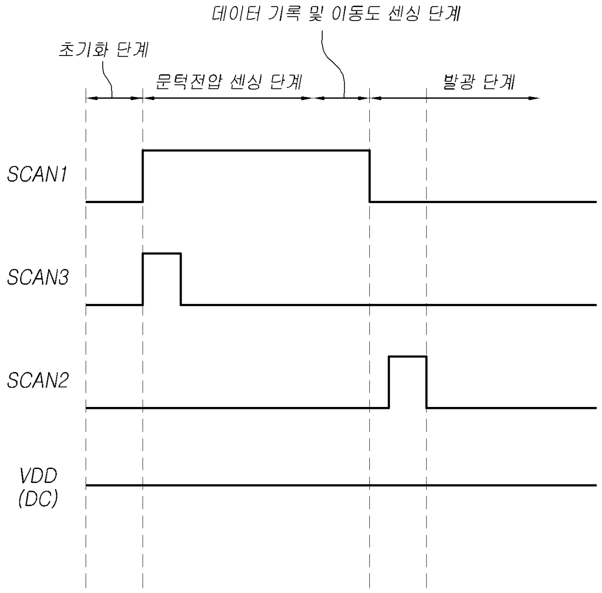
도면16



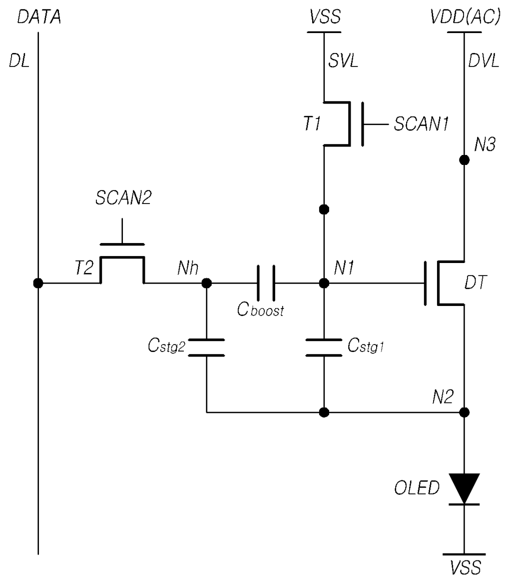
도면17


DATA
DL
VSS
SVL
VDD
DVL
Vini
IVL
T1
SCAN1
SCAN3
N3
T3
SCAN2
T2
Nh
N1
DT
Cboost
Cstg2
Cstg1
SCAN3
N2
T4
OLED
VSS

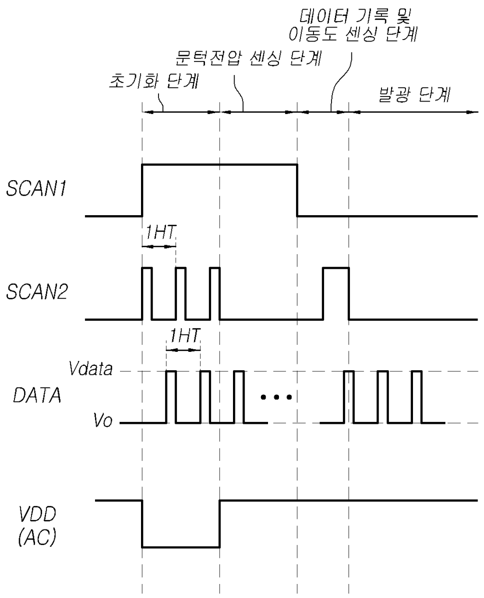
도면18


데이터 기록 및 이동도 센싱 단계
초기화 단계
문턱전압 센싱 단계
발광 단계
SCAN1
SCAN3
SCAN2
VDD
(DC)

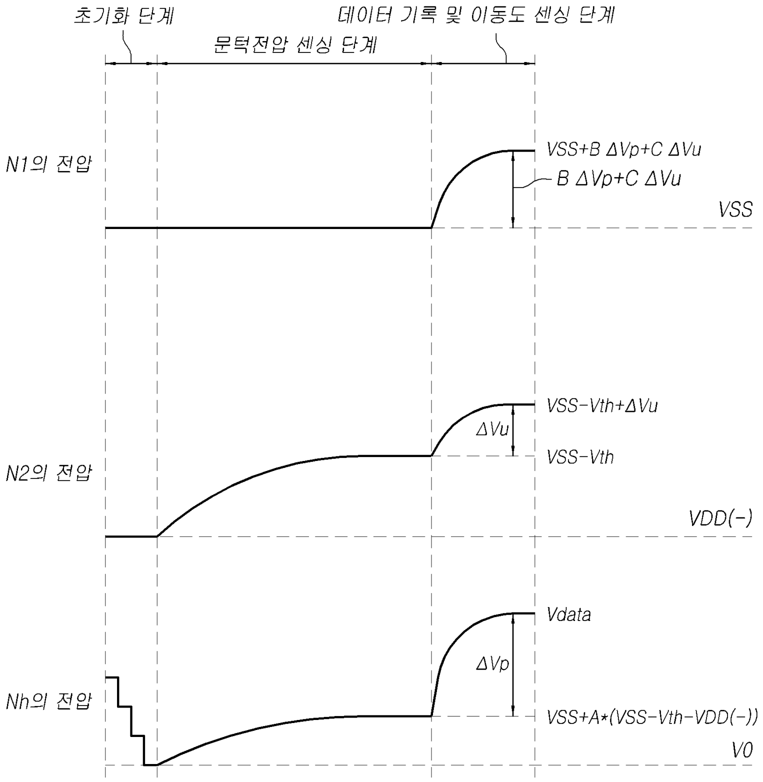
도면19


DATA
DL
VSS
SVL
VDD(AC)
DVL
T1
SCAN1
N3
SCAN2
T2
Nh
Cboost
N1
DT
Cstg2
Cstg1
N2
OLED
VSS

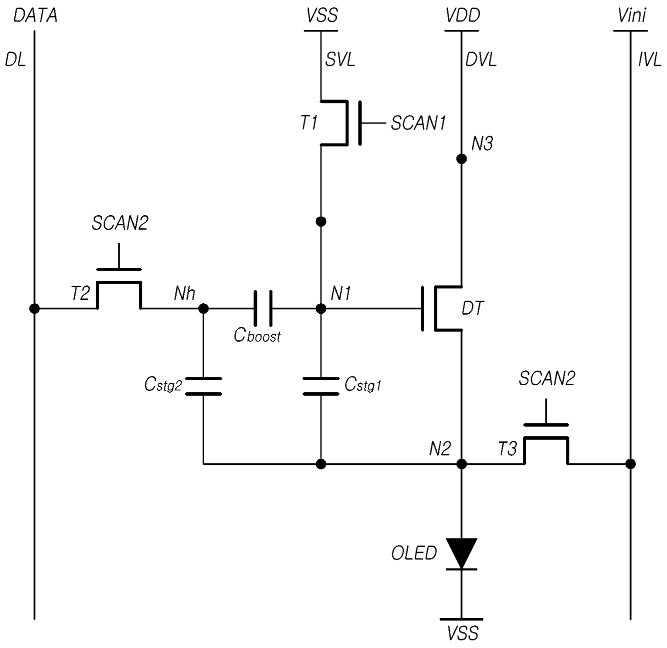
도면20


데이터 기록 및
이동도 센싱 단계
문턱전압 센싱 단계
초기화 단계
발광 단계
SCAN1
1HT
SCAN2
1HT
Vdata
DATA
Vo
VDD
(AC)

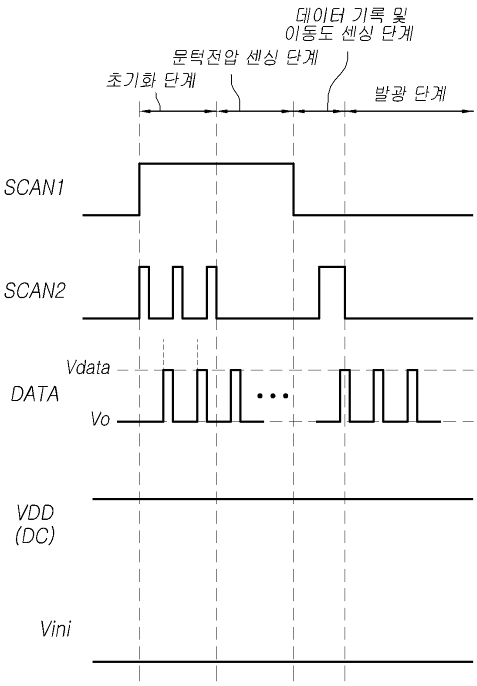
도면21


초기화 단계
데이터 기록 및 이동도 센싱 단계
문턱전압 센싱 단계
N1의 전압
VSS+B ΔVp+C ΔVu
B ΔVp+C ΔVu
VSS
VSS-Vth+ΔVu
ΔVu
VSS-Vth
N2의 전압
VDD(-)
Vdata
ΔVp
Nh의 전압
VSS+A*(VSS-Vth-VDD(-))
V0

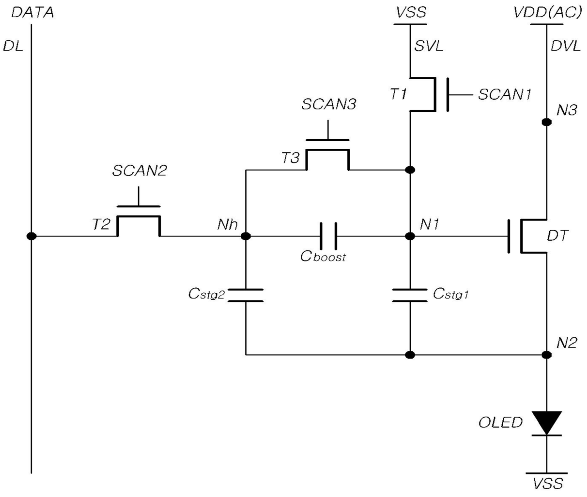
도면22


DATA
DL
VSS
SVL
VDD
DVL
Vini
IVL
T1
SCAN1
N3
SCAN2
T2
Nh
N1
DT
Cboost
Cstg2
Cstg1
SCAN2
N2
T3
OLED
VSS

도면23


데이터 기록 및
이동도 센싱 단계
문턱전압 센싱 단계
초기화 단계
발광 단계
SCAN1
SCAN2
Vdata
DATA
Vo
VDD
(DC)
Vini

专利名称(译)	OLED显示装置具有补偿像素结构		
公开(公告)号	[KR101702429B1]()	公开(公告)日	2017-02-03
申请号	KR1020130155542	申请日	2013-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN IN HYO 한인효 YUN SANG UK 윤상욱		
发明人	한인효 윤상욱		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3291 G09G2300/0852 G09G2300/0866 G09G2300/0876 G09G2320/0219 G09G2300/0819 G09G2320/0204		
代理人(译)	Gimeungu 宋.		
其他公开文献	KR1020150069288A		
外部链接	[Espacenet]()		

摘要(译)

有机发光显示器技术领域本发明涉及一种有机发光显示器，其具有能够补偿在驱动期间可能发生的阈值电压损失的像素结构，并且大大提高阈值电压补偿能力和范围。专利号10-1702429