



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0039085
(43) 공개일자 2020년04월16일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/525 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2018-0118458
(22) 출원일자 2018년10월04일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김히나
경기도 화성시 동탄시범한빛길 33 203호 (반송동)
박상진
경기도 용인시 기흥구 보정로 30 동아솔레시아
파트 116동 1801호
(뒷면에 계속)
(74) 대리인
특허법인 고려

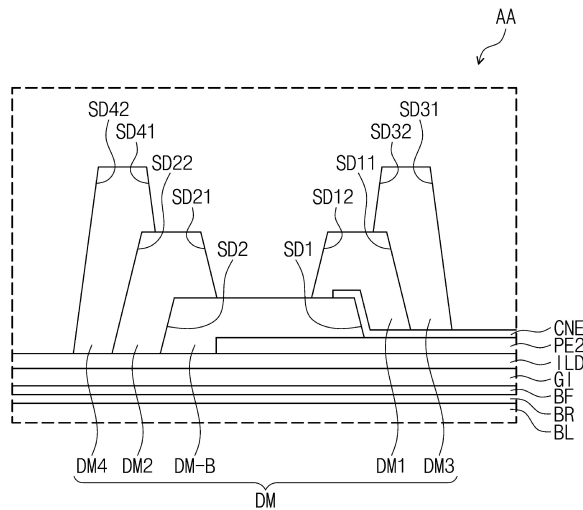
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 표시패널

(57) 요약

유기발광 표시패널은 유기발광소자, 상기 유기발광소자를 밀봉하는 봉지층, 상기 유기발광소자에 전원전압을 제공하기 위한 전원전극, 및 상기 봉지층을 형성하는 과정에서 유기물의 흐름을 방지하기 위한 격벽부를 포함한다. 상기 격벽부는 상기 전원전극의 일측을 커버하는 베이스 댐, 상기 베이스 댐의 일측을 커버하는 제1 댐, 상기 베이스 댐의 타측을 커버하는 제2 댐, 상기 제1 댐의 일측을 커버하는 제3 댐, 및 상기 제2 댐의 일측을 커버하는 제4 댐을 포함한다.

대표도 - 도9



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3258 (2013.01)

(72) 발명자

백영석

서울특별시 광진구 자양번영로1길 57 (자양동 , 대
원리버빌아파트) 402호

최태혁

서울특별시 송파구 오금로32길 31, 105동 1701호

한미정

충청남도 천안시 서북구 두정상가8길 53 306호 (
두정동, 두정하이빌2차)

명세서

청구범위

청구항 1

제1 영역 및 상기 제1 영역을 에워싸는 제2 영역을 포함하는 베이스 부재;
상기 제1 영역 상에 배치되고, 애노드, 캐소드, 및 상기 애노드와 상기 캐소드 사이에 배치되는 발광층을 포함하는 유기발광소자;
상기 애노드에 전기적으로 연결되고, 상기 제2 영역 상에 배치되는 전원전극;
상기 제2 영역 상에 배치되며, 상기 전원전극의 일측을 커버하는 제1 베이스 댐;
상기 전원전극의 일측 및 상기 제1 베이스 댐의 제1 측을 커버하고, 상기 애노드와 동일한 물질을 포함하는 연결전극;
상기 제1 베이스 댐의 상기 제1 측 및 상기 연결전극의 일측을 커버하는 제1 댐;
상기 제1 베이스 댐의 제2 측을 커버하고, 상기 제1 댐과 이격되는 제2 댐;
상기 제1 댐의 일측 및 상기 연결전극의 일부분을 커버하는 제3 댐; 및
상기 제2 댐의 일측을 커버하고, 상기 제3 댐과 이격되는 제4 댐을 포함하는 유기발광 표시패널.

청구항 2

제1 항에 있어서,
상기 제1 댐이 포함하는 물질은 상기 제2 댐이 포함하는 물질과 동일한 유기발광 표시패널.

청구항 3

제2 항에 있어서,
상기 제3 댐이 포함하는 물질은 상기 제4 댐이 포함하는 물질과 동일한 유기발광 표시패널.

청구항 4

제3 항에 있어서,
상기 유기발광소자와 전기적으로 연결된 트랜지스터; 및
상기 트랜지스터를 커버하고, 상기 애노드와 상기 트랜지스터 사이에 배치되며, 상기 제1 베이스 댐이 포함하는 물질과 동일한 물질을 포함하는 절연층을 더 포함하는 유기발광 표시패널.

청구항 5

제4 항에 있어서,
상기 절연층에 관통홀이 정의되며,
상기 애노드는 상기 관통홀을 통해 상기 트랜지스터에 연결되는 유기발광 표시패널.

청구항 6

제5 항에 있어서,
상기 애노드를 노출시키는 개구부가 정의되며, 상기 제1 댐 및 상기 제2 댐 각각이 포함하는 물질과 동일한 물질을 포함하는 화소정의막을 더 포함하는 유기발광 표시패널.

청구항 7

제6 항에 있어서,

상기 화소정의막 상에 배치되고, 상기 제3 댐 및 상기 제4 댐 각각이 포함하는 물질과 동일한 물질을 포함하는 스페이서를 더 포함하는 유기발광 표시패널.

청구항 8

제7 항에 있어서,

상기 유기발광소자를 밀봉하는 봉지층을 더 포함하고, 상기 봉지층은,

상기 캐소드, 상기 제1 베이스 댐, 상기 제1 댐, 상기 제2 댐, 상기 제3 댐, 및 상기 제4 댐을 커버하는 제1 무기층;

상기 제1 무기층 상에 배치되며, 상기 캐소드에 중첩하는 유기층; 및

상기 유기층 및 상기 제1 무기층을 커버하는 제2 무기층을 포함하는 유기발광 표시패널.

청구항 9

제7 항에 있어서,

상기 제2 영역 상에 배치되며, 상기 제1 베이스 댐과 이격된 제2 베이스 댐;

상기 제2 베이스 댐의 제1 측을 커버하는 제5 댐;

상기 제2 베이스 댐의 제2 측을 커버하고, 상기 제5 댐과 이격되는 제6 댐;

상기 제5 댐의 일측을 커버하는 제7 댐; 및

상기 제6 댐의 일측을 커버하는 제8 댐을 더 포함하는 유기발광 표시패널.

청구항 10

제9 항에 있어서,

상기 제2 베이스 댐이 포함하는 물질은 상기 제1 베이스 댐이 포함하는 상기 물질과 동일하고,

상기 제5 댐 및 상기 제6 댐 각각이 포함하는 물질은 상기 제1 댐 및 상기 제2 댐 각각이 포함하는 상기 물질과 동일하며,

상기 제7 댐 및 상기 제8 댐 각각이 포함하는 물질은 상기 제3 댐 및 상기 제4 댐 각각이 포함하는 상기 물질과 동일한 유기발광 표시패널.

청구항 11

제7 항에 있어서,

상기 제1 베이스 댐 중 상기 제1 댐 및 상기 제2 댐과 중첩하지 않는 부분에 홈이 정의되는 유기발광 표시패널.

청구항 12

제1 항에 있어서,

상기 전원전극은 상기 유기발광소자에 전원전압을 전달하는 유기발광 표시패널.

청구항 13

제1 영역 및 상기 제1 영역을 에워싸는 제2 영역을 포함하는 베이스 부재;

상기 제1 영역 상에 배치되고, 애노드, 캐소드, 및 상기 애노드와 상기 캐소드 사이에 배치되는 발광층을 포함하는 유기발광소자;

상기 애노드에 전기적으로 연결되고, 상기 제2 영역 상에 배치되는 전원전극; 및

베이스 댐, 제1 댐, 상기 제1 댐과 이격된 제2 댐, 제3 댐, 및 상기 제3 댐과 이격된 제4 댐을 포함하는 제1 격

벽부를 포함하고,

상기 베이스 댐, 상기 제1 댐, 상기 제2 댐, 상기 제3 댐, 및 상기 제4 댐 각각은 제1 측 및 상기 제1 측보다 상기 유기발광소자와 더 이격된 제2 측을 포함하며,

상기 베이스 댐은 상기 제2 영역 상에 배치되며, 상기 전원전극의 일측을 커버하고,

상기 제1 댐은 상기 베이스 댐의 상기 제1 측을 커버하고,

상기 제2 댐은 상기 베이스 댐의 상기 제2 측을 커버하며,

상기 제3 댐은 상기 제1 댐의 상기 제1 측을 커버하고,

상기 제4 댐은 상기 제2 댐의 상기 제2 측을 커버하는 유기발광 표시패널.

청구항 14

제13 항에 있어서,

상기 제1 댐이 포함하는 물질은 상기 제2 댐이 포함하는 물질과 동일하고,

상기 제3 댐이 포함하는 물질은 상기 제4 댐이 포함하는 물질과 동일한 유기발광 표시패널.

청구항 15

제14 항에 있어서,

상기 유기발광소자와 전기적으로 연결된 트랜지스터; 및

상기 트랜지스터를 커버하고, 상기 제1 베이스 댐이 포함하는 물질과 동일한 물질을 포함하는 절연층을 더 포함하는 유기발광 표시패널.

청구항 16

제15 항에 있어서,

상기 애노드를 노출시키는 개구부가 정의되며, 상기 제1 댐 및 상기 제2 댐 각각이 포함하는 물질과 동일한 물질을 포함하는 화소정의막을 더 포함하는 유기발광 표시패널.

청구항 17

제16 항에 있어서,

상기 화소정의막 상에 배치되고, 상기 제3 댐 및 상기 제4 댐 각각이 포함하는 물질과 동일한 물질을 포함하는 스페이서를 더 포함하는 유기발광 표시패널.

청구항 18

제17 항에 있어서,

상기 유기발광소자를 밀봉하는 봉지층을 더 포함하고, 상기 봉지층은,

상기 캐소드, 상기 제1 베이스 댐, 상기 제1 댐, 상기 제2 댐, 상기 제3 댐, 및 상기 제4 댐을 커버하는 제1 무기층;

상기 제1 무기층 상에 배치되며, 상기 캐소드에 중첩하는 유기층; 및

상기 유기층 및 상기 제1 무기층을 커버하는 제2 무기층을 포함하는 유기발광 표시패널.

청구항 19

제17 항에 있어서,

상기 제2 영역 상에 배치되며, 상기 제1 베이스 댐과 이격된 제2 베이스 댐;

상기 제2 베이스 댐의 제1 측을 커버하는 제5 댐;

상기 제2 베이스 램의 제2 측을 커버하고, 상기 제5 램과 이격되는 제6 램;

상기 제5 램의 일측을 커버하는 제7 램; 및

상기 제6 램의 일측을 커버하는 제8 램을 포함하는 제2 격벽부를 더 포함하는 유기발광 표시패널.

청구항 20

제19 항에 있어서,

상기 제2 베이스 램이 포함하는 물질은 상기 제1 베이스 램이 포함하는 상기 물질과 동일하고,

상기 제5 램 및 상기 제6 램 각각이 포함하는 물질은 상기 제1 램 및 상기 제2 램 각각이 포함하는 상기 물질과 동일하며,

상기 제7 램 및 상기 제8 램 각각이 포함하는 물질은 상기 제3 램 및 상기 제4 램 각각이 포함하는 상기 물질과 동일한 유기발광 표시패널.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시패널 및 이를 포함하는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치는 영상이 표시되는 표시영역과 비표시영역으로 구분될 수 있다. 최근 비표시영역의 폭을 줄여 영상이 표시되는 표시 영역을 증가시키기 위한 다양한 연구가 진행되고 있다. 다만, 비표시영역이 축소됨에 따라 비표시영역에 집적된 소자들의 면적이 작아지고 있다.

[0003] 또한, 표시장치 중 유기발광 표시장치는 유기발광소자(OLED)를 포함할 수 있다. 산소 및 수분에 취약한 유기물을 보호하기 위해, 유기발광소자(OLED)를 밀봉하기 위한 다양한 기술들이 개발되고 있다. 그 중 박막 봉지 기술은 유기발광소자(OLED) 위에 봉지층을 배치시켜 공기 및 수분 등의 침투 경로를 차단하는 기술이다. 봉지층은 무기물을 포함하는 무기물 층과 유기물을 포함하는 유기물 층이 교대로 적층된 구조를 포함할 수 있다. 다만, 유기물 층을 형성하는 과정에서 유기물이 불필요한 영역까지 흐르는 경우, 노출된 유기층이 공기 및 수분의 침투 경로로 제공되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 유기발광소자를 보호하기 위한 봉지층의 신뢰성이 향상된 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 유기발광 표시패널은 베이스 부재, 유기발광소자, 전원전극, 제1 베이스 램, 연결전극, 제1 램, 제2 램, 제3 램, 및 제4 램을 포함할 수 있다.

[0006] 상기 베이스 부재는 제1 영역 및 상기 제1 영역을 에워싸는 제2 영역을 포함할 수 있다. 상기 유기발광소자는 상기 제1 영역 상에 배치되고, 애노드, 캐소드, 및 상기 애노드와 상기 캐소드 사이에 배치되는 발광층을 포함할 수 있다. 상기 전원전극은 상기 애노드에 전기적으로 연결되고, 상기 제2 영역 상에 배치될 수 있다.

[0007] 상기 제1 베이스 램은 상기 제2 영역 상에 배치되며, 상기 전원전극의 일측을 커버할 수 있다. 상기 연결전극은 상기 전원전극의 일측 및 상기 제1 베이스 램의 제1 측을 커버하고, 상기 애노드와 동일한 물질을 포함할 수 있다. 상기 제1 램은 상기 제1 베이스 램의 상기 제1 측 및 상기 연결전극의 일측을 커버할 수 있다. 상기 제2 램은 상기 제1 베이스 램의 제2 측을 커버하고, 상기 제1 램과 이격될 수 있다. 상기 제3 램은 상기 제1 램의 일측 및 상기 연결전극의 일부분을 커버할 수 있다. 상기 제4 램은 상기 제2 램의 일측을 커버하고, 상기 제3 램과 이격될 수 있다.

[0008] 본 발명의 일 실시예에서, 상기 제1 램이 포함하는 물질은 상기 제2 램이 포함하는 물질과 동일할 수 있다.

- [0009] 본 발명의 일 실시예에서, 상기 제3 댐이 포함하는 물질은 상기 제4 댐이 포함하는 물질과 동일할 수 있다.
- [0010] 본 발명의 일 실시예에 따른 유기발광 표시패널은 상기 유기발광소자와 전기적으로 연결된 트랜지스터 및 절연층을 더 포함할 수 있다. 상기 절연층은 상기 트랜지스터를 커버하고, 상기 애노드와 상기 트랜지스터 사이에 배치되며, 상기 제1 베이스 댐이 포함하는 물질과 동일한 물질을 포함할 수 있다.
- [0011] 본 발명의 일 실시예에서, 상기 절연층에 관통홀이 정의되며, 상기 애노드는 상기 관통홀을 통해 상기 트랜지스터에 연결될 수 있다.
- [0012] 본 발명의 일 실시예에 따른 유기발광 표시패널은 상기 애노드를 노출시키는 개구부가 정의되며, 상기 제1 댐 및 상기 제2 댐 각각이 포함하는 물질과 동일한 물질을 포함하는 화소정의막을 더 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 따른 유기발광 표시패널은 상기 화소정의막 상에 배치되고, 상기 제3 댐 및 상기 제4 댐 각각이 포함하는 물질과 동일한 물질을 포함하는 스페이서를 더 포함할 수 있다.
- [0014] 본 발명의 일 실시예에서, 상기 유기발광소자를 밀봉하는 봉지층을 더 포함할 수 있다. 상기 봉지층은 상기 캐소드, 상기 제1 베이스 댐, 상기 제1 댐, 상기 제2 댐, 상기 제3 댐, 및 상기 제4 댐을 커버하는 제1 무기층, 상기 제1 무기층 상에 배치되며, 상기 캐소드에 중첩하는 유기층, 및 상기 유기층 및 상기 제1 무기층을 커버하는 제2 무기층을 포함할 수 있다.
- [0015] 본 발명의 일 실시예에서, 상기 제2 영역 상에 배치되며 상기 제1 베이스 댐과 이격된 제2 베이스 댐, 상기 제2 베이스 댐의 제1 측을 커버하는 제5 댐, 상기 제2 베이스 댐의 제2 측을 커버하고 상기 제5 댐과 이격되는 제6 댐, 상기 제5 댐의 일측을 커버하는 제7 댐, 및 상기 제6 댐의 일측을 커버하는 제8 댐을 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에서, 상기 제2 베이스 댐이 포함하는 물질은 상기 제1 베이스 댐이 포함하는 상기 물질과 동일하고, 상기 제5 댐 및 상기 제6 댐 각각이 포함하는 물질은 상기 제1 댐 및 상기 제2 댐 각각이 포함하는 상기 물질과 동일하며, 상기 제7 댐 및 상기 제8 댐 각각이 포함하는 물질은 상기 제3 댐 및 상기 제4 댐 각각이 포함하는 상기 물질과 동일할 수 있다.
- [0017] 본 발명의 일 실시예에서, 상기 제1 베이스 댐 중 상기 제1 댐 및 상기 제2 댐과 중첩하는 않는 부분에 홈이 정의될 수 있다.
- [0018] 본 발명의 일 실시예에서, 상기 전원전극은 상기 유기발광소자에 전원전압을 전달할 수 있다.
- [0019] 본 발명의 일 실시예에 따른 유기발광 표시패널은 베이스 부재, 유기발광소자, 전원전극, 및 격벽부를 포함할 수 있다.
- [0020] 상기 베이스 부재는 제1 영역 및 상기 제1 영역을 에워싸는 제2 영역을 포함할 수 있다. 상기 유기발광소자는 상기 제1 영역 상에 배치되고, 애노드, 캐소드, 및 상기 애노드와 상기 캐소드 사이에 배치되는 발광층 포함할 수 있다. 상기 전원전극은 상기 애노드에 전기적으로 연결되고, 상기 제2 영역 상에 배치될 수 있다.
- [0021] 상기 격벽부는 베이스 댐, 제1 댐, 상기 제1 댐과 이격된 제2 댐, 제3 댐, 및 상기 제3 댐과 이격된 제4 댐을 포함할 수 있다.
- [0022] 상기 베이스 댐, 상기 제1 댐, 상기 제2 댐, 상기 제3 댐, 및 상기 제4 댐 각각은 제1 측 및 상기 제1 측보다 상기 유기발광소자와 더 이격된 제2 측을 포함할 수 있다.
- [0023] 상기 베이스 댐은 상기 제2 영역 상에 배치되며, 상기 전원전극의 일측을 커버할 수 있다. 상기 제1 댐은 상기 베이스 댐의 상기 제1 측을 커버하고, 상기 제2 댐은 상기 베이스 댐의 상기 제2 측을 커버하며, 상기 제3 댐은 상기 제1 댐의 상기 제1 측을 커버하고, 상기 제4 댐은 상기 제2 댐의 상기 제2 측을 커버할 수 있다.

발명의 효과

- [0024] 본 발명의 일 실시예에 따르면, 유기발광 표시장치에서, 봉지층의 유기물이 불필요한 영역까지 흐르는 것을 효과적으로 방지하는 격벽부를 제공할 수 있다.
- [0025] 또한, 상기 격벽부가 가지는 너비를 축소시킬 수 있어서, 내로우 베젤을 가지는 표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 표시장치의 사시도이다.

- 도 2a, 도 2b, 도 2c, 및 도 2d 각각은 본 발명의 일 실시예에 따른 표시장치의 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시패널의 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소의 등가회로도도를 도시한 것이다.
- 도 5는 도 4의 화소에 인가되는 신호들을 예시적으로 도시한 것이다.
- 도 6은 본 발명의 일 실시예에 따른 화소의 일부분의 단면을 도시한 것이다.
- 도 7은 도 1의 I-I'를 따라 절단한 단면 중 표시패널에 대응하는 부분을 예시적으로 도시한 것이다.
- 도 8은 도 1의 II-II'를 따라 절단한 단면 중 표시패널에 대응하는 부분을 예시적으로 도시한 것이다.
- 도 9는 도 7의 AA부분을 확대하여 도시한 것이다.
- 도 10은 도 9의 AA영역을 변형한 다른 실시예이다.
- 도 11은 도 9의 AA영역을 변형한 다른 실시예이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0028] 도면들에 있어서, 구성요소들의 비율 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0029] "포함하다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 표시장치(DD)의 사시도이다.
- [0031] 도 1에는 표시장치(DD)가 스마트폰인 것을 예시적으로 도시하였다. 그러나, 이에 제한되지 않으며, 표시장치(DD)는 텔레비전, 모니터 등과 같은 대형 전자장치를 비롯하여, 휴대 전화, 태블릿, 자동차 내비게이션, 게임기, 스마트 워치 등과 같은 중소형 전자장치 등 일 수 있다.
- [0032] 표시장치(DD)에는 표시영역(DA) 및 비표시영역(NDA)이 정의될 수 있다.
- [0033] 이미지(IM)가 표시되는 표시영역(DA)은 제1 방향축(DR1)과 제2 방향축(DR2)이 정의하는 면과 평행하다. 표시영역(DA)의 법선 방향, 즉 표시장치(DD)의 두께 방향은 제3 방향축(DR3)이 지시한다. 각 부재들의 전면(또는 상면)과 배면(또는 하면)은 제3 방향축(DR3)에 의해 구분된다. 그러나, 제1 내지 제3 방향축들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다. 이하, 제1 내지 제3 방향축들은 제1 내지 제3 방향축들(DR1, DR2, DR3)이 각각 지시하는 방향으로 동일한 도면 부호를 참조한다.
- [0034] 도 1에 도시된 표시영역(DA)의 형상은 예시적인 것으로, 표시영역(DA)의 형상은 필요에 따라 제한없이 변경될 수 있다.
- [0035] 비표시영역(NDA)는 표시영역(DA)에 인접한 영역으로, 이미지(IM)가 표시되지 않는 영역이다. 비표시영역(NDA)에 의해 표시장치(DD)의 베젤영역이 정의될 수 있다.
- [0036] 비표시영역(NDA)은 표시영역(DA)을 에워싸울 수 있다. 다만, 이에 제한되지 않고, 표시영역(DA)의 형상과 비표시영역(NDA)의 형상은 상대적으로 디자인될 수 있다.
- [0037] 도 2a 내지 2d는 본 발명의 일 실시예에 따른 표시장치(DD)의 단면도이다. 도 2a 내지 2d는 제2 방향축(DR2)과 제3 방향축(DR3)이 정의하는 단면을 도시하였다. 도 2a 내지 2d는 표시장치(DD)를 구성하는 기능성 패널 및/또는 기능성 부재들의 적층관계를 설명하기 위해 단순하게 도시되었다.
- [0038] 도 2a에 도시된 것과 같이, 표시장치(DD)는 표시패널(DP), 입력감지회로(ISC), 반사방지부재(RPP), 및 윈도우부재(WP)를 포함할 수 있다. 입력감지회로(ISC)는 표시패널(DP)에 직접 배치될 수 있다. 본 명세서에서 "직접배치된다"는 것은 두 개의 구성 사이에 별도의 접촉층/접착부재가 배치되지 않는 것을 의미한다.
- [0039] 표시패널(DP)과 표시패널(DP) 상에 직접 배치된 입력감지회로(ISC)를 포함하여 표시모듈(DPM)로 정의될 수 있다. 표시모듈(DPM)과 반사방지부재(RPP) 사이, 반사방지부재(RPP)과 윈도우부재(WP) 사이 각각에 광학 투명

접착부재(OCA)가 배치된다.

- [0040] 표시패널(DP)은 이미지를 생성하고, 입력감지회로(ISC)는 외부입력(예컨대, 터치 이벤트 또는 인가되는 압력)의 좌표정보를 획득한다. 별도로 도시하지 않았으나, 본 발명의 일 실시예에 따른 표시모듈(DPM)은 표시패널(DP)의 하면에 배치된 보호부재를 더 포함할 수 있다. 보호부재와 표시패널(DP)은 접착부재를 통해 결합될 수 있다. 이하에서 설명되는 도 2b 내지 도 2d의 표시장치들(DD) 역시 보호부재를 더 포함할 수 있다.
- [0041] 본 발명의 일 실시예에 따른 표시패널(DP)은 발광형 표시패널일 수 있다. 예컨대, 표시패널(DP)은 유기발광 표시패널, 퀀텀닷 발광 표시패널, 마이크로 LED 표시패널 일 수 있다. 유기발광 표시패널의 발광층은 유기발광물질을 포함할 수 있다. 퀀텀닷 발광 표시패널의 발광층은 퀀텀닷 및 퀀텀로드 등을 포함할 수 있다. 이하, 표시패널(DP)은 유기발광 표시패널로 설명된다.
- [0042] 반사방지부재(RPP)는 윈도우부재(WP)의 상측으로부터 입사되는 외부광의 반사율을 감소시킨다. 본 발명의 일 실시예에 따른 반사방지부재(RPP)는 위상지연자(retarder) 및 편광자(polarizer)를 포함할 수 있다.
- [0043] 본 발명의 일 실시예에 따른 반사방지부재(RPP)는 컬러필터들을 포함할 수 있다.
- [0044] 본 발명의 일 실시예에 따른 윈도우부재(WP)은 베이스 필름(WP-BS) 및 차광 패턴(WP-BZ)을 포함한다. 베이스 필름(WP-BS)은 유리 및/또는 합성수지를 포함할 수 있다. 베이스 필름(WP-BS)은 단층으로 제한되지 않는다. 베이스 필름(WP-BS)은 접착부재로 결합된 두 개 이상의 필름들을 포함할 수 있다.
- [0045] 차광 패턴(WP-BZ)은 베이스 필름(WP-BS)에 부분적으로 중첩한다. 차광 패턴(WP-BZ)은 베이스 필름(WP-BS)의 배면에 배치되어 표시장치(DD)의 베젤영역 즉, 비표시영역(NDA)을 정의할 수 있다.
- [0046] 이하, 도 2b 내지 도 2d에서는 차광 패턴(WP-BZ) 및 베이스 필름(WP-BS)을 별도로 도시하지 않는다.
- [0047] 도 2b에 도시된 것과 같이, 표시장치(DD)는 표시패널(DP), 반사방지부재(RPP), 입력감지회로(ISC), 및 윈도우부재(WP)를 포함할 수 있다.
- [0048] 표시패널(DP)과 반사방지부재(RPP)는 광학 투명 접착부재(OCA)에 의해 결합될 수 있다. 반사방지부재(RPP)와 입력감지회로(ISC)는 광학 투명 접착부재(OCA)에 의해 결합될 수 있다. 입력감지회로(ISC)와 윈도우부재(WP)는 광학 투명 접착부재(OCA)에 의해 결합될 수 있다.
- [0049] 도 2c를 참조하면, 도 2b에 도시된 적층 구조와 달리, 반사방지부재(RPP)와 입력감지회로(ISC)의 위치가 서로 바뀌었다.
- [0050] 도 2d에 도시된 것과 같이, 표시장치(DD)에서 접착부재들이 생략되고, 표시패널(DP), 입력감지회로(ISC), 반사방지부재(RPP), 및 윈도우부재(WP)가 연속공정으로 형성될 수 있다. 본 발명의 다른 실시예에서, 입력감지회로(ISC)와 반사방지부재(RPP)의 적층 순서는 변경될 수 있다.
- [0051] 입력감지회로(ISC)는 사용자의 터치를 감지하거나 외부에서 인가되는 압력을 감지하는 회로일 수 있다.
- [0052] 도 3은 본 발명의 일 실시예에 따른 표시패널(DP)의 평면도이다.
- [0053] 표시패널(DP)은 평면상에서 표시영역(DP-DA)과 비표시영역(DP-NDA)을 포함한다. 본 실시예에서 비표시영역(DP-NDA)은 표시영역(DP-DA)의 테두리를 따라 정의될 수 있다. 표시패널(DP)의 표시영역(DP-DA) 및 비표시영역(DP-NDA)은 도 1에 도시된 표시장치(DD)의 표시영역(DD) 및 비표시영역(NDA)에 각각 대응될 수 있다.
- [0054] 표시패널(DP)은 주사 구동부(100), 데이터 구동부(200), 복수 개의 스캔 라인들(SL), 복수 개의 발광제어 라인들(ECL), 복수 개의 데이터 라인들(DL), 복수 개의 전원 라인들(PL), 제1 전원전극(PE1), 제2 전원전극(PE2), 및 복수 개의 화소들(PX, 이하 화소들)을 포함할 수 있다. 화소들(PX)은 표시영역(DP-DA)에 배치된다. 화소들(PX) 각각은 유기발광소자(OLED, 도 4 참조)와 그에 연결된 화소회로(CC, 도 4 참조)를 포함한다.
- [0055] 주사 구동부(100)는 스캔 구동부 및 발광제어 구동부를 포함할 수 있다.
- [0056] 스캔 구동부는 스캔신호들을 생성하고, 생성된 스캔신호들을 스캔 라인들(SL)에 순차적으로 출력한다. 발광제어 구동부는 발광제어 신호들을 생성하고, 생성된 발광제어 신호들을 발광제어 라인들(ECL)에 출력한다.
- [0057] 본 발명의 다른 실시예에서, 주사 구동부(100) 내에서 스캔 구동부 및 발광제어 구동부가 구분되지 않고, 하나의 회로로 구성될 수 있다.
- [0058] 주사 구동부(100)는 화소들(PX)의 구동회로와 동일한 공정, 예컨대 LTPS(Low Temperature Polycrystalline

Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.

- [0059] 데이터 구동부(200)는 데이터 신호들을 데이터 라인들(DL)에 출력한다. 데이터 신호들은 영상 데이터들의 계조 값에 대응하는 아날로그 전압들이다.
- [0060] 본 발명의 일 실시예에서, 데이터 구동부(200)는 인쇄회로기판(FPCB)에 실장되고, 인쇄회로기판(FPCB)이 데이터 라인들(DL)의 일단에 배치된 패드들과 연결될 수 있다. 단, 이에 제한되는 것은 아니고, 데이터 구동부(200)는 표시패널(DP)에 직접적으로 실장될 수 있다.
- [0061] 스캔 라인들(SL)은 제1 방향(DR1)으로 연장되고, 제2 방향(DR2)으로 나열될 수 있다.
- [0062] 발광제어 라인들(ECL)은 제1 방향(DR1)으로 연장되고, 제2 방향(DR2)으로 나열될 수 있다. 즉, 발광제어 라인들(ECL) 각각은 스캔 라인들(SL) 중 대응하는 스캔 라인에 나란하게 배열될 수 있다.
- [0063] 데이터 라인들(DL)은 제2 방향(DR2)으로 연장되고, 제1 방향(DR1)으로 나열된다. 데이터 라인들(DL)은 데이터 신호들을 대응하는 화소들(PX)에 제공할 수 있다.
- [0064] 전원 라인들(PL)은 제2 방향(DR2)으로 연장되고, 제1 방향(DR1)으로 나열된다. 전원 라인들(PL)은 제1 전원전극(PE1)으로부터 제공받은 제1 전원(ELVDD, 도 4 참조)을 대응하는 화소들(PX)에 제공할 수 있다.
- [0065] 제1 전원전극(PE1)은 제1 전원(ELVDD, 도 4 참조)을 화소(PX)에 전달하기 위한 전극이고, 제2 전원전극(PE2)은 제2 전원(ELVSS, 도 4 참조)을 화소(PX)에 전달하기 위한 전극일 수 있다.
- [0066] 복수 개의 화소들(PX) 각각은 스캔 라인들(SL) 중 대응하는 스캔 라인, 발광제어 라인들(ECL) 중 대응하는 발광제어 라인, 데이터 라인들(DL) 중 대응하는 데이터 라인, 및 전원 라인들(PL) 중 대응하는 전원 라인에 접속된다.
- [0067] 도 4는 본 발명의 일 실시예에 따른 화소(PX)의 등가회로도를 도시한 것이다. 도 5는 도 4의 화소(PX)에 인가되는 발광제어신호(Ei), 스캔신호들(Si-1, Si, Si+1)을 예시적으로 도시한 것이다. 도 4에는 i번째 스캔 라인(SLi) 및 i번째 발광제어 라인(ECLi)에 연결된 화소(PX)를 예시적으로 도시하였다.
- [0068] 화소(PX)는 유기발광소자(OLED) 및 화소회로(CC)를 포함할 수 있다. 화소회로(CC)는 복수의 트랜지스터들(T1~T7) 및 커패시터(CP)를 포함할 수 있다. 화소회로(CC)는 데이터 신호에 대응하여 유기발광소자(OLED)에 흐르는 전류량을 제어한다.
- [0069] 유기발광소자(OLED)는 화소회로(CC)로부터 제공되는 전류량에 대응하여 소정의 휘도로 발광할 수 있다. 이를 위하여, 제1 전원(ELVDD)의 레벨은 제2 전원(ELVSS)의 레벨보다 높게 설정될 수 있다.
- [0070] 복수의 트랜지스터들(T1~T7)은 각각 입력전극(또는, 소스 전극), 출력전극(또는, 드레인 전극) 및 제어전극(또는, 게이트 전극)을 포함할 수 있다. 본 명세서 내에서 편의상 입력전극 및 출력전극 중 어느 하나는 제1 전극으로 지칭되고, 다른 하나는 제2 전극으로 지칭될 수 있다.
- [0071] 제1 트랜지스터(T1)의 제1 전극은 제5 트랜지스터(T5)를 경유하여 제1 전원(ELVDD)에 접속되고, 제2 전극은 제6 트랜지스터(T6)를 경유하여 유기발광소자(OLED)의 애노드전극에 접속된다. 제1 트랜지스터(T1)는 본 명세서 내에서 드라이빙 트랜지스터로 지칭될 수 있다.
- [0072] 제1 트랜지스터(T1)는 제어전극에 인가되는 전압에 대응하여 유기발광소자(OLED)에 흐르는 전류량을 제어한다.
- [0073] 제2 트랜지스터(T2)는 데이터 라인(DL)과 제1 트랜지스터(T1)의 제1 전극 사이에 접속된다. 그리고, 제2 트랜지스터(T2)의 제어전극은 i번째 스캔 라인(SLi)에 접속된다. 제2 트랜지스터(T2)는 i번째 스캔 라인(SLi)으로 i번째 스캔신호(Si)가 제공될 때 턴-온되어 데이터 라인(DL)과 제1 트랜지스터(T1)의 제1 전극을 전기적으로 접속시킨다.
- [0074] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 제2 전극과 제어전극 사이에 접속된다. 제3 트랜지스터(T3)의 제어전극은 i번째 스캔 라인(SLi)에 접속된다. 제3 트랜지스터(T3)는 i번째 스캔 라인(SLi)으로 i번째 스캔신호(Si)가 제공될 때 턴-온되어 제1 트랜지스터(T1)의 제2 전극과 제어전극을 전기적으로 접속시킨다. 따라서, 제3 트랜지스터(T3)가 턴-온될 때 제1 트랜지스터(T1)는 다이오드 형태로 접속된다.
- [0075] 제4 트랜지스터(T4)는 노드(ND)와 초기화 전원생성부(미도시) 사이에 접속된다. 그리고, 제4 트랜지스터(T4)의 제어전극은 i-1번째 스캔 라인(SLi-1)에 접속된다. 제4 트랜지스터(T4)는 i-1번째 스캔 라인(SLi-1)으로 i-1번째

째 스캔신호(Si-1)가 제공될 때 턴-온되어 노드(ND)로 초기화전압(Vint)을 제공한다.

- [0076] 제5 트랜지스터(T5)는 전원 라인(PL)과 제1 트랜지스터(T1)의 제1 전극 사이에 접속된다. 제5 트랜지스터(T5)의 제어전극은 i번째 발광제어 라인(ECLi)에 접속된다.
- [0077] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)의 제2 전극과 유기발광소자(OLED)의 애노드전극 사이에 접속된다. 그리고, 제6 트랜지스터(T6)의 제어전극은 i번째 발광제어 라인(ECLi)에 접속된다.
- [0078] 제7 트랜지스터(T7)는 초기화 전원생성부(미도시)와 유기발광소자(OLED)의 애노드전극 사이에 접속된다. 그리고, 제7 트랜지스터(T7)의 제어전극은 i+1번째 스캔 라인(SLi+1)에 접속된다. 이와 같은 제7 트랜지스터(T7)는 i+1번째 스캔 라인(SLi+1)으로 i+1번째 스캔신호(Si+1)가 제공될 때 턴-온되어 초기화전압(Vint)을 유기발광소자(OLED)의 애노드전극으로 제공한다.
- [0079] 제7 트랜지스터(T7)는 화소(PX)의 블랙 표현 능력을 향상시킬 수 있다. 구체적으로, 제7 트랜지스터(T7)가 턴-온되면 유기발광소자(OLED)의 기생 커패시터(미도시)가 방전된다. 그러면, 블랙 휘도 구현시 제1 트랜지스터(T1)로부터의 누설전류에 의하여 유기발광소자(OLED)가 발광하지 않게되고, 이에 따라 블랙 표현 능력이 향상될 수 있다.
- [0080] 추가적으로, 도 4에서는 제7 트랜지스터(T7)의 제어전극이 i+1번째 스캔 라인(SLi+1)에 접속되는 것으로 도시되었지만, 본 발명이 이에 한정되지는 않는다. 본 발명의 다른 실시예에서, 제7 트랜지스터(T7)의 제어전극은 i번째 스캔 라인(SLi) 또는 i-1번째 스캔 라인(SLi-1)에 접속될 수 있다.
- [0081] 도 4에서는 PMOS를 기준으로 도시하였으나, 이에 제한되지 않는다. 본 발명의 다른 실시예에서 화소(PX)는 NMOS로 구성될 수 있다. 본 발명의 또 다른 실시예에서 화소(PX)는 NMOS와 PMOS의 조합에 의해 구성될 수 있다.
- [0082] 커패시터(CP)는 전원 라인(PL)과 노드(ND) 사이에 배치된다. 커패시터(CP)는 데이터 신호에 대응되는 전압을 저장한다. 커패시터(CP)에 저장된 전압에 따라 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온 될 때 제1 트랜지스터(T1)에 흐르는 전류량이 결정될 수 있다.
- [0083] 본 발명에서 화소(PX)의 구조는 도 4에 도시된 구조로 한정되지 않는다. 본 발명의 다른 실시예에서 화소(PX)는 유기발광소자(OLED)를 발광시키기 위한 다양한 형태로 구현될 수 있다.
- [0084] 도 5을 참조하면, 발광제어신호(Ei)는 하이레벨(E-HIGH) 또는 로우레벨(E-LOW)을 가질 수 있다. 스캔신호들(SLi-1, SLi, SLi+1)은 각각 하이레벨(S-HIGH) 또는 로우레벨(S-LOW)을 가질 수 있다.
- [0085] 발광제어신호(Ei)가 하이레벨(E-HIGH)을 가질 때, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-오프된다. 제5 트랜지스터(T5)가 턴-오프되면 전원 라인(PL)과 제1 트랜지스터(T1)의 제1 전극이 전기적으로 차단된다. 제6 트랜지스터(T6)가 턴-오프되면 제1 트랜지스터(T1)의 제2 전극과 유기발광소자(OLED)의 애노드전극이 전기적으로 차단된다. 따라서, i번째 발광제어 라인(ECLi)으로 하이레벨(E-HIGH)을 가지는 발광제어신호(Ei)가 제공되는 기간 동안 유기발광소자(OLED)는 발광하지 않는다.
- [0086] 이후, i-1번째 스캔 라인(SLi-1)으로 제공되는 i-1번째 스캔신호(Si-1)가 로우레벨(S-LOW)을 가지면 제4 트랜지스터(T4)가 턴-온된다. 제4 트랜지스터(T4)가 턴-온되면 초기화전압(Vint)이 노드(ND)로 제공된다.
- [0087] i번째 스캔 라인(SLi)으로 제공되는 i번째 스캔신호(Si)가 로우레벨(S-LOW)을 가지면 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴-온된다.
- [0088] 제2 트랜지스터(T2)가 턴-온되면 데이터 신호가 제1 트랜지스터(T1)의 제1 전극으로 제공된다. 이 때, 노드(ND)가 초기화전압(Vint)으로 초기화되었기 때문에 제1 트랜지스터(T1)가 턴-온된다. 제1 트랜지스터(T1)가 턴-온되면 데이터신호에 대응되는 전압이 노드(ND)로 제공된다. 이때, 커패시터(CP)는 데이터신호에 대응되는 전압을 저장한다.
- [0089] i+1번째 스캔 라인(SLi+1)으로 제공되는 i+1번째 스캔신호(Si+1)가 로우레벨(S-LOW)을 가지면 제7 트랜지스터(T7)가 턴-온된다.
- [0090] 제7 트랜지스터(T7)가 턴-온되면 초기화전압(Vint)이 유기발광소자(OLED)의 애노드전극으로 제공되어 유기발광소자(OLED)의 기생 커패시터가 방전된다.
- [0091] 발광제어 라인(ECLi)으로 제공되는 발광제어신호(Ei)가 로우레벨(E-LOW)을 가지면 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온된다. 제5 트랜지스터(T5)가 턴-온되면 제1 전원(ELVDD)이 제1 트랜지스터(T1)의 제1 전

극에 제공된다. 제6 트랜지스터(T6)가 턴-온되면 제1 트랜지스터(T1)의 제2 전극과 유기발광소자(OLED)의 애노드전극이 전기적으로 접속된다. 그러면, 유기발광소자(OLED)는 제공받는 전류량에 대응하여 소정 휘도의 광을 생성한다.

- [0092] 도 6은 본 발명의 일 실시예에 따른 화소(PX, 도 4 참조)의 일부분의 단면을 도시한 것이다. 도 6에서는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 예시적으로 도시하였으나, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 구조가 이에 제한되는 것은 아니다. 도 6에서는 제1 트랜지스터(T1)의 제2 전극(ED2)이 화소(PX)의 애노드전극(AE)에 직접 접촉하는 것처럼 도시되어 있으나, 이는 단면상의 형상이어서 이와 같이 도시된 것이며, 실제로는 도 4에 도시된 것처럼 제1 트랜지스터(T1)는 제6 트랜지스터(T6)를 경유하여 화소(PX)의 애노드전극(AE)과 연결될 수 있다. 단, 이에 제한되지 않으며, 본 발명의 다른 실시예에서 제1 트랜지스터(T1)의 제2 전극(ED2)은 화소(PX)의 애노드전극(AE)과 직접 접촉할 수 있다.
- [0093] 표시패널(DP, 도 3 참조)은 베이스층(BL), 회로층(CL), 발광소자층(ELL), 및 봉지층(TFE)을 포함할 수 있다.
- [0094] 회로층(CL)은 배리어층(BR), 버퍼층(BF), 게이트 절연층들(GI), 층간 절연층(ILD), 회로절연층(VIA), 및 트랜지스터들(T1, T2)을 포함할 수 있다.
- [0095] 발광소자층(ELL)은 유기발광소자(OLED) 및 화소정의막(PDL)을 포함할 수 있다.
- [0096] 봉지층(TFE)은 발광소자층(ELL)을 밀봉하여, 외부의 산소 또는 수분으로부터 발광소자층(ELL)을 보호할 수 있다.
- [0097] 봉지층(TFE)은 제1 무기층(CVD1), 유기층(MN), 제2 무기층(CVD2)을 포함할 수 있다. 도 6에서는 봉지층(TFE)이 2개의 무기층과 1개의 유기층을 포함하는 것을 예시적으로 도시하였으나, 이에 제한되는 것은 아니다. 예를 들어, 봉지층(TFE)은 3개의 무기층과 2개의 유기층을 포함할 수도 있고, 이 경우, 무기층과 유기층은 번갈아가며 적층된 구조를 가질 수 있다. 베이스층(BL)의 일면 상에 기능층(BR, BF)이 배치될 수 있다. 기능층(BR, BF)은 배리어층(BR) 및 버퍼층(BF)을 포함할 수 있다.
- [0098] 기능층(BR, BF)은 제조공정 중에 있어서 베이스층(BL)에 존재하는 불순물이 화소(PX)에 유입되는 것을 방지한다. 특히, 불순물이 화소(PX)를 구성하는 트랜지스터들(T1, T2)의 액티브부들(ACL)에 확산되는 것을 방지한다.
- [0099] 불순물은 외부에서 유입되거나, 베이스층(BL)이 열분해됨으로써 발생할 수 있다. 불순물은 베이스층(BL)으로부터 배출된 가스 또는 나트륨일 수 있다. 또한, 기능층(BR, BF)은 외부로부터 화소(PX)로 유입되는 수분을 차단한다.
- [0100] 버퍼층(BF) 상에 트랜지스터들(T1, T2) 각각을 구성하는 액티브부들(ACL)이 배치된다. 액티브부들(ACL) 각각은 폴리 실리콘 또는 아몰포스 실리콘을 포함할 수 있다. 그 밖에 액티브부들(ACL)은 금속 산화물 반도체를 포함할 수 있다.
- [0101] 액티브부들(ACL)은 전자 또는 정공이 이동할 수 있는 통로역할을 하는 채널영역, 채널영역을 사이에 두고 배치된 제1 이온도핑영역 및 제2 이온도핑영역을 포함할 수 있다.
- [0102] 버퍼층(BF) 상에 액티브부들(ACL)을 커버하는 게이트 절연층(GI)이 배치된다. 게이트 절연층(GI)은 유기막 및/또는 무기막을 포함한다. 게이트 절연층(GI)은 복수 개의 무기 박막들을 포함할 수 있다. 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0103] 게이트 절연층(GI) 상에 트랜지스터들(T1, T2) 각각을 구성하는 제어전극들(GE)이 배치된다. 게이트 절연층(GI) 상에 스캔 라인들(SL, 도 3 참조) 및 발광제어 라인들(ECL, 도 3 참조) 중 적어도 일부가 배치될 수 있다.
- [0104] 게이트 절연층(GI) 상에 제어전극(GE)을 커버하는 층간 절연층(ILD)이 배치된다. 층간 절연층(ILD)은 유기막 및/또는 무기막을 포함한다. 층간 절연층(ILD)은 복수 개의 무기 박막들 또는 유기 박막들을 포함할 수 있다. 상기 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0105] 층간 절연층(ILD) 상에 데이터 라인(DL, 도 3 참조) 및 전원 라인(PL, 도 3 참조)의 적어도 일부가 배치될 수 있다. 층간 절연층(ILD) 상에 트랜지스터들(T1, T2) 각각의 제1 전극들(ED1) 및 제2 전극들(ED2)이 배치될 수 있다.
- [0106] 제1 전극들(ED1) 및 제2 전극들(ED2)은 각각 게이트 절연층(GI) 및 층간 절연층(ILD)을 관통하는 콘택홀들을 통

해 대응하는 액티브부들(ACL)과 연결될 수 있다.

- [0107] 층간 절연층(ILD) 상에 제1 전극들(ED1) 및 제2 전극들(ED2)을 커버하는 회로절연층(VIA)이 배치된다. 회로절연층(VIA)은 유기막 및/또는 무기막을 포함한다. 회로절연층(VIA)은 평탄면을 제공할 수 있다. 회로절연층(VIA)은 애노드전극(AE)과 트랜지스터들(T1, T2) 사이에 배치될 수 있다. 회로절연층(VIA) 상에 화소정의막(PDL) 및 유기발광소자(OLED)가 배치된다.
- [0108] 유기발광소자(OLED)는 애노드전극(AE), 정공제어층(HL), 발광층(EML), 전자제어층(EL), 및 캐소드전극(CE)을 포함할 수 있다.
- [0109] 애노드전극(AE)은 회로절연층(VIA)을 관통하는 컨택홀을 통해 제2 전극(ED2)에 연결될 수 있다.
- [0110] 화소정의막에 정의된 개구부(OP)는 애노드전극(AE)을 노출시킬 수 있다.
- [0111] 도 7은 도 1의 I-I'를 따라 절단한 단면 중 표시패널(DP)에 대응하는 부분을 예시적으로 도시한 것이다. 도 8은 도 1의 II-II'를 따라 절단한 단면 중 표시패널(DP)에 대응하는 부분을 예시적으로 도시한 것이다. 도 9는 도 7의 AA부분을 확대하여 도시한 것이다. 도 9에서는 편의상 봉지층(TFE)의 제1 무기막(CVD1) 및 제2 무기막(CVD2)을 도시하지 않았다.
- [0112] 도 7을 참조하면, 베이스층(BL)은 표시영역(DA)에 대응하는 제1 영역(BL1) 및 비표시영역(NDA)에 대응하는 제2 영역(BL2)을 포함할 수 있다.
- [0113] 격벽부(DM)는 제2 영역(BL2) 상에 배치될 수 있다. 제1 무기층(CVD1)은 캐소드전극(CE)을 커버할 수 있다. 제1 무기층(CVD1)은 격벽부(DM)가 형성된 영역까지 연장되어, 격벽부(DM)를 커버할 수 있다. 제1 무기층(CVD1) 상에 도포될 유기 물질의 흐름을 제어하기 위해 제1 무기층(CVD1)에는 소수성 또는 친수성 플라즈마 처리가 실시될 수 있다.
- [0114] 유기층(MN)은 제1 무기층(CVD1) 상에 배치되며, 캐소드전극(CE)와 중첩할 수 있다. 유기층(MN)은 유기 물질을 증착, 프린팅 또는 코팅하여 형성될 수 있다.
- [0115] 제2 무기층(CVD2)은 유기층(MN)을 커버할 수 있다. 제2 무기층(CVD2)은 격벽부(DM)가 형성된 영역까지 연장되어, 격벽부(DM)를 커버할 수 있다.
- [0116] 스페이서(SPC)는 화소정의막(PDL) 상에 배치될 수 있다. 스페이서(SPC)는 제조 공정에서 마스크에 의해 표시패널(DP)의 일부가 손상되는 것을 방지하기 위한 구성요소 일 수 있다.
- [0117] 도 7의 AA영역 및 도 9를 참조하면, 격벽부(DM)는 베이스 댐(DM-B), 제1 댐(DM1), 제2 댐(DM2), 제3 댐(DM3), 및 제4 댐(DM4)을 포함할 수 있다.
- [0118] 베이스 댐(DM-B)은 제1 측(SD1) 및 제2 측(SD2)을 포함할 수 있다. 제1 측(SD1)과 유기발광소자(OLED) 사이의 거리는 제2 측(SD2)과 유기발광소자(OLED) 사이의 거리보다 짧다. 즉, 제1 측(SD1)은 제2 측(SD2)보다 유기발광소자(OLED)에 가깝다.
- [0119] 제1 댐(DM1)은 제1 측(SD11) 및 제2 측(SD12)을 포함할 수 있다. 제1 측(SD11)과 유기발광소자(OLED) 사이의 거리는 제2 측(SD12)과 유기발광소자(OLED) 사이의 거리보다 짧다. 즉, 제1 측(SD11)은 제2 측(SD12)보다 유기발광소자(OLED)에 가깝다.
- [0120] 제2 댐(DM2)은 제1 측(SD21) 및 제2 측(SD22)을 포함할 수 있다. 제1 측(SD21)과 유기발광소자(OLED) 사이의 거리는 제2 측(SD22)과 유기발광소자(OLED) 사이의 거리보다 짧다. 즉, 제1 측(SD21)은 제2 측(SD22)보다 유기발광소자(OLED)에 가깝다.
- [0121] 제3 댐(DM3)은 제1 측(SD31) 및 제2 측(SD32)을 포함할 수 있다. 제1 측(SD31)과 유기발광소자(OLED) 사이의 거리는 제2 측(SD32)과 유기발광소자(OLED) 사이의 거리보다 짧다. 즉, 제1 측(SD31)은 제2 측(SD32)보다 유기발광소자(OLED)에 가깝다.
- [0122] 제4 댐(DM4)은 제1 측(SD41) 및 제2 측(SD42)을 포함할 수 있다. 제1 측(SD41)과 유기발광소자(OLED) 사이의 거리는 제2 측(SD42)과 유기발광소자(OLED) 사이의 거리보다 짧다. 즉, 제1 측(SD41)은 제2 측(SD42)보다 유기발광소자(OLED)에 가깝다.
- [0123] 베이스 댐(DM-B)은 제2 전원전극(PE2)의 일측을 커버할 수 있다. 베이스 댐(DM-B)은 회로절연층(VIA)과 동일한 공정에서 형성될 수 있으며, 이에 따라, 베이스 댐(DM-B)이 포함하는 물질은 회로절연층(VIA)이 포함하는 물질

과 동일할 수 있다.

- [0124] 연결전극(CNE)은 베이스 댐(DM-B)의 제1 측(SD1) 및 제2 전원전극(PE2) 중 베이스 댐(DM-B)에 의해 커버되지 않는 부분 상에 배치될 수 있다. 연결전극(CNE)은 애노드전극(AE)과 같은 공정에서 형성될 수 있으며, 이에 따라 연결전극(CNE)이 포함하는 물질은 애노드전극(AE)이 포함하는 물질과 동일할 수 있다.
- [0125] 제1 댐(DM1)은 베이스 댐(DM-B)의 제1 측(SD1) 및 연결전극(CNE)의 일측을 커버할 수 있다.
- [0126] 제2 댐(DM2)은 제1 댐(DM1)과 이격되며, 베이스 댐(DM-B)의 제2 측(SD2)을 커버할 수 있다.
- [0127] 제1 댐(DM1) 및 제2 댐(DM2)은 화소정의막(PDL)과 같은 공정에서 형성될 수 있으며, 이에 따라, 제1 댐(DM1) 및 제2 댐(DM2) 각각이 포함하는 물질은 화소정의막(PDL)이 포함하는 물질과 동일할 수 있다.
- [0128] 제3 댐(DM3)은 제1 댐(DM1)의 제1 측(SD11) 및 연결전극(CNE)의 일부분을 커버할 수 있다.
- [0129] 제4 댐(DM4)은 제3 댐(DM3)과 이격되며, 제2 댐(DM2)의 제2 측(SD22)을 커버할 수 있다.
- [0130] 제3 댐(DM3) 및 제4 댐(DM4)은 스페이서(SPC)와 같은 공정에서 형성될 수 있으며, 이에 따라, 제3 댐(DM3) 및 제4 댐(DM4) 각각이 포함하는 물질은 스페이서(SPC)가 포함하는 물질과 동일할 수 있다.
- [0131] 본 발명의 일 실시예에 따르면, 먼저, 제1 댐(DM1)과 제2 댐(DM2)에 의해 봉지층(TFE)의 유기층(MN)이 불필요한 부분에 까지 확산되는 것이 방지될 수 있다. 이후, 제1 댐(DM1)과 제2 댐(DM2) 사이의 공간 및 제3 댐(DM3)과 제4 댐(DM4) 사이의 공간에 의해 봉지층(TFE)의 유기층(MN)이 불필요한 부분에 까지 확산되는 것이 방지될 수 있다.
- [0132] 도 8의 BB영역을 참조하면, 제2 영역(BL2) 상에 격벽부(DM10)가 배치될 수 있다. 격벽부(DM10)는 베이스 댐(DM-B1), 제1 댐(DM11), 제2 댐(DM12), 제3 댐(DM13), 및 제4 댐(DM14)을 포함할 수 있다.
- [0133] 도 7에서는 제1 트랜지스터(T1)에 인접하여 초기화전압(Vint, 도 4 참조)을 제공하기 위한 초기화전극(PE-100)이 배치되나, 도 8에서는 제1 트랜지스터(T1)에 인접하여 제1 전원(ELVDD, 도 4 참조)을 제공하기 위한 제1 전원전극(PE1)이 배치될 수 있다.
- [0134] 즉, 도 7에서는 제2 전극(PE2)과 제1 트랜지스터(T1) 사이에 주사 구동부(100) 및 초기화전극(PE-100)이 배치될 수 있고, 도 8에서는 제2 전극(PE2)과 제1 트랜지스터(T1) 사이에 제1 전원전극(PE1)이 배치될 수 있다.
- [0135] 도 7의 AA영역에 도시된 베이스 댐(DM-B), 제1 댐(DM1), 제2 댐(DM2), 제3 댐(DM3), 및 제4 댐(DM4)의 배치관계는 도 8의 BB영역에 도시된 베이스 댐(DM-B1), 제1 댐(DM11), 제2 댐(DM12), 제3 댐(DM13), 및 제4 댐(DM14)의 배치관계와 실질적으로 동일하다.
- [0136] 그 외, 도 8에 대한 설명은 도 7 및 도 9에서 설명한 내용과 실질적으로 동일한바 생략한다.
- [0137] 도 10은 도 9의 AA영역을 변형한 다른 실시예이다. 도 10에서는 편의상 봉지층(TFE)의 제1 무기막(CVD1) 및 제2 무기막(CVD2)을 도시하지 않았다.
- [0138] 도 10의 AA-1을 참조하면, 본 발명의 일 실시예에 따른 표시패널(DP)은 제2 영역(BL2) 상에 배치되는 제2 격벽부(DM-1)를 더 포함할 수 있다.
- [0139] 제2 격벽부(DM-1)는 제2 베이스 댐(DM-B2), 제5 댐(DM5), 제6 댐(DM6), 제7 댐(DM7), 및 제8 댐(DM8)을 포함할 수 있다.
- [0140] 제5 댐(DM5)은 제2 베이스 댐(DM-B2)의 일측을 커버할 수 있다.
- [0141] 제6 댐(DM6)은 제5 댐(DM5)과 이격되고, 제2 베이스 댐(DM-B2)의 타측을 커버할 수 있다.
- [0142] 제7 댐(DM7)은 제5 댐(DM5)의 일측을 커버할 수 있다.
- [0143] 제8 댐(DM8)은 제7 댐(DM7)과 이격되고, 제6 댐(DM6)의 일측을 커버할 수 있다.
- [0144] 제2 베이스 댐(DM-B2)은 베이스 댐(DM-B)과 동일한 공정에서 형성될 수 있으며, 이에 따라, 제2 베이스 댐(DM-B2)이 포함하는 물질은 베이스 댐(DM-B)이 포함하는 물질과 동일할 수 있다.
- [0145] 제5 댐(DM5) 및 제6 댐(DM6)은 제1 댐(DM1) 및 제2 댐(DM2)과 동일한 공정에서 형성될 수 있으며, 이에 따라, 제5 댐(DM5) 및 제6 댐(DM6)이 포함하는 물질은 제1 댐(DM1) 및 제2 댐(DM2)이 포함하는 물질과 동일할 수 있다.

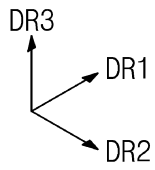
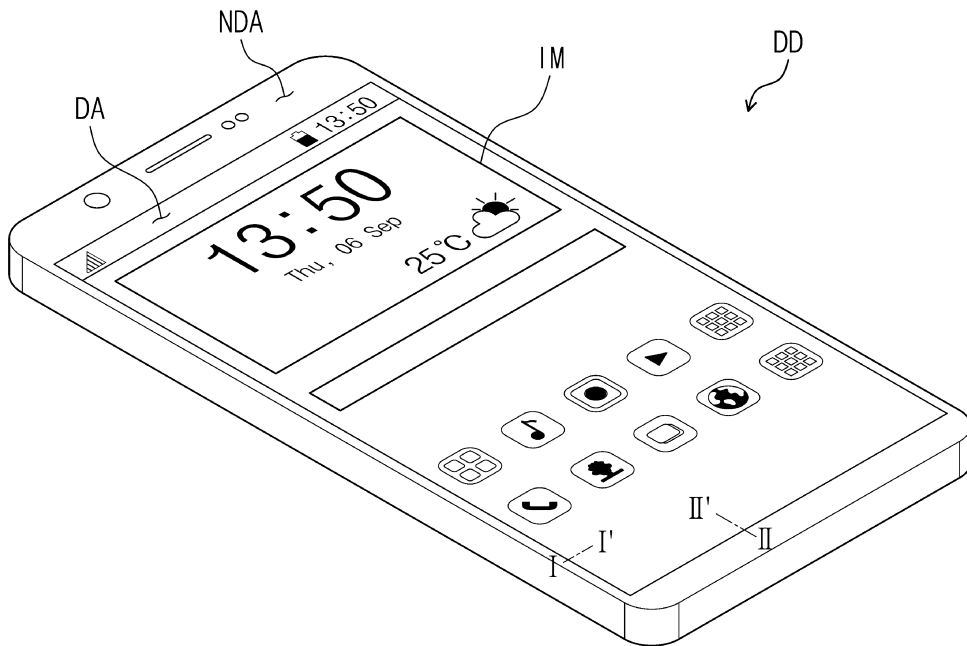
- [0146] 제7 댐(DM7) 및 제8 댐(DM8)은 제3 댐(DM3) 및 제4 댐(DM4)과 동일한 공정에서 형성될 수 있으며, 이에 따라, 제7 댐(DM7) 및 제8 댐(DM8)이 포함하는 물질은 제3 댐(DM3) 및 제4 댐(DM4)이 포함하는 물질과 동일할 수 있다.
- [0147] 도 11은 도 9의 AA영역을 변형한 다른 실시예이다. 도 11에서는 편의상 봉지층(TFE)의 제1 무기막(CVD1) 및 제2 무기막(CVD2)을 도시하지 않았다.
- [0148] 도 11의 AA-2영역을 참조하면, 격벽부(DM-2)는 베이스 댐(DM-B3), 제1 댐(DM1), 제2 댐(DM2), 제3 댐(DM3), 및 제4 댐(DM4)을 포함할 수 있다.
- [0149] 베이스 댐(DM-B3) 중 제1 댐(DM1) 및 제2 댐(DM2)에 중첩하지 않는 부분에는 홈(HM)이 정의될 수 있다. 베이스 댐(DM-B3)에 정의된 홈(HM)에 의해 봉지층(TFE)의 유기층(MN)이 불필요하게 확산되는 것을 더 효과적으로 방지할 수 있다.
- [0150] 그 외 다른 구성들에 대한 설명은 도 7 및 도 9에서 설명한 내용과 실질적으로 동일한바 생략한다.
- [0151] 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

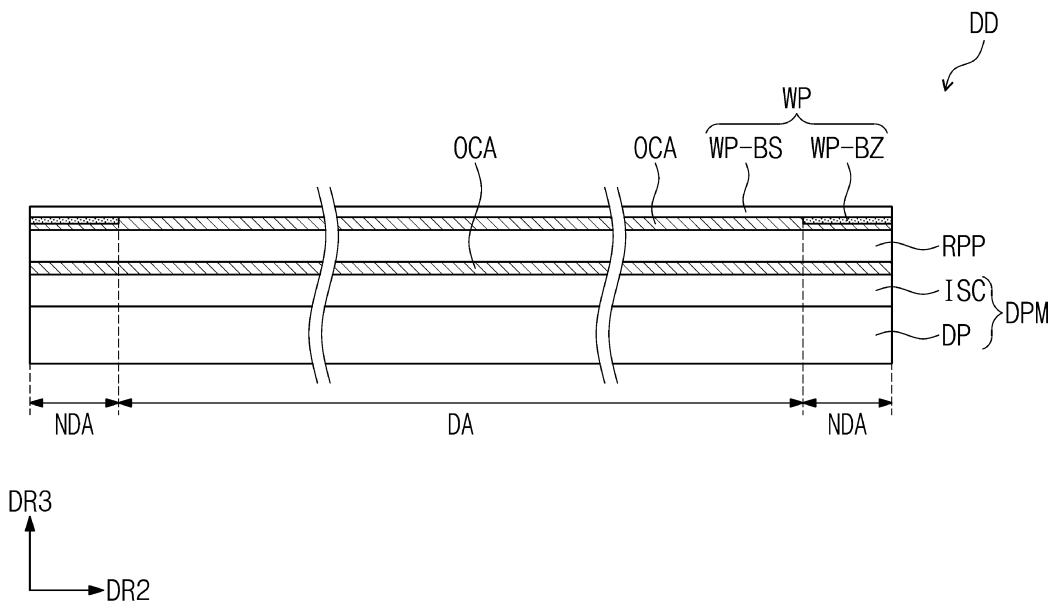
- [0152] DD: 표시장치 DP: 표시패널
- PE1: 제1 전원전극 PE2: 제2 전원전극
- GI: 게이트 절연층 ILD: 층간 절연층
- VIA: 회로절연층 PDL: 화소정의막
- TFE: 봉지층 DM: 격벽부

도면

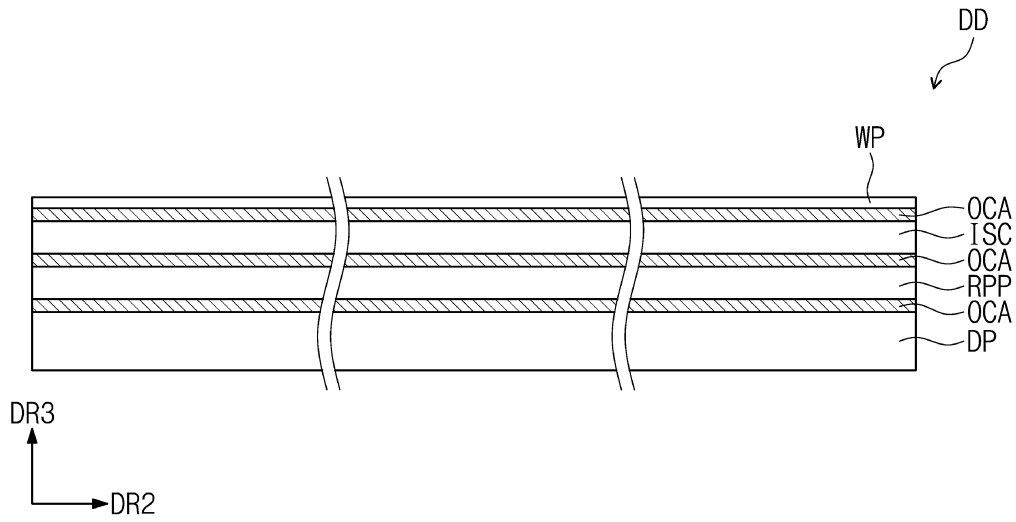
도면1



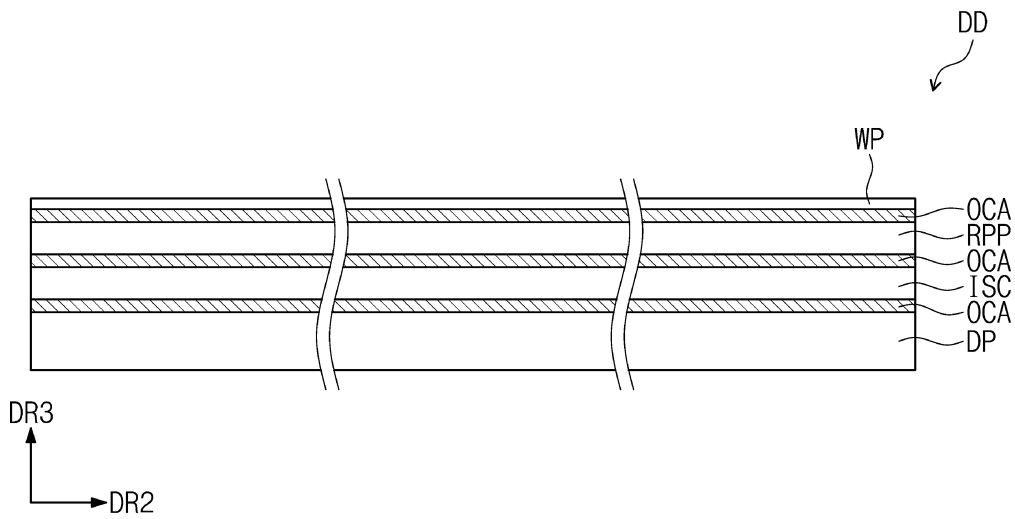
도면2a



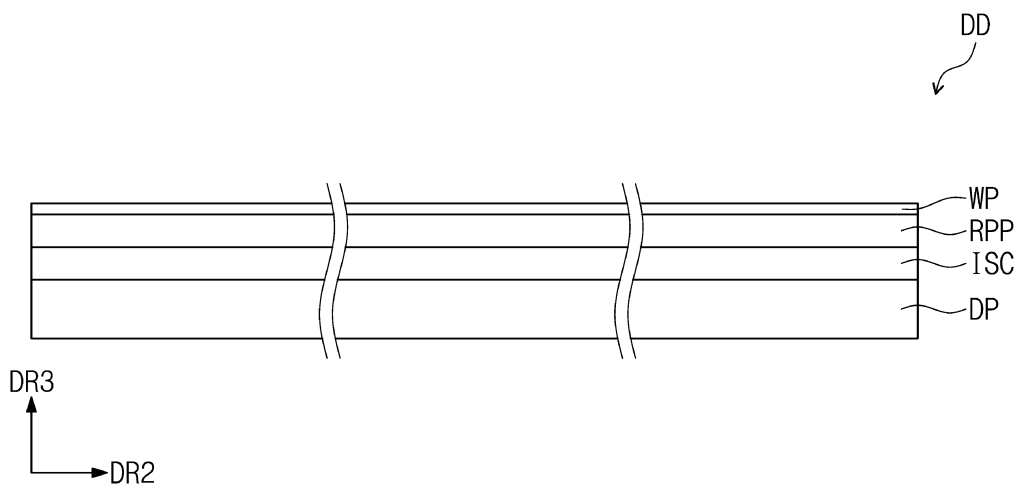
도면2b



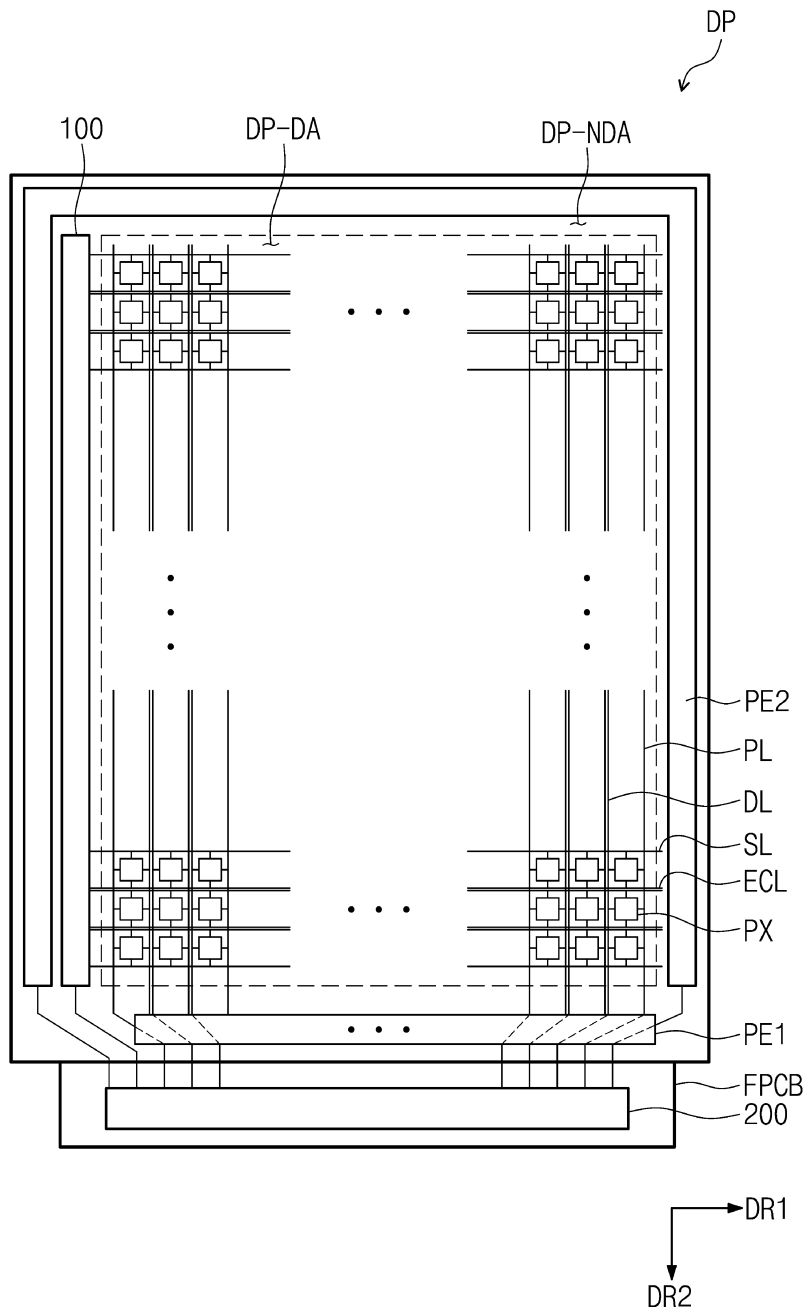
도면2c



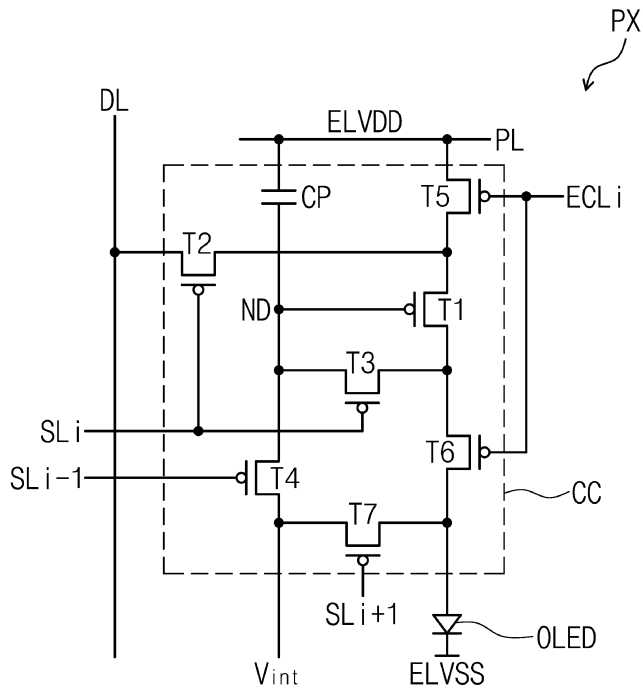
도면2d



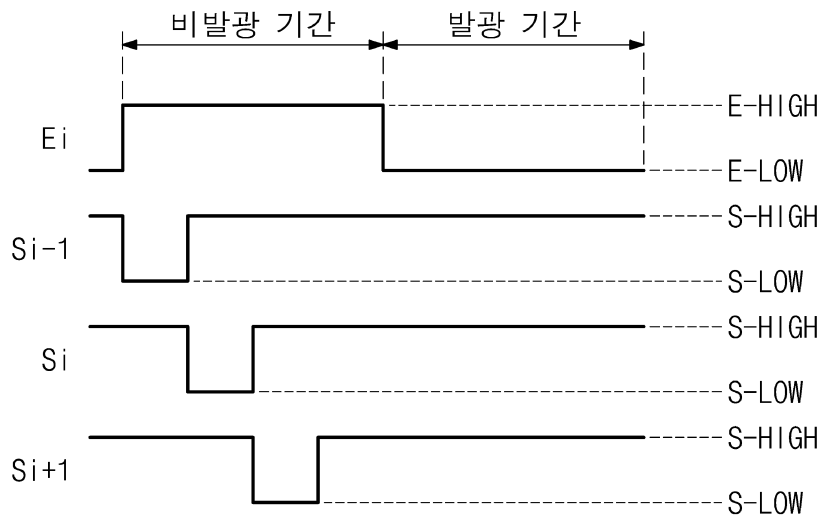
도면3



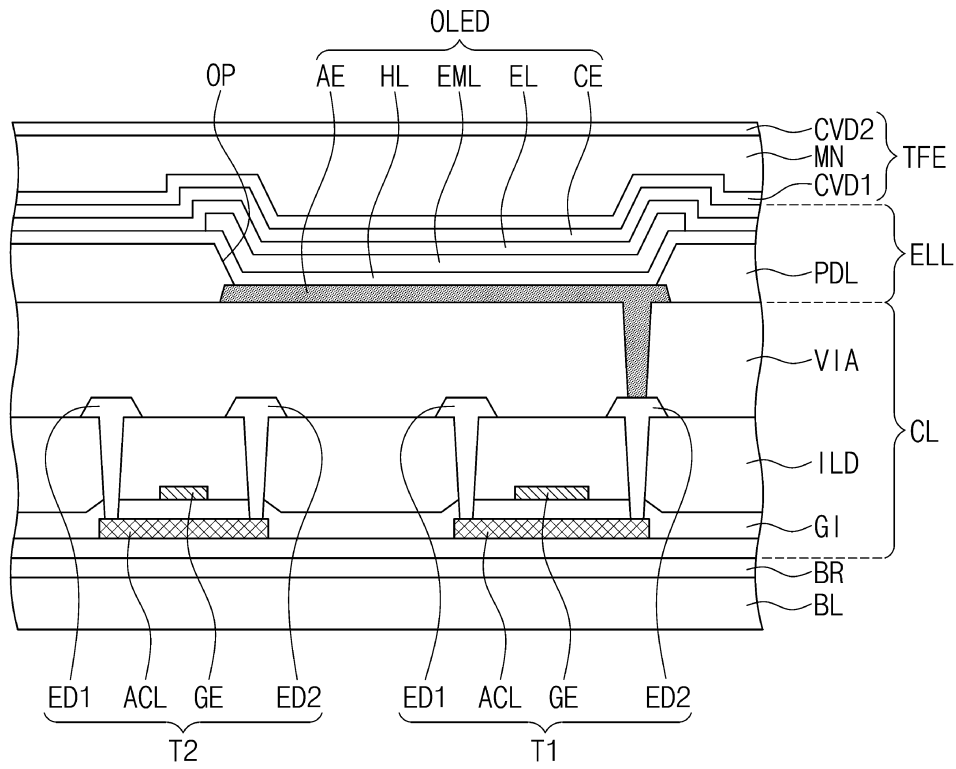
도면4



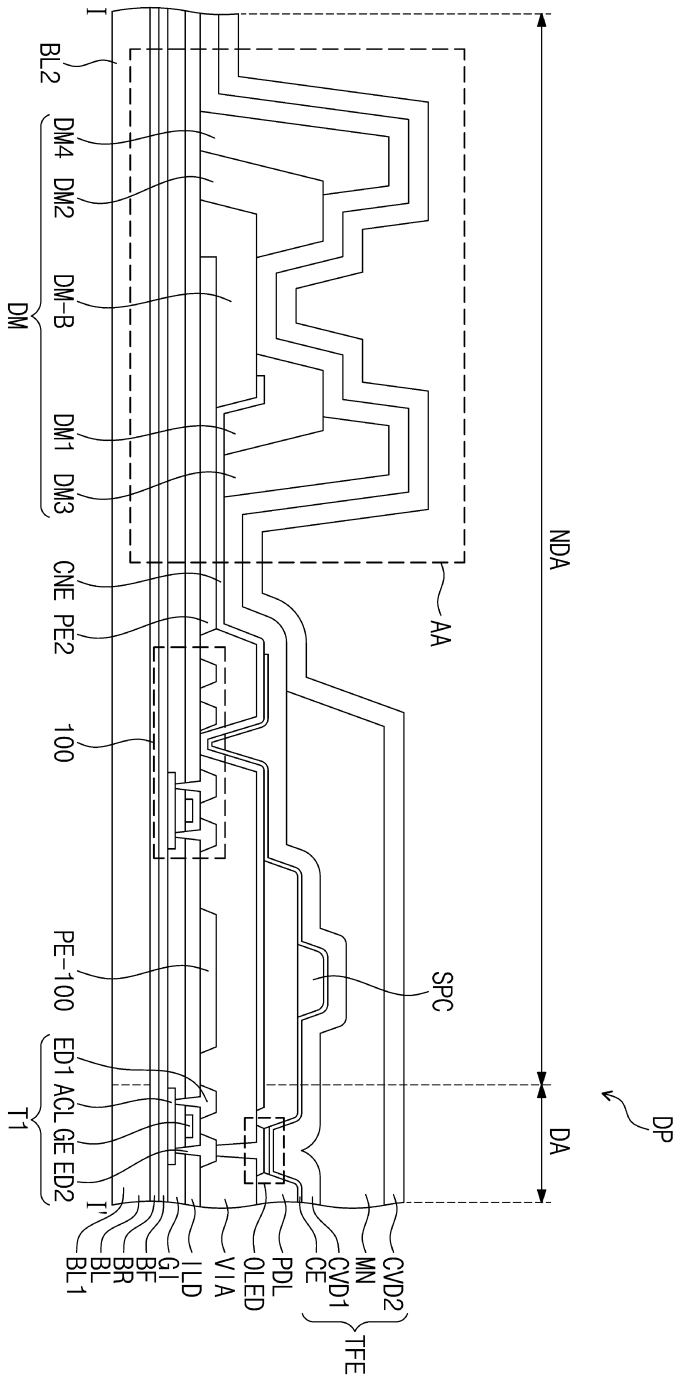
도면5



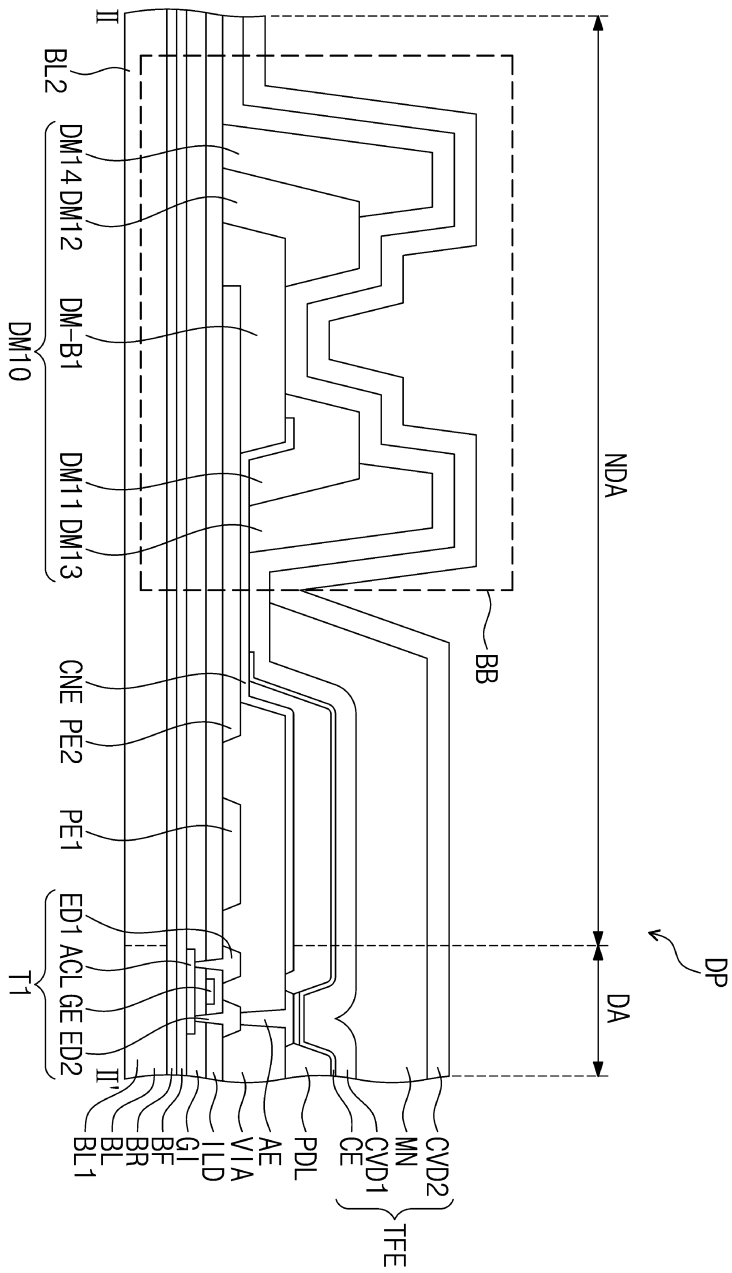
도면6



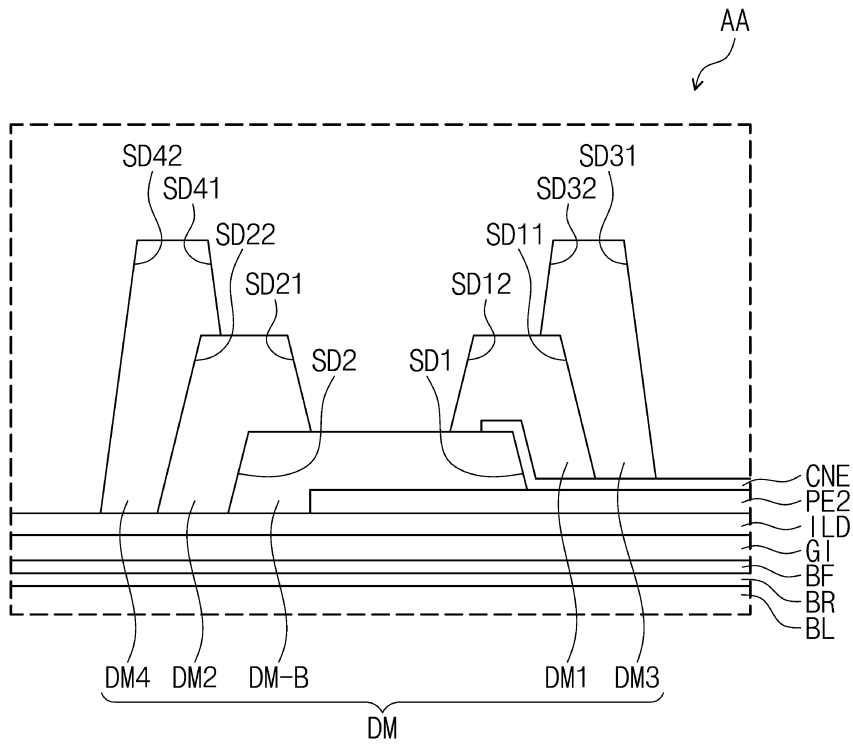
도면7



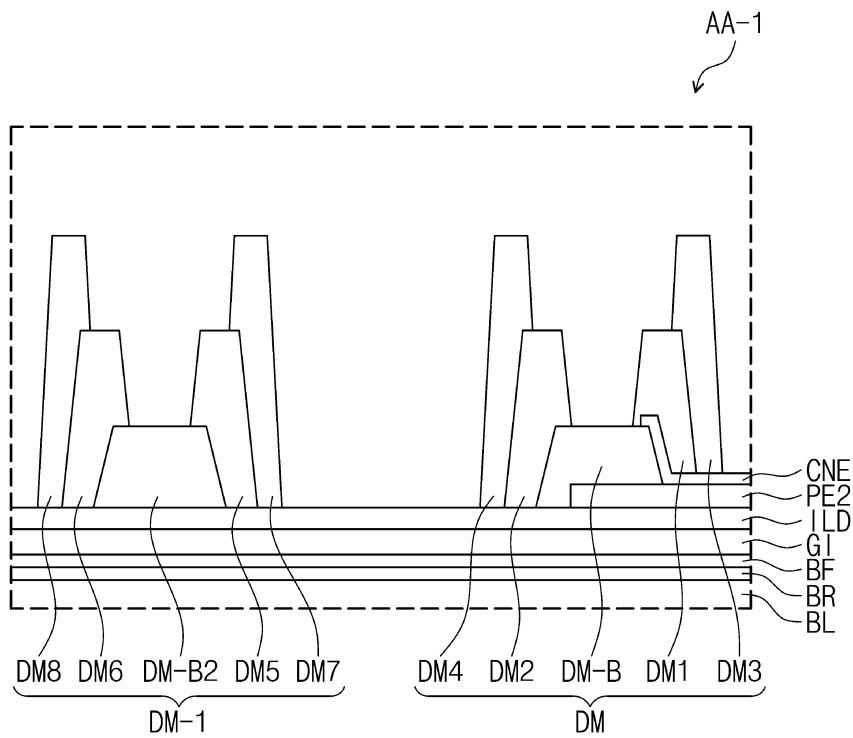
도면8



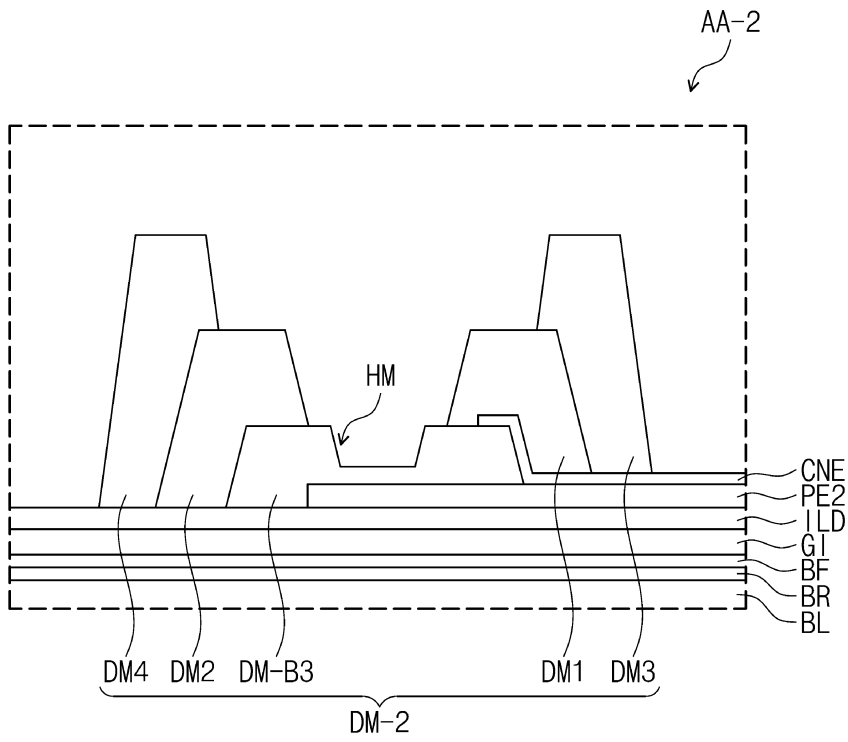
도면9



도면10



도면11



专利名称(译)	有机发光显示面板		
公开(公告)号	KR1020200039085A	公开(公告)日	2020-04-16
申请号	KR1020180118458	申请日	2018-10-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김히나 박상진 백영석 최태혁 한미정		
发明人	김히나 박상진 백영석 최태혁 한미정		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/525 H01L27/3213 H01L27/3246 H01L27/3258 H01L27/3244 H01L51/5246 H01L51/5253 H01L27/323 H01L51/5206		
外部链接	Espacenet		

摘要(译)

有机发光显示面板包括：有机发光元件；密封有机发光元件的封装层；向有机发光元件提供电源电压的功率电极；以及防止有机材料在封装时流动的部分壁。形成层。所述分隔壁包括：覆盖所述功率电极的一侧的基底坝；覆盖所述基底坝的一侧的第一坝；覆盖所述基底坝的另一侧的第二坝；覆盖所述第一坝的一侧的第三坝；以及第四水坝覆盖第二水坝的一侧。

