



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0032594
(43) 공개일자 2020년03월26일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2018-0111823
(22) 출원일자 2018년09월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이석현
경기도 파주시 월롱면 엘지로 245
신우섭
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
이승찬

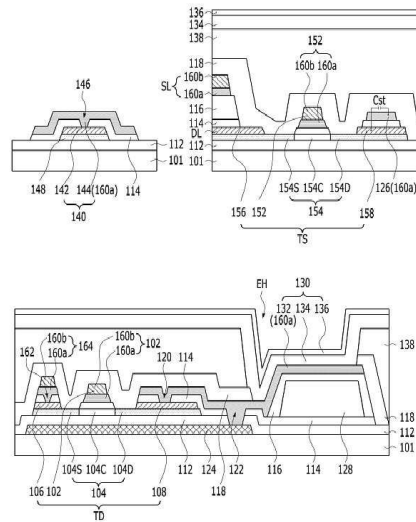
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치에 관한 것으로서, 본 발명의 소스 및 드레인 전극은 액티브층과 동일 마스크 공정으로 형성됨으로써 소스 및 드레인 전극 각각은 액티브층 상에서 액티브층의 측면을 노출시킨다. 이에 따라, 본 발명은 소스 및 드레인 전극 각각과 액티브층이 별도의 컨택홀없이 직접 접촉되므로 컨택홀의 전체 개수를 줄일 수 있어 개구율을 향상시킬 수 있으며, 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

대표도 - 도3



- (52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 51/52 (2013.01)
H01L 51/56 (2013.01)

정해립

경기도 과주시 월릉면 엘지로 245

- (72) 발명자

박상무

경기도 과주시 월릉면 엘지로 245

송창욱

경기도 과주시 월릉면 엘지로 245

명세서

청구범위

청구항 1

기관 상에 배치되며 액티브층과, 상기 액티브층 상에 배치되는 게이트 전극, 상기 액티브층과 직접 접촉하는 소스 전극 및 드레인 전극을 포함하는 구동 박막트랜지스터와;

상기 구동 박막트랜지스터와 접속되는 유기 발광 소자를 구비하며,

상기 구동 박막트랜지스터의 상기 소스 및 드레인 전극 각각은 상기 액티브층 상에서 상기 액티브층의 측면을 노출시키는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 구동 박막트랜지스터와 접속되는 스위칭 박막트랜지스터를 추가로 구비하며,

상기 스위칭 박막트랜지스터의 소스 및 드레인 전극 각각은 상기 스위칭 박막트랜지스터의 액티브층 상에서 상기 스위칭 박막트랜지스터의 액티브층의 측면을 노출시키는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 구동 박막트랜지스터 및 상기 스위칭 박막트랜지스터 중 적어도 어느 하나의 상기 소스 및 드레인 전극 각각의 하부면 전체는 상기 구동 박막트랜지스터 및 상기 스위칭 박막트랜지스터 중 적어도 어느 하나의 상기 액티브층과 접촉하는 유기 발광 표시 장치.

청구항 4

제 2 항에 있어서,

상기 스위칭 박막트랜지스터와 접속되는 스캔 라인 및 데이터 라인과;

상기 스캔 라인과 데이터 라인 사이에 배치되는 평탄화층을 추가로 구비하는 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 스캔 라인 및 데이터 라인 중 적어도 어느 하나와 접속되는 패드 하부 전극과;

상기 패드 하부 전극과 접속되는 패드 상부 전극을 더 구비하며,

상기 패드 상부 전극은 상기 애노드 전극과 동일한 재질로 이루어지는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 패드 하부 전극을 노출시키는 패드 컨택홀을 가지는 게이트 절연막을 추가로 구비하며,

상기 패드 상부 전극은 상기 게이트 절연막과 동일 선풍을 가지는 유기 발광 표시 장치.

청구항 7

제 2 항에 있어서,

상기 스위칭 및 구동 박막트랜지스터 각각의 게이트 전극은 투명 도전층과, 그 투명 도전층 상에 배치되는 불투

명 도전층을 포함하며,

상기 유기 발광 소자의 애노드 전극은 상기 투명 도전층으로 이루어지는 유기 발광 표시 장치.

청구항 8

제 2 항에 있어서,

상기 스위칭 및 구동 박막트랜지스터 각각의 게이트 전극과, 상기 스위칭 및 구동 박막트랜지스터 각각의 액티브층 사이에 배치되는 게이트 절연막과;

상기 게이트 절연막을 사이에 두고 상기 스위칭 박막트랜지스터의 드레인 전극과 중첩되는 스토리지 전극을 추가로 구비하며,

상기 스토리지 전극은 상기 애노드 전극과 동일한 상기 투명 도전층으로 이루어지는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 스토리지 전극 상에 순차적으로 배치되는 보호막 및 बैं크를 추가로 구비하는 유기 발광 표시 장치.

청구항 10

제 2 항에 있어서,

상기 구동 박막트랜지스터와 중첩되는 차광층과;

상기 차광층과 상기 구동 박막트랜지스터 사이에 배치되는 버퍼층과;

상기 버퍼층을 사이에 두고 상기 스위칭 박막트랜지스터의 드레인 전극과 중첩되는 스토리지 전극을 추가로 구비하며,

상기 스토리지 전극은 상기 차광층과 동일 재질로 상기 차광층과 동일 평면 상에 배치되는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 스위칭 박막트랜지스터의 드레인 전극 상에 순차적으로 배치되는 게이트 절연막, 평탄화층, 보호막 및 बैं크를 추가로 구비하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 평탄화층은 상기 게이트 절연막 상에서 상기 게이트 절연막과 동일 형상을 가지는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 특히 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 유기 발광 표시 장치가 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다. 이 유기 발광 표시장치는 매트릭스 형태로 배열된 다수의 서브 화소들을 통해 영상을 구현한다. 다수의 서브 화소들 각각은 발광 소자와, 그 발광 소자를

독립적으로 구동하는 다수의 트랜지스터로 이루어진 화소 회로를 구비한다.

[0003] 이러한, 유기 발광 표시 장치를 제조하기 위해서는 포토 마스크를 이용한 마스크 공정이 다수번 수행된다. 각 마스크 공정은 세정, 노광, 현상 및 식각 등의 부속 공정들을 수반한다. 이에 따라, 한 번의 마스크 공정이 추가될 때마다, 유기 발광 표시장치를 제조하기 위한 제조 시간 및 제조 비용이 상승하고, 불량 발생률이 증가하여 제조 수율이 낮아지는 문제점이 있다. 따라서, 생산비를 절감하고, 생산수율 및 생산효율을 개선하기 위해서 구조 및 제조 공정을 단순화할 수 있는 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 표시 장치는 소스 및 드레인 전극을 액티브층과 동일 마스크 공정으로 형성함으로써 소스 및 드레인 전극 각각은 액티브층 상에서 액티브층의 측면을 노출시킨다. 이에 따라, 본 발명은 소스 및 드레인 전극 각각과 액티브층이 별도의 컨택홀없이 직접 접촉되므로 컨택홀의 전체 개수를 줄일 수 있어 개구율을 향상시킬 수 있으며, 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

발명의 효과

[0006] 본 발명에서는 소스 및 드레인 전극과 액티브층이 동일한 하나의 마스크 공정을 통해 형성되므로, 소스 및 드레인 전극 각각과 액티브층은 별도의 컨택홀없이 직접 접촉된다. 이에 따라, 본 발명은 컨택홀의 전체 개수를 줄일 수 있어 소스 및 드레인 전극 각각과 액티브층이 컨택홀을 통해 접촉하는 구조에 비해 평균 28%이상 개구율을 향상시킬 수 있다.

[0007] 또한, 본 발명은 소스 및 드레인 전극과 액티브층이 동일한 하나의 마스크 공정을 통해 형성되고, 게이트 전극 및 애노드 전극이 동일한 하나의 마스크 공정을 통해 형성된다. 이에 따라, 본 발명에 따른 유기 발광 표시 장치는 종래보다 적어도 2회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

[0008] 뿐만 아니라, 본 발명은 평탄화층과 게이트 절연막이 동일한 하나의 마스크 공정을 통해 형성되므로, 마스크 공정 수를 더 저감할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.
 도 2는 도 1에 도시된 하나의 단위 화소를 나타내는 평면도이다.
 도 3은 도 2에서 선 I-I'과, 선II-II'과, 선III-III'를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.
 도 4a 내지 도 4g는 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
 도 5는 도 3에 도시된 게이트 절연막의 다른 실시 예를 나타내는 단면도이다.
 도 6은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치의 단위 화소를 나타내는 평면도이다.
 도 7은 도 6에서 선IV-IV'과, 선V-V', 선VI-VI'를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.
 도 8a 내지 도 8c는 도 7에 도시된 게이트 절연막 및 평탄화층의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

- [0011] 도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이다.
- [0012] 도 1에 도시된 유기 발광 표시 장치는 액티브 영역(AA)과 패드 영역(PA)을 구비한다.
- [0013] 패드 영역(PA)에는 도 2 및 도 3에 도시된 바와 같이 액티브 영역(AA)에 배치되는 스캔 라인(SL)에 구동 신호를 공급하는 스캔 패드(SPD)와, 데이터 라인(DL)에 구동 신호를 공급하는 데이터 패드(140)와, 고전위 전압(VDD) 공급 라인(VDL) 및 저전위 전압(VSS) 공급 라인(VSL) 각각에 구동 신호를 공급하는 전원 패드들(VPD)이 형성된다.
- [0014] 이러한, 스캔 패드(SPD), 데이터 패드(140) 및 전원 패드(VPD) 중 적어도 어느 하나를 포함하는 도전 패드 각각은 패드 하부 전극(142) 및 패드 상부 전극(144)을 구비한다.
- [0015] 패드 하부 전극(142)은 액티브층(148) 상에 소스 및 드레인 전극(106,108,156,158)과 동일 재질로 형성된다. 이 패드 하부 전극(142)은 액티브층과 동일 선풍 및 동일 형상을 가진다.
- [0016] 패드 상부 전극(144)은 게이트 절연막(114)을 관통하는 패드 컨택홀(146)을 통해 노출된 패드 하부 전극(142)과 전기적으로 접속된다. 이 패드 상부 전극(144)은 애노드 전극(132)과 동일한 투명 도전층(160a)으로 형성된다. 이러한 패드 상부 전극(144)은 그 패드 상부 전극(144) 하부에 배치되는 게이트 절연막(114)과 동일 선풍 및 동일 형상을 가진다.
- [0017] 액티브 영역(AA)은 발광 소자(130)를 포함하는 단위 화소를 통해 영상을 표시한다. 단위 화소는 적색(R), 녹색(G) 및 청색(B) 서브 화소(SP)로 구성되거나, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소(SP)로 구성된다.
- [0018] 이러한 적색(R) 및 백색(W) 서브 화소(SP) 사이와, 녹색(G) 및 청색(B) 서브 화소 사이에는 데이터 라인(DL)들이 배치된다. 녹색(G) 및 적색(R) 서브 화소(SP) 사이에는 고전위 전압(VDD)을 공급하는 고전위 전압 라인(VDL)이 배치되며, 이 고전위 전압 라인(VDL)을 통해 녹색(G) 및 적색(R) 서브 화소(SP)에 고전위 전압(VDD)을 공급한다. 그리고, 고전위 전압 라인(VDL)과 접속되는 제1 연결부(164)를 통해 백색(W) 및 청색(B) 서브 화소(SP)에 고전위 전압(VDD)을 공급한다. 백색(W) 및 청색(B) 서브 화소(SP) 사이에는 저전위 전압(VSS)을 공급하는 저전위 전압 라인(VSL)이 배치되며, 이 저전위 전압 라인(VSL)을 통해 백색(W) 및 청색(B) 서브 화소(SP)에 저전위 전압(VSS)을 공급한다. 그리고, 저전위 전압 라인(VSL)과 접속되는 제2 연결부(166)를 통해 녹색(G) 및 적색(R) 서브 화소(SP)에 저전위 전압(VSS)을 공급한다. 한편, 저전위 전압 라인(VSL) 대신에 센싱 모드시 이용되는 레퍼런스 전압(Vref)을 공급하는 레퍼런스 전압 라인이 배치될 수도 있다.
- [0019] 한편, 세로 방향으로 연장되는 데이터 라인(DL), 저전위 전압 라인(VSL) 및 고전위 전압 라인(VDL) 중 적어도 어느 하나를 포함하는 수직 배선과, 가로 방향으로 연장되는 스캔 라인(SL), 제1 및 제2 연결부(164,166) 중 적어도 어느 하나를 포함하는 수평 배선의 교차부에는 게이트 절연막(114) 및 평탄화층(116)이 배치된다. 이에 따라, 수직 배선 및 수평 배선의 교차부에서 발생하는 단락(Short) 불량을 방지할 수 있다.
- [0020] 각 서브 화소는 발광 소자(130)와, 발광 소자(130)를 독립적으로 구동하는 화소 구동 회로를 구비한다.
- [0021] 화소 구동 회로는 스위칭 트랜지스터(TS), 구동 트랜지스터(TD) 및 스토리지 커패시터(Cst)를 구비한다.
- [0022] 스위칭 트랜지스터(TS)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 트랜지스터(TD)의 게이트 전극으로 공급한다.
- [0023] 구동 트랜지스터(TD)는 그 구동 트랜지스터(TD)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전위 전압(VDD) 공급 라인(VDL)으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0024] 이러한 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD) 각각은 도 2 및 도 3에 도시된 바와 같이 게이트 전극(152,102), 소스 전극(156,106), 드레인 전극(158,108) 및 액티브층(154,104)을 구비한다.
- [0025] 게이트 전극(152,102)은 그 게이트 전극(152,102)과 동일 형상의 게이트 절연막(114) 상에 형성된다. 이 게이트 전극(152,102)은 게이트 절연막(114)을 사이에 두고, 액티브층(154,104)의 채널 영역과 중첩된다. 이러한 게이트 전극(152,102), 스캔 라인(SL), 제1 및 제2 연결부(164,166)는 투명 도전층(160a)과, 그 투명 도전층(160a) 상에 배치되는 불투명 도전층(160b)으로 이루어진다. 투명 도전층(160a)으로는 애노드 전극(132)과 동일 재질

인 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 재질로 이루어진다. 불투명 도전층(160b)은 투명 도전층(160a)과 동일 형상을 가지며, 불투명 도전층(160b)으로는 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

- [0026] 소스 전극(156,106)은 액티브층(154,104) 상에서 액티브층(154,104)의 측면을 노출시키도록 배치되어 별도의 콘택홀없이 액티브층(154,104)과 직접 접촉한다. 이 소스 전극(106,156)의 하부면 전체는 액티브층(154,104)의 소스 영역(154S,104S)과 직접 접촉한다. 또한, 구동 트랜지스터(TD)의 소스 전극(106)은 고전위 공급 라인(VDL)과 직접 접촉되거나, 게이트 절연막(114)을 관통하는 소스 콘택홀(162)을 통해 제1 연결부(164)와 접속된다.
- [0027] 드레인 전극(108,158)은 액티브층(154,104) 상에서 액티브층(154,104)의 측면을 노출시키도록 배치되어 별도의 콘택홀없이 액티브층(154,104)과 직접 접촉한다. 이 드레인 전극(108,158)의 하부면 전체는 액티브층(154,104)의 드레인 영역(154D,104D)과 직접 접촉한다.
- [0028] 또한, 구동 트랜지스터(TD)의 드레인 전극(108)은 게이트 절연막(114)을 관통하도록 형성된 화소 콘택홀(120)을 통해 노출되어 애노드 전극(132)과 접속된다.
- [0029] 이러한 소스 전극(156,106) 및 드레인 전극(158,108)은 게이트 절연막(114)의 식각 가스에 내식성을 가지는 도전층으로 형성된다. 예를 들어, 소스 전극(156,106) 및 드레인 전극(158,108)은 알루미늄(Al), 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다. 이에 따라, 화소 콘택홀(120) 형성시 드레인 전극(158,108)이 노출되도록 게이트 절연막(114)을 과식각하더라도 드레인 전극(158,108)이 유실되는 것을 방지할 수 있다.
- [0030] 액티브층(154,104)은 채널 영역(154C,104C)과, 그 채널 영역(154C,104C)을 사이에 두고 마주보는 소스 영역(154S,104S) 및 드레인 영역(154D,104D)을 구비한다. 채널 영역(154C,104C)은 게이트 절연막(114)을 사이에 두고 게이트 전극(152,102)과 중첩되어 소스 및 드레인 전극(156,106,158,108) 사이에 채널을 형성한다. 소스 영역(154S,104S)은 도체화된 영역으로서 소스 전극(156,106)과 직접 접속된다. 드레인 영역(154D,104D)은 도체화된 영역으로서 드레인 전극(158,108)과 직접 접속된다.
- [0031] 이러한 액티브층(154,104)은 Zn, Cd, Ga, In, Sn, Hf, Zr 중 선택된 적어도 하나 이상의 금속을 포함하는 산화물 반도체, 다결정 반도체 물질 및 비정질 반도체 물질 중 적어도 어느 하나를 이용하여 버퍼막(112) 상에 형성된다. 버퍼막(112)은 유리 또는 폴리이미드(PI) 등과 같은 플라스틱 수지로 형성된 기판(101) 상에 산화 실리콘 또는 질화 실리콘으로 단층 또는 복층 구조로 형성된다. 이 버퍼막(112)은 기판(101)에서 발생하는 수분 또는 불순물의 확산을 방지하거나 결정화시 열의 전달 속도를 조절함으로써, 액티브층(154,104)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0032] 이와 같은 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD) 중 적어도 어느 하나의 채널 영역(154C,104C)에 외부광이 입사되는 것을 차단하도록 기판(101)과 버퍼층(112) 상에 차광층(124)이 배치된다. 예를 들어, 차광층(124)은 스위칭 역할을 하는 스위칭 트랜지스터(TS)보다는 발광 소자(130)로 공급되는 전류를 제어하는 구동 트랜지스터(TD)와 선택적으로 중첩될 수도 있다.
- [0033] 이러한 차광층(124)은 게이트 절연막(114) 및 버퍼층(112)을 관통하는 차광홀(122)에 의해 노출되어 애노드 전극(132)과 전기적으로 접속된다. 이에 따라, 차광층(124)은 플로팅(floating)되지 않고 애노드 전극(132)과 동일한 전위를 가짐에 따라 차광층(124)과 중첩하도록 배치된 구동 트랜지스터(TD)의 구동에 영향을 주지 않는다.
- [0034] 스토리지 커패시터(Cst)는 게이트 절연막(114)을 사이에 두고 스위칭 트랜지스터(TS)의 드레인 전극(158)과 스토리지 전극(126)이 중첩됨으로써 형성된다. 스토리지 전극(126)은 애노드 전극(132)과 동일한 투명 도전층(160a)으로 형성되어 게이트 절연막(114) 상에 배치되며, 구동 트랜지스터(TD)의 드레인 전극(110)과 접속된다. 이 스토리지 전극(126) 상에는 보호막(118) 및 बैं크(138)가 순차적으로 배치된다.
- [0035] 이러한 스토리지 캐패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(TS)가 턴-오프되더라도 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(130)의 발광을 유지하게 한다.
- [0036] 발광 소자(130)는 구동 트랜지스터(TD)의 드레인 전극(110)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 적어도 하나의 발광 스택(134)과, 저전위 전압(VSS) 공급 라인(VSL)에 접속되도록 발광 스택(134)

위에 형성된 캐소드 전극(136)을 구비한다. 여기서, 저전위 전압(VSS) 공급 라인(VSL)은 고전위 전압(VDD)보다 낮은 저전위 전압(VSS)을 공급한다.

- [0037] 애노드 전극(132)은 게이트 전극(152,102) 및 스캔 라인(SL)과 동일 마스크 공정으로 형성되므로, 게이트 전극(152,102)에 포함되는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전층(160a)으로 이루어진다. 이러한 애노드 전극(132)의 상부면은 बैं크(138)를 관통하는 발광홀(EH)에 의해 노출되어 발광 영역을 마련한다.
- [0038] 발광 스택(134)은 애노드 전극(132) 상에 정공 수송층, 발광층, 전자 수송층 순으로 또는 역순으로 적층되어 형성된다.
- [0039] 캐소드 전극(136)은 발광 스택(134)을 사이에 두고 애노드 전극(132)과 대향하도록 발광 스택(134) 및 बैं크(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 배면 발광형 유기 발광 표시 장치에 적용되는 경우, 투명 도전층 및 반사효율이 높은 불투명 도전층을 포함하는 다층 구조로 이루어진다. 투명 도전층으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수값이 비교적 큰 재질로 이루어지고, 불투명 도전층으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 캐소드 전극(136)은 투명 도전층, 불투명 도전층 및 투명 도전층이 순차적으로 적층된 구조로 형성된다.
- [0040] 컬러 필터(128)는 बैं크(138)에 의해 마련된 발광영역과 중첩되도록 게이트 절연막(114) 상에 배치된다. 각 서브 화소에는 적색(R), 녹색(G), 청색(B)의 컬러 필터 중 어느 하나가 배치된다. 즉, 적색(R) 서브 화소에는 적색 컬러 필터(128)가, 녹색(G) 서브 화소에는 녹색 컬러 필터(128)가, 청색(B) 서브 화소에는 청색 컬러 필터(128)가 배치된다. 이에 따라, 발광 스택(134)에서 생성된 백색광은 컬러 필터(128)를 통과함으로써 컬러 필터(128)는 그 컬러 필터(128)에 해당하는 색의 광을 구현한다. 한편, 컬러 필터(128)는 스위칭 및 구동 박막트랜지스터(TS,TD) 중 적어도 어느 하나를 덮도록 연장되어 형성되어 외부광을 흡수할 수 있다. 이러한 컬러 필터(128)에 의해, 스위칭 및 구동 박막트랜지스터(TS,TD)의 액티브층(154,104)으로 외부광이 입사되는 것을 방지할 수도 있다.
- [0041] 이와 같이, 발광 스택(134)이 백색광을 생성하는 경우, 발광 스택(134)에서 생성된 백색광은 컬러 필터(128)에 입사되므로 컬러 영상을 구현한다. 반면에, 컬러 필터(128)없이 각 발광 스택(134)에서 각 서브 화소에 해당하는 컬러광을 생성하여 컬러 영상을 구현할 수도 있다. 즉, 적색(R) 서브 화소의 발광 스택(134)은 적색광을, 녹색(G) 서브 화소의 발광 스택(134)은 녹색광을, 청색(B) 서브 화소의 발광 스택(134)은 청색광을 생성할 수도 있다.
- [0042] 평탄화층(116)은 컬러 필터(128)가 형성된 기관(101) 상에 평탄화를 위해 아크릴 수지 등의 투명한 유기 절연물질로 형성된다. 이 평탄화층(116)은 컬러 필터(128)가 형성되지 않은 백색 서브 화소에서 백색 컬러 필터 역할을 한다. 이러한 평탄화층(116)은 수직 배선(예, 데이터 라인(DL)) 및 수평 배선(예, 스캔 라인(SL))의 교차부와, 컬러 필터(128)가 배치되는 발광 영역에 배치된다. 평탄화층(116)은 스위칭 및 구동 트랜지스터(TS,TD)가 배치되는 구동 회로 영역과 비중첩되도록, 스위칭 및 구동 트랜지스터(TS,TD)가 배치되는 구동 회로 영역(A)에는 형성되지 않는다.
- [0043] 이와 같은, 본 발명의 패드 하부 전극(142), 소스 및 드레인 전극(156,106,158,108) 각각은 액티브층(154,104,148) 상에서 액티브층(154,104,148)의 측면을 노출시키도록 배치된다. 즉, 본 발명의 패드 하부 전극(142), 소스 및 드레인 전극(156,106,158,108) 각각은 액티브층(154,104,148)과 별도의 접촉홀없이 직접 접촉된다. 이에 따라, 본 발명은 접촉홀의 전체 개수를 줄일 수 있어 개구율을 향상시킬 수 있다.
- [0044] 또한, 본 발명은 데이터 라인, 패드 하부 전극(142), 소스 및 드레인 전극(156,106,158,108) 각각과, 액티브층(154,104,148)을 동일 마스크 공정으로 형성하고, 스캔 라인(SL), 게이트 전극(152,102), 스토리지 전극(126), 패드 상부 전극(144) 및 애노드 전극(132)을 동일 마스크 공정으로 형성한다. 이에 따라, 본 발명은 종래에 비해 적어도 2회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.
- [0045] 도 4a 내지 도 4g는 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0046] 도 4a를 참조하면, 기관(101) 상에 차광층(124)이 형성된다.
- [0047] 구체적으로, 기관(101) 상에 제1 도전층이 전면 증착된 후, 포토리소그래피 공정과 식각 공정을 통해 제1 도전

층이 패터닝됨으로써 차광층(124)이 형성된다.

- [0048] 도 4b를 참조하면, 차광층(124)이 형성된 기판(101) 상에 버퍼층(112)이 형성되고, 그 버퍼층(112) 상에 액티브층(148,154,104), 패드 하부 전극(142), 데이터 라인(DL), 소스 전극(156,106) 및 드레인 전극(158,108)이 동일 마스크 공정으로 형성된다.
- [0049] 구체적으로, 차광층(124)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 전면 증착됨으로써 버퍼층(112)이 형성된다. 그런 다음, 버퍼층(112)이 형성된 기판(101) 상에 액티브층(154,104)과, 제2 도전층이 순차적으로 적층된다. 액티브층(154,104)의 증착 공정시, 산소 및 수소 중 적어도 어느 하나의 유량을 조절하여 도체화에 가까운 액티브층(154,104)을 형성한다. 예를 들어, 액티브층(154,104)의 증착 공정시, 산소의 유량을 상대적으로 감소시키거나 수소의 유량을 상대적으로 증가시켜 도체화에 가까운 액티브층(154,104)을 형성한다.
- [0050] 그런 다음, 하프톤 마스크를 이용한 포토리소그래피 공정을 통해 제2 도전층 상에 다단 구조의 포토레지스트 패턴이 형성된다. 이 다단 구조의 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 액티브층(154,104)과, 제2 도전층이 동시에 패터닝된다. 이에 따라, 패드 하부 전극(142), 데이터 라인(DL), 소스 전극(156,106) 및 드레인 전극(158,108)은 액티브층(154,104) 상에 액티브층(154,104)과 동일 형상으로 형성된다.
- [0051] 그런 다음, 다단 구조의 포토레지스트 패턴을 에칭함으로써 소스 전극(156,106) 및 드레인 전극(158,108) 사이에 배치되는 제2 도전층이 노출된다. 노출된 제2 도전층은 에칭된 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 제거된다. 이에 따라, 소스 및 드레인 전극(156,106,158,108)이 분리되며 소스 및 드레인 전극(156,106,158,108) 사이의 액티브층(154,104)이 노출된다.
- [0052] 도 4c를 참조하면, 액티브층(148,154,104), 패드 하부 전극(142), 데이터 라인(DL), 소스 전극(156,106) 및 드레인 전극(158,108)이 형성된 기판(101) 상에 게이트 절연막(114)이 형성되고, 그 게이트 절연막(114) 상에 컬러 필터(128)가 형성된다.
- [0053] 구체적으로, 액티브층(148), 패드 하부 전극(142), 데이터 라인(DL), 소스 전극(156,106) 및 드레인 전극(158,108)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 전면 증착됨으로써 게이트 절연막(114)이 형성된다. 이 때, 게이트 절연막(114)의 증착시, 산소의 유량을 액티브층(154,104)의 증착 공정시의 산소 유량보다 상대적으로 증가시키거나, 수소의 유량을 액티브층(154,104)의 증착 공정시의 수소 유량보다 상대적으로 감소시킨다. 이에 따라, 소스 및 드레인 전극(156,106,158,108) 사이로 노출된 액티브층(154,104)은 도체 상태에서 반도체 상태로 변화된다. 즉, 소스 전극(156,106)과 접촉하는 소스 영역(154S,104S)은 액티브층(154,104)의 증착 공정시의 도체화된 상태를 유지하고, 드레인 전극(158,108)과 접촉하는 드레인 영역(154S,104S)은 액티브층(154,104)의 증착 공정시의 도체화된 상태를 유지하고, 소스 및 드레인 전극(156,106,158,108) 사이로 노출된 액티브층(154,104)은 반도체화 상태인 채널 영역(154C,104C)으로 변한다.
- [0054] 그런 다음, 게이트 절연막(114) 상에 컬러 수지를 도포한 다음, 포토리소그래피 공정으로 컬러 수지를 패터닝함으로써 컬러 필터(128)가 형성된다.
- [0055] 도 4d를 참조하면, 컬러 필터(128)가 형성된 기판(101) 상에 평탄화층(116)이 형성된다.
- [0056] 구체적으로, 컬러 필터(128)가 형성된 기판(101) 상에 포토 아크릴 수지와 같은 유기막을 전면 도포한 다음, 그 유기막을 포토리소그래피 공정으로 패터닝함으로써 평탄화층(116)이 형성된다. 이 때, 평탄화층(116)은 수직 배선(DL) 및 수평 배선(SL)의 교차부와, 컬러 필터(128)가 배치되는 발광 영역에 배치되고, 스위칭 및 구동 트랜지스터(TS,TD)가 배치되는 구동 회로 영역에는 배치되지 않는다.
- [0057] 도 4e를 참조하면, 평탄화층(116)이 형성된 기판(101) 상에 패드 콘택홀(146), 소스 콘택홀(162), 화소 콘택홀(120) 및 차광 콘택홀(122)이 형성된다.
- [0058] 구체적으로, 평탄화층(116)이 형성된 기판(101) 상에 배치되는 게이트 절연막(114)이 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 패드 콘택홀(146), 소스 콘택홀(162), 화소 콘택홀(120) 및 차광 콘택홀(122)이 형성된다. 여기서, 패드 콘택홀(146), 소스 콘택홀(162) 및 화소 콘택홀(120) 각각은 게이트 절연막(114)을 관통하여 패드 하부 전극(142), 구동 트랜지스터의 소스 및 드레인 전극(106,108) 각각을 노출시킨다. 그리고, 차광 콘택홀(122)은 버퍼층(112) 및 게이트 절연막(114)을 관통하여 차광층(124)을 노출시킨다.
- [0059] 도 4f를 참조하면, 패드 콘택홀(146), 소스 콘택홀(162), 화소 콘택홀(120) 및 차광 콘택홀(122)이 형성된 기판(101) 상에 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결

부(164) 및 애노드 전극(132)이 형성된다.

- [0060] 구체적으로, 패드 컨택홀(146), 소스 컨택홀(162), 화소 컨택홀(120) 및 차광 컨택홀(122)이 형성된 기판(101) 상에 투명 도전층(160a) 및 불투명 도전층(160b)이 순차적으로 적층된다. 투명 도전층(160a)으로는 ITO와 같은 투명 도전물질이 이용된다. 불투명 도전층(160b)으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 하프톤 마스크를 이용한 포토리소그래피 공정을 통해 다단 구조의 포토레지스트 패턴이 형성된다. 이 다단 구조의 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 투명 도전층(160a) 및 불투명 도전층(160b)과 게이트 절연막(114)이 동시에 패터닝된다. 이에 따라, 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결부(164) 및 애노드 전극(132)은 투명 도전층(160a) 및 불투명 도전층(160b)이 순차적으로 적층된 구조로 형성된다. 그리고, 게이트 절연막(114)은 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결부(164) 및 애노드 전극(132)과 중첩되는 영역에 형성된다.
- [0061] 그런 다음, 다단 구조의 포토레지스트 패턴을 에칭함으로써 패드 상부 전극(144), 스토리지 상부 전극(126) 및 애노드 전극(132) 각각에 포함된 불투명 도전층(160b)이 노출된다. 노출된 불투명 도전층(160b)은 에칭된 포토레지스트 패턴을 마스크로 이용한 식각 공정을 통해 제거된다. 이에 따라, 패드 상부 전극(144), 스토리지 상부 전극(126) 및 애노드 전극(132) 각각은 투명 도전층(160a)으로 형성된다.
- [0062] 한편, 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결부(164) 및 애노드 전극(132)을 이루는 불투명 도전층(160b) 및 투명 도전층(160a)의 건식 식각 공정시 게이트 절연막(114)도 건식 식각된다. 이 때, 소스 및 드레인 전극(156,106,108,158) 각각과 게이트 전극(156,106) 사이의 채널 영역은 건식 식각 공정시 이용되는 식각 가스에 노출된다. 이에 따라, 소스 및 드레인 전극(156,106,108,158) 각각과 게이트 전극(156,106) 사이의 채널 영역을 구성하는 금속과 산소 간의 결합이 깨지면서, 산소가 금속으로부터 분리된다. 이 경우, 금속에는 산소가 빠져나간 빈격자점(vacancy)이 생성되어, 자유전자가 발생된다. 이에 따라, 소스 전극(156,106)과 게이트 전극(156,106) 사이의 채널 영역은 도체화된 소스 영역(154S,104S)이 되며, 드레인 전극(108,158)과 게이트 전극(156,106) 사이의 채널 영역은 도체화된 드레인 영역(154D,104D)이 되며, 게이트 전극(152,102) 하부에 배치되는 액티브층만이 채널 영역(154C,104C)으로 이용된다.
- [0063] 도 4g를 참조하면, 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결부(164) 및 애노드 전극(132)이 형성된 기판(101) 상에 보호막(118), बैं크(138), 발광 스택(134) 및 캐소드 전극(136)이 형성된다.
- [0064] 구체적으로, 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결부(164) 및 애노드 전극(132)이 형성된 기판(101) 상에 보호막(118)이 형성된다. 보호막(118)으로는 SiO_x, SiN_x 등과 같은 무기 절연 물질이 이용된다. 그런 다음, 보호막(118)이 형성된 기판(101) 상에 포토아크릴 수지와 같은 유기막이 전면 도포된 다음, 유기막이 포토리소그래피 공정을 통해 패터닝됨으로써 बैं크(138)가 형성된다. 그런 다음, बैं크(138)를 마스크로 이용한 식각 공정을 통해 보호막(118)을 패터닝함으로써 보호막(118)은 बैं크(138) 하부에서 बैं크(138)와 동일 형상으로 형성된다. 그런 다음, 새도우 마스크를 이용한 증착 공정을 통해 패드 영역(PA)을 제외한 액티브 영역(AA)에 발광 스택(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0065] 한편, 본 발명에서는 소스 및 드레인 전극(156,106,158,108) 각각과 게이트 전극(152,102) 사이에서 게이트 절연막(114)이 제거되는 구조를 예로 들어 설명하였지만, 이외에도 도 5에 도시된 바와 같이 게이트 절연막(114)이 소스 및 드레인 전극(156,106,158,108) 각각과 게이트 전극(152,102) 사이에 배치될 수도 있다. 이 경우, 도 5에 도시된 액티브층(154,104)의 소스 영역(154S,104S) 및 드레인 영역(154D,104)은 자외선(UV)을 이용하여 도체화된다. 즉, 패드 상부 전극(144), 스캔 라인(SL), 게이트 전극(152,102), 스토리지 상부 전극(126), 제1 연결부(164) 및 애노드 전극(132)이 형성된 후, 산화물 반도체로 이루어진 액티브층(154,104)에 자외선을 조사한다. 그러면, 소스 및 드레인 전극(156,106,158,108) 각각과 게이트 전극(152,102) 사이로 노출된 액티브층(154,104)에 자외선이 조사됨으로써 액티브층(154,104)를 구성하는 금속과 산소 간의 결합이 깨지면서, 산소가 금속으로부터 분리된다. 이 경우, 금속에는 산소가 빠져나간 빈격자점(vacancy)이 생성되어, 자유전자가 발생된다. 이에 따라, 채널 영역(154C,104C)의 양쪽에는 자유전자가 발생된 소스 영역(154S,104S) 및 드레인 영역(154D,104D)이 형성된다.
- [0066] 도 6은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 7은 도 6에서 선IV-IV', V-V', VI-VI'를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.

- [0067] 도 6 및 도 7에 도시된 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치는 도 2 및 도 3에 도시된 유기 발광 표시 장치와 대비하여 평탄화층(116)이 스토리지 커패시터(Cst) 상에 배치되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0068] 스토리지 커패시터(Cst)는 버퍼층(112)을 사이에 두고 스위칭 트랜지스터(TS)의 드레인 전극(158)과 스토리지 전극(148)이 증착됨으로써 형성된다. 스토리지 전극(148)은 차광층(124)과 동일 재질로 기판(101) 상에 배치되며, 구동 트랜지스터(TD)의 드레인 전극(110)과 접속된다.
- [0069] 이러한 스토리지 커패시터(Cst) 상에는 게이트 절연막(114), 평탄화층(116), 보호막(118) 및 बैं크(138)가 순차적으로 배치된다. 이 때, 게이트 절연막(114)과 평탄화층(116)은 동일 마스크 공정으로 형성되므로 게이트 절연막(114)과 평탄화층(116)은 동일 형상 및 동일 선폭을 가진다. 평탄화층(116)은 수직 배선(예, 데이터 라인(DL)) 및 수평 배선(예, 스캔 라인(SL))의 교차부와, 스토리지 커패시터가 배치되는 영역 및 컬러 필터(128)가 배치되는 발광 영역에 배치된다. 평탄화층(116)은 스위칭 및 구동 트랜지스터(TS, TD)의 액티브층(154, 104)과 비중첩되도록, 스위칭 및 구동 트랜지스터(TS, TD)의 액티브층(154, 104)과 대응하는 영역(A)에는 평탄화층(116)이 배치되지 않는다.
- [0070] 도 8a 내지 도 8c는 도 7에 도시된 게이트 절연막 및 평탄화층의 제조 공정을 상세히 설명하기 위한 단면도들이다.
- [0071] 도 4c에 도시된 제조 방법에 의해 형성된 컬러 필터(128)를 구비하는 기판(101) 상에 평탄화용 유기막이 도포된다. 그런 다음, 하프톤 마스크를 이용한 포토리소그래피 공정을 통해 유기막이 패터닝됨으로써 도 8a에 도시된 바와 같이 다단 구조의 유기막(116a)이 형성된다. 이 다단 구조의 유기막(116a)을 마스크로 이용한 식각 공정을 통해 게이트 절연막(114) 및 버퍼층(112)이 패터닝됨으로써 도 8b에 도시된 바와 같이 패드 컨택홀(146), 소스 컨택홀(162), 화소 컨택홀(120) 및 차광 컨택홀(122)이 형성된다.
- [0072] 그런 다음, 다단 구조의 유기막(116a)을 에칭함으로써 에칭된 유기막(116a)은 도 8c에 도시된 바와 같이 스캔 라인(SL) 및 데이터 라인(DL)의 교차부와, 스토리지 전극(148)의 상부 및 컬러 필터(128) 상부에 배치되는 평탄화층(116)으로 형성된다.
- [0073] 이와 같이, 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치는 평탄화층(116)과 게이트 절연막(114)이 동일한 하나의 마스크 공정을 통해 형성된다. 이에 따라, 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치는 종래보다 적어도 3회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.
- [0074] 한편, 본 발명의 보호막(118) 및 평탄화층(138)은 도 3에 도시된 바와 같이 도전 패드(140)들이 배치되는 패드 영역에 배치되지 않거나, 도 7에 도시된 바와 같이 패드 상부 전극(144)을 노출시키는 제2 패드 컨택홀(170)을 구비하도록 배치될 수도 있다. 도 7에 도시된 바와 같이 패드 상부 전극(144)의 양측면을 감싸도록 배치되는 보호막(118) 및 평탄화층(138)에 의해 단차가 발생할 수 있다. 이 단차로 인해 탭 공정 불량률이 발생할 수 있으므로, 도 7의 구조보다는 도 3에 도시된 도전 패드(140)의 구조가 적합하다.
- [0075] 뿐만 아니라, 본 발명에서는 유기 발광 표시 장치를 예로 들어 설명하였지만, 이외에도 박막트랜지스터를 구비하는 표시 장치에 모두 적용될 수 있다.
- [0076] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

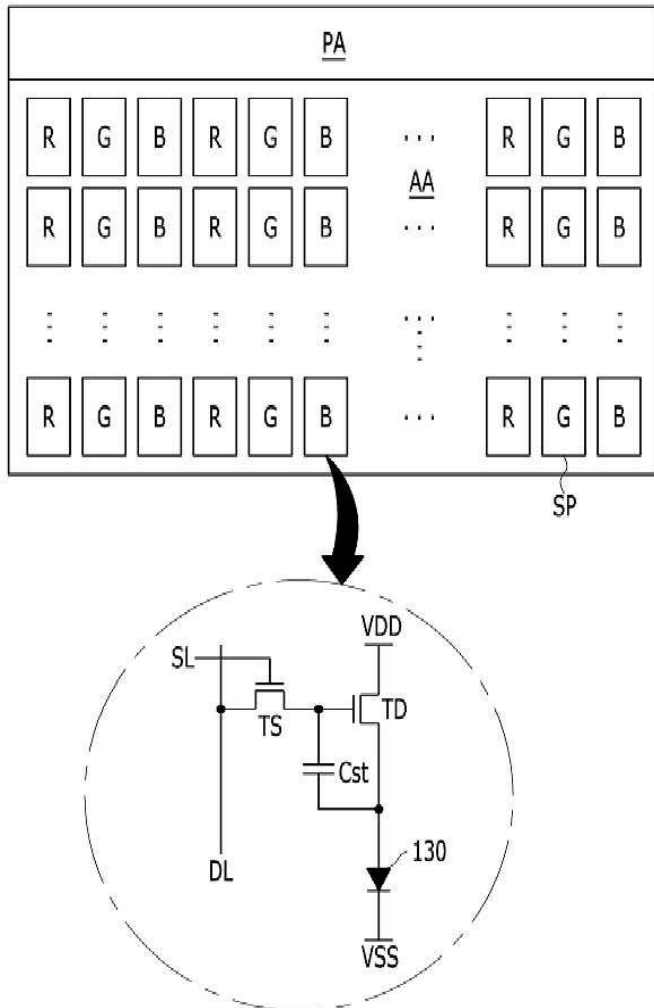
부호의 설명

- [0077] 102, 152 : 게이트 전극 104, 154 : 반도체층
- 106, 156 : 소스 전극 108, 158 : 드레인 전극
- 112 : 버퍼층 114 : 게이트 절연막
- 124 : 차광층 126, 148 : 스토리지 전극

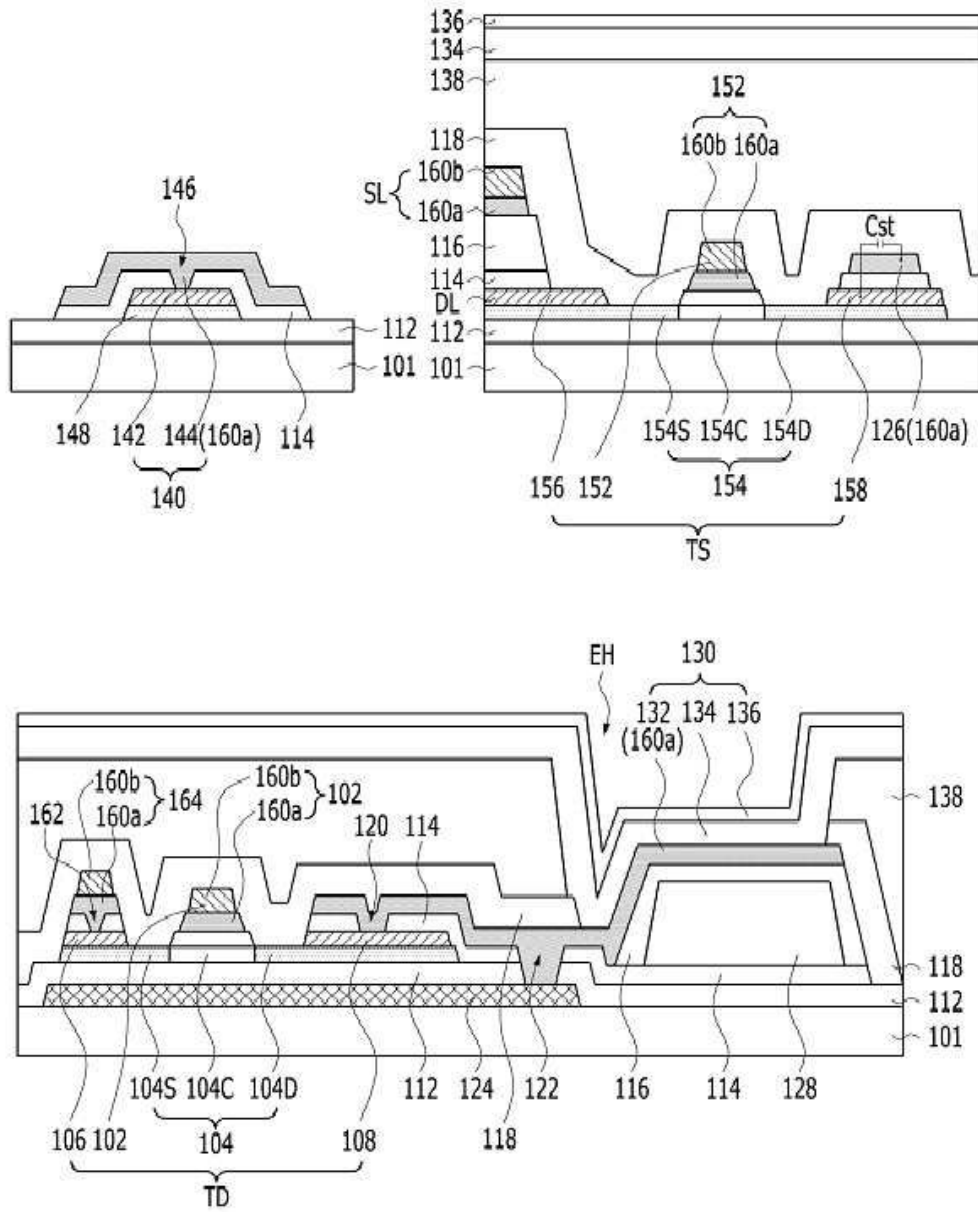
- 130: 발광 소자 132: 애노드 전극
- 134 : 발광 스택 136 : 캐소드 전극
- 138 : बैं크 140 : 데이터 패드
- 142 : 패드 하부 전극 144: 패드 상부 전극

도면

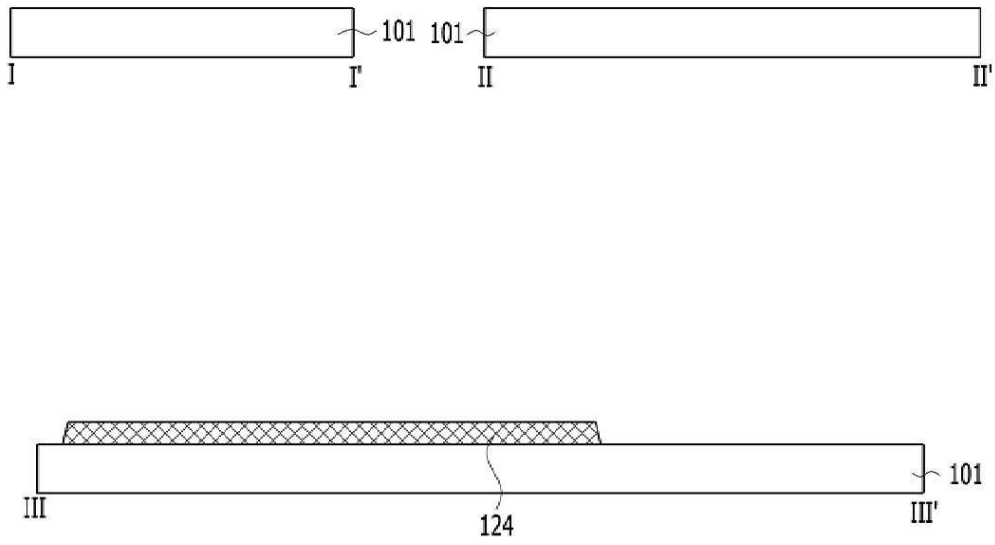
도면1



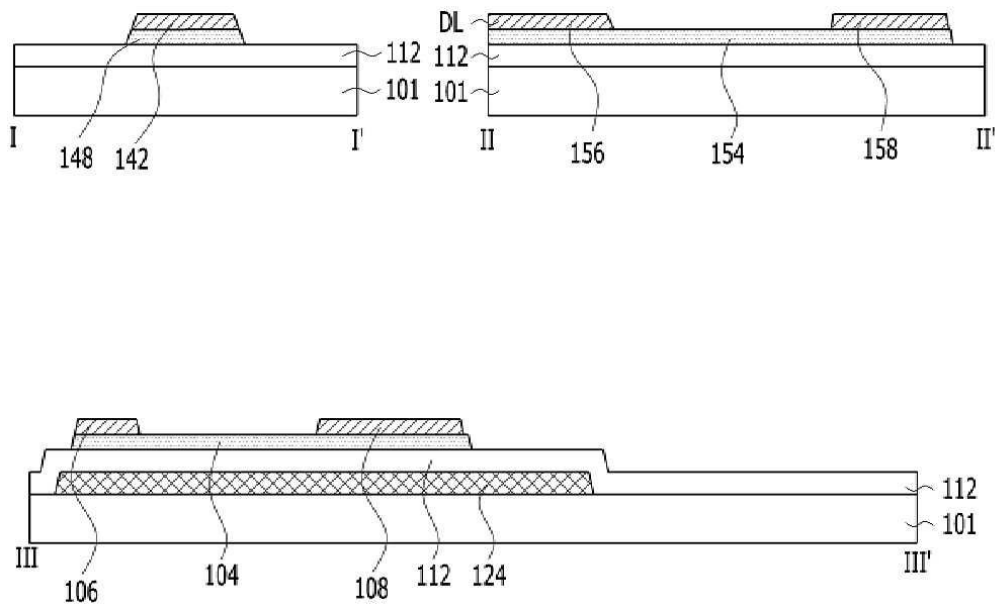
도면3



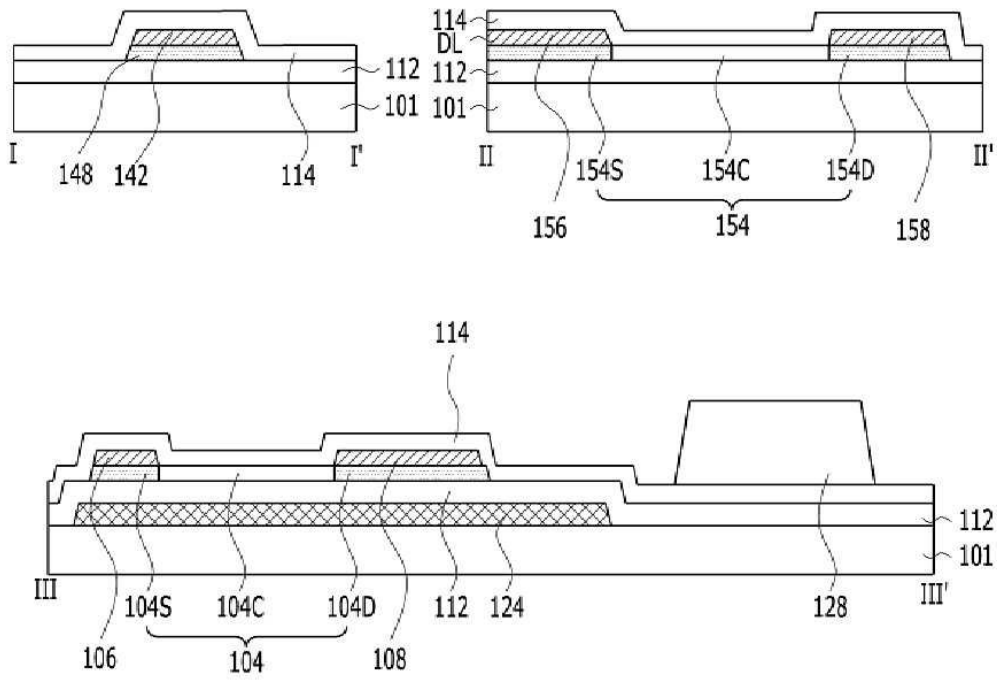
도면4a



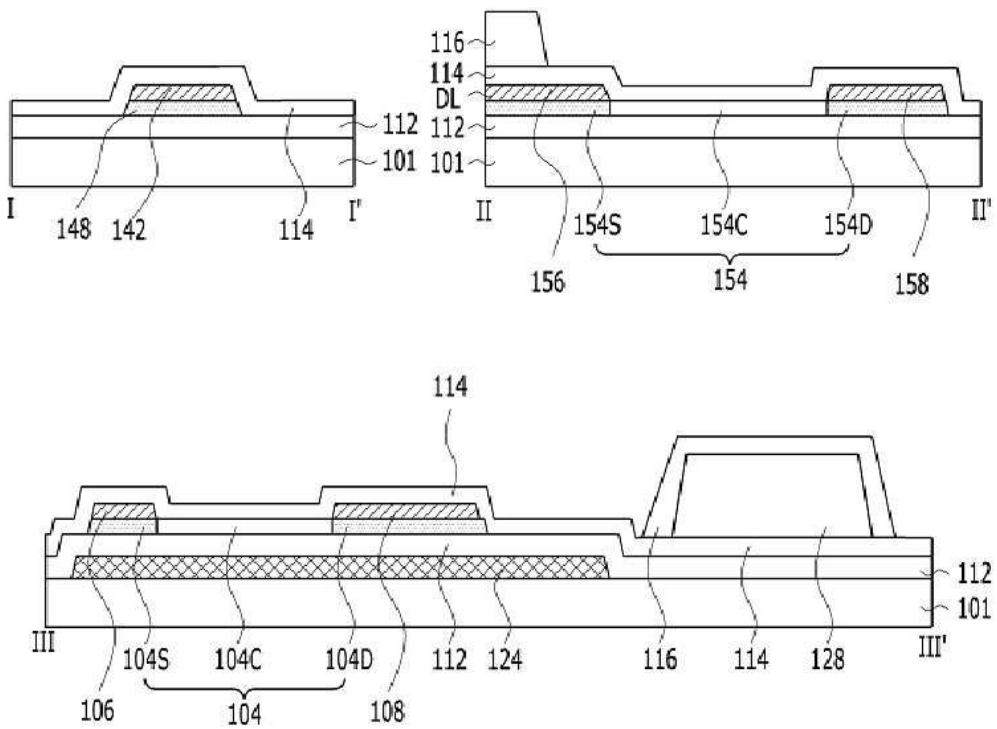
도면4b



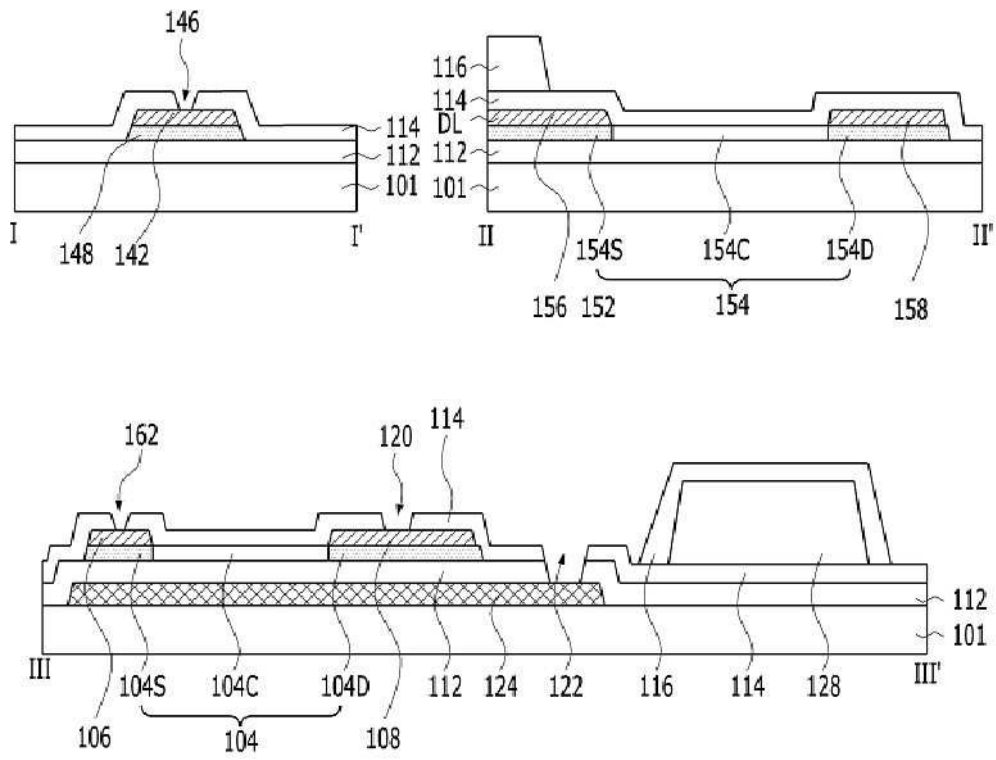
도면4c



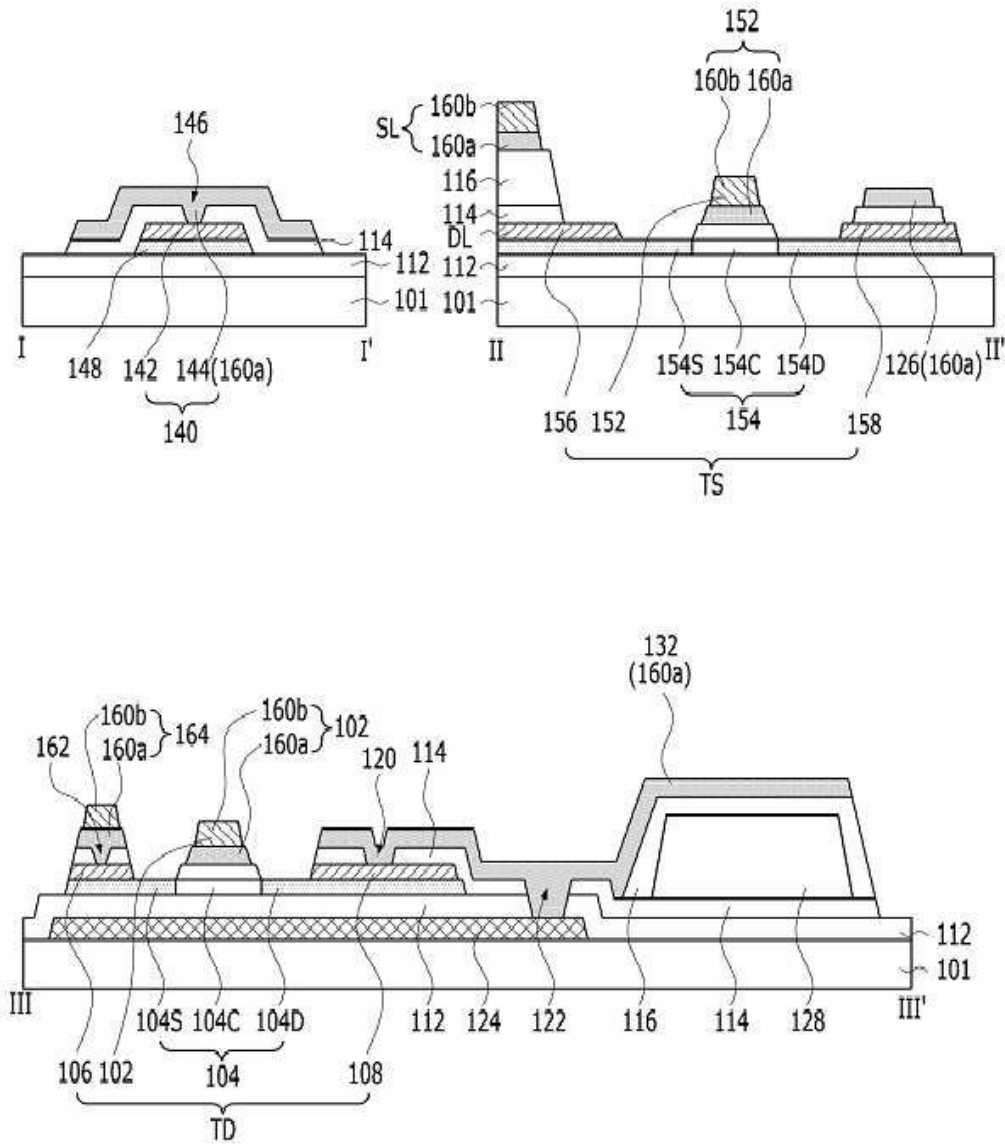
도면4d



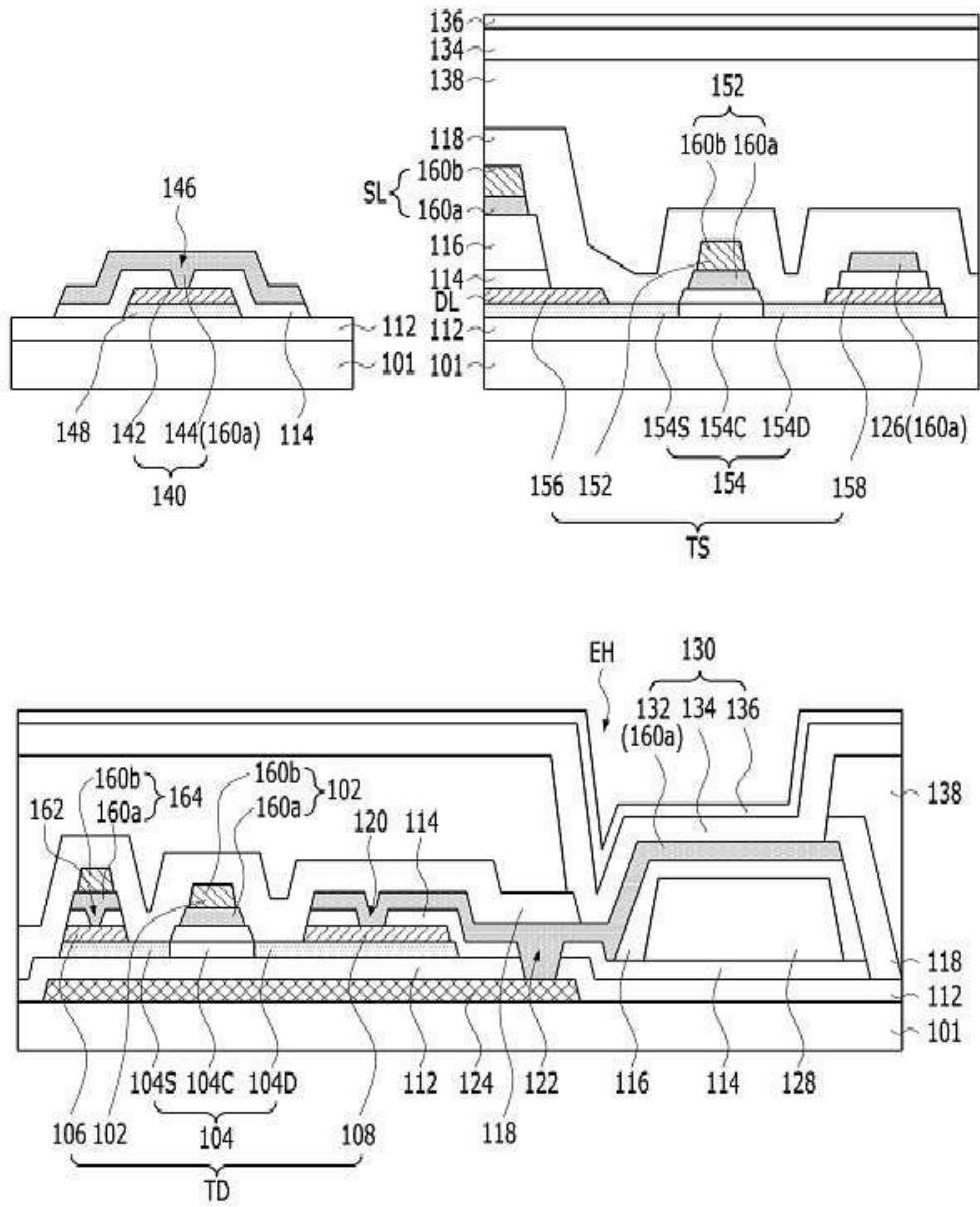
도면4e



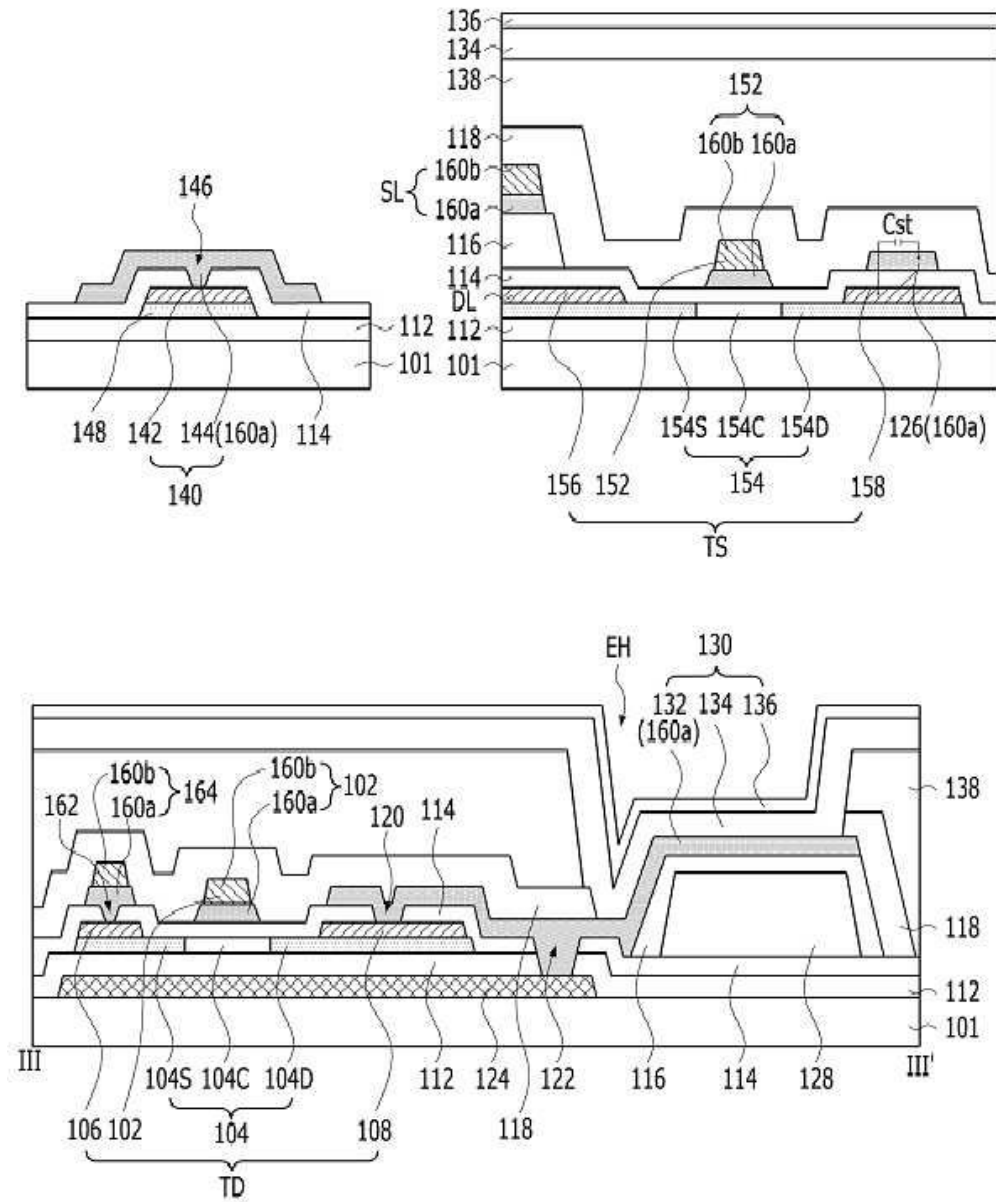
도면4f



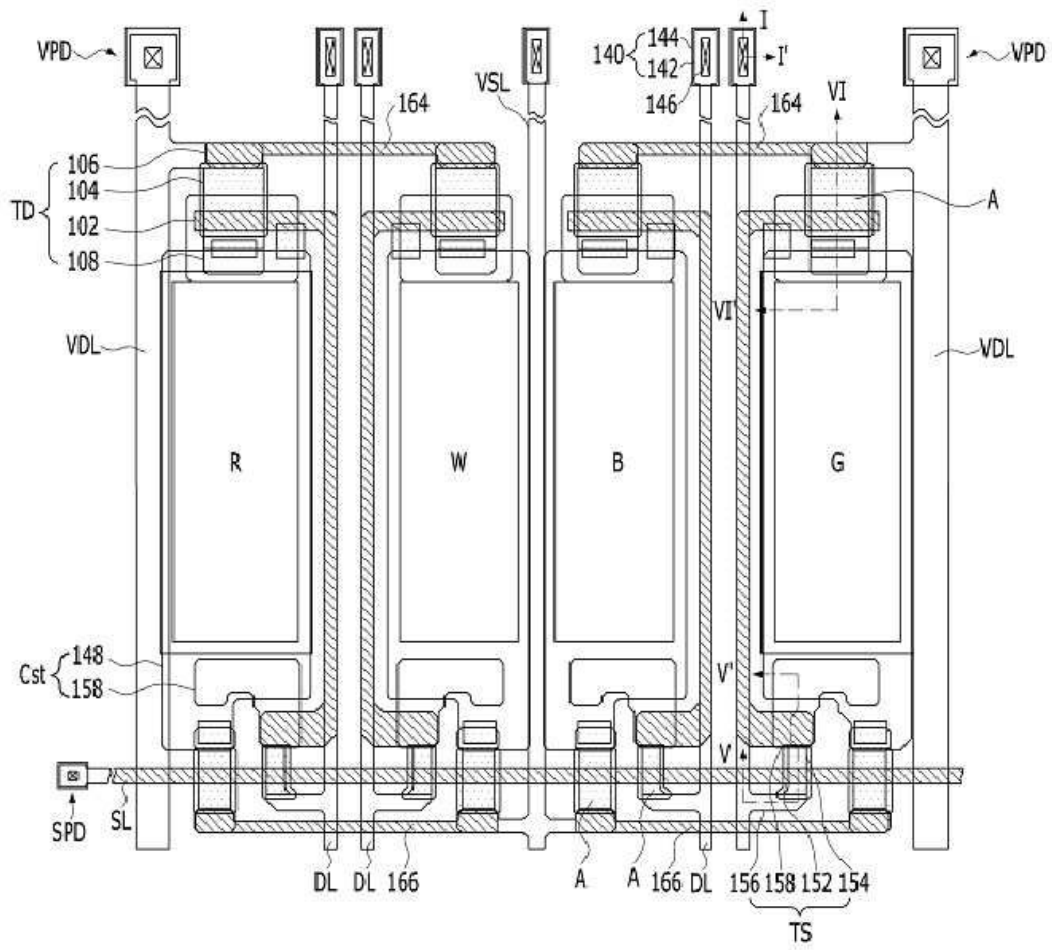
도면4g



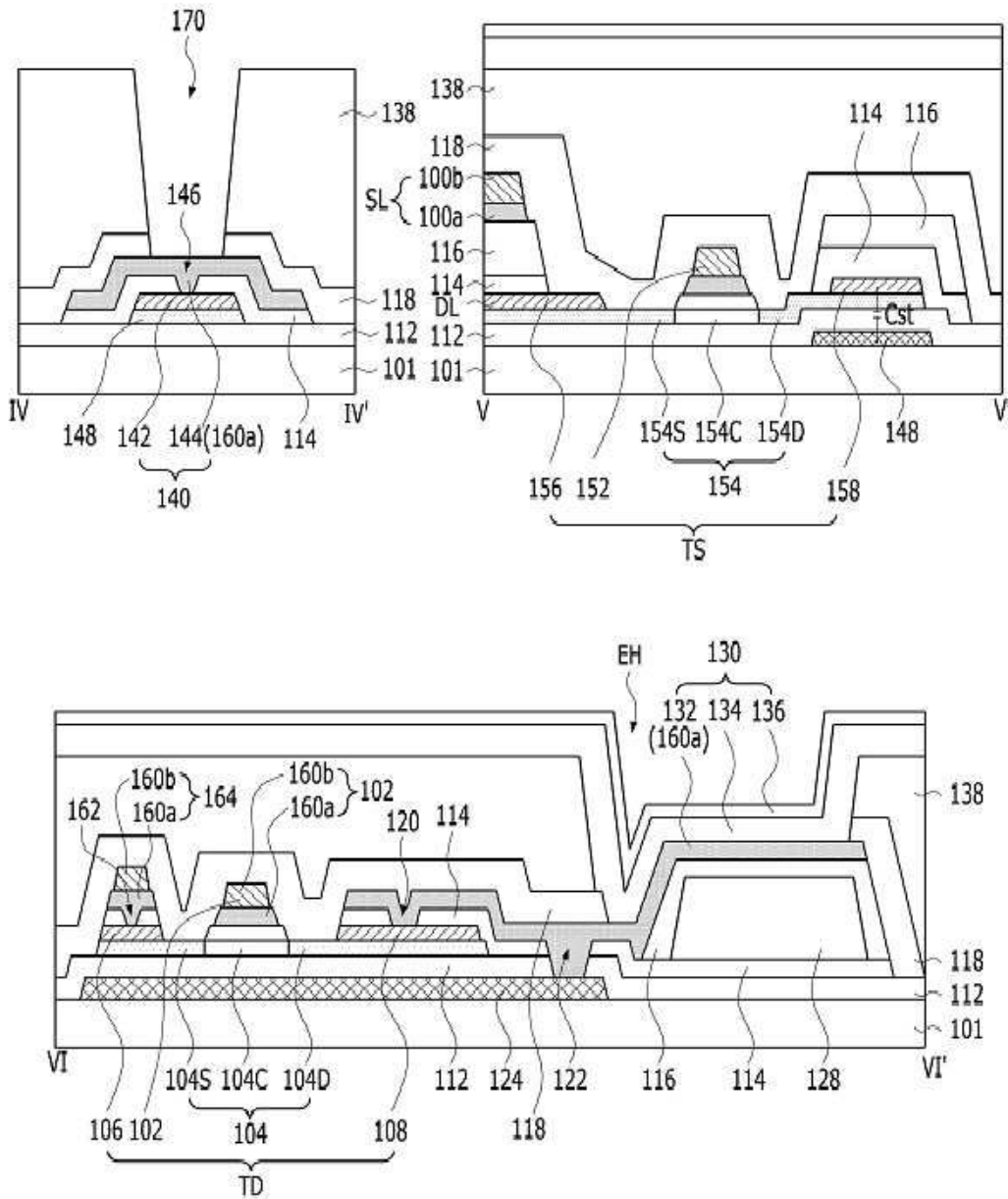
도면5



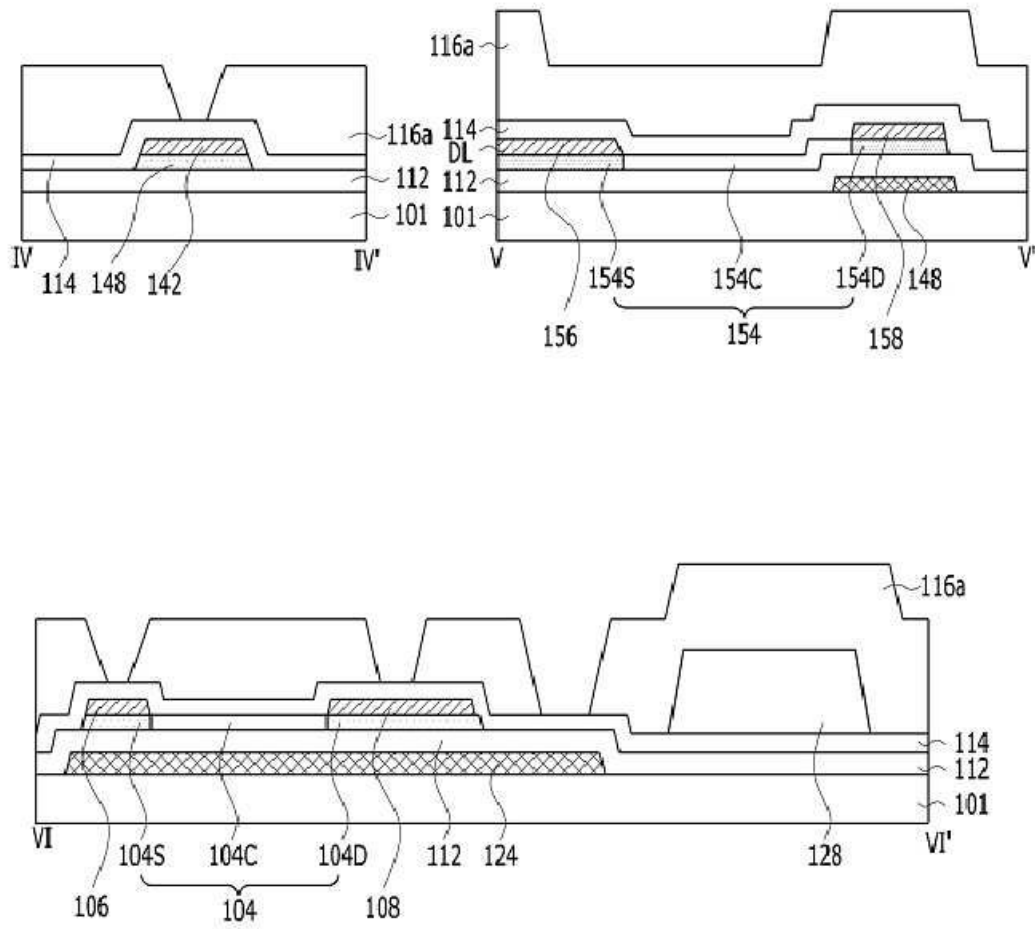
도면6



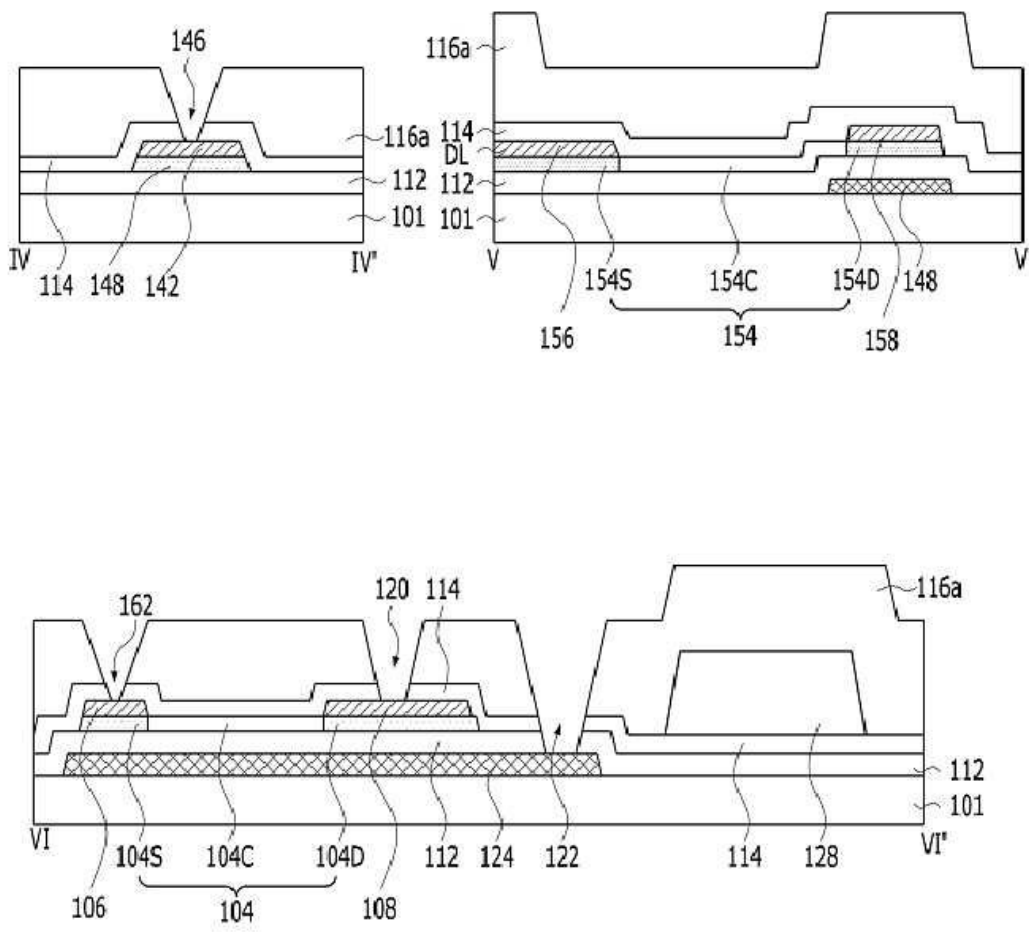
도면7



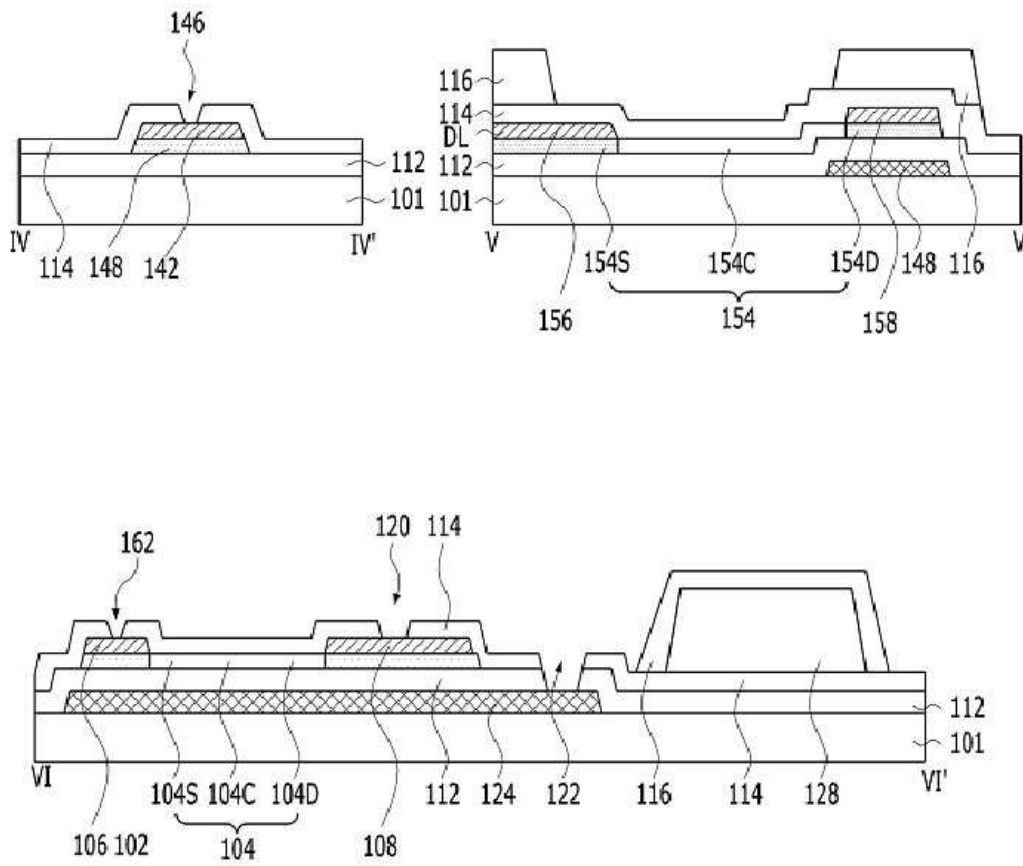
도면8a



도면8b



도면8c



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200032594A	公开(公告)日	2020-03-26
申请号	KR1020180111823	申请日	2018-09-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이석현 신우섭 박상무 송창욱 정해림		
发明人	이석현 신우섭 박상무 송창욱 정해림		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3213 H01L27/3262 H01L51/52 H01L51/56 H01L27/3276 H01L2227/323 H01L27/3258 H01L27/3272 H01L51/5253		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种可以简化结构和制造工艺的有机发光显示装置。本发明的源电极和漏电极通过与有源层相同的掩模工艺形成,使得源电极和漏电极中的每一个都暴露有源层上的有源层的侧表面。因此,在本发明中,由于源电极和漏电极与有源层中的每一个都直接连接而没有单独的接触孔,因此可以减少接触孔的总数,从而提高开口率。由于可以减少掩模工艺的数量,因此可以简化结构和制造工艺,从而提高生产率。

