

(52) CPC특허분류
G09G 2300/0842 (2013.01)

(72) 발명자
김건우

충청남도 천안시 서북구 불당14로 11 불당 풍림아
이원 102동 601호

이승빈

충청남도 천안시 서북구 충무로 158-10 (쌍용동 ,
선경해누리아파트) 110동 501호

최덕영

경기도 수원시 영통구 청명북로 81 (영통동 , 영통
주공4단지) 405동 1502호

명세서

청구범위

청구항 1

양극과 음극을 포함하는 유기발광 다이오드;

제1 노드에 접속된 입력 전극, 제2 노드에 접속된 제어 전극 및 제3 노드에 접속된 출력 전극을 포함하는 구동 트랜지스터;

주사 신호에 응답하여 제2 구간 동안에 상기 제1 노드에 데이터 신호를 인가하는 스위칭 트랜지스터;

초기화 제어신호에 응답하여 제1 구간 동안 상기 제2 노드에 제1 초기화 전압을 인가하는 제1 초기화 트랜지스터;

상기 초기화 제어신호에 응답하여 상기 제1 구간 동안 상기 양극에 상기 제1 초기화 전압과 다른 전압 레벨의 제2 초기화 전압을 인가하는 제2 초기화 트랜지스터; 및

온-바이어스 제어신호에 응답하여 상기 제1 구간 동안 상기 제1 노드에 제1 구동 전압을 인가하는 온-바이어스 트랜지스터를 포함하는 것을 특징으로 하는 화소.

청구항 2

제1항에 있어서, 상기 제1 초기화 트랜지스터는 상기 제1 구간 동안 활성화되는 상기 초기화 제어신호를 수신하는 제어 전극, 상기 제1 초기화 전압이 인가되는 입력 전극 및 상기 제2 노드에 연결된 출력 전극을 포함하고,

상기 제2 초기화 트랜지스터는 상기 초기화 제어신호를 수신하는 제어 전극, 상기 제2 초기화 전압이 인가되는 입력 전극 및 상기 양극에 접속된 출력 전극을 포함하는 것을 특징으로 하는 화소.

청구항 3

제2항에 있어서, 상기 제2 초기화 전압은 상기 제1 초기화 전압보다 낮은 전압 레벨을 갖는 것을 특징으로 하는 화소.

청구항 4

제3항에 있어서, 상기 유기발광 다이오드의 음극에는 제2 구동 전압이 인가되고,

상기 제2 구동 전압은 상기 제2 초기화 전압보다 낮은 전압 레벨을 갖는 것을 특징으로 하는 화소.

청구항 5

제4항에 있어서, 상기 제2 구동 전압은 -9V 내지 -11V인 것을 특징으로 하는 화소.

청구항 6

제4항에 있어서, 상기 제2 구동 전압과 상기 제2 초기화 전압 사이의 전위차는 상기 유기발광 다이오드의 문턱 전압보다 작은 것을 특징으로 하는 화소.

청구항 7

제6항에 있어서, 상기 전위차는 0.5V 내지 0.6V인 것을 특징으로 하는 화소.

청구항 8

제2항에 있어서, 상기 스위칭 트랜지스터는 상기 제2 구간동안 활성화되는 상기 주사 신호를 수신하는 제어 전극, 상기 데이터 신호를 수신하는 입력 전극 및 상기 제1 노드에 접속된 출력 전극을 포함하는 것을 특징으로 하는 화소.

청구항 9

제1항에 있어서, 상기 온-바이어스 트랜지스터는 상기 제1 구간 동안 활성화되는 온-바이어스 제어신호를 수신하는 제어 전극, 상기 제1 구동 전압이 인가되는 입력 전극 및 상기 제2 노드에 접속된 출력 전극을 포함하는 것을 특징으로 하는 화소.

청구항 10

제9항에 있어서, 상기 초기화 제어신호와 상기 온-바이어스 제어신호는 상기 제1 구간동안 활성화되어 상기 제1 초기화 트랜지스터 및 상기 온-바이어스 트랜지스터를 각각 턴-온시키는 것을 특징으로 하는 화소.

청구항 11

제9항에 있어서, 상기 제1 초기화 전압은 상기 구동 트랜지스터의 문턱 전압보다 낮은 전압 레벨을 갖는 것을 특징으로 하는 화소.

청구항 12

제1항에 있어서, 상기 제2 구간동안 활성화된 상기 주사 신호를 수신하는 제어 전극, 상기 제2 노드에 접속된 입력 전극 및 상기 제1 트랜지스터의 출력 전극에 접속된 출력 전극을 포함하는 제1 제어 트랜지스터를 더 포함하는 것을 특징으로 하는 화소.

청구항 13

제1항에 있어서, 발광 구간동안 활성화되는 발광 제어신호를 수신하는 제어 전극, 상기 제3 노드에 접속된 입력 전극, 및 상기 유기발광 다이오드의 상기 양극에 접속된 출력 전극을 포함하는 제2 제어 트랜지스터; 및
상기 발광 제어신호를 수신하는 제어 전극, 상기 제1 구동 전압을 수신하는 입력 전극 및 상기 제1 노드에 연결된 출력 전극을 포함하는 제3 제어 트랜지스터를 더 포함하는 것을 특징으로 하는 화소.

청구항 14

제1항에 있어서, 상기 제2 노드와 상기 제1 구동 전압이 인가되는 노드 사이에 접속된 스토리지 커패시터를 더 포함하는 것을 특징으로 하는 화소.

청구항 15

제14항에 있어서, 상기 구동 트랜지스터의 제어 전극과 마주하도록 배치되고, 상기 제1 구동 전압이 인가되는 제1 보조 전극을 더 포함하는 것을 특징으로 하는 화소.

청구항 16

제14항에 있어서, 상기 구동 트랜지스터의 제어 전극 및 입력 전극과 마주하도록 배치되고, 상기 제1 구동 전압이 인가되는 제1 보조 전극을 더 포함하는 것을 특징으로 하는 화소.

청구항 17

양극과 음극을 포함하는 유기발광 다이오드;

제1 노드에 접속된 입력 전극, 제2 노드에 접속된 제어 전극 및 제3 노드에 접속된 출력 전극을 포함하는 구동 트랜지스터;

주사 신호에 응답하여 제2 구간 동안에 상기 제1 노드에 데이터 신호를 인가하는 스위칭 트랜지스터;

제1 초기화 제어신호에 응답하여 제1 구간 동안 상기 제2 노드에 제1 초기화 전압을 인가하는 제1 초기화 트랜지스터;

제2 초기화 제어신호에 응답하여 상기 양극에 상기 제1 초기화 전압과 다른 전압 레벨의 제2 초기화 전압을 인가하는 제2 초기화 트랜지스터; 및

온-바이어스 제어신호에 응답하여 상기 제1 구간 동안 상기 제1 노드에 제1 구동 전압을 인가하는 온-바이어스

트랜지스터를 포함하는 것을 특징으로 하는 화소.

청구항 18

제17항에 있어서, 상기 제1 초기화 제어신호는 상기 제1 구간 동안 활성화되어 상기 제1 초기화 트랜지스터를 턴-온시키고,

상기 제2 초기화 제어신호는 상기 제2 구간 동안 활성화되어 상기 제2 초기화 트랜지스터를 턴-온시키는 것을 특징으로 하는 화소.

청구항 19

제17항에 있어서, 상기 제1 초기화 제어신호와 상기 온-바이어스 제어신호는 상기 제1 구간동안 동시에 활성화되어 상기 제1 초기화 트랜지스터 및 상기 온-바이어스 트랜지스터를 각각 턴-온시키는 것을 특징으로 하는 화소.

청구항 20

제1 방향으로 연장되고 상기 제1 방향에 직교하는 제2 방향으로 나열된 주사 라인들에 순차적으로 주사 신호들을 제공하는 주사 구동부;

상기 주사 라인들에 절연 교차하는 데이터 라인들에 데이터 신호들을 제공하는 데이터 구동부;

양극과 음극을 포함하는 유기발광 다이오드 및 상기 유기발광 다이오드의 발광을 제어하는 회로부를 포함하는 화소들; 및

제1 및 제2 초기화 전압을 생성하여 상기 화소들에 제공하는 초기화전압 생성부를 포함하고,

상기 회로부는,

제1 노드에 접속된 입력 전극, 제2 노드에 접속된 제어 전극 및 제3 노드에 접속된 출력 전극을 포함하는 구동 트랜지스터;

주사 신호에 응답하여 제2 구간 동안에 상기 제1 노드에 데이터 신호를 인가하는 스위칭 트랜지스터;

초기화 제어신호에 응답하여 제1 구간 동안 상기 제2 노드에 제1 초기화 전압을 인가하는 제1 초기화 트랜지스터;

상기 초기화 제어신호에 응답하여 상기 제1 구간 동안 상기 양극에 상기 제1 초기화 전압과 다른 전압 레벨의 제2 초기화 전압을 인가하는 제2 초기화 트랜지스터; 및

온-바이어스 제어신호에 응답하여 상기 제1 구간 동안 상기 제1 노드에 제1 구동 전압을 인가하는 온-바이어스 트랜지스터를 포함하는 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 화소 및 이를 갖는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 유기발광 표시장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기발광 다이오드 및 유기발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 스위칭 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다.

[0003] 유기발광 다이오드는 양극, 음극, 및 양극과 음극 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 양극과 음극 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 표시 품질을 향상시킬 수 있는 화소 및 이를 갖는 유기발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 화소는 양극과 음극을 포함하는 유기발광 다이오드, 제1 노드에 접속된 입력 전극, 제2 노드에 접속된 제어 전극 및 제3 노드에 접속된 출력 전극을 포함하는 구동 트랜지스터, 주사 신호에 응답하여 제2 구간 동안에 상기 제1 노드에 데이터 신호를 인가하는 스위칭 트랜지스터, 초기화 제어신호에 응답하여 제1 구간 동안 상기 제2 노드에 제1 초기화 전압을 인가하는 제1 초기화 트랜지스터, 상기 초기화 제어신호에 응답하여 상기 제1 구간 동안 상기 양극에 상기 제1 초기화 전압과 다른 전압 레벨의 제2 초기화 전압을 인가하는 제2 초기화 트랜지스터, 및 온-바이어스 제어신호에 응답하여 상기 제1 구간 동안 상기 제1 노드에 제1 구동 전압을 인가하는 온-바이어스 트랜지스터를 포함한다.

[0006] 상기 제1 초기화 트랜지스터는 상기 제1 구간 동안 활성화되는 상기 초기화 제어신호를 수신하는 제어 전극, 상기 제1 초기화 전압이 인가되는 입력 전극 및 상기 제2 노드에 연결된 출력 전극을 포함하고, 상기 제2 초기화 트랜지스터는 상기 초기화 제어신호를 수신하는 제어 전극, 상기 제2 초기화 전압이 인가되는 입력 전극 및 상기 양극에 접속된 출력 전극을 포함한다.

[0007] 상기 제2 초기화 전압은 상기 제1 초기화 전압보다 낮은 전압 레벨을 갖는다.

[0008] 상기 유기발광 다이오드의 음극에는 제2 구동 전압이 인가되고, 상기 제2 구동 전압은 상기 제2 초기화 전압보다 낮은 전압 레벨을 갖는다.

[0009] 상기 제2 구동 전압과 상기 제2 초기화 전압 사이의 전위차는 상기 유기발광 다이오드의 문턱 전압보다 작다.

[0010] 상기 스위칭 트랜지스터는 상기 제2 구간동안 활성화되는 상기 주사 신호를 수신하는 제어 전극, 상기 데이터 신호를 수신하는 입력 전극 및 상기 제1 노드에 접속된 출력 전극을 포함한다.

[0011] 상기 온-바이어스 트랜지스터는 상기 제1 구간 동안 활성화되는 온-바이어스 제어신호를 수신하는 제어 전극, 상기 제1 구동 전압이 인가되는 입력 전극 및 상기 제2 노드에 접속된 출력 전극을 포함한다.

[0012] 상기 초기화 제어신호와 상기 온-바이어스 제어신호는 상기 제1 구간동안 활성화되어 상기 제1 초기화 트랜지스터 및 상기 온-바이어스 트랜지스터를 각각 턴-온시킨다.

[0013] 상기 제1 초기화 전압은 상기 구동 트랜지스터의 문턱 전압보다 낮은 전압 레벨을 갖는다.

[0014] 상기 제2 구간동안 활성화된 상기 주사 신호를 수신하는 제어 전극, 상기 제2 노드에 접속된 입력 전극 및 상기 제1 트랜지스터의 출력 전극에 접속된 출력 전극을 포함하는 제1 제어 트랜지스터를 더 포함한다.

[0015] 발광 구간동안 활성화되는 발광 제어신호를 수신하는 제어 전극, 상기 제3 노드에 접속된 입력 전극, 및 상기 유기발광 다이오드의 상기 양극에 접속된 출력 전극을 포함하는 제2 제어 트랜지스터, 및 상기 발광 제어신호를 수신하는 제어 전극, 상기 제1 구동 전압을 수신하는 입력 전극 및 상기 제1 노드에 연결된 출력 전극을 포함하는 제3 제어 트랜지스터를 더 포함한다.

[0016] 상기 제2 노드와 상기 제1 구동 전압이 인가되는 노드 사이에 접속된 스토리지 커패시터를 더 포함한다.

[0017] 상기 구동 트랜지스터의 제어 전극과 마주하도록 배치되고, 상기 제1 구동 전압이 인가되는 제1 보조 전극을 더 포함한다.

[0018] 상기 구동 트랜지스터의 제어 전극 및 입력 전극과 마주하도록 배치되고, 상기 제1 구동 전압이 인가되는 제1 보조 전극을 더 포함한다.

[0019] 본 발명의 일 실시예에 따른 화소는 양극과 음극을 포함하는 유기발광 다이오드, 제1 노드에 접속된 입력 전극, 제2 노드에 접속된 제어 전극 및 제3 노드에 접속된 출력 전극을 포함하는 구동 트랜지스터, 주사 신호에 응답하여 제2 구간 동안에 상기 제1 노드에 데이터 신호를 인가하는 스위칭 트랜지스터, 제1 초기화 제어신호에 응답하여 제1 구간 동안 상기 제2 노드에 제1 초기화 전압을 인가하는 제1 초기화 트랜지스터, 제2 초기화 제어신호에 응답하여 상기 양극에 상기 제1 초기화 전압과 다른 전압 레벨의 제2 초기화 전압을 인가하는 제2 초기화 트랜지스터, 및 온-바이어스 제어신호에 응답하여 상기 제1 구간 동안 상기 제1 노드에 제1 구동 전압을 인가하는 온-바이어스 트랜지스터를 포함한다.

[0020] 상기 제1 초기화 제어신호는 상기 제1 구간 동안 활성화되어 상기 제1 초기화 트랜지스터를 턴-온시키고, 상기

제2 초기화 제어신호는 상기 제2 구간 동안 활성화되어 상기 제2 초기화 트랜지스터를 턴-온시킨다.

[0021] 제17항에 있어서, 상기 제1 초기화 제어신호와 상기 온-바이어스 제어신호는 상기 제1 구간동안 동시에 활성화되어 상기 제1 초기화 트랜지스터 및 상기 온-바이어스 트랜지스터를 각각 턴-온시킨다.

[0022] 본 발명의 일 실시예에 따른 유기발광 표시장치는 제1 방향으로 연장되고 상기 제1 방향에 직교하는 제2 방향으로 나열된 주사 라인들에 순차적으로 주사 신호들을 제공하는 주사 구동부, 상기 주사 라인들에 절연 교차하는 데이터 라인들에 데이터 신호들을 제공하는 데이터 구동부, 양극과 음극을 포함하는 유기발광 다이오드 및 상기 유기발광 다이오드의 발광을 제어하는 회로부를 포함하는 화소들, 및 제1 및 제2 초기화 전압을 생성하여 상기 화소들에 제공하는 초기화전압 생성부를 포함한다.

[0023] 상기 회로부는, 제1 노드에 접속된 입력 전극, 제2 노드에 접속된 제어 전극 및 제3 노드에 접속된 출력 전극을 포함하는 구동 트랜지스터, 주사 신호에 응답하여 제2 구간 동안에 상기 제1 노드에 데이터 신호를 인가하는 스위칭 트랜지스터, 초기화 제어신호에 응답하여 제1 구간 동안 상기 제2 노드에 제1 초기화 전압을 인가하는 제1 초기화 트랜지스터, 상기 초기화 제어신호에 응답하여 상기 제1 구간 동안 상기 양극에 상기 제1 초기화 전압과 다른 전압 레벨의 제2 초기화 전압을 인가하는 제2 초기화 트랜지스터, 및 온-바이어스 제어신호에 응답하여 상기 제1 구간 동안 상기 제1 노드에 제1 구동 전압을 인가하는 온-바이어스 트랜지스터를 포함한다.

발명의 효과

[0024] 본 발명의 실시예에 따른 표시 장치에 의하면, 발광 구간 이전인 초기화 구간에 구동 트랜지스터의 입력 전극에 제1 구동 전압을 인가하여, 구동 트랜지스터의 제어 전극과 입력 전극 사이에 일정한 온-바이어스 전압이 인가된다. 따라서, 구동 트랜지스터의 제어 전극과 입력 전극의 전위차가 일정 수준 이상으로 증가하여 나타나는 표시 품질의 저하 현상을 방지할 수 있다.

[0025] 또한, 유기발광 다이오드의 양극에 제2 구동 전압과 일정한 전위차를 갖도록 제1 초기화 전압과 다른 제2 초기화 전압을 인가함으로써, 블랙 계조의 특성이 저하되는 것을 방지하고, 색 번짐 불량을 감소시킬 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- 도 2는 도 1에 도시된 제1 및 제2 초기화 전압의 전위를 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 4는 도 3에 도시된 화소를 구동하기 위한 구동신호들을 도시한 파형도이다.
- 도 5는 제1 구간 동안의 화소의 동작을 나타낸 등가 회로도이다.
- 도 6은 도 5의 제1 구간 동안의 구동신호들의 파형을 나타낸 도면이다.
- 도 7은 제2 구간 동안의 화소의 동작을 나타낸 등가 회로도이다.
- 도 8은 도 7의 제2 구간 동안의 구동신호들의 파형을 나타낸 도면이다.
- 도 9는 제3 구간 동안의 화소의 동작을 나타낸 등가 회로도이다.
- 도 10은 도 9의 제3 구간 동안의 구동신호들의 파형을 나타낸 도면이다.
- 도 11은 본 발명의 다른 실시예에 따른 화소의 제1 구간 동안의 동작을 나타낸 등가 회로도이다.
- 도 12는 도 11에 도시된 화소의 제2 구간 동안의 동작을 나타낸 등가 회로도이다.
- 도 13은 본 발명의 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 14는 도 13의 I 부분을 포함하는 화소의 단면도이다.
- 도 15는 본 발명의 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 16은 도 15의 II 부분을 포함하는 화소의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 “상에 있다”, “연결된다”, 또는 “결합된다”고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0028] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. “및/또는”은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0029] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0030] 또한, “아래에”, “하측에”, “위에”, “상측에” 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0031] “포함하다” 또는 “가지다” 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블럭도이고, 도 2는 도 1에 도시된 제1 및 제2 초기화 전압의 전위를 나타낸 도면이다.
- [0033] 도 1을 참조하면, 유기발광 표시장치는 신호 제어부(100), 주사 구동부(200), 데이터 구동부(300), 구동전압 생성부(400), 초기화전압 생성부(500), 및 표시패널부(DP)를 포함한다.
- [0034] 상기 신호 제어부(100)는 입력 영상신호들(미도시)을 수신하고, 상기 데이터 구동부(300)와의 인터페이스 사양에 맞도록 상기 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(RGB)을 생성한다. 상기 신호 제어부(100)는 상기 영상 데이터들(RGB)과 각종 제어신호들(DCS, SCS, VCS)을 출력한다.
- [0035] 상기 주사 구동부(200)는 상기 신호 제어부(100)로부터 주사 제어신호(SCS)를 수신한다. 상기 주사 제어신호(SCS)는 상기 주사 구동부(200)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 상기 주사 구동부(200)는 복수 개의 주사 신호들을 생성하고, 상기 복수 개의 주사 신호들을 후술하는 복수 개의 주사 라인들(SL1~SLn)에 순차적으로 출력한다. 또한, 상기 주사 구동부(200)는 상기 주사 제어신호(SCS)에 응답하여 복수 개의 발광 제어신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1~ELn)에 상기 복수 개의 발광 제어신호들을 출력한다.
- [0036] 도 1은 상기 복수 개의 주사 신호들과 상기 복수 개의 발광 제어신호들이 하나의 주사 구동부(200)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되지 않는다. 본 발명의 일 실시예에서, 복수 개의 주사 구동부가 상기 복수 개의 주사 신호들을 분할하여 출력하고, 상기 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 다른 실시예에서, 상기 복수 개의 주사 신호들을 생성하여 출력하는 구동회로와 상기 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.
- [0037] 상기 데이터 구동부(300)는 상기 신호 제어부(100)로부터 상기 데이터 제어신호(DCS) 및 상기 영상 데이터들(RGB)을 수신한다. 상기 데이터 구동부(300)는 상기 영상 데이터들(RGB)을 데이터 신호들로 변환하고, 상기 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 상기 데이터 신호들은 영상 데이터들(RGB)의 계조값에 대응하는 아날로그 전압들이다.
- [0038] 상기 구동전압 생성부(400)는 전원부(미도시)로부터 전원 전압(Vin)을 수신한다. 상기 구동전압 생성부(400)는 상기 전원 전압(Vin)을 변환하여 제1 전압(ELVDD) 및 상기 제1 전압(ELVDD)보다 낮은 레벨의 제2 전압(ELVSS)을 생성한다.
- [0039] 상기 구동전압 생성부(400)는 DC-DC 컨버터를 포함할 수 있다. 상기 구동전압 생성부(400)는 상기 전원 전압(Vin)을 승압하여 상기 제1 구동전압(ELVDD)를 생성하는 부스팅 컨버터(Boosting Converter)를 포함할 수 있다. 또한, 상기 구동전압 생성부(400)는 상기 전원 전압(Vin)을 강압하여 상기 제2 구동전압(ELVSS)를 생성하는 벡 컨버터(Buck Converter)를 포함할 수 있다.

- [0040] 상기 구동전압 생성부(400)는 상기 타이밍 제어부(100)로부터 구동전압 제어신호(VCS)를 수신한다. 상기 구동전압 생성부(400)는 상기 구동전압 제어신호(VCS)에 응답하여 소정의 일정한 레벨을 갖는 상기 제1 구동전압(ELVDD)을 생성할 수 있다. 도 2에 도시된 바와 같이, 상기 제1 구동전압(ELVDD)은 0V를 기준으로 정극성을 갖는 정극성 전압 예컨대 약 4V 내지 5V의 범위의 전압일 수 있다. 본 발명의 일 예로, 상기 제1 구동전압(ELVDD)은 대략 4.6V의 전압 레벨을 가질 수 있다.
- [0041] 상기 구동전압 생성부(400)는 상기 구동전압 제어신호(VCS)에 응답하여 소정의 전압 범위 내의 상기 제2 구동전압(ELVSS)을 생성할 수 있다. 상기 제2 구동전압(ELVSS)은 부극성의 전압 예컨대, 약 -9V 내지 -11V 범위의 전압일 수 있다. 본 발명의 일 예로, 상기 제2 구동전압(ELVSS)은 대략 -10V의 전압 레벨을 가질 수 있다.
- [0042] 다시 도 1을 참조하면, 상기 초기화전압 생성부(500)는 상기 구동전압 생성부(400)로부터 상기 제1 구동전압(ELVDD) 및 상기 제2 구동전압(ELVSS)을 수신한다. 상기 초기화전압 생성부(500)는 상기 제1 구동전압(ELVDD) 및 상기 제2 구동전압(ELVSS)을 이용하여 제1 초기화 전압(Vint1) 및 제2 초기화 전압(Vint2)을 생성한다. 상기 제1 초기화 전압(Vint1) 및 상기 제2 초기화 전압(Vint2) 각각은 서로 다른 전압레벨을 가질 수 있다.
- [0043] 도 2에 도시된 바와 같이, 상기 제2 초기화 전압(Vint2)은 상기 제1 초기화 전압(Vint1)보다 낮은 전압 레벨을 가질 수 있다. 상기 제2 초기화 전압(Vint2)은 상기 제2 구동전압(ELVSS)과 일정한 전위차(Vd)를 가질 수 있다. 예를 들어, 상기 제2 초기화 전압(Vint2)와 상기 제2 구동전압(ELVSS)은 대략 0.5V 내지 0.6V의 전위차(Vd)를 유지할 수 있다. 예를 들어, 상기 제2 구동전압(ELVSS)이 -9V 내지 -11V의 범위에 있을 때, 상기 제2 초기화 전압(Vint2)은 대략 -8.4V 내지 -10.5V의 범위에 있을 수 있다. 본 발명의 일 예로, 상기 제2 구동전압(ELVSS)이 대략 -10V의 전압 레벨을 갖는 경우, 상기 제2 초기화 전압(Vint2)은 대략 -9.5V의 전압 레벨을 가질 수 있다.
- [0044] 상기 제1 초기화 전압(Vint1)은 부극성의 전압을 가지며, 상기 제2 초기화 전압(Vint2)보다 높은 전압 레벨을 갖는다. 상기 제1 초기화 전압(Vint1)은 상기 제1 트랜지스터(T1)의 문턱 전압보다 낮은 레벨로 설정될 수 있다. 본 발명의 일 예로, 상기 제1 초기화 전압(Vint1)은 대략 -4.5V일 수 있다.
- [0045] 다시 도 1을 참조하면, 상기 표시패널부(DP)는 복수의 주사 라인들(SL1~SLn), 복수의 발광 라인들(EL1~ELn), 복수의 데이터 라인들(DL1~DLm), 및 복수의 화소들(PX)을 포함한다. 상기 복수의 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 상기 제2 방향(DR2)에 직교하는 제2 방향(DR2)으로 나열된다. 상기 복수의 발광 라인들(EL1~ELn) 각각은 상기 복수의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인에 나란하게 배열될 수 있다. 상기 복수의 데이터 라인들(DL1~DLm)은 상기 복수의 주사 라인들(SL1~SLn)과 절연되게 교차한다.
- [0046] 상기 복수의 화소들(PX) 각각은 상기 복수의 주사 라인들(SL1~SLn) 중 대응하는 주사 라인, 상기 복수의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 상기 복수의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 도 1에는 간략히 도시되었으나, 상기 복수의 화소들(PX) 각각은 상기 복수의 주사 라인들(SL1~SLn) 중 복수의 주사 라인들에 접속될 수 있다. 이에 대해서는 도 3 및 도 4를 참조하여 좀 더 상세히 설명한다.
- [0047] 상기 복수의 화소들(PX) 각각은 유기발광 다이오드(미도시) 및 상기 유기발광 다이오드의 발광을 제어하는 회로부(미도시)를 포함한다. 상기 회로부는 복수의 박막 트랜지스터와 커패시터를 포함할 수 있다. 상기 복수의 화소들(PX)은 레드 컬러를 발광하는 레드 화소들, 그린 컬러를 발광하는 그린 화소들, 및 블루 컬러를 발광하는 블루 화소들을 포함할 수 있다. 레드 화소의 유기 발광 다이오드, 그린 화소의 유기 발광 다이오드, 및 블루 화소의 유기 발광 다이오드는 서로 다른 물질의 유기 발광층을 포함할 수 있다.
- [0048] 복수 회의 포토리소그래피 공정 및 복수 회의 증착 공정 등을 통해 베이스 기판(미도시) 상에 상기 복수 개의 주사 라인들(SL1~SLn), 상기 복수 개의 발광 라인들(EL1~ELn), 상기 복수 개의 데이터 라인들(DL1~DLm), 및 상기 복수 개의 화소들(PX)을 형성할 수 있다. 그밖에 상기 복수의 화소들(PX)을 보호하는 봉지층(미 도시)을 상기 베이스 기판 상에 더 형성할 수 있다.
- [0049] 상기 표시패널부(DP)는 상기 제1 구동전압(ELVDD) 및 상기 제2 구동전압(ELVSS)을 수신한다. 상기 제1 구동전압(ELVDD)은 제1 전압 라인(PL1)을 통해 상기 복수의 화소들(PX)에 제공될 수 있다. 상기 제2 구동전압(ELVSS)은 상기 표시패널부(DP)에 형성된 전극들(미도시) 또는 전원 라인(미도시)을 통해서 상기 복수의 화소들(PX)에 제공될 수 있다.
- [0050] 상기 표시패널부(DP)는 상기 제1 초기화 전압(Vint1) 및 상기 제2 초기화 전압(Vint2)을 수신한다. 상기 제1 초기화 전압(Vint1)은 제1 초기화 전압 라인(VIL1)을 통해 상기 복수의 화소들(PX)에 제공될 수 있다. 상기 제2 초기화 전압(Vint2)은 제2 초기화 전압 라인(VIL2)을 통해 상기 복수의 화소들(PX)에 제공될 수 있다.

- [0051] 도 3은 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 4는 도 3에 도시된 화소를 구동하기 위한 구동 신호들을 도시한 파형도이다.
- [0052] 도 3에는 상기 복수 개의 주사 라인들(SL1~SLn, 도 1 참조) 중 i번째 주사 라인(미도시), 상기 복수 개의 발광 라인들(EL1~ELn, 도 1 참조) 중 i번째 발광 라인(미도시), 및 상기 복수 개의 데이터 라인들(DL1~DLm, 도 1 참조) 중 j번째 데이터 라인(미도시)에 접속된 화소(PXij)의 등가 회로도를 예시적으로 도시하였다. 도 1에 도시된 복수의 화소들(PX) 각각은 도 3에 도시된 화소(PXij)의 등가 회로도와 동일한 회로 구성을 가질 수 있다.
- [0053] 상기 화소(PXij)는 유기발광 다이오드(ED) 및 상기 유기발광 다이오드(ED)를 제어하는 회로부(CP)를 포함한다. 본 실시예에서 8개의 트랜지스터들(T1~T8) 및 하나의 커패시터(Cst)를 포함하는 회로부(CP)를 예시적으로 도시하였다. 또한, 8개의 트랜지스터들(T1~T8)은 p타입의 트랜지스터로 도시하였다. 그러나 본 발명의 화소 구성은 도 3에 제한되지 않는다. 도 3에 도시된 회로부(CP)는 하나의 예시에 불과하고 상기 회로부(CP)의 구성은 변형되어 실시될 수 있다.
- [0054] 도 3을 참조하면, 상기 회로부(CP)는 제1 내지 제8 트랜지스터(T1~T8) 및 스토리지 커패시터(Cst)를 포함한다. 상기 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 입력 전극, 제2 노드(N2)에 연결된 제어 전극 및 제3 노드(N3)에 연결된 출력 전극을 포함한다. 상기 제2 트랜지스터(T2)는 상기 j번째 데이터 라인과 상기 제1 트랜지스터(T1) 사이에 접속되고, 제3 트랜지스터(T3)는 제2 노드(N2)와 상기 제3 노드(N3) 사이에 접속된다. 제4 트랜지스터(T4)는 상기 제3 노드(N3)와 상기 유기발광 다이오드(ED)의 양극 사이에 접속된다. 상기 스토리지 커패시터(Cst)는 상기 제1 노드(N1)에 연결된 제1 전극 및 제1 구동 전압(ELVDD)이 인가되는 제1 전압 노드(VN1)에 연결된 제2 전극을 포함한다.
- [0055] 상기 제5 트랜지스터(T5)는 상기 제1 노드(N1)와 상기 제1 전압 노드(VN1) 사이에 접속되고, 제6 트랜지스터(T6)는 상기 제2 노드(N2)와 상기 제1 초기화 전압(Vint1)이 인가되는 제1 초기화 노드(IN1) 사이에 접속된다. 제7 트랜지스터(T7)는 유기발광 다이오드(ED)의 양극과 상기 제2 초기화 전압(Vint2)이 인가되는 제2 초기화 노드(IN2) 사이에 접속된다. 제8 트랜지스터(T8)는 제1 전압 노드(VN1)와 제1 노드(N1) 사이에 접속된다.
- [0056] 좀 더 구체적으로, 상기 제1 트랜지스터(T1)는 상기 제5 트랜지스터(T5)를 경유하여 상기 제1 구동전압(ELVDD)을 수신하는 상기 제1 노드(N1)에 접속된 입력 전극, 상기 제2 노드(N2)에 접속된 제어 전극 및 상기 제3 노드(N1)에 접속된 출력 전극을 포함한다. 상기 제1 트랜지스터(T1)의 출력 전극은 상기 제4 트랜지스터(T4)를 경유하여 상기 유기발광 다이오드(ED)의 양극에 상기 제1 구동전압(ELVDD)을 제공한다.
- [0057] 상기 제1 트랜지스터(T1)는 상기 제2 노드(N2)의 전위에 대응하여 상기 유기발광 다이오드(ED)에 공급되는 구동 전류를 제어한다. 상기 제1 트랜지스터(T1)는 구동 트랜지스터로 정의될 수 있다.
- [0058] 상기 제2 트랜지스터(T2)는 상기 j번째 데이터 라인에 접속된 입력 전극, 상기 i번째 주사 라인에 접속된 제어 전극, 및 상기 제1 노드(N1, 즉, 제1 트랜지스터(T1)의 입력 전극)에 접속된 출력 전극을 포함한다. 상기 제2 트랜지스터(T2)는 상기 i번째 주사 라인에 인가된 주사 신호(GSi)에 의해 턴-온되고, 상기 j번째 데이터 라인에 인가된 데이터 신호(DSi)를 상기 제1 노드(N1)에 제공한다. 상기 제2 트랜지스터(T2)는 스위칭 트랜지스터로 정의될 수 있다.
- [0059] 상기 제3 트랜지스터(T3)는 상기 제3 노드(N3, 즉, 제1 트랜지스터(T1)의 출력전극)에 접속된 입력전극, 상기 i번째 주사 라인에 접속된 제어 전극, 및 상기 제1 노드(N1)에 접속된 출력 전극을 포함한다. 상기 제3 트랜지스터(T3)는 상기 i번째 주사 라인에 인가된 주사 신호(GSi)에 응답하여 턴-온된다. 상기 제3 트랜지스터(T3)는 제1 제어 트랜지스터로 정의될 수 있다. 상기 제3 트랜지스터(T3)가 턴-온되면, 상기 제1 트랜지스터(T1)는 상기 턴-온된 제3 트랜지스터(T3)에 의해서 다이오드 형태로 접속된다.
- [0060] 상기 제4 트랜지스터(T4)는 상기 제3 노드(N3)에 접속된 입력 전극, 상기 i번째 발광 라인에 접속된 제어 전극, 및 상기 유기발광 다이오드(ED)의 양극에 접속된 출력 전극을 포함한다. 상기 제5 트랜지스터(T5)는 상기 제1 전압 노드(VN1)에 접속된 입력 전극, 상기 i번째 발광 라인에 접속된 제어 전극, 및 상기 제1 노드(N1)에 접속된 출력 전극을 포함한다.
- [0061] 상기 제4 및 제5 트랜지스터(T4, T5)는 상기 i번째 발광 라인으로부터 공급되는 발광 제어신호(ESi)에 대응하여 턴-온 또는 턴-오프된다. 상기 제4 및 제5 트랜지스터(T4)의 동작에 따라 상기 제1 전압 노드(VN1)와 상기 유기발광 다이오드(ED) 사이에 전류패스가 형성 또는 차단된다. 상기 제4 및 제5 트랜지스터(T4, T5)는 각각 제2 및 제3 제어 트랜지스터로 정의될 수 있다. 본 발명의 다른 실시예에서, 상기 제5 트랜지스터(T5)가 생략되고, 상

기 제1 트랜지스터(T1)의 입력 전극이 상기 제1 전압 노드(VN1)에 직접 접속될 수 있다.

- [0062] 상기 제6 트랜지스터(T6)는 상기 제1 초기화 전압(Vint1)을 수신하는 입력 전극, 초기화 제어신호(GSi-1)를 수신하는 제어 전극, 및 상기 제2 노드(N2, 즉, 제1 트랜지스터(T1)의 제어 전극)에 접속된 출력 전극을 포함한다. 상기 제6 트랜지스터(T6)는 상기 초기화 제어신호(GSi-1)에 응답하여 턴-온되고, 상기 제2 노드(N2)에 상기 제1 초기화 전압(Vint1)을 제공한다. 상기 제2 노드(N2)는 상기 제1 초기화 전압(Vint1)에 의해 초기화된다. 여기서, 상기 제6 트랜지스터(T6)는 제1 초기화 트랜지스터로 정의될 수 있다.
- [0063] 상기 제7 트랜지스터(T7)는 상기 제2 초기화 전압(Vint2)을 수신하는 입력 전극, 상기 초기화 제어신호(GSi-1)를 수신하는 제어 전극, 및 상기 유기발광 다이오드(ED)의 양극에 접속된 출력 전극을 포함한다. 상기 제7 트랜지스터(T7)는 상기 초기화 제어신호(GSi-1)에 응답하여 턴-온되고, 상기 유기발광 다이오드(ED)의 양극에 상기 제2 초기화 전압(Vint2)을 제공한다. 따라서, 상기 유기발광 다이오드(ED)의 양극은 상기 제2 초기화 전압(Vint2)에 의해 초기화된다. 즉, 상기 유기발광 다이오드(ED)의 양극은 상기 제2 초기화 전압(Vint2)으로 방전된다. 상기 제2 초기화 전압(Vint2)은 상기 제2 구동 전압(ELVSS)과 일정한 전위차를 갖는다. 즉, 상기 제2 초기화 전압(Vint2)은 상기 제2 구동 전압(ELVSS)의 전압 레벨의 의해 결정될 수 있다. 여기서, 상기 제7 트랜지스터(T7)는 제2 초기화 트랜지스터로 정의될 수 있다.
- [0064] 본 발명의 일 예로, 상기 초기화 제어신호(GSi-1)에 의해 상기 제6 및 제7 트랜지스터(T6, T7)는 동시에 턴-온되는 구조를 도시하였다. 그러나, 이에 한정되지 않으며, 상기 제6 및 제7 트랜지스터(T6, T7)는 서로 다른 구간에 턴-온될 수 있다.
- [0065] 상기 제8 트랜지스터(T8)는 상기 제1 전압 노드(VN1)에 연결되어 제1 구동 전압(ELVDD)을 수신하는 입력 전극, 상기 온-바이어스 제어신호(GSi-1)를 수신하는 제어 전극, 및 상기 제1 노드(N1)에 접속된 출력 전극을 포함한다. 상기 제8 트랜지스터(T8)는 상기 온-바이어스 제어신호(GSi-1)에 응답하여 턴-온되어, 상기 제1 노드에 상기 제1 구동 전압(ELVDD)을 인가한다. 여기서, 제8 트랜지스터(T8)는 온-바이어스 트랜지스터로 정의될 수 있다.
- [0066] 상기 온바이어스 제어신호(GSi-1)는 상기 초기화 제어신호(GSi-1)과 동일한 신호일 수 있다. 따라서, 상기 제8 트랜지스터(T8)는 상기 제6 및 제7 트랜지스터(T6, T7)와 동시에 턴-온될 수 있다. 특히, 상기 제6 트랜지스터(T6)에 의해서 상기 제2 노드(N2)가 상기 제1 초기화 전압(Vint1)으로 초기화되는 초기화 구간에 상기 제8 트랜지스터(T8)가 턴-온되어 상기 제1 노드(N1)에 상기 제1 구동전압(ELVDD)이 인가될 수 있다. 예를 들어, 상기 제1 초기화 전압(Vint1)이 -4.5V이고, 상기 제1 구동전압(ELVDD)이 4.6V인 경우(도 2 참조), 상기 초기화 구간에 상기 제1 트랜지스터(T1)의 입력 전극과 제어 전극 사이에는 9.1V의 전위차가 형성된다. 즉, 상기 제8 트랜지스터(T8)에 의해서 초기화 구간에 상기 제1 노드(N1)의 전위가 상기 제1 구동 전압(ELVDD)으로 리셋되기 때문에, 상기 제1 트랜지스터(T1)의 입력 전극과 제어 전극 사이에는 일정한 온-바이어스 전압이 인가될 수 있다. 따라서, 상기 제1 트랜지스터(T1)의 제어 전극과 입력 전극의 전위차가 자기 이력(Hysteresis) 현상에 의해 일정 수준 이상으로 증가하여 나타나는 표시 품질의 저하 등을 방지할 수 있다.
- [0067] 상기 스토리지 커패시터(Cst)는 상기 제2 노드(N2)와 상기 제1 전압 노드(VN1) 사이에 접속되어, 상기 제1 구동 전압(ELVDD)과 상기 제2 노드(N2)에 인가된 전압에 대응하는 전압을 충전한다.
- [0068] 도 4를 참조하면, 상기 유기발광 표시장치는 프레임 구간들(Fk-1, Fk)마다 단위 영상을 표시한다. 도 1에 도시된 화소들(PX) 각각은 상기 프레임 구간들(Fk-1, Fk)마다 대응하는 데이터 신호를 수신한다.
- [0069] 도 4에는 도 3에 도시된 화소(PXij)의 프레임 구간들(Fk-1, Fk)을 도시하였다. 이하 k번째 프레임 구간(Fk)을 중심으로 화소들(PX)을 구동하기 위한 구동신호들을 설명한다. 상기 k번째 프레임 구간(Fk)은 주사 구간(Sk) 및 발광 구간(Ek)을 포함할 수 있다.
- [0070] 상기 제1 초기화 제어신호(GSi-1)는 상기 주사 구간(Sk) 중에 활성화된다. 본 실시예에서 도 4에 도시된 신호들은 로우 레벨을 가질 때, 활성화되는 것으로 설명된다. 도 4에 도시된 신호들의 로우 레벨은 해당 신호들이 인가되는 트랜지스터의 턴-온 전압일 수 있다.
- [0071] 상기 초기화 제어신호(GSi-1)에 의해 상기 제1 노드(N1)는 상기 제1 초기화 전압(Vint1)으로 초기화된다. 상기 초기화 제어신호(GSi-1)는 상기 복수 개의 주사 라인들(SL1~SLn, 도 1 참조) 중 상기 i번째 주사 라인 이전에 배치된 주사 라인에 인가된 주사 신호일 수 있다. 특히, 상기 초기화 제어신호(GSi-1)는 상기 i번째 주사 라인 바로 이전에 배치된 i-1번째 주사 라인에 인가된 i-1번째 주사 신호일 수 있다. 또한, 상기 초기화 제어신호

(GSi-1)에 의해 상기 유기발광 다이오드(ED)의 양극은 상기 제2 초기화 전압(Vint2)으로 초기화된다.

- [0072] 상기 유기발광 다이오드(ED)의 양극으로 인가되는 상기 제2 초기화 전압(Vint2)에 따라 상기 화소의 블랙 계조의 특성 및 색 번짐 불량의 수준이 달라질 수 있다. 즉, 상기 제2 초기화 전압(Vint2)이 상기 제2 구동 전압(ELVSS)과 일정한 전위차(Vd, 도 2에 도시)의 범위, 예를 들어 0.5V 내지 0.6V의 범위를 벗어나도록 설정되면, 블랙 계조의 특성이 저하되고, 색 번짐 불량이 발생할 수 있다. 따라서, 상기 제2 초기화 전압(Vint2)은 상기 제2 구동 전압(ELVSS)의 전압 레벨에 따라서 적절히 조절되어야 한다.
- [0073] 상기 i번째 주사 라인에 인가된 i번째 주사 신호(GSi)는 상기 주사 구간(Sk) 중에 활성화된다. i번째 주사 신호(GSi)에 의해 상기 제2 트랜지스터(T2)가 턴-온되고, 상기 j번째 데이터 라인에 인가된 데이터 신호(DSi)가 상기 제1 노드(N1)에 제공된다.
- [0074] 이후, 발광 구간(Ek) 동안 상기 발광 제어신호(ESi)에 의해 상기 제1 노드(N1)와 상기 유기발광 다이오드(ED) 사이에 전류패스가 형성된다. 상기 발광 제어신호(ESi)는 상기 발광 구간(Ek) 동안 로우 상태를 갖는다. 그에 따라 상기 발광 구간(Ek) 동안에 상기 유기발광 다이오드(ED)가 발광된다. 상기 발광 제어신호(ESi)는 상기 주사 구간(Sk) 동안에 비활성화된다. 즉, 상기 발광 제어신호(ESi)는 상기 주사 구간(Sk) 동안에 하이 레벨을 갖는다.
- [0075] 상기 화소(PXij)의 동작은 도 5 내지 도 12를 참조하여 좀 더 상세히 설명한다.
- [0076] 도 5는 제1 구간 동안의 화소의 동작을 나타낸 등가 회로도이고, 도 6은 도 5의 제1 구간 동안의 구동신호들의 파형을 나타낸 도면이다.
- [0077] 도 5 및 도 6을 참조하면, 상기 주사 구간(Sk) 중 제1 구간(1H) 동안에 활성화된 상기 초기화 제어신호(GSi-1)가 상기 제6 트랜지스터(T6)에 인가된다. 그에 따라 상기 제6 트랜지스터(T6)가 턴-온되고, 턴-온된 제6 트랜지스터(T6)를 통해 상기 제1 초기화 전압(Vint1)이 상기 제2 노드(N2)에 전달된다. 상기 제1 초기화 전압(Vint1)은 상기 제2 노드(N2)를 초기화시킬 수 있을 정도로 충분히 낮은 전압, 예컨대 최고계조의 데이터 신호보다 상기 제1 트랜지스터(T1)의 문턱 전압보다 낮은 레벨로 설정될 수 있다.
- [0078] 상기 제1 구간(1H) 동안에 활성화된 상기 초기화 제어신호(GSi-1)가 상기 제7 트랜지스터(T7)에 인가된다. 그에 따라 상기 제7 트랜지스터(T7)가 턴-온되고, 턴-온된 제7 트랜지스터(T7)를 통해 상기 제2 초기화 전압(Vint2)이 상기 유기발광 다이오드(ED)의 양극에 전달된다. 상기 제2 초기화 전압(Vint2)은 상기 제2 구동전압(ELVSS)과 일정한 전위차를 갖도록, 초기화시킬 수 있는 전압으로 설정될 수 있다. 예를 들어, 상기 제2 초기화 전압(Vint2)과 상기 제2 구동전압(ELVSS)은 대략 0.5V 내지 0.6V의 전위차(Vd, 도 2에 도시)를 유지할 수 있다. 본 발명의 일 예로, 상기 제2 구동전압(ELVSS)이 대략 -10V의 전압 레벨을 갖는 경우, 상기 제2 초기화 전압(Vint2)은 대략 -9.5V의 전압 레벨을 가질 수 있다.
- [0079] 상기 제1 구간(1H)동안 상기 유기발광 다이오드(ED)의 양극은 상기 제2 초기화 전압(Vint2)으로 초기화되고, 상기 제2 노드(N2)는 상기 제1 초기화 전압(Vint1)으로 초기화된다. 따라서, 상기 제1 구간(1H)동안 상기 유기발광 다이오드(ED)의 양극과 상기 제2 노드(N2)는 서로 다른 전위를 가질 수 있다.
- [0080] 상기 제1 구간(1H)동안 활성화된 온바이어스 제어신호(GSi-1)가 상기 제8 트랜지스터(T8)로 인가된다. 그에 따라 상기 제8 트랜지스터(T8)가 턴-온되고, 턴-온된 제8 트랜지스터(T8)를 통해 상기 제1 구동 전압(ELVDD)이 상기 제1 노드(N1)로 인가된다.
- [0081] 상기 제1 구간(1H)에서 상기 온바이어스 제어신호(GSi-1)는 상기 초기화 제어신호(GSi-1)과 함께 동시에 활성화된다. 따라서, 상기 제8 트랜지스터(T8)는 상기 제6 및 제7 트랜지스터(T6, T7)와 동시에 턴-온될 수 있다. 턴-온된 상기 제6 및 제8 트랜지스터(T6, T8)에 의해서, 상기 제1 구간(1H) 동안 상기 제2 노드(N2)가 상기 제1 초기화 전압(Vint1)으로 초기화되고, 상기 제1 노드(N1)에는 상기 제1 구동전압(ELVDD)이 인가된다. 따라서, 상기 제1 구간(1H) 동안 상기 제1 트랜지스터(T1)의 입력 전극과 제어 전극 사이에는 상기 제1 초기화 전압(Vint1)과 상기 제1 구동전압(ELVDD)의 차이만큼의 전위차가 형성된다. 예를 들어, 상기 제1 초기화 전압(Vint1)이 -4.5V 이고, 상기 제1 구동전압(ELVDD)이 4.6V인 경우(도 2 참조), 상기 제1 트랜지스터(T1)의 입력 전극과 제어 전극 사이에는 9.1V의 전위차가 형성된다.
- [0082] 이처럼, 상기 제8 트랜지스터(T8)에 의해서 상기 제1 구간(1H)에 상기 제1 노드(N1)의 전위가 상기 제1 구동 전압(ELVDD)으로 리셋된다. 따라서, 이전 프레임 구간(Fk-1)에 상기 제1 노드(N1)에 어떠한 데이터 신호가 인가되었는가에 상관없이, 상기 제1 구간(1H)을 거치면서 상기 제1 트랜지스터(T1)의 입력 전극과 제어 전극 사이에는

일정한 온바이어스 전압(V_{ob} , $V_{ob}=ELVDD-V_{int1}$)이 인가될 수 있다.

- [0083] 도 7은 제2 구간 동안의 화소의 동작을 나타낸 등가 회로도이고, 도 8은 도 7의 제2 구간 동안의 구동신호들의 파형을 나타낸 도면이다.
- [0084] 도 7 및 도 8을 참조하면, 상기 주사 구간(S_k) 중 제2 구간(2H) 동안에 활성화된 주사 신호(G_{Si})가 상기 i 번째 주사 라인에 인가된다. 그에 따라 상기 제2 트랜지스터(T_2) 및 상기 제3 트랜지스터(T_3)가 턴-온되고, 상기 제1 트랜지스터(T_1)는 상기 제3 트랜지스터(T_3)에 의해 다이오드 접속된다.
- [0085] 상기 제2 구간(2H) 동안 상기 j 번째 데이터 라인으로는 데이터 신호가 공급된다. 상기 데이터 신호는 상기 제2 트랜지스터(T_2)를 경유하여 상기 제1 노드(N_1)에 제공된다. 이때, 상기 제1 트랜지스터(T_1)는 다이오드 접속된 상태이므로, 상기 제2 노드(N_2)에는 상기 데이터 신호와 상기 제1 트랜지스터(T_1)의 문턱전압의 차전압이 제공된다. 상기 제2 구간(2H) 동안에 상기 제2 노드(N_2)에 전달된 전압은 상기 스토리지 커패시터(C_{st})에 저장된다. 상기 스토리지 커패시터(C_{st})에 저장된 전압은 상기 제2 및 제3 트랜지스터(T_2 , T_3)가 턴-오프된 구간에서 상기 제1 트랜지스터(T_1)를 구동시키기 위한 구동 전압으로 사용된다.
- [0086] 도 9는 제3 구간 동안의 화소의 동작을 나타낸 등가 회로도이고, 도 10은 도 9의 제3 구간 동안의 구동신호들의 파형을 나타낸 도면이다.
- [0087] 도 9 및 도 10을 참조하면, 상기 발광 구간(E_k) 동안에 활성화된 발광 제어신호(E_{Si})가 상기 i 번째 발광 라인에 인가된다. 그에 따라, 상기 제5 트랜지스터(T_5) 및 상기 제4 트랜지스터(T_4)가 턴-온된다. 상기 제1 전압($ELVDD$)으로부터 상기 제5 트랜지스터(T_5), 상기 제1 트랜지스터(T_1), 상기 제4 트랜지스터(T_4), 및 상기 유기 발광 다이오드(ED)를 경유하여 제2 전압($ELVSS$)까지 전류패스가 형성된다.
- [0088] 상기 유기발광 다이오드(ED)에 흐르는 구동전류는 상기 제2 노드(N_2)의 전위에 의해 제어된다. 상기 제2 구간(2H) 동안에 상기 제2 노드(N_2)에 인가된 상기 데이터 신호에 따라 상기 제1 트랜지스터(T_1)의 동작이 제어된다.
- [0089] 상기 발광 구간(E_k) 동안 상기 유기발광 다이오드(ED)는 상기 데이터 신호에 대응하는 휘도로 발광된다.
- [0090] 도 11은 본 발명의 다른 실시예에 따른 화소의 제1 구간 동안의 동작을 나타낸 등가 회로도이고, 도 12는 도 11에 도시된 화소의 제2 구간 동안의 동작을 나타낸 등가 회로도이다.
- [0091] 도 6 및 도 11을 참조하면, 상기 제6 트랜지스터(T_6)의 제어 전극에는 제1 초기화 제어신호(G_{Si-1})가 인가된다. 상기 제1 초기화 제어신호(G_{Si-1})는 상기 주사 구간(S_k) 중 제1 구간(1H) 동안에 활성화된다. 활성화된 상기 제1 초기화 제어신호(G_{Si-1})에 응답하여 상기 제6 트랜지스터(T_6)가 턴-온되고, 턴-온된 제6 트랜지스터(T_6)를 통해 상기 제1 초기화 전압(V_{int1})이 상기 제2 노드(N_2)에 전달된다.
- [0092] 상기 제1 구간(1H) 동안 활성화된 온바이어스 제어신호(G_{Si-1})가 상기 제8 트랜지스터(T_8)로 인가된다. 그에 따라 상기 제8 트랜지스터(T_8)가 턴-온되고, 턴-온된 제8 트랜지스터(T_8)를 통해 상기 제1 구동 전압($ELVDD$)이 상기 제1 노드(N_1)로 인가된다.
- [0093] 상기 제1 구간(1H)에서 상기 온바이어스 제어신호(G_{Si-1})는 상기 제1 초기화 제어신호(G_{Si-1})와 함께 동시에 활성화된다. 따라서, 상기 제8 트랜지스터(T_8)는 상기 제6 트랜지스터(T_6)와 동시에 턴-온될 수 있다. 턴-온된 상기 제6 및 제8 트랜지스터(T_6 , T_8)에 의해서, 상기 제1 구간(1H) 동안 상기 제2 노드(N_2)가 상기 제1 초기화 전압(V_{int1})으로 초기화되고, 상기 제1 노드(N_1)에는 상기 제1 구동전압($ELVDD$)이 인가된다. 따라서, 상기 제1 구간(1H) 동안 상기 제1 트랜지스터(T_1)의 입력 전극과 제어 전극 사이에는 상기 제1 초기화 전압(V_{int1})과 상기 제1 구동전압($ELVDD$)의 차이만큼의 전위차가 형성된다.
- [0094] 따라서, 이전 프레임 구간(F_{k-1})에 상기 제1 노드(N_1)에 어떠한 레벨의 데이터 신호가 인가되었는가에 상관없이, 상기 제1 구간(1H)을 거치면서 상기 제1 트랜지스터(T_1)의 입력 전극과 제어 전극 사이에는 일정한 온바이어스 전압(V_{ob} , $V_{ob}=ELVDD-V_{int1}$)이 인가될 수 있다.
- [0095] 상기 제1 초기화 제어신호(G_{Si-1}) 및 상기 온-바이어스 제어신호(G_{Si-1})는 상기 복수 개의 주사 라인들($SL_1 \sim SL_n$, 도 1 참조) 중 상기 i 번째 주사 라인 이전에 배치된 주사 라인에 인가된 주사 신호일 수 있고, 특히 상기 i 번째 주사 라인 바로 이전에 배치된 $i-1$ 번째 주사 라인에 인가된 $i-1$ 번째 주사 신호일 수 있다.
- [0096] 도 8 및 도 12를 참조하면, 상기 제7 트랜지스터(T_7)의 제어 전극에는 상기 제1 초기화 제어신호(G_{Si-1})와 다른 구간에 활성화되는 제2 초기화 제어신호(G_{Si})가 인가된다.

- [0097] 상기 제2 구간(2H) 동안에 활성화된 제2 초기화 제어신호(GSi)가 상기 제7 트랜지스터(T7)에 인가되면, 상기 제7 트랜지스터(T7)가 턴-온된다. 턴-온된 제7 트랜지스터(T7)를 통해 상기 제2 초기화 전압(Vint2)이 상기 유기 발광 다이오드(ED)의 양극으로 전달된다. 상기 제2 초기화 전압(Vint2)은 상기 제2 구동전압(ELVSS)과 일정한 전위차를 갖도록, 초기화시킬 수 있는 전압으로 설정될 수 있다. 상기 제2 구간(2H) 동안 상기 유기발광 다이오드(ED)의 양극은 상기 제2 초기화 전압(Vint2)으로 초기화된다.
- [0098] 본 발명의 일 예로, 상기 제2 초기화 제어신호(GSi)는 상기 복수 개의 주사 라인들(SL1~SLn, 도 1 참조) 중 상기 i번째 주사 라인에 인가된 주사 신호일 수 있다. 그러나, 상기 제2 초기화 제어신호(GSi)는 상기 i번째 주사 라인에 인가되는 주사 신호로 한정되지 않는다. 즉, 상기 발광 구간(Ek)의 시작 전에 상기 유기발광 다이오드(ED)의 양극의 전위를 상기 제2 초기화 전압(Vint2)으로 방전시킬 수 있으면, 상기 제2 초기화 제어신호(GSi)의 활성화 구간은 특별히 제한되지 않는다.
- [0099] 상기 제2 구간(2H) 동안에 활성화된 주사 신호(GSi)가 상기 i번째 주사 라인에 인가된다. 그에 따라 상기 제2 트랜지스터(T2) 및 상기 제3 트랜지스터(T3)가 턴-온되고, 상기 제1 트랜지스터(T1)는 상기 제3 트랜지스터(T3)에 의해 다이오드 접속된다.
- [0100] 상기 제2 구간(2H) 동안 상기 j번째 데이터 라인으로는 데이터 신호가 공급된다. 상기 데이터 신호는 상기 제2 트랜지스터(T2)를 경유하여 상기 제1 노드(N1)에 제공된다. 이때, 상기 제1 트랜지스터(T1)는 다이오드 접속된 상태이므로, 상기 제2 노드(N2)에는 상기 데이터 신호와 상기 제1 트랜지스터(T1)의 문턱전압의 차전압이 제공된다. 상기 제2 구간(2H) 동안에 상기 제2 노드(N2)에 전달된 전압은 상기 스토리지 커패시터(Cst)에 저장된다. 상기 스토리지 커패시터(Cst)에 저장된 전압은 상기 제2 및 제3 트랜지스터(T2, T3)가 턴-오프된 구간에서 상기 제1 트랜지스터(T1)를 구동시키기 위한 구동 전압으로 사용된다.
- [0101] 도 13은 본 발명의 다른 실시예에 따른 화소의 등가 회로도이고, 도 14는 도 13의 I 부분의 단면도이다. 단, 도 13에 도시된 구성 요소 중 도 3에 도시된 구성 요소와 동일한 구성 요소에 대해서는 동일한 참조 부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0102] 도 13을 참조하면, 본 발명의 다른 실시예에 따른 화소(PXij)는 상기 제1 트랜지스터(T1)의 제어 전극과 마주하는 제1 보조 전극(ML1)을 더 포함한다. 상기 제1 보조 전극(ML1)은 상기 제1 전압 노드(VN1)에 연결되어 상기 제1 구동 전압(ELVDD)을 수신할 수 있다. 상기 제1 보조 전극(ML1)은 상기 제1 트랜지스터(T1)의 제어 전극과 마주하여 상기 스토리지 커패시터(Cst)의 커패시턴스를 증가시키는 서브 스토리지 커패시터(Ccst)를 형성한다.
- [0103] 상기 스토리지 커패시터(Cst)의 커패시턴스가 충분히 확보되지 않으면, 화면의 휘도 및 색상이 불균일하게 보이는 무라(Mura) 현상이 발생할 수 있다. 이처럼, 상기 제1 보조 전극(ML1)을 통해 상기 서브 스토리지 커패시터(Ccst)를 형성함으로써, 공간 등의 부족으로 상기 스토리지 커패시터(Cst)만으로 커패시턴스를 충분히 확보하기 어려운 상황에서도 무라로 인해 표시 품질이 저하되는 것을 방지할 수 있다.
- [0104] 도 14를 참조하면, 베이스층(SUB) 상에 회로 소자층(DP-CL), 표시 소자층(DP-ED), 및 박막 봉지층(TFE)이 순차적으로 배치된다.
- [0105] 회로 소자층(DP-CL)은 적어도 하나의 무기막, 적어도 하나의 유기막, 및 회로 소자를 포함한다. 상기 회로 소자층(DP-CL)은 무기막인 버퍼막(BFL), 제1 중간 무기막(10) 및 제2 중간 무기막(20)을 포함하고, 유기막인 중간 유기막(30)을 포함할 수 있다.
- [0106] 상기 무기막들은 실리콘 나이트라이드, 실리콘 옥시 나이트라이드 및 실리콘 옥사이드 등을 포함할 수 있다. 상기 유기막은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다. 회로 소자는 도전성 패턴들 및/또는 반도체 패턴들을 포함한다.
- [0107] 상기 버퍼막(BFL)은 상기 베이스층(SUB)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 별도로 도시되지 않았으나, 이물질이 유입되는 것을 방지하는 배리어층이 상기 베이스층(SUB)의 상면에 더 배치될 수도 있다. 상기 버퍼막(BFL)과 배리어층은 선택적으로 배치/생략될 수 있다.
- [0108] 본 발명의 일 예로, 상기 제1 보조 전극(ML1)은 상기 베이스층(SUB) 상에 구비되고, 상기 버퍼막(BFL)에 의해서 커버될 수 있다.
- [0109] 상기 버퍼막(BFL) 상에 제1 트랜지스터(T1)의 반도체 패턴(OSP1: 이하 제1 반도체 패턴), 제2 트랜지스터(T2)의 반도체 패턴(OSP2: 이하 제2 반도체 패턴)이 배치된다. 제1 반도체 패턴(OSP1) 및 제2 반도체 패턴(OSP2)은 아

몰포스 실리콘, 폴리 실리콘, 금속 산화물 반도체에서 선택될 수 있다.

- [0110] 제1 반도체 패턴(OSP1) 및 제2 반도체 패턴(OSP2) 상에 제1 중간 무기막(10)이 배치된다. 제1 중간 무기막(10) 상에는 상기 제1 트랜지스터(T1)의 제어 전극(GE1: 이하, 제1 제어전극) 및 제2 트랜지스터(T2)의 제어 전극(GE2: 이하, 제2 제어전극)이 배치된다. 제1 제어 전극(GE1) 및 제2 제어 전극(GE2)은 주사 라인들(SL1~SLn, 도 1 참조)과 동일한 포토리소그래피 공정에 따라 제조될 수 있다.
- [0111] 상기 제1 제어 전극은 상기 제1 보조 전극(ML1)과 마주하도록 배치되어 상기 스토리지 커패시터(Cst, 도 13 참조)와 연결된 보조 커패시터 역할을 수행할 수 있다. 또한, 상기 제1 보조 전극(ML1)은 상기 제1 반도체 패턴(OSP1)의 하부에 배치된다. 본 발명의 일 예로, 상기 제1 보조 전극(ML1)은 몰리브덴, 알루미늄, 크롬과 같은 금속 재료로 형성될 수 있다.
- [0112] 제1 중간 무기막(10) 상에는 제1 제어 전극(GE1) 및 제2 제어 전극(GE2)을 커버하는 제2 중간 무기막(20)이 배치된다. 제2 중간 무기막(20) 상에 제1 트랜지스터(T1)의 입력전극(DE1: 이하, 제1 입력전극) 및 출력전극(SE1: 제1 출력전극), 제2 트랜지스터(T2)의 입력전극(DE2: 이하, 제2 입력전극) 및 출력전극(SE2: 제2 출력전극)이 배치된다.
- [0113] 제1 입력전극(DE1)과 제1 출력전극(SE1)은 제1 중간 무기막(10) 및 제2 중간 무기막(20)을 관통하는 제1 관통홀(CH1)과 제2 관통홀(CH2)을 통해 제1 반도체 패턴(OSP1)에 각각 연결된다. 제2 입력전극(DE2)과 제2 출력전극(SE2)은 제1 중간 무기막(10) 및 제2 중간 무기막(20)을 관통하는 제3 관통홀(CH3)과 제4 관통홀(CH4)을 통해 제2 반도체 패턴(OSP2)에 각각 연결된다. 한편, 본 발명의 다른 실시예에서 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 중 일부는 바텀 게이트 구조로 변형되어 실시될 수 있다.
- [0114] 제2 중간 무기막(20) 상에 제1 입력전극(DE1), 제2 입력전극(DE2), 제1 출력전극(SE1), 및 제2 출력전극(SE2)을 커버하는 중간 유기막(30)이 배치된다. 중간 유기막(30)은 평탄면을 제공할 수 있다.
- [0115] 중간 유기막(30) 상에는 표시 소자층(DP-ED)이 배치된다. 표시 소자층(DP-ED)은 화소 정의막(PDL) 및 유기발광 다이오드(ED)를 포함할 수 있다. 화소 정의막(PDL)은 중간 유기막(30)과 같이 유기물질을 포함할 수 있다. 중간 유기막(30) 상에 유기발광 다이오드(ED)의 양극(AE)이 배치된다. 화소 정의막(PDL)에는 개구부(OP)가 정의된다. 화소 정의막(PDL)의 개구부(OP)는 상기 양극(AE)의 적어도 일부분을 노출시킨다.
- [0116] 화소(PX_{ij})는 평면 상에서 화소 영역에 배치될 수 있다. 화소 영역은 발광 영역(PXA) 및 발광 영역(PXA)에 인접한 비발광 영역(NPXA)을 포함할 수 있다. 비발광 영역(NPXA)은 발광 영역(PXA)을 에워쌀 수 있다. 본 실시예에서 발광 영역(PXA)은 개구부(OP)에 의해 노출된 양극(AE)의 일부 영역에 대응하게 정의되었다.
- [0117] 정공 제어층(HCL)은 발광 영역(PXA)과 비발광 영역(NPXA)에 공통으로 배치될 수 있다. 별도로 도시되지 않았으나, 정공 제어층(HCL)과 같은 공통층은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 형성될 수 있다.
- [0118] 정공 제어층(HCL) 상에 발광층(EML)이 배치된다. 발광층(EML)은 개구부(OP)에 대응하는 영역에 배치될 수 있다. 즉, 발광층(EML)은 복수 개의 화소들(PX) 각각에 분리되어 형성될 수 있다. 발광층(EML)은 유기물질 및/또는 무기물질을 포함할 수 있다. 본 실시예에서 패터닝된 발광층(EML)을 예시적으로 도시하였으나, 발광층(EML)은 복수의 화소들(PX)에 공통적으로 배치될 수 있다. 이때, 발광층(EML)은 백색 광을 생성할 수 있다. 또한, 발광층(EML)은 다층구조를 가질 수 있다.
- [0119] 발광층(EML) 상에 전자 제어층(ECL)이 배치된다. 별도로 도시되지 않았으나, 전자 제어층(ECL)은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 형성될 수 있다.
- [0120] 전자 제어층(ECL) 상에 유기발광 다이오드(ED)의 음극(CE)이 배치된다. 상기 음극(CE)은 복수의 화소들(PX)에 공통적으로 배치된다.
- [0121] 상기 유기발광 다이오드(ED)의 음극(CE) 상에 박막 봉지층(TFE)이 배치된다. 박막 봉지층(TFE)은 복수 개의 화소들(PX)에 공통적으로 배치된다. 본 실시예에서 박막 봉지층(TFE)은 상기 음극(CE)을 직접 커버한다. 본 발명의 일 실시예에서, 박막 봉지층(TFE)과 상기 음극(CE) 사이에는, 상기 음극(CE)을 커버하는 캡핑층이 더 배치될 수 있다. 이때 박막 봉지층(TFE)은 캡핑층을 직접 커버할 수 있다.
- [0122] 도 15는 본 발명의 다른 실예에 따른 화소의 등가 회로도이고, 도 16은 도 15의 II 부분의 단면도이다. 단, 도 15 및 도 16에 도시된 구성 요소 중 도 13 및 도 14에 도시된 구성 요소와 동일한 구성 요소에 대해서는 동일한 참조 부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

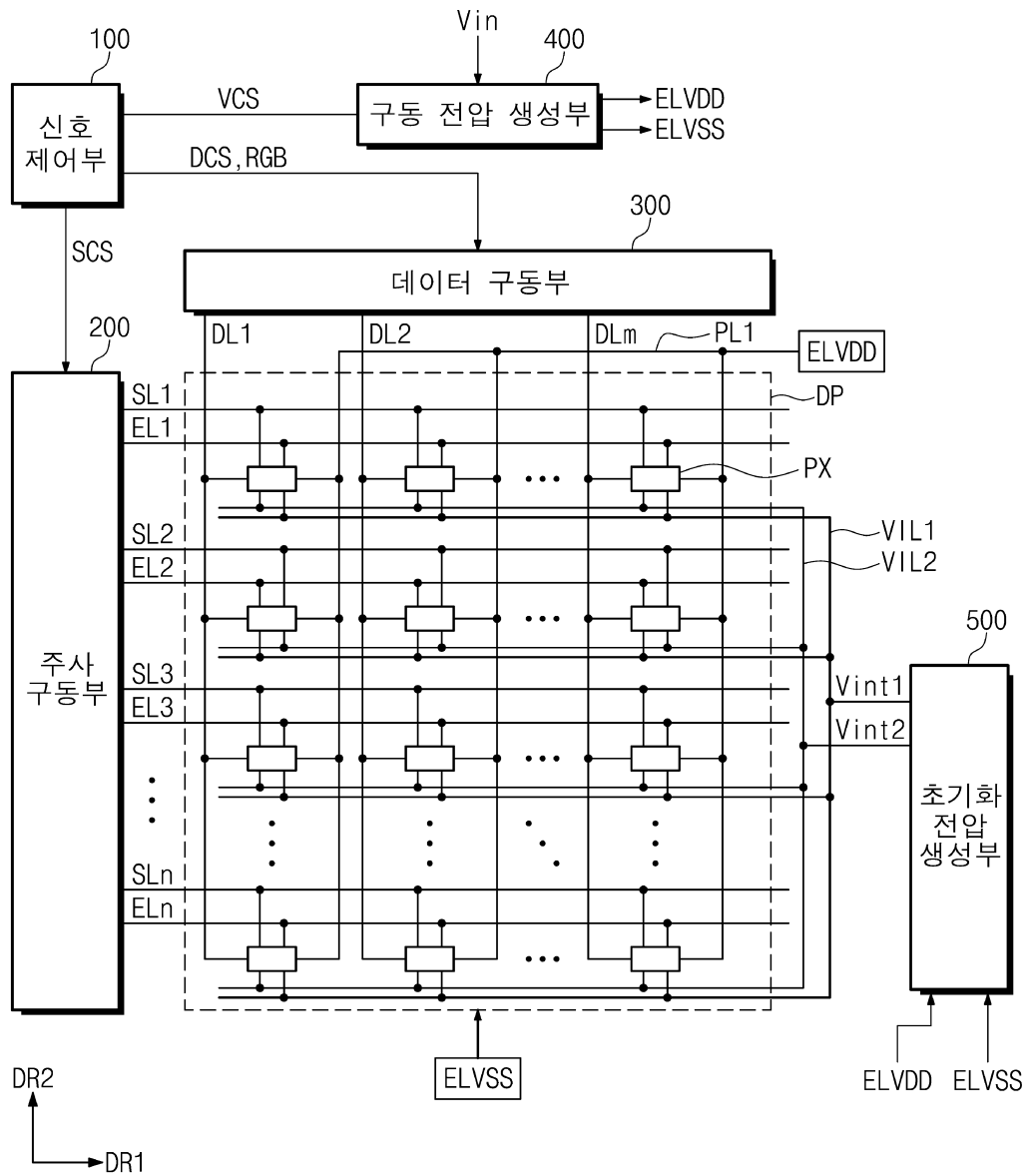
- [0123] 도 15 및 도 16을 참조하면, 본 발명의 다른 실시예에 따른 화소(PXij)는 상기 제1 트랜지스터(T1)의 제어 전극과 마주하는 제2 보조 전극(ML2)을 더 포함한다. 상기 제2 보조 전극(ML2)은 상기 제1 전압 노드(VN1)에 연결되어 상기 제1 구동 전압(ELVDD)을 수신할 수 있다. 상기 제2 보조 전극(ML2)은 상기 제1 트랜지스터(T1)의 상기 제1 제어 전극(GE1)과 마주할 뿐만 아니라, 상기 제1 트랜지스터(T1)의 상기 제1 입력 전극(SE1)과 마주할 수 있다.
- [0124] 따라서, 상기 제2 보조 전극(ML2)은 상기 스토리지 커패시터(Cst)의 커패시턴스를 증가시키는 서브 스토리지 커패시터(Ccst), 및 상기 제1 입력 전극(SE1)과 상기 제1 전압 노드(VN1) 사이에 보조 커패시터(Cse)를 더 형성할 수 있다.
- [0125] 상기 보조 커패시터(Cse)는 상기 발광 구간(Ek, 도 4에 도시됨)에 상기 발광 제어신호(ESi)가 여러번 활성화되는 구조에서 발생될 수 있는 가로줄 불량을 개선할 수 있다.
- [0126] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0127] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

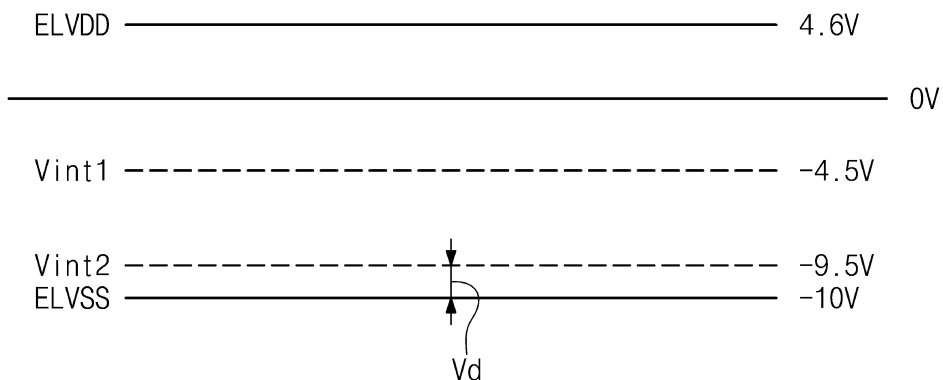
- [0128] 100: 신호 제어부 200: 주사 구동부
- 300: 데이터 구동부 400: 구동전압 생성부
- 500: 초기화 전압 생성부 CP: 회로부
- ED: 유기발광 다이오드 Cst: 스토리지 커패시터
- T1: 제1 트랜지스터 T2: 제2 트랜지스터
- T3: 제3 트랜지스터 T4: 제4 트랜지스터
- T5: 제5 트랜지스터 T6: 제6 트랜지스터
- T7: 제7 트랜지스터 T8: 제8 트랜지스터
- DM: 표시장치 SUB: 베이스층
- DP-CL: 회로 소자층 DP-ED: 표시 소자층
- TFE: 박막 봉지층 PX: 화소
- 10: 중간 유기막 20, 30: 중간 무기막

도면

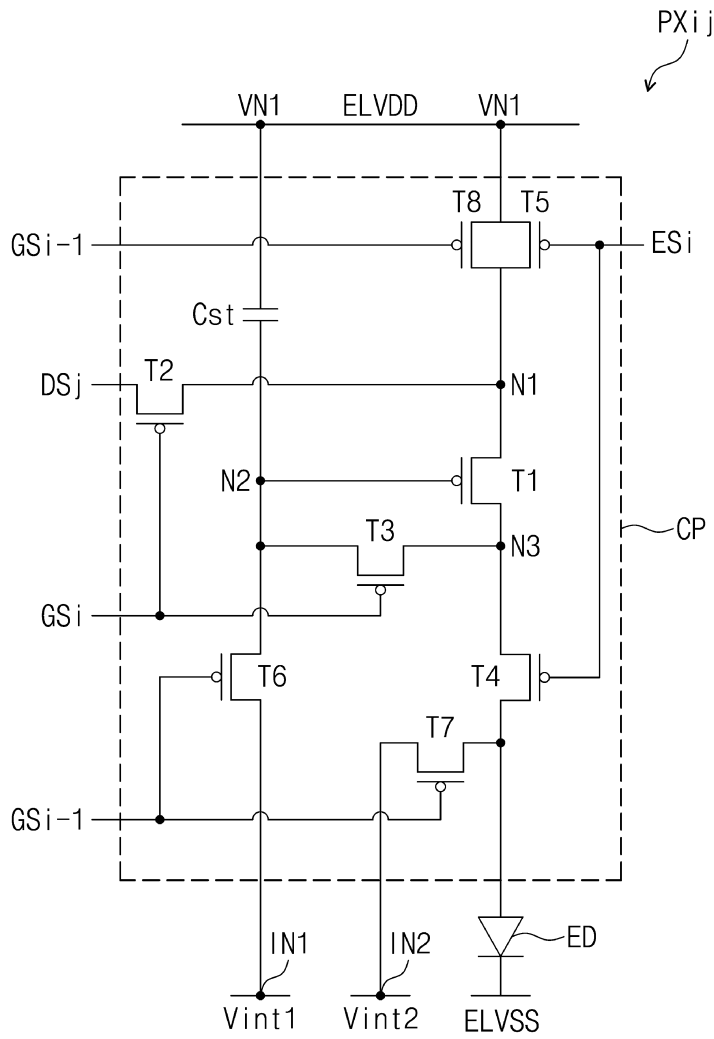
도면1



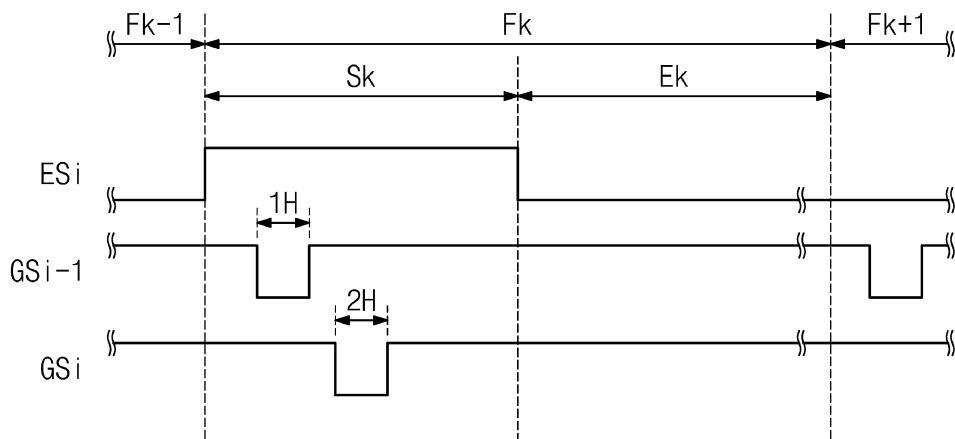
도면2



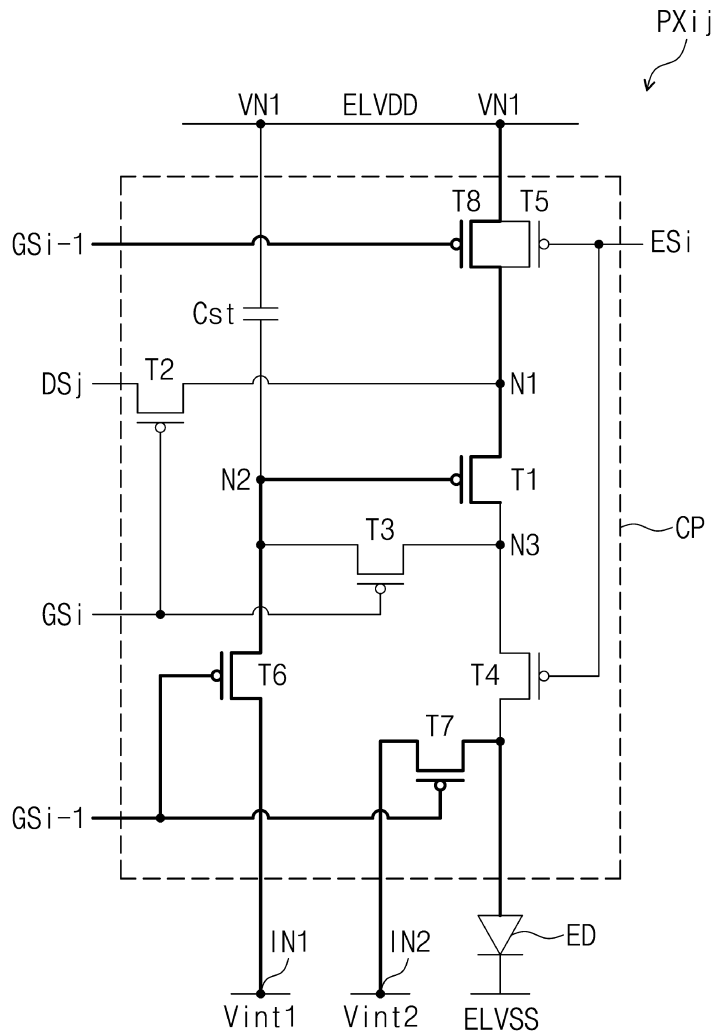
도면3



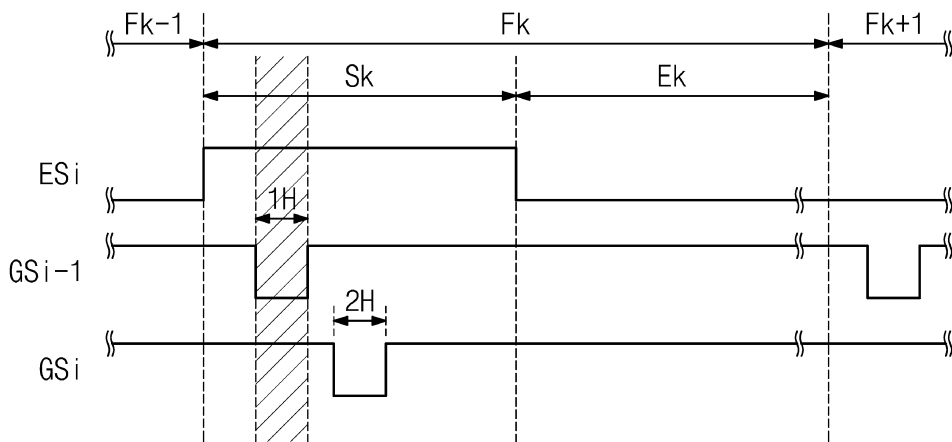
도면4



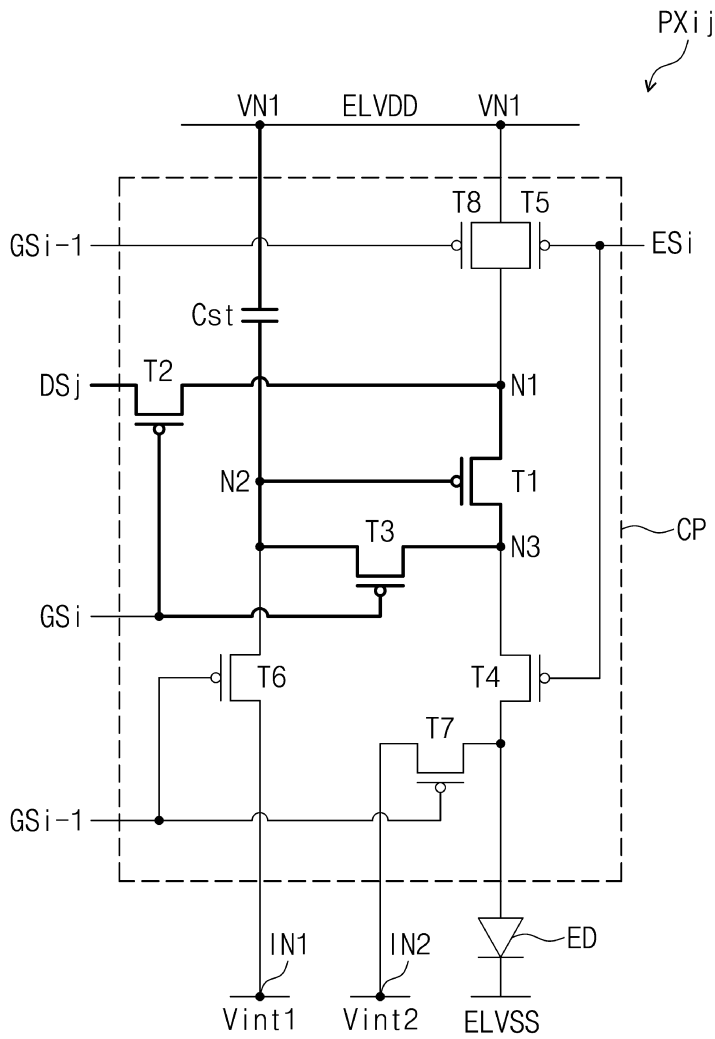
도면5



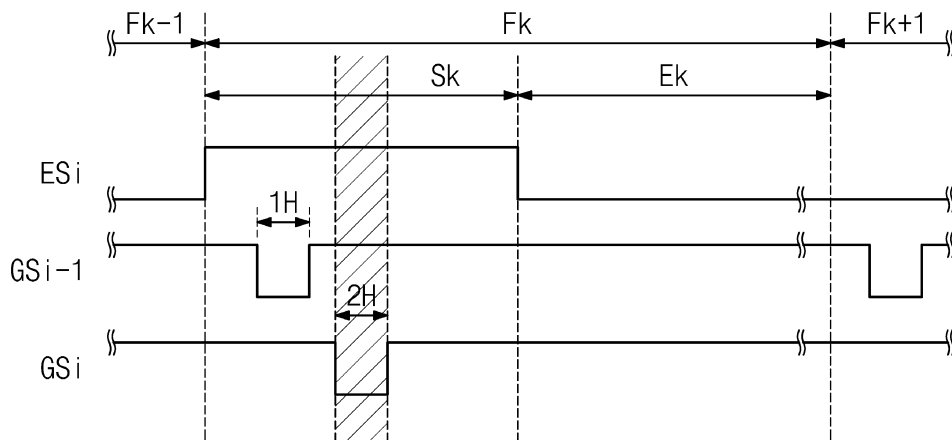
도면6



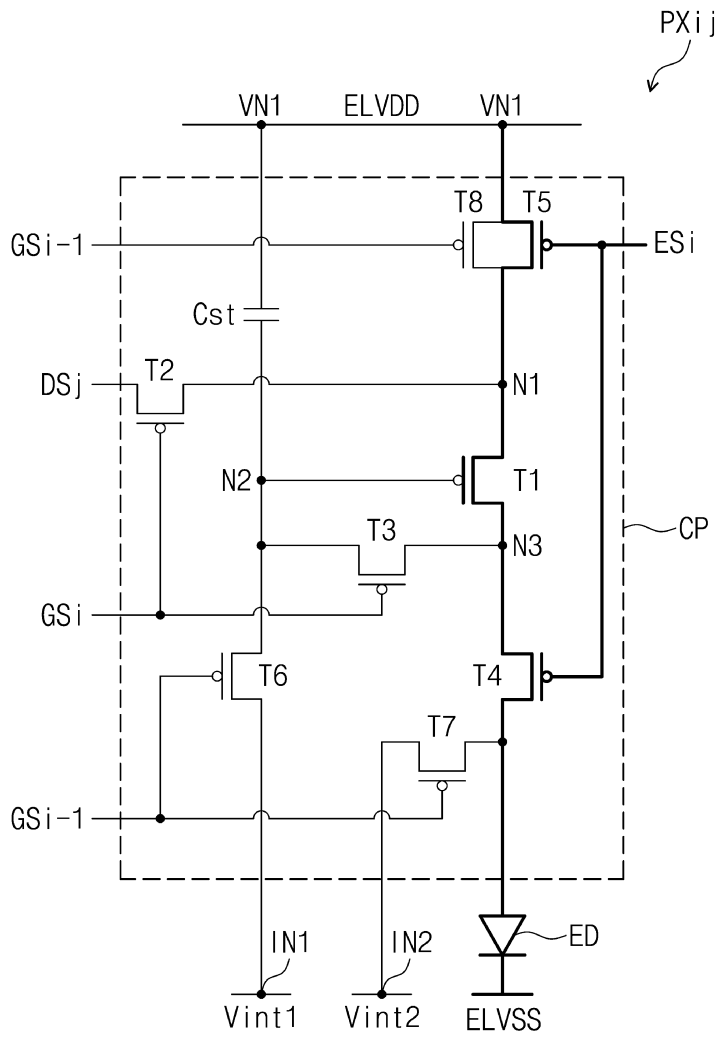
도면7



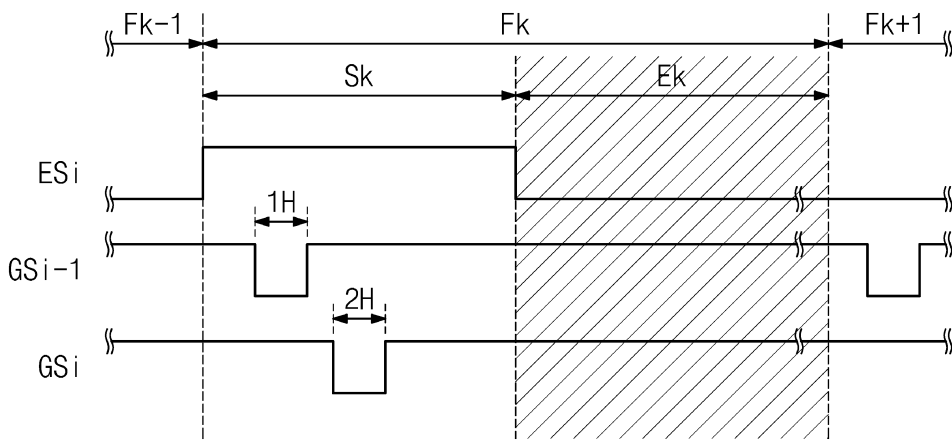
도면8



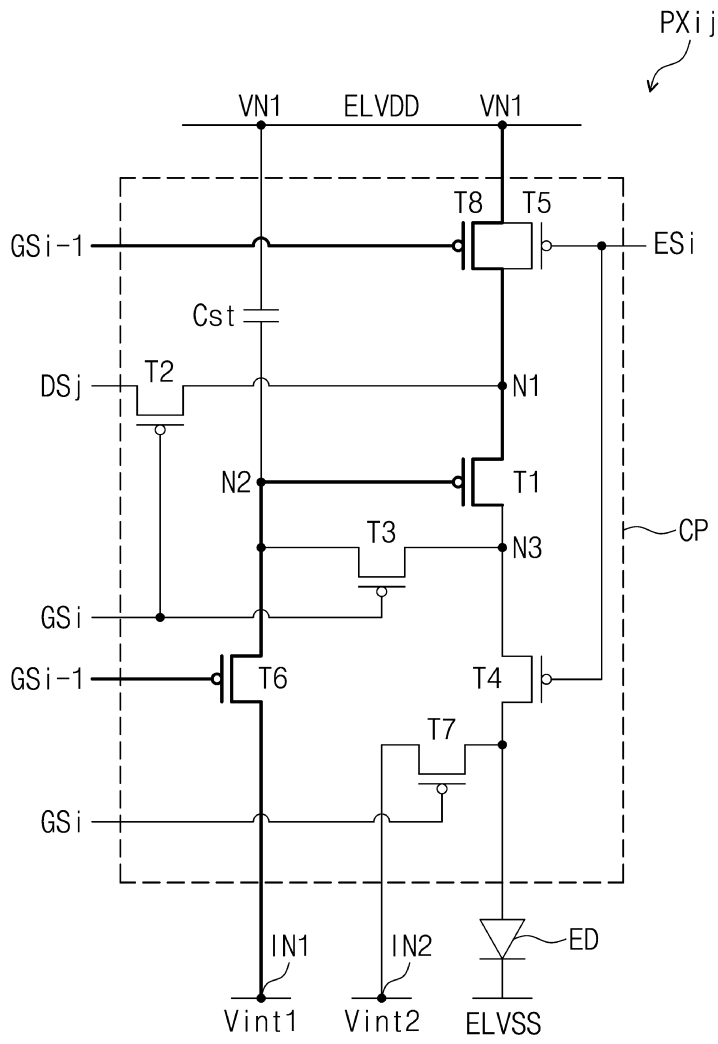
도면9



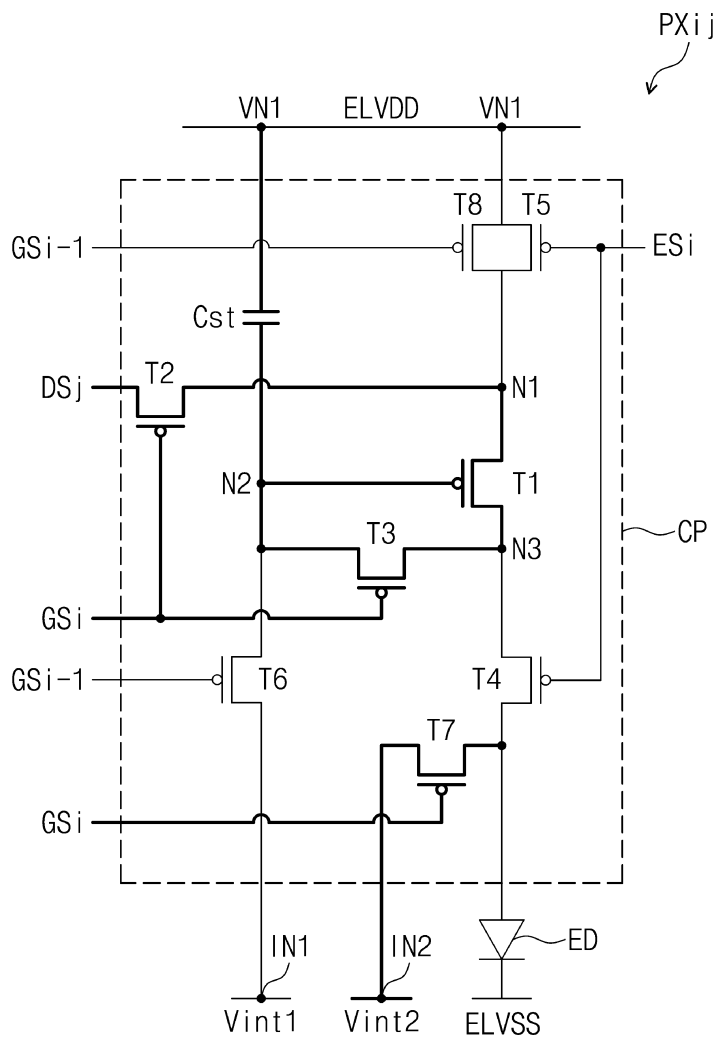
도면10



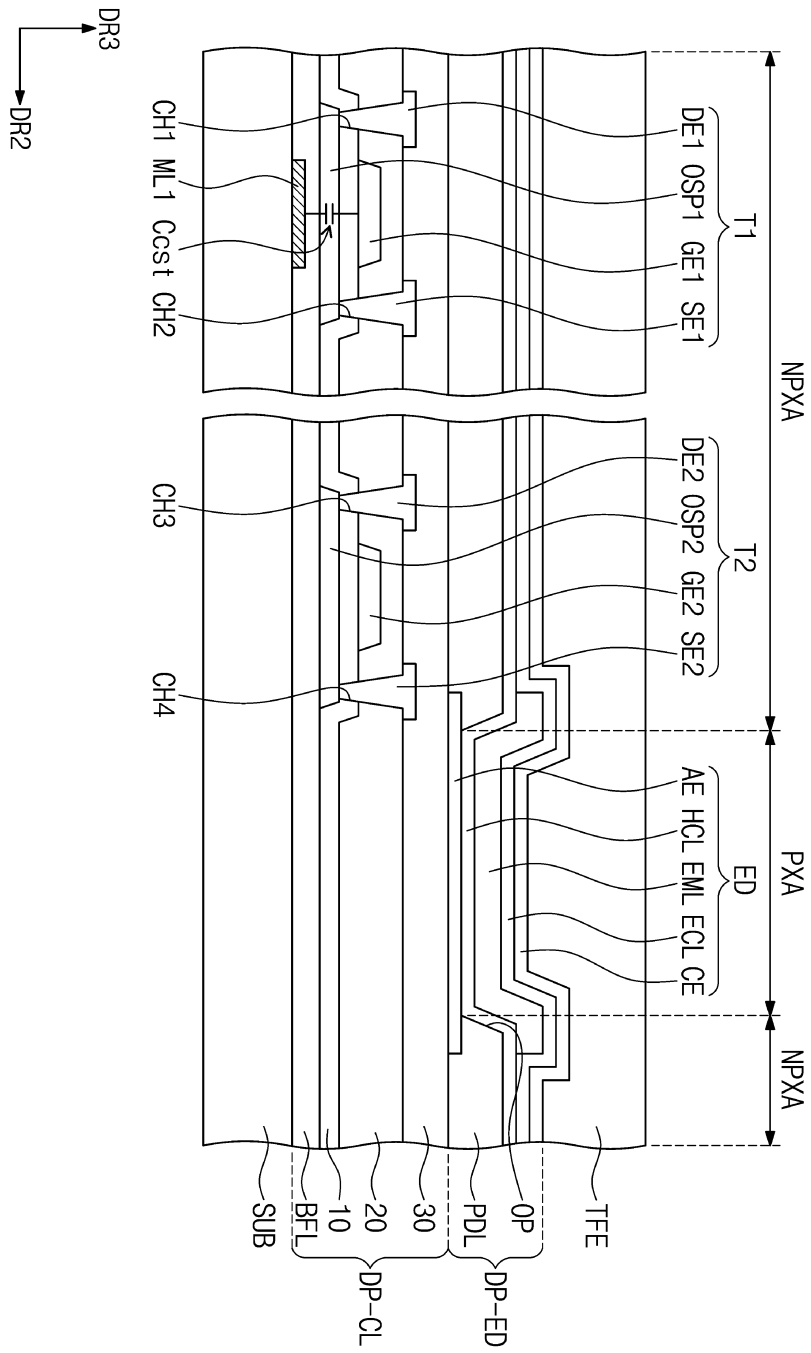
도면11



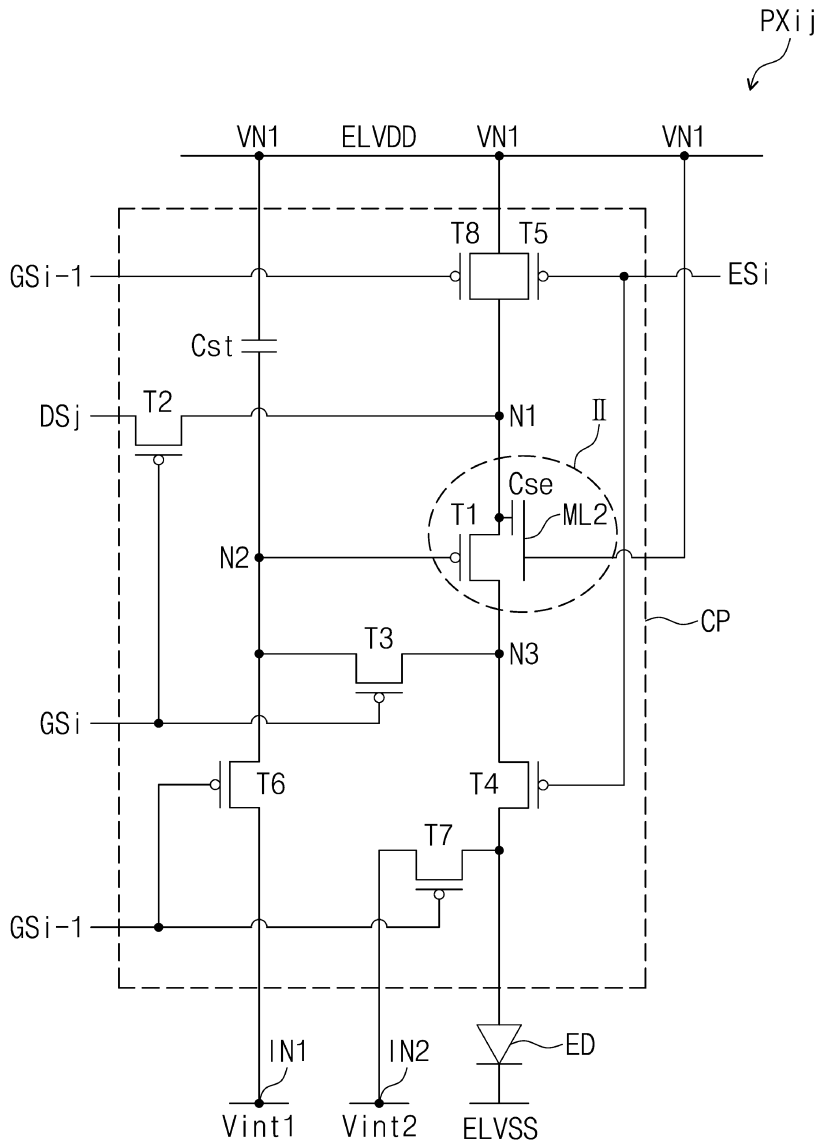
도면12



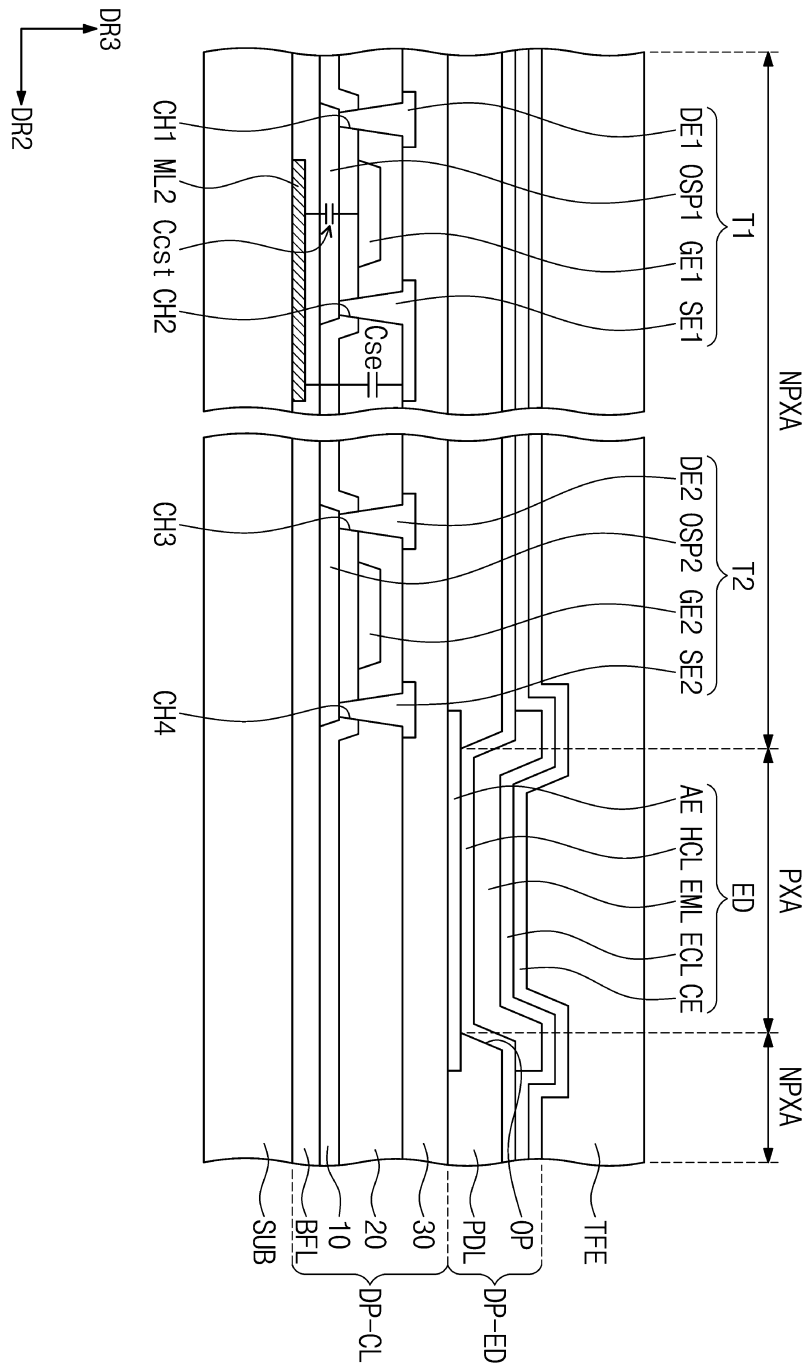
도면14



도면15



도면16



专利名称(译)	像素和具有该像素的有机发光显示器		
公开(公告)号	KR1020190087695A	公开(公告)日	2019-07-25
申请号	KR1020180005248	申请日	2018-01-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	변민우 박용성 김건우 이승빈 최덕영		
发明人	변민우 박용성 김건우 이승빈 최덕영		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G3/3208 G09G3/3258 G09G3/3266 G09G3/3291 G09G2300/0426 G09G2300/0819 G09G2300/0861 G09G2300/0866 H01L27/3248 G09G2300/0452 G09G2310/08 H01L27/3276 H01L51/5206 H01L51/5221		
外部链接	Espacenet		

摘要(译)

根据本发明，一种像素包括：有机发光二极管，其包括正极和负极；以及有机发光二极管。驱动晶体管，其包括连接到第一节点的输入电极，连接到第二节点的控制电极和连接到第三节点的输出电极；开关晶体管，其被配置为响应于扫描信号在第二间隔期间将数据信号施加到第一节点；第一初始化晶体管，被配置为响应于初始化控制信号在第一间隔期间向第二节点施加第一初始化电压；第二初始化晶体管，其被配置为响应于初始化控制信号在第一间隔期间向正极施加具有与第一初始化电压不同的电压电平的第二初始化电压；偏置晶体管，被配置为响应于偏置控制信号在第一间隔期间向第一节点施加第一驱动电压。因此，可以防止由于驱动晶体管的控制电极和输入电极之间的电位差增加预定水平或更高而引起的显示质量的下降。

