



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0062679
(43) 공개일자 2019년06월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0160992
(22) 출원일자 2017년11월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
윤창노
경기도 수원시 영통구 청명로59번길 43, 102호
양진욱
경기도 수원시 장안구 정자로19번길 18, 501동 904호

(74) 대리인
박영우

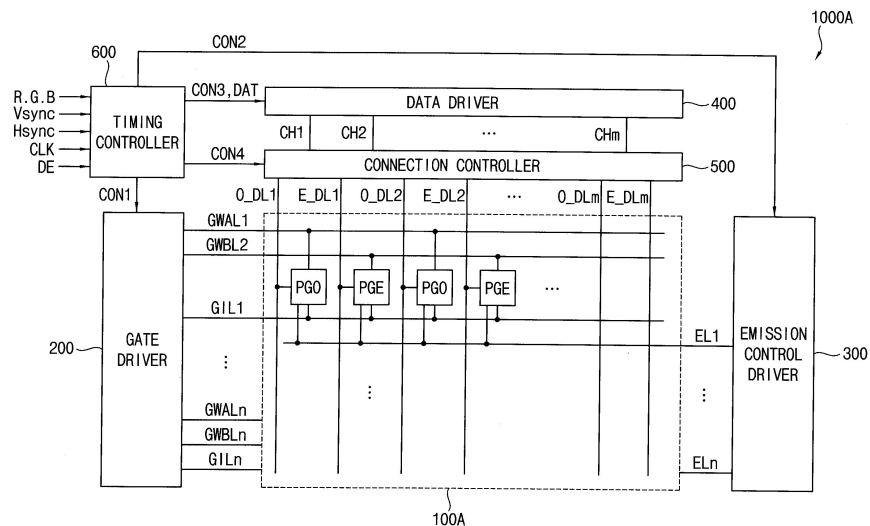
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 제1 화소 그룹 및 제2 화소 그룹이 교번적으로 배치되는 복수의 화소행들을 포함하는 표시 패널, 제1 화소 그룹에 제1 그룹 게이트 신호를 제공하고, 제2 화소 그룹에 제2 그룹 게이트 신호를 제공하는 게이트 구동부, 복수의 출력 라인 그룹으로 데이터 전압을 출력하는 데이터 구동부, 및 제1 연결 제어 신호에 기초하여 출력 라인 그룹을 제1 데이터 라인 그룹에 연결하고, 제2 연결 제어 신호에 기초하여 출력 라인 그룹을 제2 데이터 라인 그룹에 연결하는 연결 제어부를 포함한다. 제2 그룹 게이트 신호의 온-구간은 제1 그룹 게이트 신호의 온-구간과 부분적으로 중첩한다. 제1 데이터 라인 그룹은 화소행들의 제1 화소행에 포함된 제1 화소 그룹에 연결된다. 제2 데이터 라인 그룹은 제1 화소행에 포함된 제2 화소 그룹에 연결된다. 제1 연결 제어 신호의 온-구간은 제2 연결 제어 신호의 온-구간과 부분적으로 중첩된다.

대표도



(52) CPC특허분류

G09G 2300/0452 (2013.01)

G09G 2300/0819 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

교번적으로 배치되는 제1 화소 그룹 및 제2 화소 그룹을 포함하는 복수의 화소행들을 포함하는 표시 패널;

상기 제1 화소 그룹에 제1 그룹 게이트 신호를 제공하고, 상기 제2 화소 그룹에 제2 그룹 게이트 신호를 제공하는 게이트 구동부;

복수의 출력 라인 그룹으로 데이터 전압을 출력하는 데이터 구동부; 및

제1 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제1 데이터 라인 그룹에 연결하고, 제2 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제2 데이터 라인 그룹에 연결하는 연결 제어부를 포함하고,

상기 제2 그룹 게이트 신호의 온-구간은 상기 제1 그룹 게이트 신호의 온-구간과 부분적으로 중첩하며,

상기 제1 데이터 라인 그룹은 상기 화소행들의 제1 화소행에 포함된 상기 제1 화소 그룹에 연결되고,

상기 제2 데이터 라인 그룹은 상기 제1 화소행에 포함된 상기 제2 화소 그룹에 연결되며,

상기 제1 연결 제어 신호의 온-구간은 상기 제2 연결 제어 신호의 온-구간과 부분적으로 중첩되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 화소행에 포함된 상기 제1 화소 그룹은 제1 그룹 게이트 라인을 통해 제1 그룹 게이트 신호를 수신하고,

상기 제1 화소행에 포함된 상기 제2 화소 그룹은 제2 그룹 게이트 라인을 통해 제2 그룹 게이트 신호를 수신하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서, 상기 화소행들 각각의 홀수 번째 화소 그룹은 상기 제1 화소 그룹에 상응하고,

상기 화소행들 각각의 짝수 번째 화소 그룹은 상기 제2 화소 그룹에 상응하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서, 상기 제1 화소 그룹은 서로 인접한 제1 화소 및 제2 화소를 포함하고,

상기 제1 화소는 제1 색광을 발하는 제1 부화소 및 제2 색광을 발하는 제2 부화소를 포함하고,

상기 제2 화소는 제3 색광을 발하는 제3 부화소 및 상기 제2 색광을 발하는 제4 부화소를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서, 상기 제1 부화소에 연결되는 제1 데이터 라인 및 상기 제2 부화소에 연결되는 제2 데이터 라인은 상기 제1 부화소와 상기 제2 부화소 사이에서 화소열 방향과 평행한 제2 방향으로 연장되고,

상기 제3 부화소에 연결되는 제3 데이터 라인과 상기 제4 부화소에 연결되는 제4 데이터 라인은 상기 제3 부화소와 상기 제4 부화소 사이에서 상기 제2 방향으로 연장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제5 항에 있어서, 상기 제1 화소 및 상기 제2 화소 사이에는 상기 데이터 전압을 제공하기 위한 라인이 배치되

지 않는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제5 항에 있어서, 상기 제1 부화소의 레이아웃 및 상기 제2 부화소의 레이아웃은 상기 제2 방향에 대해 대칭인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서, 상기 제1 부화소는,

제1 노드에 연결된 제1 전극, 제2 노드에 연결된 제2 전극, 및 제3 노드에 연결된 게이트 전극을 포함하는 구동 트랜지스터;

상기 데이터 전압이 인가되는 제1 전극, 상기 제1 노드와 연결된 제2 전극, 및 상기 제1 그룹 게이트 신호를 수신하는 게이트 전극을 포함하는 제1 트랜지스터;

상기 제2 노드에 연결된 제1 전극, 상기 제3 노드에 연결된 제2 전극, 및 상기 제1 그룹 게이트 신호를 수신하는 게이트 전극을 포함하는 제2 트랜지스터;

초기화 전원에 연결된 제1 전극, 상기 제3 노드에 연결된 제2 전극, 및 초기화 제어 신호를 수신하는 게이트 전극을 포함하는 제3 트랜지스터;

제1 전원에 연결된 제1 전극, 상기 제1 노드에 연결된 제2 전극, 및 상기 발광 제어 신호를 수신하는 게이트 전극을 포함하는 제4 트랜지스터;

상기 제2 노드에 연결된 제1 전극, 제4 노드에 연결된 제2 전극, 및 발광 제어 신호를 수신하는 게이트 전극을 포함하는 제5 트랜지스터;

상기 초기화 전원에 연결된 제1 전극, 상기 제4 노드에 연결된 제2 전극, 및 상기 초기화 제어 신호를 수신하는 게이트 전극을 포함하는 제6 트랜지스터;

상기 제1 전원과 상기 제3 노드 사이에 위치하는 저장 커패시터; 및

상기 제4 노드에 연결된 제1 전극 및 상기 제1 전원보다 낮은 제2 전원에 연결된 제2 전극을 포함하는 유기 발광 다이오드를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제8 항에 있어서, 상기 표시 패널은 하나의 프레임 주기가 초기화 구간, 보상 구간, 및 발광 구간을 순차적으로 포함하는 방식으로 구동되고,

상기 초기화 구간 동안, 상기 초기화 전원에 의해 상기 제3 노드 및 상기 제4 노드의 전압이 초기화되고,

상기 보상 구간 동안, 상기 구동 트랜지스터에 상기 데이터 전압이 인가되고 상기 구동 트랜지스터의 문턱 전압이 보상되며,

상기 발광 구간에서 상기 유기 발광 다이오드가 발광하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제9 항에 있어서, 상기 보상 구간 동안 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 턴-온되고,

상기 보상 구간은 제1 보상 구간, 제2 보상 구간, 및 제3 보상 구간을 순차적으로 포함하고,

상기 제1 보상 구간에서 제1 및 제2 연결 제어 신호들 중 하나는 온-레벨을 가지며, 상기 제1 및 제2 연결 제어 신호들 중 다른 하나는 오프-레벨을 가지며,

상기 제2 보상 구간에서 상기 제1 및 제2 연결 제어 신호들은 온-레벨을 갖고,

상기 제3 보상 구간에서 상기 제1 및 제2 연결 제어 신호들 중 다른 하나는 오프-레벨을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제10 항에 있어서, 상기 제1 보상 구간 및 제2 보상 구간에서, 상기 제1 노드는 상기 데이터 구동부의 출력 앰프와 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제10 항에 있어서, 상기 제3 보상 구간에서, 상기 제1 트랜지스터의 상기 제1 전극은 플로팅(floating) 상태인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

교번적으로 배치되는 제1 화소 그룹 및 제2 화소 그룹을 포함하는 제1 화소행 및 상기 제1 화소행에 인접하고 교번적으로 배치되는 제3 화소 그룹 및 제4 화소 그룹을 포함하는 제2 화소행을 포함하는 표시 패널;

상기 제1 화소 그룹에 제1 그룹 게이트 신호를 제공하고, 상기 제2 화소 그룹에 제2 그룹 게이트 신호를 제공하며, 상기 제3 화소 그룹에 제3 그룹 게이트 신호를 제공하고, 상기 제4 화소 그룹에 제4 그룹 게이트 신호를 제공하는 게이트 구동부;

복수의 출력 라인 그룹으로 데이터 전압을 출력하는 데이터 구동부; 및

제1 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제1 데이터 라인 그룹에 연결하고, 제2 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제2 데이터 라인 그룹에 연결하며, 제3 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제3 데이터 라인 그룹에 연결하고, 제4 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제4 데이터 라인 그룹에 연결하는 연결 제어부를 포함하고,

상기 제2 그룹 게이트 신호의 온-구간은 상기 제1 그룹 게이트 신호의 온-구간과 부분적으로 중첩하며,

상기 제1 데이터 라인 그룹은 상기 제1 화소행에 포함된 상기 제1 화소 그룹에 연결되고, 상기 제2 데이터 라인 그룹은 상기 제1 화소행에 포함된 상기 제2 화소 그룹에 연결되며, 상기 제3 데이터 라인 그룹은 상기 제2 화소행에 포함된 상기 제3 화소 그룹에 연결되고, 상기 제4 데이터 라인 그룹은 상기 제2 화소행에 포함된 상기 제4 화소 그룹에 연결되며,

상기 제1 연결 제어 신호의 온-구간은 상기 제2 연결 제어 신호의 온-구간과 부분적으로 중첩되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서, 상기 제1 화소 그룹에 포함된 부화소는 하나의 프레임 주기가 초기화 구간, 보상 구간, 및 발광 구간을 순차적으로 포함하는 방식으로 구동되고,

상기 초기화 구간 동안, 초기화 전원에 의해 상기 부화소의 구동 트랜지스터의 게이트 전극이 초기화되고,

상기 보상 구간 동안, 상기 부화소에 상기 데이터 전압이 인가되고 상기 구동 트랜지스터의 문턱 전압을 보상되며,

상기 발광 구간에서 상기 부화소의 유기 발광 다이오드가 발광하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제14 항에 있어서, 상기 보상 구간은 제1 보상 구간, 제2 보상 구간, 및 제3 보상 구간을 순차적으로 포함하고,

상기 제1 보상 구간 동안 상기 제1 연결 제어 신호는 온-레벨, 상기 제2 연결 제어 신호는 오프-레벨을 가지며,

상기 제2 보상 구간 동안 상기 제1 연결 제어 신호 및 제2 연결 제어 신호는 온-레벨을 갖고,

상기 제3 보상 구간 동안 상기 제1 연결 제어 신호는 오프-레벨, 상기 제2 연결 제어 신호는 온-레벨을 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제15 항에 있어서, 상기 제1 보상 구간 및 제2 보상 구간에서, 상기 데이터 전압을 상기 부화소에 제공하기 위한 라인은 상기 데이터 구동부의 출력 앰프와 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제15 항에 있어서, 상기 제3 보상 구간에서, 상기 데이터 전압을 상기 부화소에 제공하기 위한 라인은 플로팅(floating) 상태인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제13 항에 있어서, 상기 제1 화소 그룹은 서로 인접한 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소는 제2 색광을 발하는 제1 부화소 및 제3 색광을 발하는 제2 부화소를 포함하고, 상기 제2 화소는 상기 제2 색광을 발하는 제3 부화소 및 제1 색광을 발하는 제3 부화소를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제18 항에 있어서, 상기 제1 부화소에 연결되는 제1 데이터 라인 및 상기 제2 부화소에 연결되는 제2 데이터 라인은 상기 제1 부화소와 상기 제2 부화소 사이에서 화소열 방향과 평행한 제2 방향으로 연장되고, 상기 제3 부화소에 연결되는 제3 데이터 라인과 상기 제4 부화소에 연결되는 제4 데이터 라인은 상기 제3 부화소와 상기 제4 부화소 사이에서 상기 제2 방향으로 연장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제19 항에 있어서, 상기 제3 화소 그룹은 서로 인접한 제3 화소 및 제4 화소를 포함하고, 상기 제3 화소는 상기 제3 색광을 발하는 제5 부화소 및 상기 제2 색광을 발하는 제6 부화소를 포함하며, 상기 제4 화소는 상기 제1 색광을 발하는 제7 부화소 및 상기 제2 색광을 발하는 제8 부화소를 포함하고, 상기 제7 부화소에 연결되는 제5 데이터 라인과 상기 제8 부화소에 연결되는 제6 데이터 라인은 상기 제2 부화소와 상기 제3 부화소 사이에서 상기 제2 방향으로 연장되는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 화소 특성 편차를 보상하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 유기 발광 다이오드(Organic Light Emitting Diode: OLED)을 이용하여 영상을 표시한다. 유기 발광 다이오드는 애노드 전극(anode)으로부터 제공되는 정공들과 캐소드 전극(cathode)으로부터 제공되는 전자들이 애노드 전극 및 캐소드 전극 사이의 발광층에서 결합하여 발광한다. 유기 발광 표시 장치는 화소들 간의 편차를 개선하기 위해 화소 내부에서 구동 트랜지스터의 문턱 전압 보상 동작이 수행되는 화소 구조를 포함한다.

[0003] 한편, 유기 발광 표시 장치의 해상도가 높아짐에 따라 구동부의 복잡도(예를 들어, 데이터 구동부의 출력 채널의 개수)가 증가될 수 있다. 이러한 문제를 해결하기 위해, 데이터 구동부의 출력을 디멀티플렉서(또는 선택기)로 제어하고, 복수의 데이터 라인들이 하나의 채널을 공유할 수 있다. 예를 들어, 디멀티플렉서는 데이터 구동부의 출력 채널들(배선)의 감소를 위해 N:1(단, N은 1보다 큰 자연수)로 데이터 기입 시간을 시분할할 수 있다. 하지만, 고해상도 표시 장치에서, 데이터 신호(및 디멀티플렉서)의 빠른 스위칭에 의해 구동 트랜지스터의 문턱 전압 보상 시간이 현저히 감소되어 보상 동작이 충분히 수행될 수 없다. 따라서, 표시되는 영상에서 얼룩 등의 표시 불량 시인될 수 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 문턱 전압 보상 시간을 확보하고, 화소 편차를 보상할 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0005] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 교번적으로 배치되는 제1 화소 그룹 및 제2 화소 그룹을 포함하는 복수의 화소행들을 포함하는 표시 패널, 제1 화소 그룹에 제1 그룹 게이트 신호를 제공하고, 상기 제2 화소 그룹에 제2 그룹 게이트 신호를 제공하는 게이트 구동부, 복수의 출력 라인 그룹으로 데이터 전압을 출력하는 데이터 구동부, 및 제1 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제1 데이터 라인 그룹에 연결하고, 제2 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제2 데이터 라인 그룹에 연결하는 연결 제어부를 포함할 수 있다. 상기 제2 그룹 게이트 신호의 온-구간은 상기 제1 그룹 게이트 신호의 온-구간과 부분적으로 중첩하며, 상기 제1 데이터 라인 그룹은 상기 화소행들의 제1 화소행에 포함된 상기 제1 화소 그룹에 연결되고, 상기 제2 데이터 라인 그룹은 상기 제1 화소행에 포함된 상기 제2 화소 그룹에 연결되며, 상기 제1 연결 제어 신호의 온-구간은 상기 제2 연결 제어 신호의 온-구간과 부분적으로 중첩될 수 있다.
- [0007] 일 실시예에 의하면, 상기 제1 화소행에 포함된 상기 제1 화소 그룹은 제1 그룹 게이트 라인을 통해 제1 그룹 게이트 신호를 수신할 수 있다. 상기 제1 화소행에 포함된 상기 제2 화소 그룹은 제2 그룹 게이트 라인을 통해 제2 그룹 게이트 신호를 수신할 수 있다.
- [0008] 일 실시예에 의하면, 화소행들 각각의 홀수 번째 화소 그룹은 상기 제1 화소 그룹에 상응하고, 상기 화소행들 각각의 짝수 번째 화소 그룹은 상기 제2 화소 그룹에 상응할 수 있다.
- [0009] 일 실시예에 의하면, 상기 제1 화소 그룹은 서로 인접한 제1 화소 및 제2 화소를 포함하고, 상기 제1 화소는 제1 색광을 발하는 제1 부화소 및 제2 색광을 발하는 제2 부화소를 포함하고, 상기 제2 화소는 제3 색광을 발하는 제3 부화소 및 상기 제2 색광을 발하는 제4 부화소를 포함할 수 있다.
- [0010] 일 실시예에 의하면, 상기 제1 부화소에 연결되는 제1 데이터 라인 및 상기 제2 부화소에 연결되는 제2 데이터 라인은 상기 제1 부화소와 상기 제2 부화소 사이에서 화소열 방향과 평행한 제2 방향으로 연장될 수 있다. 상기 제3 부화소에 연결되는 제3 데이터 라인과 상기 제4 부화소에 연결되는 제4 데이터 라인은 상기 제3 부화소와 상기 제4 부화소 사이에서 상기 제2 방향으로 연장될 수 있다.
- [0011] 일 실시예에 의하면, 상기 제1 화소 및 상기 제2 화소 사이에는 상기 데이터 전압을 제공하기 위한 라인이 배치되지 않을 수 있다.
- [0012] 일 실시예에 의하면, 상기 제1 부화소의 레이아웃 및 상기 제2 부화소의 레이아웃은 상기 제2 방향에 대해 대칭일 수 있다.
- [0013] 일 실시예에 의하면, 상기 제1 부화소는 제1 노드에 연결된 제1 전극, 제2 노드에 연결된 제2 전극, 및 제3 노드에 연결된 게이트 전극을 포함하는 구동 트랜지스터, 상기 데이터 전압이 인가되는 제1 전극, 상기 제1 노드와 연결된 제2 전극, 및 상기 제1 그룹 게이트 신호를 수신하는 게이트 전극을 포함하는 제1 트랜지스터, 상기 제2 노드에 연결된 제1 전극, 상기 제3 노드에 연결된 제2 전극, 및 상기 제1 그룹 게이트 신호를 수신하는 게이트 전극을 포함하는 제2 트랜지스터, 초기화 전원에 연결된 제1 전극, 상기 제3 노드에 연결된 제2 전극, 및 초기화 제어 신호를 수신하는 게이트 전극을 포함하는 제3 트랜지스터, 제1 전원에 연결된 제1 전극, 상기 제1 노드에 연결된 제2 전극, 및 상기 발광 제어 신호를 수신하는 게이트 전극을 포함하는 제4 트랜지스터, 상기 제2 노드에 연결된 제1 전극, 제4 노드에 연결된 제2 전극, 및 발광 제어 신호를 수신하는 게이트 전극을 포함하는 제5 트랜지스터, 상기 초기화 전원에 연결된 제1 전극, 상기 제4 노드에 연결된 제2 전극, 및 상기 초기화 제어 신호를 수신하는 게이트 전극을 포함하는 제6 트랜지스터, 상기 제1 전원과 상기 제3 노드 사이에 위치하는 저장 커패시터, 및 상기 제4 노드에 연결된 제1 전극 및 상기 제1 전원보다 낮은 제2 전원에 연결된 제2 전극을 포함하는 유기 발광 다이오드를 포함할 수 있다.
- [0014] 일 실시예에 의하면, 상기 표시 패널은 하나의 프레임 주기가 초기화 구간, 보상 구간, 및 발광 구간을 순차적

으로 포함하는 방식으로 구동되고, 상기 초기화 구간 동안, 상기 초기화 전원에 의해 상기 제3 노드 및 상기 제4 노드의 전압이 초기화되고, 상기 보상 구간 동안, 상기 구동 트랜지스터에 상기 데이터 전압이 인가되고 상기 구동 트랜지스터의 문턱 전압이 보상되며, 상기 발광 구간에서 상기 유기 발광 다이오드가 발광할 수 있다.

- [0015] 일 실시예에 의하면, 상기 보상 구간 동안 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 턴-온될 수 있다. 상기 보상 구간은 제1 보상 구간, 제2 보상 구간, 및 제3 보상 구간을 순차적으로 포함할 수 있다. 상기 제1 보상 구간에서 제1 및 제2 연결 제어 신호들 중 하나는 온-레벨을 가지며, 상기 제1 및 제2 연결 제어 신호들 중 다른 하나는 오프-레벨을 가질 수 있다. 상기 제2 보상 구간에서 상기 제1 및 제2 연결 제어 신호들은 온-레벨을 가질 수 있다. 상기 제3 보상 구간에서 상기 제1 및 제2 연결 제어 신호들 중 다른 하나는 오프-레벨을 가질 수 있다.
- [0016] 일 실시예에 의하면, 상기 제1 보상 구간 및 제2 보상 구간에서, 상기 제1 노드는 상기 데이터 구동부의 출력 앰프(amplifier)와 전기적으로 연결될 수 있다.
- [0017] 일 실시예에 의하면, 상기 제3 보상 구간에서, 상기 제1 트랜지스터의 상기 제1 전극은 플로팅(floating) 상태일 수 있다.
- [0018] 본 발명의 일 목적을 달성하기 위하여, 발명의 실시예들에 따른 유기 발광 표시 장치는 교번적으로 배치되는 제1 화소 그룹 및 제2 화소 그룹을 포함하는 제1 화소행 및 상기 제1 화소행에 인접하고 교번적으로 배치되는 제3 화소 그룹 및 제4 화소 그룹을 포함하는 제2 화소행을 포함하는 표시 패널, 상기 제1 화소 그룹에 제1 그룹 게이트 신호를 제공하고, 상기 제2 화소 그룹에 제2 그룹 게이트 신호를 제공하며, 상기 제3 화소 그룹에 제3 그룹 게이트 신호를 제공하고, 상기 제4 화소 그룹에 제4 그룹 게이트 신호를 제공하는 게이트 구동부, 복수의 출력 라인 그룹으로 데이터 전압을 출력하는 데이터 구동부, 및 제1 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제1 데이터 라인 그룹에 연결하고, 제2 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제2 데이터 라인 그룹에 연결하며, 제3 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제3 데이터 라인 그룹에 연결하고, 제4 연결 제어 신호에 기초하여 상기 출력 라인 그룹을 제4 데이터 라인 그룹에 연결하는 연결 제어부를 포함할 수 있다. 상기 제2 그룹 게이트 신호의 온-구간은 상기 제1 그룹 게이트 신호의 온-구간과 부분적으로 중첩할 수 있다. 상기 제1 데이터 라인 그룹은 상기 제1 화소행에 포함된 상기 제1 화소 그룹에 연결되고, 상기 제2 데이터 라인 그룹은 상기 제1 화소행에 포함된 상기 제2 화소 그룹에 연결되며, 상기 제3 데이터 라인 그룹은 상기 제2 화소행에 포함된 상기 제3 화소 그룹에 연결되고, 상기 제4 데이터 라인 그룹은 상기 제2 화소행에 포함된 상기 제4 화소 그룹에 연결될 수 있다. 상기 제1 연결 제어 신호의 온-구간은 상기 제2 연결 제어 신호의 온-구간과 부분적으로 중첩될 수 있다.
- [0019] 일 실시예에 의하면, 상기 제1 화소 그룹에 포함된 부화소는 하나의 프레임 주기가 초기화 구간, 보상 구간, 및 발광 구간을 순차적으로 포함하는 방식으로 구동될 수 있다. 상기 초기화 구간 동안, 초기화 전원에 의해 상기 부화소의 구동 트랜지스터의 게이트 전극이 초기화될 수 있다. 상기 보상 구간 동안, 상기 부화소에 상기 데이터 전압이 인가되고 상기 구동 트랜지스터의 문턱 전압을 보상될 수 있다. 상기 발광 구간에서 상기 부화소의 유기 발광 다이오드가 발광할 수 있다.
- [0020] 일 실시예에 의하면, 상기 보상 구간은 제1 보상 구간, 제2 보상 구간, 및 제3 보상 구간을 순차적으로 포함할 수 있다. 상기 제1 보상 구간 동안 상기 제1 연결 제어 신호는 온-레벨, 상기 제2 연결 제어 신호는 오프-레벨을 가질 수 있다. 상기 제2 보상 구간 동안 상기 제1 연결 제어 신호 및 제2 연결 제어 신호는 온-레벨을 가질 수 있다. 상기 제3 보상 구간 동안 상기 제1 연결 제어 신호는 오프-레벨, 상기 제2 연결 제어 신호는 온-레벨을 가질 수 있다.
- [0021] 일 실시예에 의하면, 상기 제1 보상 구간 및 제2 보상 구간에서, 상기 데이터 전압을 상기 부화소에 제공하기 위한 라인은 상기 데이터 구동부의 출력 앰프와 전기적으로 연결될 수 있다.
- [0022] 일 실시예에 의하면, 상기 제3 보상 구간에서, 상기 데이터 전압을 상기 부화소에 제공하기 위한 라인은 플로팅(floating) 상태일 수 있다.
- [0023] 일 실시예에 의하면, 상기 제1 화소 그룹은 서로 인접한 제1 화소 및 제2 화소를 포함할 수 있다. 상기 제1 화소는 제2 색광을 발하는 제1 부화소 및 제3 색광을 발하는 제2 부화소를 포함할 수 있다. 상기 제2 화소는 상기 제2 색광을 발하는 제3 부화소 및 제1 색광을 발하는 제3 부화소를 포함할 수 있다.
- [0024] 일 실시예에 의하면, 상기 제1 부화소에 연결되는 제1 데이터 라인 및 상기 제2 부화소에 연결되는 제2 데이터 라인은 상기 제1 부화소와 상기 제2 부화소 사이에서 화소열 방향과 평행한 제2 방향으로 연장될 수 있다. 상기

제3 부화소에 연결되는 제3 데이터 라인과 상기 제4 부화소에 연결되는 제4 데이터 라인은 상기 제3 부화소와 상기 제4 부화소 사이에서 상기 제2 방향으로 연장될 수 있다.

[0025] 일 실시예에 의하면, 상기 제3 화소 그룹은 서로 인접한 제3 화소 및 제4 화소를 포함할 수 있다. 상기 제3 화소는 상기 제3 색광을 발하는 제5 부화소 및 상기 제2 색광을 발하는 제6 부화소를 포함할 수 있다. 상기 제4 화소는 상기 제1 색광을 발하는 제7 부화소 및 상기 제2 색광을 발하는 제8 부화소를 포함할 수 있다. 상기 제7 부화소에 연결되는 제5 데이터 라인과 상기 제8 부화소에 연결되는 제6 데이터 라인은 상기 제2 부화소와 상기 제3 부화소 사이에서 상기 제2 방향으로 연장될 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 데이터 구동부의 출력 채널 그룹(또는 출력 라인 그룹)과 데이터 라인 그룹들 사이의 연결을 제어하는 연결 제어부 및 2개의 데이터 라인으로부터 제1 및 제2 그룹 게이트 신호들을 수신하는 화소행이 배열된 표시 패널을 포함할 수 있다. 상기 화소행에서 제1 화소 그룹 및 제2 화소 그룹이 교번적으로 배치되고, 제1 화소 그룹에 제1 그룹 게이트 신호가 제공되며, 제2 화소 그룹에 제1 그룹 게이트 신호와 부분적으로 중첩되는 제2 그룹 게이트 신호가 제공될 수 있다. 이에 따라, 제1 화소 그룹의 문턱 전압 보상 구간 및 제2 화소 그룹의 문턱 전압 보상 구간이 부분적으로 중첩될 수 있으므로, 구동 트랜지스터에 대한 문턱 전압 보상 시간이 안정적으로 확보될 수 있다. 이에 따라, 고해상도 표시 장치가 높은 주파수로 구동되는 경우에도 화소 편차를 보상하고 표시 품질을 향상시킬 수 있다.

[0027] 또한, 상기 유기 발광 표시 장치는 상기 연결 제어부를 제어하기 위한 제1 연결 제어 신호의 온-구간과 제2 연결 제어 신호의 온-구간을 부분적으로 중첩시킴으로써, 데이터 라인에 대한 커플링(coupling) 영향을 감소시킴으로써, 특정 패턴(또는 킬러 패턴(killer pattern))에서 시인되는 화질 저하를 방지할 수 있다.

[0028] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
- 도 2 내지 도 5는 도 1의 표시 장치에 포함된 표시 패널의 구조를 나타내는 도면들이다.
- 도 6은 도 2의 표시 패널에 포함된 부화소의 구조를 나타내는 회로도이다.
- 도 7 및 도 8은 도 7의 부화소가 구동되는 일 예를 나타내는 도면들이다.
- 도 9는 도 2의 표시 패널이 구동되는 일 예를 나타내는 도면이다.
- 도 10은 도 2의 표시 패널이 구동되는 다른 예를 나타내는 도면이다.
- 도 11은 본 발명의 다른 실시예에 따른 표시 장치를 나타내는 블록도이다.
- 도 12는 도 11의 표시 장치에 포함된 표시 패널의 구조를 나타내는 도면들이다.
- 도 13은 도 11의 표시 장치에 포함된 부화소가 구동되는 일 예를 나타내는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성 요소에 대해서는 동일하거나 유사한 참조 부호를 사용한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.

[0032] 도 1을 참조하면, 유기 발광 표시 장치(1000A)는 표시 패널(100A), 게이트 구동부(200), 발광 제어 구동부(300), 데이터 구동부(400), 연결 제어부(500), 및 타이밍 제어부(600)를 포함할 수 있다.

[0033] 표시 패널(100A)은 복수의 화소행들을 포함할 수 있다. 각각의 화소행들은 교번적으로 배치되는 제1 화소 그룹(PGO) 및 제2 화소 그룹(PGE)을 포함할 수 있다. 예를 들어, 화소행에 포함된 홀수 번째 화소 그룹은 제1 화소 그룹(PGO)에 상응하고, 짝수 번째 화소 그룹은 제2 화소 그룹(PGE)에 상응할 수 있다. 화소 그룹들(PGO, PGE) 각각은 복수의 화소들을 포함하고, 화소들 각각은 복수의 부화소들을 포함할 수 있다.

- [0034] 게이트 구동부(200)는 타이밍 제어부(600)로부터 제공되는 제1 제어 신호(CON1)에 기초하여 화소행들의 제1 화소 그룹(PGO)에 제1 그룹 게이트 신호를 순차적으로 제공하고, 화소행들의 제2 화소 그룹(PGE)에 제2 그룹 게이트 신호를 순차적으로 제공할 수 있다. 예를 들어, 홀수 번째 화소행에서, 게이트 구동부(200)는 제1 그룹 게이트 라인(GWAL1 내지 GWALn) (여기서, n은 1보다 큰 정수)을 통해 제1 화소 그룹(PGO)에 제1 그룹 게이트 신호를 제공하고, 제2 화소 그룹(PGE)에 제2 그룹 게이트 신호를 제공할 수 있다. 반면에, 짝수 번째 화소행에서, 게이트 구동부(200)는 제2 그룹 게이트 라인(GWBL1 내지 GWBLn) (여기서, n은 1보다 큰 정수)을 통해 제1 화소 그룹(PGO)에 제2 그룹 게이트 신호를 제공하고, 제2 화소 그룹(PGE)에 제1 그룹 게이트 신호를 제공할 수 있다.
- [0035] 하나의 화소행에 제공되는 제2 그룹 게이트 신호의 온-구간은 제1 그룹 게이트 신호의 온-구간과 부분적으로 중첩할 수 있다. 일 실시예에서, 제2 그룹 게이트 신호는 제1 그룹 게이트 신호가 1/2 수평주기 지연된 신호일 수 있다. 다른 실시예에서, 제1 그룹 게이트 신호는 제2 그룹 게이트 신호가 1/2 수평주기 지연된 신호일 수 있다. 이에 따라, 제1 화소 그룹의 문턱 전압 보상 구간 및 제2 화소 그룹의 문턱 전압 보상 구간이 부분적으로 중첩될 수 있으므로, 부화소들 각각은 문턱 전압 보상 시간을 충분히 확보하고 화소 편차를 안정적으로 보상할 수 있다.
- [0036] 또한, 게이트 구동부(200)는 제1 제어 신호(CON1)에 기초하여 초기화 제어 라인들(GIL1 내지 GILn)에 초기화 제어 신호를 순차적으로 출력할 수 있다. 초기화 제어 라인들(GIL1 내지 GILn)은 제1 및 제2 화소 그룹(PGO, PGE)을 포함하는 화소행들에 각각 연결될 수 있다. 예를 들어, 제1 내지 제n 초기화 제어 라인들(GIL1 내지 GILn) 중 제k(단, k는 1과 n 사이의 정수) 초기화 제어 라인은 제k 화소행에 포함된 제1 및 제2 화소 그룹(PGO, PGE)에 연결될 수 있다.
- [0037] 발광 제어 구동부(300)는 제2 제어 신호(CON2)에 기초하여 발광 제어 라인들(EL1 내지 ELn)에 순차적으로 발광 제어 신호를 출력할 수 있다. 발광 제어 라인들(EL1 내지 ELn)은 제1 및 제2 화소 그룹(PGO, PGE)을 포함하는 화소행들에 각각 연결될 수 있다. 제k 발광 제어 라인은 제k 화소행에 포함된 제1 및 제2 화소 그룹(PGO, PGE)에 연결될 수 있다.
- [0038] 데이터 구동부(400)는 타이밍 제어부(600)로부터 제공되는 제3 제어 신호(CON3) 및 출력 영상 데이터(DAT)에 기초하여 복수의 출력 채널 그룹들(또는, 출력 라인 그룹들)(CH1 내지 CHm)(여기서, m은 1보다 큰 정수)에 데이터 전압(즉, 아날로그 데이터 신호)를 출력할 수 있다.
- [0039] 연결 제어부(500)는 제4 제어 신호(CON4)에 기초하여 출력 라인 그룹들(CH1 내지 CHm)과 데이터 라인 그룹들(O_DL1 내지 O_DLm, 및 E_DL1 내지 E_DLm) 사이의 연결을 제어할 수 있다. 일 실시예에서, 연결 제어부(500)는 온-레벨(on-level)(즉, 활성화 레벨)의 제1 연결 제어 신호에 기초하여 출력 라인 그룹들(CH1 내지 CHm)을 제1 데이터 라인 그룹(O_DL1 내지 O_DLm)에 연결하고, 온-레벨의 제2 연결 제어 신호에 기초하여 출력 라인 그룹들(CH1 내지 CHm)을 제2 데이터 라인 그룹(E_DL1 내지 E_DLm)에 연결할 수 있다. 여기서, 제1 연결 제어 신호의 온(on)-구간은 제2 연결 제어 신호의 온-구간과 부분적으로 중첩될 수 있다. 이에 따라, 데이터 라인 주변의 전원 라인에 의한 커플링(coupling) 영향이 발생하는 시점에서, 데이터 라인을 데이터 구동부의 출력 채널(예를 들어, 출력 앰프)에 연결시킴으로써, 커플링 영향을 감소시킬 수 있다.
- [0040] 타이밍 제어부(600)는 외부의 그래픽 컨트롤러(도시되지 않음)로부터 RGB 화상 신호(R.G.B), 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭 신호(CLK), 및 데이터 인에이블 신호(DE) 등을 수신하고, 이러한 신호들에 기초하여 제1 제어 신호(CON1), 제2 제어 신호(CON2), 제3 제어 신호(CON3) 및 RGB 화상 신호(R.G.B)에 상응하는 출력 영상 데이터(DAT)를 생성할 수 있다. 타이밍 제어부(600)는 제1 제어 신호(CON1)를 게이트 구동부(200)에 제공하고, 제2 제어 신호(CON2)를 발광 제어부(300)에 제공하고, 출력 영상 데이터(DAT) 및 제3 제어 신호(CON3)를 데이터 드라이버(400)에 제공하며, 제4 제어 신호(CON4)를 연결 제어부(500)에 제공할 수 있다.
- [0041] 도 2 내지 도 5는 도 1의 표시 장치에 포함된 표시 패널의 구조를 나타내는 도면들이다.
- [0042] 도 2 내지 도 5를 참조하면, 표시 패널(100A)은 연결 제어부(500)를 통해 데이터 전압을 수신할 수 있다. 표시 패널(100A)에서, 하나의 화소행에 대응하여 2개의 게이트 라인이 배치되고, 하나의 화소열에 대응하여 1개의 데이터 라인이 배치될 수 있다.
- [0043] 도 2에 도시된 바와 같이, 연결 제어부(500)는 데이터 구동부의 단일 출력 라인 그룹(CH1)과 복수의 데이터 라인 그룹들(O_DL1, E_DL1) 사이의 연결을 제어할 수 있다. 연결 제어부(500)는 제1 연결 제어 신호(CLA)에 기초하여 출력 라인 그룹(CH1)을 제1 데이터 라인 그룹(O_DL1)에 연결하고, 제2 연결 제어 신호(CLB)에 기초하여 출

력 라인 그룹(CH1)을 제2 데이터 라인 그룹(O_DL1)에 연결할 수 있다. 예를 들어, 연결 제어부(500)는 제1 연결 제어 신호(CLA)에 응답하여 제1 내지 제4 출력 라인들(OL1 내지 OL4)을 제1 내지 제4 데이터 라인들(DL1 내지 DL4)에 각각 연결하는 제1 내지 제4 스위치들(SW1 내지 SW4)을 포함할 수 있다. 연결 제어부(500)는 제2 연결 제어 신호(CLB)에 응답하여 제1 내지 제4 출력 라인들(OL1 내지 OL4)을 제5 내지 제8 데이터 라인들(DL5 내지 DL8)에 각각 연결하는 제5 내지 제8 스위치들(SW5 내지 SW8)을 포함할 수 있다.

[0044] 도 2 및 도 3에 도시된 바와 같이, 표시 패널(100A)은 복수의 화소행들(PR1, PR2, PR3, PR4)을 포함할 수 있다. 화소행들(PR1, PR2, PR3, PR4) 각각은 제1 화소 그룹(PGO) 및 제2 화소 그룹(PGE)이 교번적으로 배치되고, 하나의 화소행에 대응하여 2개의 게이트 라인이 배치될 수 있다. 예를 들어, 제1 화소행(PR1)은 홀수 번째 화소 그룹으로 제1 화소 그룹(PGO), 짝수 번째 화소 그룹으로 제2 화소 그룹(PGE)을 포함할 수 있다. 제1 화소행(PR1)에 포함된 제1 화소 그룹(PGO)은 제1 그룹 게이트 라인(GWAL1)으로부터 제1 그룹 게이트 신호(GW_A(1))를 수신하고, 제1 화소행(PR1)에 포함된 제2 화소 그룹(PGE)은 제2 그룹 게이트 라인(GWAL2)으로부터 제2 그룹 게이트 신호(GW_B(1))를 수신할 수 있다.

[0045] 또한, 제2 화소행(PR2)은 홀수 번째 화소 그룹으로 제1 화소 그룹(PGO), 짝수 번째 화소 그룹으로 제2 화소 그룹(PGE)을 포함할 수 있다. 제2 화소행(PR2)에 포함된 제1 화소 그룹(PGO)은 제2 그룹 게이트 라인(GWAL2)으로부터 제1 그룹 게이트 신호(GW_A(2))를 수신하고, 제2 화소행(PR2)에 포함된 제2 화소 그룹(PGO)은 제1 그룹 게이트 라인(GWAL1)으로부터 제2 그룹 게이트 신호(GW_B(2))를 수신할 수 있다.

[0046] 도 4에 도시된 바와 같이, 표시 패널(100A)은 펜타일(pentile) 방식으로 배치된 부화소들을 포함할 수 있다. 일 실시예에서, 화소 그룹들(PGO, PGE) 각각은 서로 인접한 제1 화소(P1) 및 제2 화소(P2)를 포함할 수 있다. 제1 화소(P1)는 적색광을 발하는 적색 부화소(R) 및 녹색광을 발하는 녹색 부화소(G1)를 포함할 수 있다. 제2 화소(P2)는 청색광을 발하는 청색 부화소(B) 및 녹색광을 발하는 녹색 부화소(G2)를 포함할 수 있다.

[0047] 짝수 번째 화소행(PR1, PR3, 등)의 화소 그룹들과 홀수 번째 화소행(PR1, PR3, 등)의 화소 그룹들은 서로 다른 화소 배치 구조를 가질 수 있다. 예를 들어, 홀수 번째 화소행의 화소 그룹들은 제1 화소가 좌측에 배치되고, 제2 화소가 우측에 배치될 수 있다. 짝수 번째 화소행의 화소 그룹들은 제2 화소가 좌측에 배치되고, 제1 화소가 우측에 배치될 수 있다.

[0048] 도 2 및 도 5에 도시된 바와 같이, 하나의 화소열에 대응하여 1개의 데이터 라인이 배치될 수 있다. 예를 들어, 제1 부화소(SP1)에 연결되는 제1 데이터 라인(DL1) 및 제2 부화소(SP2)에 연결되는 제2 데이터 라인(DL2)은 제1 부화소(SP1)와 제2 부화소(SP2) 사이(즉, 제1 화소열(PC1)와 제2 화소열(PC2) 사이)에서 화소열 방향과 평행한 제2 방향(D2)으로 연장될 수 있다. 또한, 제3 부화소(SP3)에 연결되는 제3 데이터 라인(DL3)과 제4 부화소(SP4)에 연결되는 제4 데이터 라인(DL4)은 제3 부화소(SP3)와 제4 부화소(SP4) 사이(즉, 제3 화소열(PC3)와 제4 화소열(PC4) 사이)에서 제2 방향(D2)으로 연장될 수 있다. 제1 부화소(SP1)의 레이아웃 및 제2 부화소(SP2)의 레이아웃은 제2 방향에 대해 대칭으로 형성될 수 있다. 이에 따라, 제1 화소(P1) 및 제2 화소(P2) 사이(즉, 제2 화소열(PC2)와 제3 화소열(PC3) 사이)에는 데이터 전압을 제공하기 위한 데이터 라인이 배치되지 않을 수 있다.

[0049] 비록, 도 2 내지 도 5에서는 화소 그룹의 부화소들이 배치되는 일 예를 도시하였으나, 화소 그룹은 다양한 배치 구조의 부화소들을 포함할 수 있다. 예를 들어, 화소 그룹은 서로 다른 색광을 발하는 제1 내지 제4 부화소들을 포함할 수 있다.

[0050] 도 6은 도 2의 표시 패널에 포함된 부화소의 구조를 나타내는 회로도이다.

[0051] 도 6을 참조하면, 각각의 부화소(SP)는 구동 트랜지스터(TD) 제1 내지 제6 트랜지스터들(T1 내지 T6), 저장 커패시터(CST) 및 유기 발광 다이오드(EL)를 포함할 수 있다.

[0052] 구동 트랜지스터(TD)는 데이터 전압(DATA)에 상응하는 구동 전류를 유기 발광 다이오드(EL)에 제공할 수 있다. 제1 노드(N1)에 연결된 제1 전극, 제2 노드(N2)에 연결된 제2 전극, 및 제3 노드(N3)에 연결된 게이트 전극을 포함할 수 있다.

[0053] 제1 트랜지스터(T1)는 제1 그룹 게이트 신호(GW_A(k)) 또는 제2 그룹 게이트 신호(GW_B(k))에 응답하여 데이터 전압(DATA)을 제1 노드(N1)에 제공할 수 있다. 제1 트랜지스터(T1)는 데이터 전압이 인가(DATA)되는 제1 전극, 제1 노드(N1)와 연결된 제2 전극, 및 제1 그룹 게이트 신호(GW_A(k)) 또는 제2 그룹 게이트 신호(GW_B(k))를 수신하는 게이트 전극을 포함할 수 있다. 부화소(SP)가 제1 화소 그룹에 포함되는 경우, 제1 트랜지스터(T1)는 제1 그룹 게이트 신호(GW_A(k))를 수신할 수 있다. 부화소(SP)가 제2 화소 그룹에 포함되는 경우, 제1 트랜지스터

(T1)는 제2 그룹 게이트 신호(GW_B(k))를 수신할 수 있다.

- [0054] 제2 트랜지스터(T2)는 제1 그룹 게이트 신호(GW_A(k)) 또는 제2 그룹 게이트 신호(GW_B(k))에 응답하여 제2 노드(N2)와 제3 노드(N3)(즉, 구동 트랜지스터(TD)의 제2 전극과 구동 트랜지스터(TD)의 게이트 전극)를 연결할 수 있다. 제2 트랜지스터(T2)는 제2 노드(N2)에 연결된 제1 전극, 제3 노드(N3)에 연결된 제2 전극, 및 제1 그룹 게이트 신호(GW_A(k)) 또는 제2 그룹 게이트 신호(GW_B(k))를 수신하는 게이트 전극을 포함할 수 있다. 부화소(SP)가 제1 화소 그룹에 포함되는 경우, 제2 트랜지스터(T2)는 제1 그룹 게이트 신호(GW_A(k))를 수신할 수 있다. 부화소(SP) 제2 화소 그룹에 포함되는 경우, 제2 트랜지스터(T2)는 제2 그룹 게이트 신호(GW_B(k))를 수신할 수 있다.
- [0055] 제2 트랜지스터(T2)는 구동 트랜지스터(TD)의 문턱 전압 보상을 위해 사용될 수 있다. 제2 트랜지스터(T2)가 턴-온되는 경우, 구동 트랜지스터(TD)가 다이오드 연결될 수 있다. 이에 따라, 구동 트랜지스터(TD)의 문턱 전압 보상 동작이 수행될 수 있다.
- [0056] 제3 트랜지스터(T3)는 초기화 제어 신호(GI(k))에 응답하여 초기화 전압(VINT)을 제3 노드(N3)(즉, 구동 트랜지스터(TD)의 게이트 전극)에 제공할 수 있다. 제3 트랜지스터(T3)는 초기화 전원에 연결된 제1 전극, 제3 노드(N3)에 연결된 제2 전극, 및 초기화 제어 신호(GI(k))를 수신하는 게이트 전극을 포함할 수 있다. 제3 트랜지스터(T3)는 구동 트랜지스터(TD)의 게이트 전극의 전압을 초기화 전압(VINT)으로 초기화하는 데에 이용될 수 있다.
- [0057] 제4 트랜지스터(T4)는 발광 제어 신호(EM(k))에 응답하여 제1 전원 전압(ELVDD)을 제1 노드(N1)에 제공할 수 있다. 제4 트랜지스터(T4)는 제1 전원에 연결된 제1 전극, 제1 노드(N1)에 연결된 제2 전극, 및 발광 제어 신호(EM(k))를 수신하는 게이트 전극을 포함할 수 있다.
- [0058] 제5 트랜지스터(T5)는 발광 제어 신호(EM(k))에 응답하여 구동 트랜지스터(TD)와 유기 발광 다이오드(EL)의 애노드 전극을 전기적으로 연결할 수 있다. 제5 트랜지스터(T5)는 제2 노드(N2)에 연결된 제1 전극, 제4 노드(N4)에 연결된 제2 전극, 및 발광 제어 신호(EM(k))를 수신하는 게이트 전극을 포함할 수 있다.
- [0059] 제6 트랜지스터(T6)는 초기화 제어 신호(GI(k))에 응답하여 초기화 전압(VINT)을 제4 노드(N4)(즉, 유기 발광 다이오드(EL)의 애노드 전극)에 제공할 수 있다. 제6 트랜지스터(T6)는 초기화 전원에 연결된 제1 전극, 제4 노드(N4)에 연결된 제2 전극, 및 초기화 제어 신호(GI(k))를 수신하는 게이트 전극을 포함할 수 있다. 제6 트랜지스터(T6)는 유기 발광 다이오드(EL)의 애노드 전극을 초기화 전압(VINT)으로 초기화하는 데에 이용될 수 있다.
- [0060] 저장 커패시터(CST)는 제1 전원 전압(ELVDD)을 제공하는 제1 전원과 제3 노드(N3)에 위치할 수 있다.
- [0061] 유기 발광 다이오드(EL)는 제4 노드(N4)와 제2 전원 전압(ELVSS)을 제공하는 제2 전원 사이에 위치될 수 있다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 낮을 수 있다.
- [0062] 도 7 및 도 8은 도 7의 부화소가 구동되는 일 예를 나타내는 도면들이다.
- [0063] 도 7 및 도 8을 참조하면, 표시 패널은 하나의 프레임 주기가 초기화 구간(P1), 보상 구간(P20, P2E), 및 발광 구간(P3)을 순차적으로 포함하는 방식으로 구동될 수 있다. 이하, 제k 화소행을 기준으로 설명하기로 한다.
- [0064] 초기화 구간(P1)에서 초기화 제어 신호(GI(k))가 온-레벨을 가지고 게이트 신호(GW_A(k), GW_B(k))가 오프-레벨을 가질 수 있다. 초기화 구간(P1)에서, 발광 제어 신호(EM(k))는 오프-레벨을 유지할 수 있다. 도 7에서, 온-레벨은 논리 로우 레벨이고, 오프-레벨은 논리 하이 레벨일 수 있다. 이에 따라, 제3 트랜지스터(T3)가 턴-온되어 구동 트랜지스터(TD)의 게이트 전극의 전압(즉, 제3 노드(N3)의 전압)이 초기화 전압(VINT)으로 초기화될 수 있다. 또한, 제6 트랜지스터(T6)가 턴-온되어 유기 발광 다이오드(EL)의 애노드 전극의 전압(즉, 제4 노드(N4)의 전압)도 초기화 전압(VINT)으로 초기화될 수 있다.
- [0065] 보상 구간(P20, P2E)은 서로 부분적으로 중첩되는 제1 화소 그룹의 보상 구간(P20) 및 제2 화소 그룹의 보상 구간(P2E)을 포함할 수 있다.
- [0066] 제1 화소 그룹의 보상 구간(P20)에서 제1 그룹 게이트 신호(GW_A(k))가 온-레벨을 가질 수 있다. 제1 화소 그룹의 보상 구간(P20) 동안, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온될 수 있다. 따라서, 구동 트랜지스터(TD)에 데이터 전압이 인가되며, 구동 트랜지스터(TD)는 다이오드 연결되어 구동 트랜지스터의 문턱 전압이 보상될 수 있다. 보상 구간(P2)에서 초기화 제어 신호(GI(k))와 발광 제어 신호(EM(k))는 오프-레벨을 가질 수 있다.

- [0067] 구체적으로, 제1 화소 그룹의 보상 구간(P20)은 제1 보상 구간(P20-1), 제2 보상 구간(P20-2), 및 제3 보상 구간(P20-3)을 순차적으로 포함할 수 있다.
- [0068] 제1 보상 구간(P20-1) 동안, 제1 연결 제어 신호(CLA)는 온-레벨을 갖고, 제2 연결 제어 신호(CLB)는 오프-레벨을 가질 수 있다. 이에 따라, 제1 화소 그룹에 연결된 데이터 라인(DL(i))에 데이터 전압이 출력되고, 제1 화소 그룹의 부화소에 데이터 전압이 인가되며, 구동 트랜지스터(TD)의 문턱 전압이 보상될 수 있다. 즉, 제1 보상 구간(P20-1) 동안, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온되고, 구동 트랜지스터의 제1 단자는 데이터 구동부의 출력 앰프와 전기적으로 연결되므로, 구동 트랜지스터의 게이트 전극의 전압(VDTR)은 데이터 전압(DATA)과 구동 트랜지스터의 문턱 전압(Vth)의 차이에 근접하도록 증가할 수 있다. 한편, 제2 보상 구간(P20-2) 이전에 제(k-1) 화소행의 제2 그룹 게이트 신호(GW_B(k-1))는 온-레벨에서 오프-레벨로 변경될 수 있다.
- [0069] 제2 보상 구간(P20-2) 동안, 제1 및 제2 연결 제어 신호들(CLA, CLB)은 온-레벨을 가질 수 있다. 제2 보상 구간(P20-2)에서, 인접한 제2 화소 그룹에 연결된 데이터 라인의 전압이 증가할 수 있다. 만일, 제1 연결 제어 신호(CLA)이 오프-레벨을 갖고, 제1 화소 그룹에 연결된 데이터 라인(DL(i))은 플로팅(floating)된 경우, 제2 화소 그룹에 연결된 데이터 라인의 전압(DL(i+1))이 증가함에 따른 커플링 효과에 의해 제1 화소 그룹에 연결된 데이터 라인(DL(i))의 전압이 변동되고 구동 트랜지스터의 게이트 전극의 전압(VDTR)에 영향을 줄 수 있다. 하지만, 제2 보상 구간(P20-2) 동안, 제1 및 제2 연결 제어 신호들(CLA, CLB)은 온-레벨을 가지므로, 제1 화소 그룹에 연결된 데이터 라인(DL(i))은 데이터 구동부의 출력 앰프에 연결되고, 제2 화소 그룹에 연결된 데이터 라인(DL(i+1))의 전압이 증가하더라도, 커플링 영향을 받지 않을 수 있다.
- [0070] 즉, 제1 및 제2 보상 구간들(P20-1, P20-2) 동안, 제1 화소 그룹에 연결된 데이터 라인(DL(i))(즉, 제1 화소 그룹의 부화소의 제1 노드)은 데이터 구동부의 출력 앰프에 전기적으로 연결된 상태에서 안정적으로 문턱 전압 보상 동작(이하, 앰프 홀딩 보상 동작)이 수행될 수 있다.
- [0071] 제3 보상 구간(P20-3) 동안, 제1 연결 제어 신호(CLA)가 오프-레벨을 갖고, 제2 연결 제어 신호(CLB)는 온-레벨을 질 수 있다. 이에 따라, 제1 화소 그룹에 연결된 데이터 라인(DL(i))은 플로팅(floating)되고, 제1 트랜지스터의 제1 전극은 플로팅 상태일 수 있다. 제3 보상 구간(P20-3)에서는 플로팅된 데이터 라인(DL(i))에 저장된(남아있는) 전압으로 문턱 전압 보상이 유지될 수 있다. 따라서, 부화소(SP)는 제1 보상 구간(P20-1) 및 제2 보상 구간(P20-2) 뿐만 아니라 데이터 라인(DL(i))이 플로팅된 제3 보상 구간(P20-3) 동안 문턱 전압 보상 동작(이하, 플로팅 보상 동작)을 수행하므로, 문턱 전압 보상 시간을 충분히 확보할 수 있다. 이에 따라, 얼룩 시인이 방지되고 영상 표시 품질이 향상될 수 있다.
- [0072] 제2 화소 그룹의 보상 구간(P2E)은 제1 화소 그룹의 보상 구간(P20)과 부분적으로 중첩될 수 있다. 제2 화소 그룹의 보상 구간(P2E)은 제1 보상 구간(P2E1), 제2 보상 구간(P2E2), 및 제3 보상 구간(P2E3)을 순차적으로 포함할 수 있다. 제2 화소 그룹의 보상 구간(P2E)의 동작은 제1 화소 그룹의 보상 구간(P20)의 동작과 실질적으로 동일하므로, 중복되는 설명은 생략하기로 한다.
- [0073] 발광 구간(P3)에서, 발광 제어 신호(EM(k))는 온-레벨을 갖고, 제4 및 제5 트랜지스터들(T4, T5)이 턴-온될 수 있다. 이에 따라, 발광 구간(P3) 동안 유기 발광 다이오드(EL)는 데이터 전압(DATA)에 대응하는 휘도로 발광할 수 있다.
- [0074] 도 8에 도시된 바와 같이, 표시 장치가 제1 방향(D1)으로 연장되는 화이트 블록(WR)과 블랙 블록(BR)을 포함하는 영상을 표시하는 경우, 데이터 라인에서 전압이 급격히 변화하는 시점이 발생하고, 데이터 라인 사이의 전압 변화에 의한 커플링 영향이 발생할 수 있다. 예를 들어, 제2 화소 그룹에 연결된 데이터 라인의 전압 변동에 의해 초기화 전압을 제공하기 위한 초기화 전원 라인의 전압이 변동될 수 있다. 또한, 초기화 전원 라인의 전압이 변동에 의해 제1 화소 그룹에 연결된 데이터 라인의 전압이 변동될 수 있다. 도 7에서, 데이터 라인에 제(K-1) 화소행의 데이터 신호로서 화이트 블록(WR)에 상응하는 데이터 전압이 인가되고, 제(K) 및 제(K+1) 화소행의 데이터 신호로서 블랙 블록(BR)에 상응하는 데이터 전압이 인가될 수 있다. 제2 화소 그룹에 연결된 데이터 라인(DL(i+1))에서 급격한 전압 변동이 발생하는 변동 시점(EP)에서 제1 화소 그룹에 연결된 데이터 라인(DL(i))은 플로팅 상태가 아니라 데이터 구동부의 출력 앰프에 연결된 상태이므로, 커플링 영향이 최소화될 수 있다.
- [0075] 따라서, 제1 연결 제어 신호의 온-구간은 제2 연결 제어 신호의 온-구간과 부분적으로 중첩(즉, 제2 보상 구간에서 제1 및 제2 연결 제어 신호는 온-레벨을 가짐)으로써, 데이터 라인 주변의 전원 라인에 의한 커플링 영향을 감소시킬 수 있다.
- [0076] 도 9는 도 2의 표시 패널이 구동되는 일 예를 나타내는 도면이다.

- [0077] 도 9를 참조하면, 제k 화소행의 제1 화소 그룹과 제2 화소 그룹은 초기화 동작 및 발광 동작을 공통으로 수행하고, 데이터 기입-문턱 전압 보상 동작은 서로 독립적으로 수행할 수 있다.
- [0078] 온-레벨의 제k 초기화 신호(GI(k))는 제k 화소행 전체에 공통으로 인가될 수 있다. 따라서, 제k 화소행 전체에서 동시에 초기화가 수행될 수 있다.
- [0079] 제k 화소행의 제1 그룹 게이트 신호(GW_A(k))가 보상 구간(PA) 동안 온-레벨을 가질 수 있다. 따라서, 제k 화소행의 제1 화소 그룹에 포함되는 부화소들에서 데이터 기입 및 문턱 전압 보상 동작이 수행될 수 있다. 다만, 제1 및 제2 연결 제어 신호들(CLA, CLB)에 따라 데이터 라인들의 연결이 제어된다. 따라서, 보상 구간(PA) 중 제1 및 제2 보상 구간 동안 제k 화소행의 제1 화소 그룹에 데이터 전압(DATA) 인가되는 상태에서 문턱 전압 보상이 수행되고, 보상 구간(PA) 중 제3 보상 구간 동안 플로팅된 데이터 라인에 저장된 전압에 의한 문턱 전압 보상 유지 동작이 수행될 수 있다.
- [0080] 한편, 제k 화소행의 제2 그룹 게이트 신호(GW_B(k))가 보상 구간(PB) 동안 온-레벨을 가질 수 있다. 제k 화소행의 제1 그룹 게이트 신호(GW_A(k))의 일부와 제k 화소행의 제2 그룹 게이트 신호(GW_B(k))의 일부가 중첩할 수 있다. 일 실시예에서, 제k 화소행의 제2 그룹 게이트 신호(GW_B(k))는 제k 화소행의 제1 그룹 게이트 신호(GW_A(k))보다 약 1/2 수평주기 지연되어 제공될 수 있다.
- [0081] 따라서, 보상 구간(PA)과 보상 구간(PB)가 중첩되는 구간에서, 제k 화소행의 제1 화소 그룹은 플로팅 보상 동작이 수행되고, 동시에 제k 화소행의 제2 화소 그룹은 앰프 홀딩 보상 동작이 수행될 수 있다.
- [0082] 이후, 제(k+1) 화소행의 제1 그룹 게이트 신호(GW_A(k+1))가 보상 구간(PC) 동안 온-레벨을 가질 수 있다. 따라서, 제(k+1) 화소행의 제1 화소 그룹에 포함되는 부화소들에서 데이터 기입 및 문턱 전압 보상 동작이 수행될 수 있다.
- [0083] 보상 구간(PB)과 보상 구간(PC)가 중첩되는 구간에서, 제k 화소행의 제2 화소 그룹은 플로팅 보상 동작이 수행되고, 동시에 제(k+1) 화소행의 제1 화소 그룹은 앰프 홀딩 보상 동작이 수행될 수 있다.
- [0084] 이후, 제(k+1) 화소행의 제2 그룹 게이트 신호(GW_B(k+1))가 보상 구간(PD) 동안 온-레벨을 가질 수 있다. 제(k+1) 화소행의 동작은 제(k) 화소행의 동작과 실질적으로 동일하므로 중복되는 설명은 생략한다.
- [0085] 이와 같이, 제1 그룹 게이트 신호와 제2 그룹 게이트 신호가 일부 중첩됨으로써 제1 화소 그룹과 제2 화소 그룹은 보상 동작을 중첩하여 수행할 수 있다. 또한, 각각의 부화소에 대해 두 가지의 보상 동작(즉, 제1 및 제2 보상 구간들에 상응하는 앰프 홀딩 보상 동작, 제3 보상 구간에 상응하는 플로팅 보상 동작)이 수행됨으로써 문턱 전압 보상 시간이 충분히 확보될 수 있다.
- [0086] 도 10은 도 2의 표시 패널이 구동되는 다른 예를 나타내는 도면이다.
- [0087] 도 10을 참조하면, 제k 화소행의 제1 화소 그룹과 제2 화소 그룹은 초기화 동작 및 발광 동작을 공통으로 수행하고, 데이터 기입-문턱 전압 보상 동작은 서로 독립적으로 수행할 수 있다. 각각의 화소행들에서 제2 화소 그룹(예를 들어, 짝수 화소 그룹)에 대한 보상 동작 및 제1 화소 그룹(예를 들어, 홀수 화소 그룹)에 대한 보상 동작이 순차적으로 수행될 수 있다. 본 실시예에 따른 구동 방식은 제1 그룹 게이트 신호와 제2 그룹 게이트 신호의 제공 순서를 제외하면 도 9에 따른 표시 패널의 구동과 실질적으로 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.
- [0088] 제k 화소행의 제2 그룹 게이트 신호(GW_B(k))가 보상 구간(PA) 동안 온-레벨을 가질 수 있다. 따라서, 제k 화소행의 제2 화소 그룹에 포함되는 부화소들에서 데이터 기입 및 문턱 전압 보상 동작이 수행될 수 있다.
- [0089] 제k 화소행의 제1 그룹 게이트 신호(GW_A(k))가 보상 구간(PB) 동안 온-레벨을 가질 수 있다. 보상 구간(PA)과 보상 구간(PB)가 중첩되는 구간에서, 제k 화소행의 제2 화소 그룹에서 플로팅 보상 동작이 수행됨과 동시에 제k 화소행의 제1 화소 그룹에서 앰프 홀딩 보상 동작이 수행될 수 있다.
- [0090] 이후, 제(k+1) 화소행의 제2 그룹 게이트 신호(GW_B(k+1))가 보상 구간(PC) 동안 온-레벨을 가질 수 있다. 따라서, 제(k+1) 화소행의 제2 화소 그룹에 포함되는 부화소들에서 데이터 기입 및 문턱 전압 보상 동작이 수행될 수 있다. 보상 구간(PB)과 보상 구간(PC)가 중첩되는 구간에서, 제k 화소행의 제1 화소 그룹에서 플로팅 보상 동작이 수행됨과 동시에 제(k+1) 화소행의 제2 화소 그룹에서 앰프 홀딩 보상 동작이 수행될 수 있다.
- [0091] 제(k+1) 화소행의 제1 그룹 게이트 신호(GW_A(k+1))가 보상 구간(PD) 동안 온-레벨을 가질 수 있다. 보상 구간(PC)과 보상 구간(PD)가 중첩되는 구간에서, 제(k+1) 화소행의 제2 화소 그룹에서 플로팅 보상 동작이 수행됨과

동시에 제(k+1) 화소행의 제1 화소 그룹에서 앰프 홀딩 보상 동작이 수행될 수 있다.

- [0092] 이에 따라, 유기 발광 표시 장치의 문턱 전압 보상 시간이 충분히 확보될 수 있다.
- [0093] 도 11은 본 발명의 다른 실시예에 따른 표시 장치를 나타내는 블록도이다. 도 12는 도 11의 표시 장치에 포함된 표시 패널의 구조를 나타내는 도면들이다.
- [0094] 도 11 및 도 12를 참조하면, 유기 발광 표시 장치(1000B)는 표시 패널(100B), 게이트 구동부(200), 발광 제어 구동부(300), 데이터 구동부(400), 연결 제어부(500), 및 타이밍 제어부(600)를 포함할 수 있다. 다만, 본 실시예에 유기 발광 표시 장치(1000B)는 하나의 화소 그룹열에 2개의 데이터 라인 그룹들이 연결된 것을 제외하면, 도 1의 유기 발광 표시 장치(1000A)와 실질적으로 동일하므로, 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 중복되는 설명은 생략하기로 한다.
- [0095] 표시 패널(100B)은 복수의 화소행들을 포함할 수 있다. 예를 들어, 제1 화소행은 교번적으로 배치되는 제1 화소 그룹(PG00) 및 제2 화소 그룹(PGOE)을 포함할 수 있다. 제2 화소행은 교번적으로 배치되는 제3 화소 그룹(PGEE), 및 제4 화소 그룹(PGEO)을 포함할 수 있다. 즉, 제1 화소 그룹(PG00)은 홀수 화소 그룹행 및 홀수 화소 그룹열에 위치할 수 있다. 제2 화소 그룹(PGOE)은 홀수 화소 그룹행 및 짝수 화소 그룹열에 위치할 수 있다. 제3 화소 그룹(PGEE)은 짝수 화소 그룹행 및 짝수 화소 그룹열에 위치할 수 있다. 제4 화소 그룹(PGEO)은 짝수 화소 그룹행 및 홀수 화소 그룹열에 위치할 수 있다.
- [0096] 표시 패널(100B)에서, 화소 그룹행에 대응하여 2개의 게이트 라인이 배치될 수 있다. 제1 화소행(PR1)에 포함된 제1 화소 그룹(PG00)은 제1 그룹 게이트 라인의 제1 라인(GWAL1)과 연결되고, 제1 화소행(PR1)에 포함된 제2 화소 그룹(PGE)은 제2 그룹 게이트 라인의 제1 라인(GWBL1)과 연결될 수 있다. 제2 화소행(PR2)에 포함된 제3 화소 그룹(PGEE)은 제1 그룹 게이트 라인의 제2 라인(GWAL2)과 연결되고, 제2 화소행(PR2)에 포함된 제4 화소 그룹(PGEO)은 제2 그룹 게이트 라인의 제2 라인(GWBL2)과 연결될 수 있다.
- [0097] 타이밍 제어부(600)는 게이트 구동부(200), 발광 제어 구동부(300), 데이터 구동부(400), 연결 제어부(500)를 각각 제어하기 위한 제1 내지 제4 제어 신호(CON1 내지 CON4)를 생성할 수 있다.
- [0098] 게이트 구동부(200)는 타이밍 제어부(600)로부터 제공되는 제1 제어 신호(CON1)에 기초하여 제1 화소 그룹(PG00)에 제1 그룹 게이트 신호(GW_A(k))를 제공하고, 제2 화소 그룹(PGOE)에 제2 그룹 게이트 신호(GW_B(k))를 제공하며, 제3 화소 그룹(PGEE)에 제3 그룹 게이트 신호(GW_C(k))를 제공하고, 제4 화소 그룹(PGEO)에 제4 그룹 게이트 신호(GW_D(k))를 제공할 수 있다.
- [0099] 또한, 게이트 구동부(200)는 제1 제어 신호(CON1)에 기초하여 초기화 제어 라인들(GIL1 내지 GILn)에 초기화 제어 신호를 순차적으로 출력할 수 있다.
- [0100] 발광 제어 구동부(300)는 제2 제어 신호(CON2)에 기초하여 발광 제어 라인들(EL1 내지 ELn)에 순차적으로 발광 제어 신호를 출력할 수 있다.
- [0101] 데이터 구동부(400)는 타이밍 제어부(600)로부터 제공되는 제3 제어 신호(CON3) 및 출력 영상 데이터(DAT)에 기초하여 복수의 출력 라인 그룹들(CH1 내지 CHm)(여기서, m은 1보다 큰 정수)에 데이터 전압을 출력할 수 있다.
- [0102] 연결 제어부(500)는 제4 제어 신호(CON4)에 기초하여 출력 라인 그룹들(CH1 내지 CHm)과 데이터 라인 그룹들(OO_DL1 내지 OO_DLm, OE_DL1 내지 OE_DLm, EE_DL1 내지 EE_DLm, 및 EO_DL1 내지 EO_DLm) 사이의 연결을 제어할 수 있다.
- [0103] 도 11 및 도 12에 도시된 바와 같이, 연결 제어부(500)는 제1 연결 제어 신호(CLA)에 기초하여 출력 라인 그룹들(CH1 내지 CHm)을 제1 데이터 라인 그룹(OO_DL1 내지 OO_DLm)에 연결할 수 있다. 제2 연결 제어 신호(CLB)에 기초하여 출력 라인 그룹들(CH1 내지 CHm)을 제2 데이터 라인 그룹(OE_DL1 내지 OE_DLm)에 연결할 수 있다. 연결 제어부(500)는 제3 연결 제어 신호(CLC)에 기초하여 출력 라인 그룹들(CH1 내지 CHm)을 제3 데이터 라인 그룹(EE_DL1 내지 EE_DLm)에 연결하고, 제4 연결 제어 신호(CLD)에 기초하여 출력 라인 그룹들(CH1 내지 CHm)을 제4 데이터 라인 그룹(EO_DL1 내지 EO_DLm)에 연결할 수 있다.
- [0104] 예를 들어, 연결 제어부(500)는 제1 연결 제어 신호(CLA)에 응답하여 제1 내지 제4 출력 라인들(OL1 내지 OL4)을 제1 화소 그룹(PG00)에 연결하는 제1 내지 제4 스위치들(SW1 내지 SW4)을 포함할 수 있다. 연결 제어부(500)는 제2 연결 제어 신호(CLB)에 응답하여 제1 내지 제4 출력 라인들(OL1 내지 OL4)을 제2 화소 그룹(PGOE)에 연결하는 제5 내지 제8 스위치들(SW5 내지 SW8)을 포함할 수 있다. 연결 제어부(500)는 제3 연결 제어 신호

(CLC)에 응답하여 제1 내지 제4 출력 라인들(OL1 내지 OL4)을 제3 화소 그룹(PGEE)에 연결하는 제9 내지 제12 스위치들(SW9 내지 SW12)을 포함할 수 있다. 연결 제어부(500)는 제4 연결 제어 신호(CLD)에 응답하여 제1 내지 제4 출력 라인들(OL1 내지 OL4)을 제4 화소 그룹(PGEO)에 연결하는 제13 내지 제16 스위치들(SW13 내지 SW16)을 포함할 수 있다.

- [0105] 표시 패널(100B)은 펜타일(pentile) 방식으로 배치된 부화소들을 포함할 수 있다. 일 실시예에서, 제1 및 제2 화소 그룹들(PG00, PG0E) 각각은 서로 인접한 제1 화소 및 제2 화소를 포함할 수 있다. 제1 화소는 제2 색광(예를 들어, 녹색광)을 발하는 제1 부화소(SP(G2)) 및 제3 색광(예를 들어, 청색광)을 발하는 제2 부화소(SP(B))를 포함할 수 있다. 제2 화소는 제2 색광(예를 들어, 녹색광)을 발하는 제3 부화소(SP(G1)) 및 제1 색광(예를 들어, 적색광)을 발하는 제4 부화소(SP(R))를 포함할 수 있다. 제3 및 제4 화소 그룹들(PGEE, PGEO) 각각은 서로 인접한 제3 화소 및 제4 화소를 포함할 수 있다. 제3 화소는 제3 색광(예를 들어, 청색광)을 발하는 제5 부화소(SP(B)) 및 제2 색광(예를 들어, 녹색광)을 발하는 제6 부화소(SP(G2))를 포함할 수 있다. 제4 화소는 제1 색광(예를 들어, 적색광)을 발하는 제7 부화소(SP(R)) 및 제2 색광(예를 들어, 녹색광)을 발하는 제8 부화소(SP(G1))를 포함할 수 있다.
- [0106] 표시 패널(100B)에서, 하나의 화소열에 대응하여 2개의 데이터 라인들이 배치될 수 있다. 예를 들어, 제1 부화소(SP(G2))에 연결되는 제1 데이터 라인 및 제2 부화소(SP(B))에 연결되는 제2 데이터 라인은 제1 부화소(SP(G2))와 제2 부화소(SP(B)) 사이에서 화소열 방향과 평행한 제2 방향으로 연장될 수 있다. 제3 부화소(SP(G1))에 연결되는 제3 데이터 라인과 제4 부화소(SP(R))에 연결되는 제4 데이터 라인은 제3 부화소(SP(G1))와 제4 부화소(SP(R)) 사이에서 제2 방향으로 연장될 수 있다.
- [0107] 또한, 제5 부화소(SP(B))에 연결되는 제5 데이터 라인과 제6 부화소(SP(G2))에 연결되는 제6 데이터 라인은 제1 화소와 제2 화소 사이에서 제2 방향으로 연장될 수 있다.
- [0108] 제7 부화소(SP(R))에 연결되는 제7 데이터 라인과 제8 부화소(SP(G1))에 연결되는 제8 데이터 라인은 제2 부화소(SP(B))와 제3 부화소(SP(G1)) 사이에서 제2 방향으로 연장될 수 있다.
- [0109] 도 13은 도 11의 표시 장치에 포함된 부화소가 구동되는 일 예를 나타내는 도면들이다.
- [0110] 도 13을 참조하면, 표시 패널은 하나의 프레임 주기가 초기화 구간(P1), 보상 구간(P20, P2E), 및 발광 구간(P3)을 순차적으로 포함하는 방식으로 구동될 수 있다. 다만, 본 실시예에 따른 초기화 구간, 보상 구간, 및 발광 구간의 기본적인 동작은 도 7에서 기술한 부화소의 구동 방법과 실질적으로 동일하므로, 중복되는 설명은 생략한다.
- [0111] 제1 화소 그룹의 보상 구간(P00)에서 제1 그룹 게이트 신호(GW_A(k))가 온-레벨을 가질 수 있다. 제1 화소 그룹의 보상 구간(P00) 동안, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 턴-온될 수 있다. 따라서, 구동 트랜지스터(TD)에 데이터 전압이 인가되며, 구동 트랜지스터(TD)는 다이오드 연결되어 구동 트랜지스터의 문턱 전압이 보상될 수 있다.
- [0112] 제1 화소 그룹의 보상 구간(P00)은 제1 보상 구간(P001), 제2 보상 구간(P002), 및 제3 보상 구간(P003)을 순차적으로 포함할 수 있다.
- [0113] 제1 보상 구간(P001) 동안, 제1 연결 제어 신호(CLA)는 온-레벨을 갖고, 제2 내지 제4 연결 제어 신호(CLB, CLC, CLD)는 오프-레벨을 가질 수 있다. 이에 따라, 제1 화소 그룹에 연결된 데이터 라인(OO_DL(i))에 데이터 전압이 출력되고, 제1 화소 그룹의 부화소에 데이터 전압이 인가되며, 구동 트랜지스터(TD)의 문턱 전압이 보상될 수 있다.
- [0114] 제2 보상 구간(P002) 동안, 제1 및 제2 연결 제어 신호들(CLA, CLB)은 온-레벨을 갖고, 제3 및 제4 연결 제어 신호(CLC, CLD)는 오프-레벨을 가질 수 있다. 제2 보상 구간(P002)에서, 인접한 제2 화소 그룹에 연결된 데이터 라인(즉, OE_DL(i))의 전압이 증가할 수 있다. 만일, 제1 연결 제어 신호(CLA)가 오프-레벨을 갖고, 제1 화소 그룹에 연결된 데이터 라인(OO_DL(i))이 플로팅(floating)된 경우, 제2 화소 그룹에 연결된 데이터 라인의 전압(OE_DL(i))이 증가함에 따른 커플링 효과에 의해 제1 화소 그룹에 연결된 데이터 라인(OO_DL(i))의 전압이 변동되고 구동 트랜지스터의 게이트 전극의 전압에 영향을 줄 수 있다. 즉, 데이터 라인의 전압 변동 시 데이터 라인 주변의 전원 라인의 전압이 변동되고, 데이터 라인과 인접한 화소가 플로팅 보상 동작 수행하는 경우 구동 트랜지스터의 게이트 전극의 전압에 영향을 줄 수 있다. 하지만, 제2 보상 구간(P002) 동안, 제1 및 제2 연결 제어 신호들(CLA, CLB)은 온-레벨을 가지므로, 제1 화소 그룹에 연결된 데이터 라인(OO_DL(i))은 데이터 구동부의 출력 앰프에 연결되고, 제2 화소 그룹에 연결된 데이터 라인(OE_DL(i))의 전압이 증가하더라도, 커플링 영향

을 받지 않을 수 있다.

- [0115] 제3 보상 구간(P003) 동안, 제1, 제3, 및 제4 연결 제어 신호들(CLA, CLC, CLD)이 오프-레벨을 갖고, 제2 연결 제어 신호(CLB)는 온-레벨을 질 수 있다. 이에 따라, 제1 화소 그룹에 연결된 데이터 라인(OO_DL(i))은 플로팅(floating)되고, 제1 트랜지스터의 제1 전극은 플로팅 상태일 수 있다. 제3 보상 구간(P003)에서는 플로팅된 데이터 라인(OO_DL(i))에 저장된(남아있는) 전압으로 문턱 전압 보상이 유지될 수 있다. 따라서, 부화소는 제1 보상 구간(P001) 및 제2 보상 구간(P002) 뿐만 아니라 데이터 라인(OO_DL(i))이 플로팅된 제3 보상 구간(P003) 동안 문턱 전압 보상 동작(이하, 플로팅 보상 동작)을 수행하므로, 문턱 전압 보상 시간을 충분히 확보할 수 있다. 이에 따라, 얼룩 시인이 방지되고 영상 표시 품질이 향상될 수 있다.
- [0116] 제2 화소 그룹의 보상 구간(POE)은 제1 화소 그룹의 보상 구간(P00)과 부분적으로 중첩될 수 있다. 제2 화소 그룹의 보상 구간(POE)은 제1 보상 구간(POE1), 제2 보상 구간(POE2), 및 제3 보상 구간(POE3)을 순차적으로 포함할 수 있다. 제2 연결 제어 신호(CLB)의 온-구간 및 제3 연결 제어 신호(CLC)의 온-구간은 제2 화소 그룹의 보상 구간(POE)의 제2 보상 구간(POE2)에서 부분적으로 중첩될 수 있다. 제2 화소 그룹의 보상 구간(POE)의 동작은 제1 화소 그룹의 보상 구간(P00)의 동작과 실질적으로 동일하므로, 중복되는 설명은 생략한다.
- [0117] 제3 화소 그룹의 보상 구간(PEE)은 제2 화소 그룹의 보상 구간(POE)과 부분적으로 중첩될 수 있다. 제2 화소 그룹의 보상 구간(PEE)은 제1 보상 구간(PEE1), 제2 보상 구간(PEE2), 및 제3 보상 구간(PEE3)을 순차적으로 포함할 수 있다. 제3 연결 제어 신호(CLC)의 온-구간 및 제3 연결 제어 신호(CLD)의 온-구간은 제3 화소 그룹의 보상 구간(PEE)의 제2 보상 구간(PEE2)에서 부분적으로 중첩될 수 있다. 제3 화소 그룹의 보상 구간(PEE)의 동작은 제1 화소 그룹의 보상 구간(P00)의 동작과 실질적으로 동일하므로, 중복되는 설명은 생략한다.
- [0118] 제4 화소 그룹의 보상 구간(PEO)은 제3 화소 그룹의 보상 구간(PEE)과 부분적으로 중첩될 수 있다. 제4 화소 그룹의 보상 구간(PEO)은 제1 내지 제3 화소 그룹의 보상 구간(P00, POE, PEE)와 동일한 방식으로 수행될 수 있다.
- [0119] 따라서, 제1 내지 제4 연결 제어 신호들의 온-구간은 서로 부분적으로 중첩됨으로써, 데이터 라인 주변의 전원 라인에 의한 커플링 영향을 감소시킬 수 있다.
- [0120] 이상, 본 발명의 실시예들에 따른 유기 발광 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 상기에서는 각 화소 그룹이 2개의 화소를 포함하고, 각 화소는 2개의 부화소를 포함하는 것으로 설명하였으나, 화소 그룹의 구조 및 화소 배치는 이에 한정되는 것이 아니다.

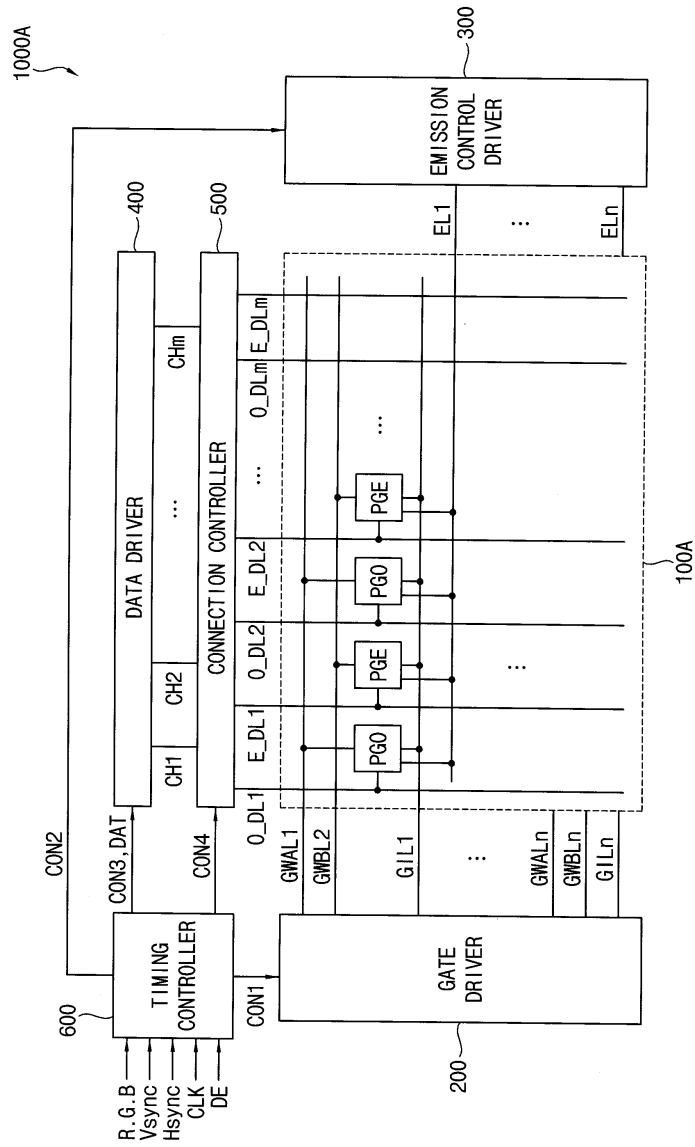
산업상 이용가능성

- [0121] 본 발명은 유기 발광 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 디지털 카메라, 비디오 캠코더 등에 적용될 수 있다.
- [0122] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

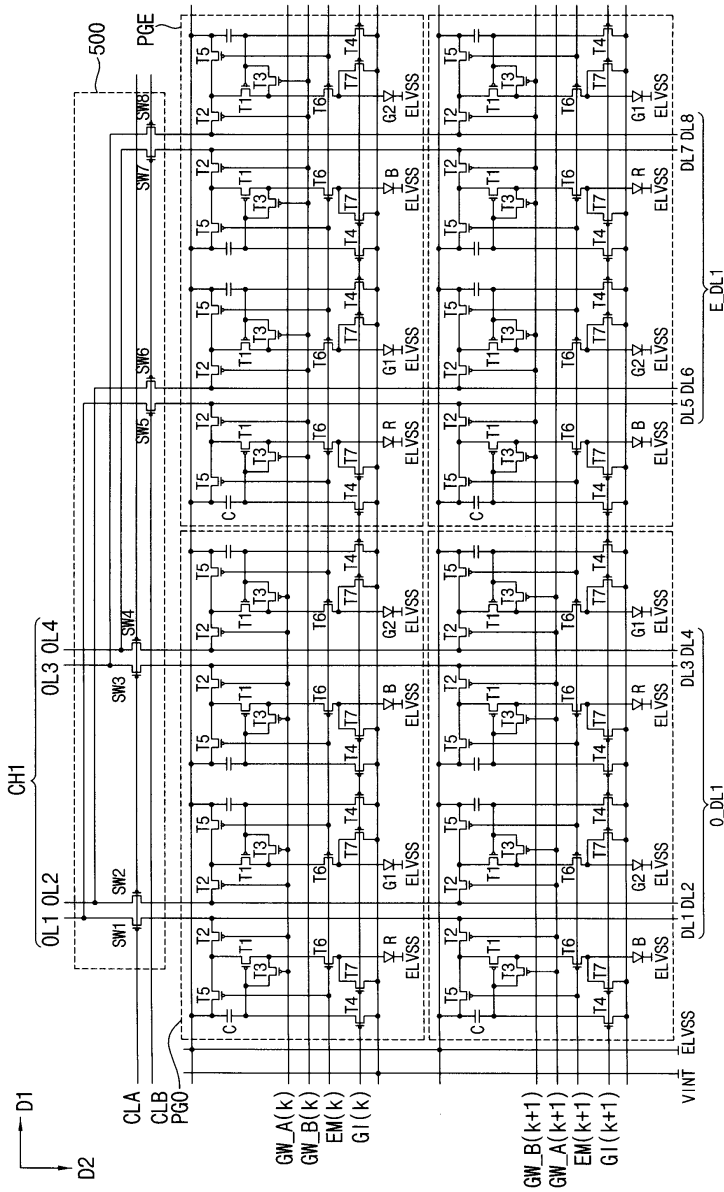
부호의 설명

- [0123] 100A, 100B: 표시 패널 200: 게이트 구동부
- 300: 발광 제어 구동부 400: 데이터 구동부
- 500: 연결 제어부 600: 타이밍 제어부
- 1000A, 1000B: 유기 발광 표시 장치

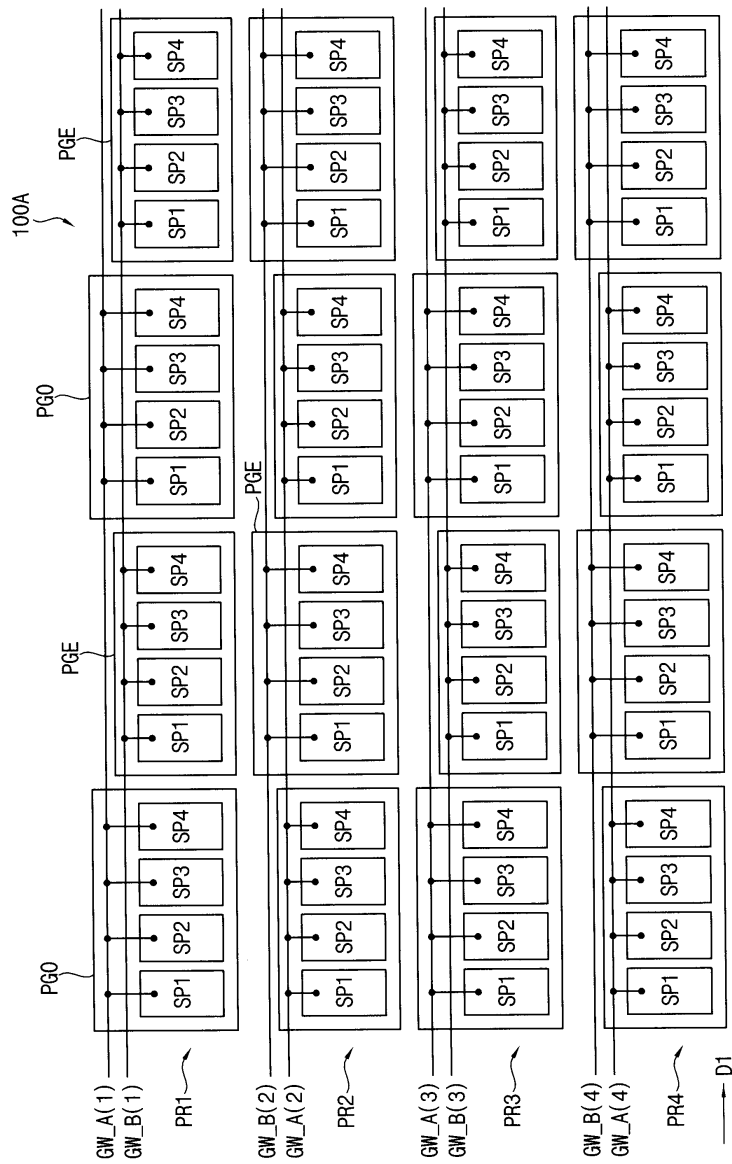
도면
도면1



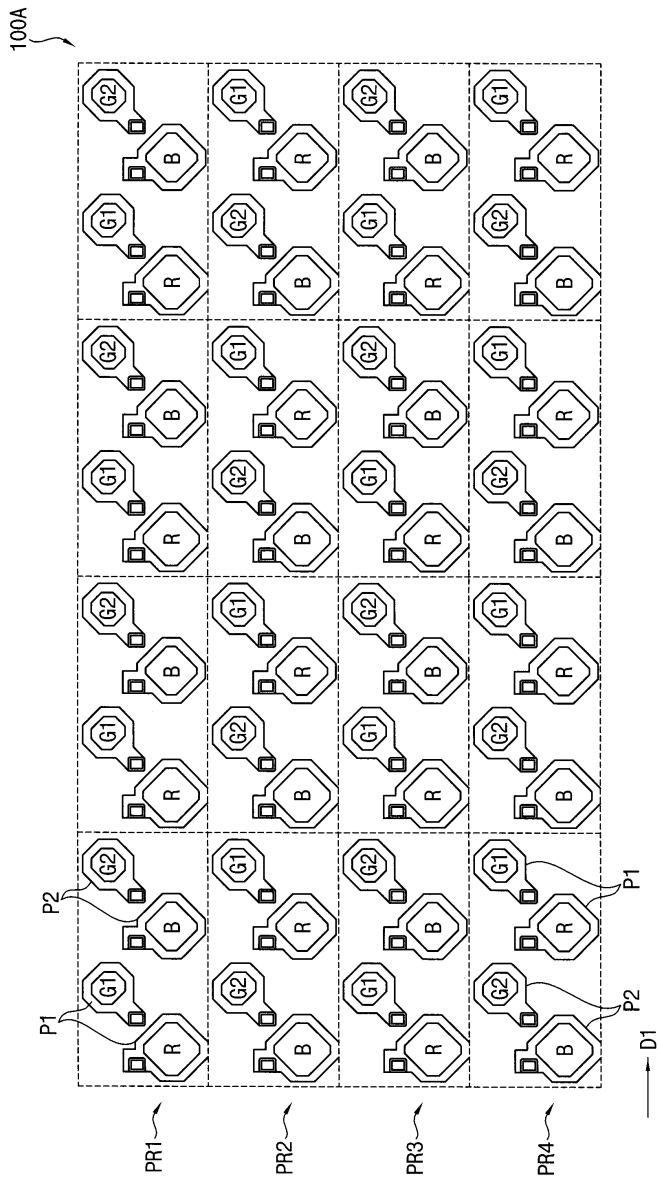
도면2



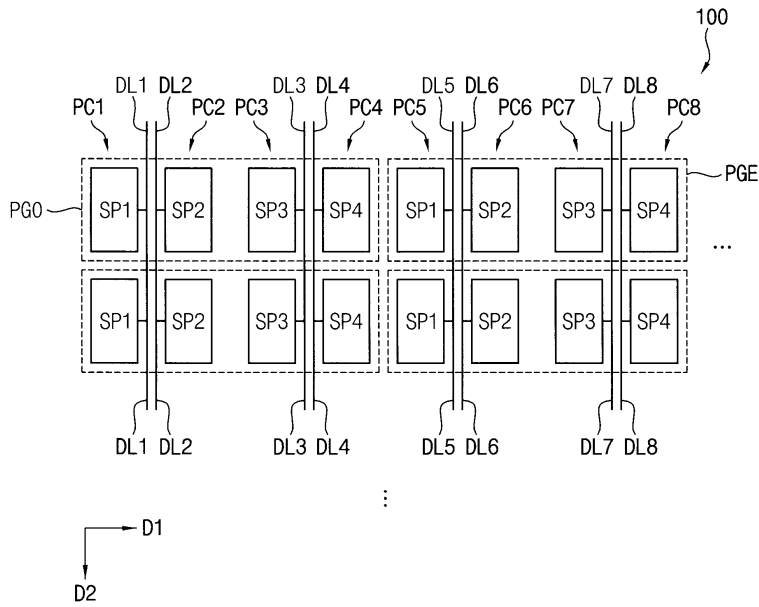
도면3



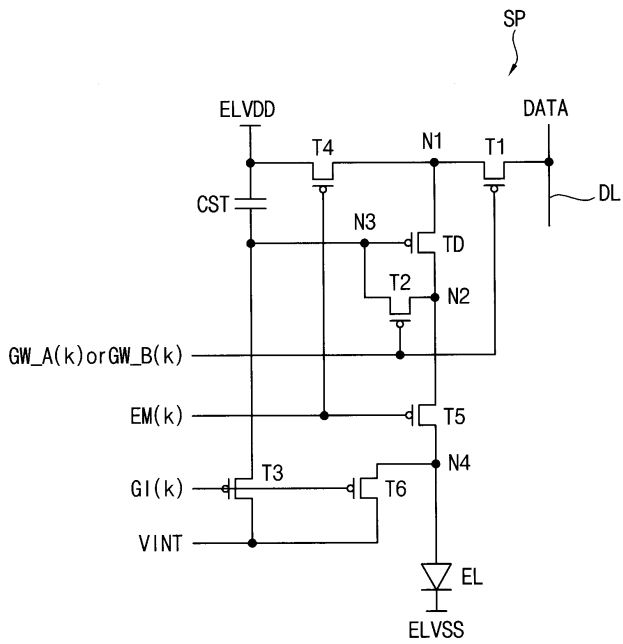
도면4



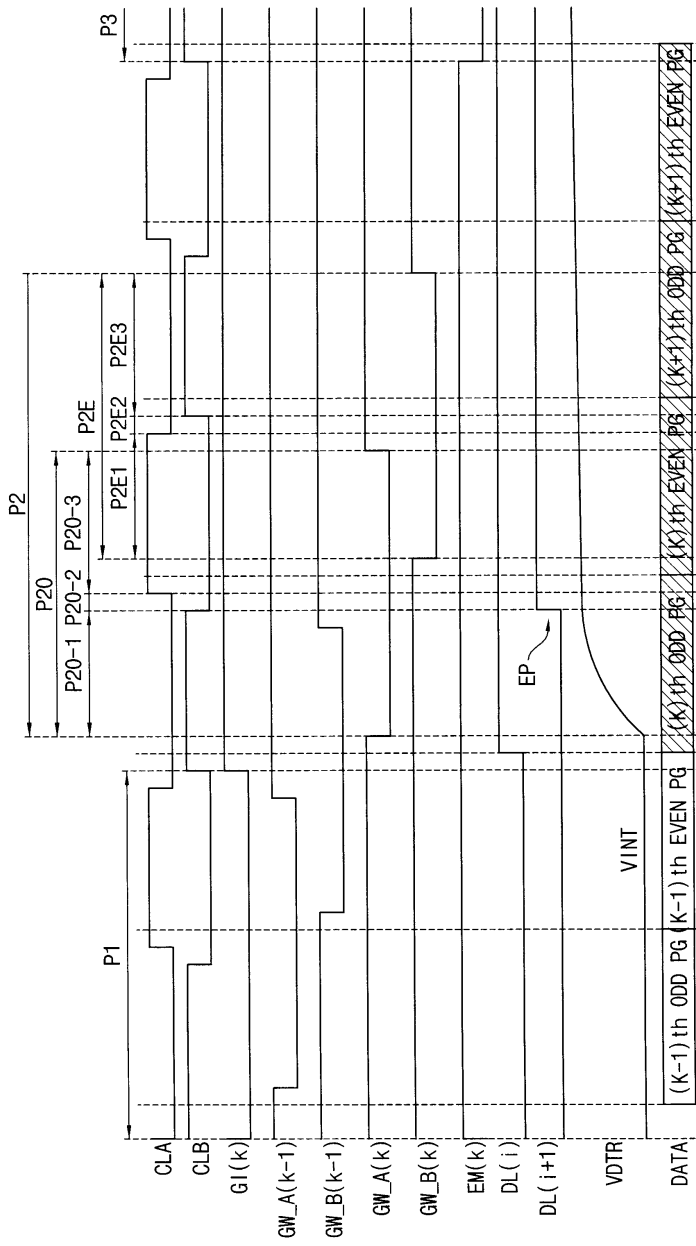
도면5



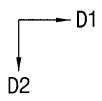
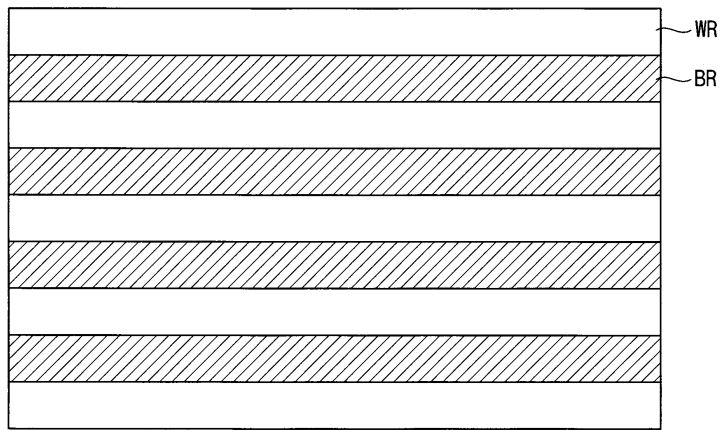
도면6



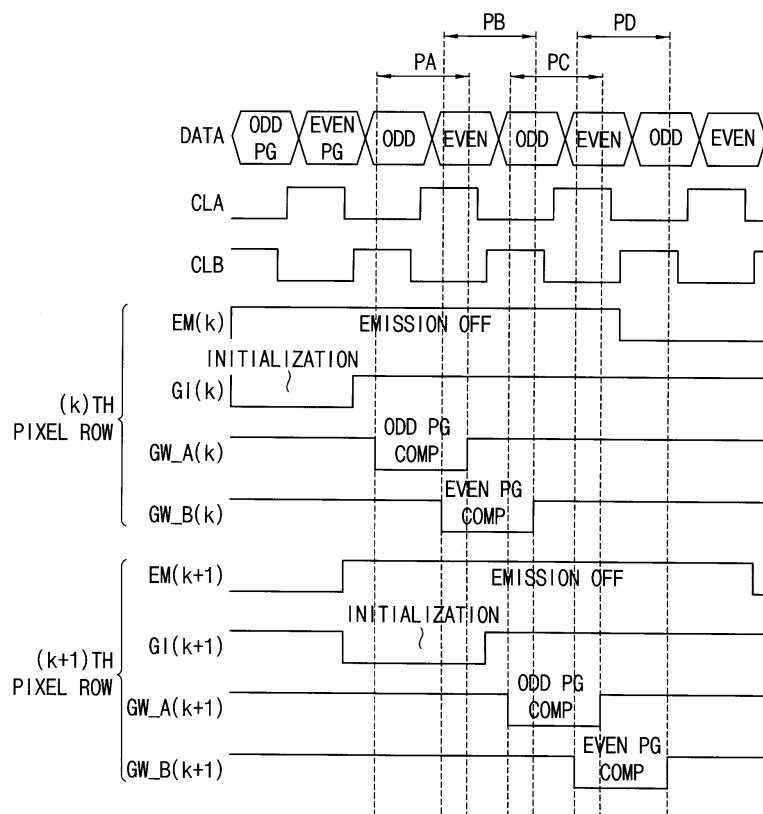
도면7



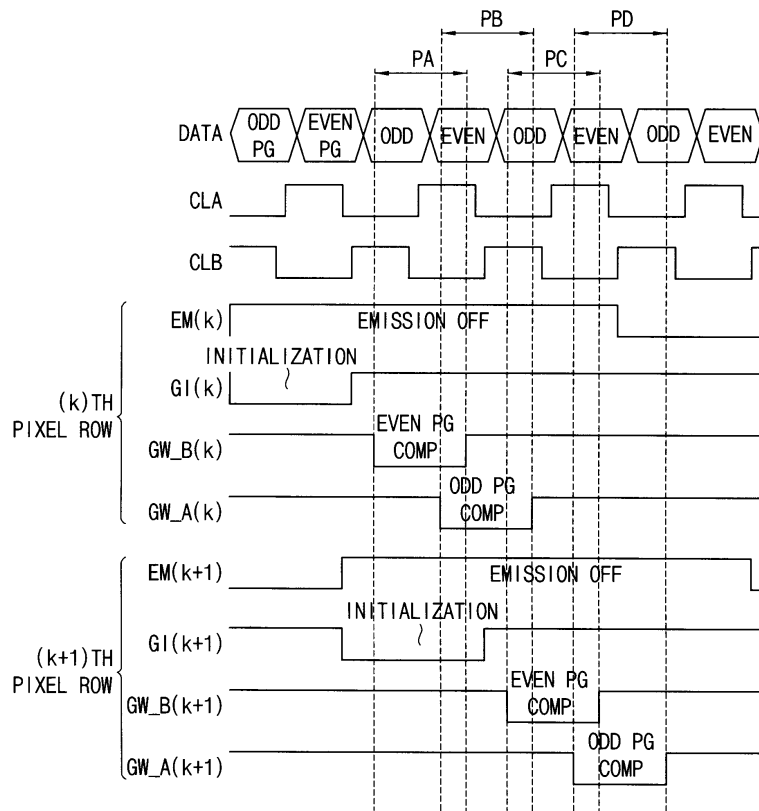
도면8



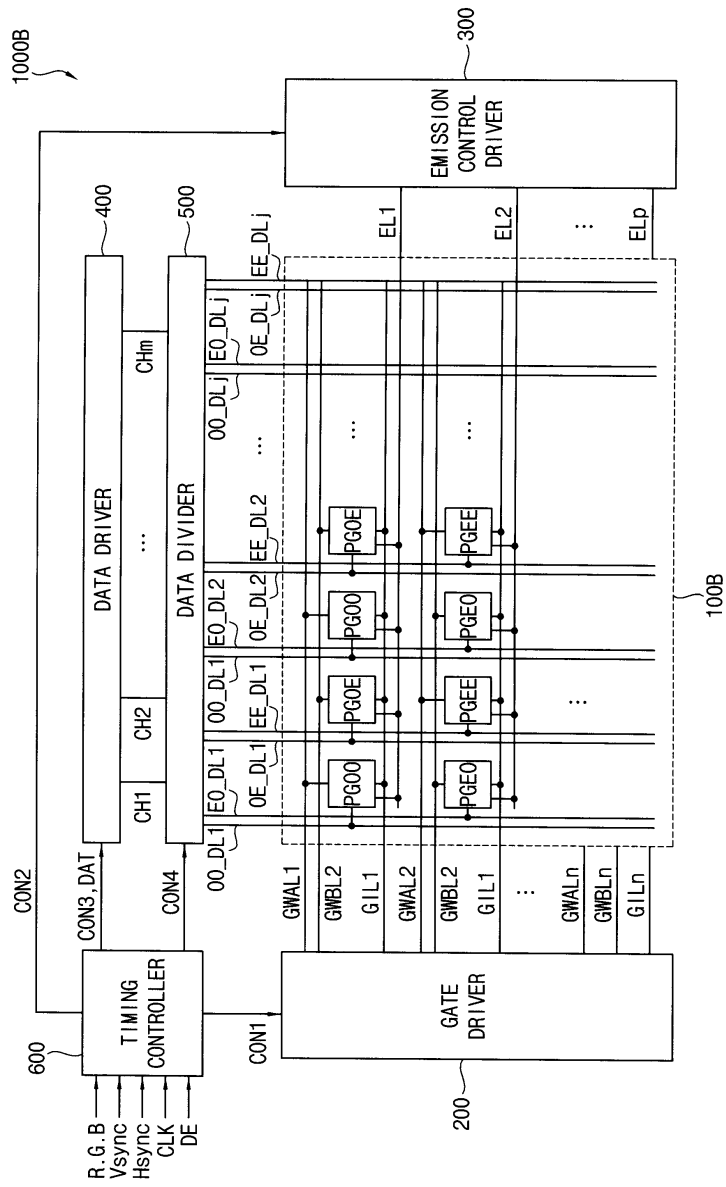
도면9



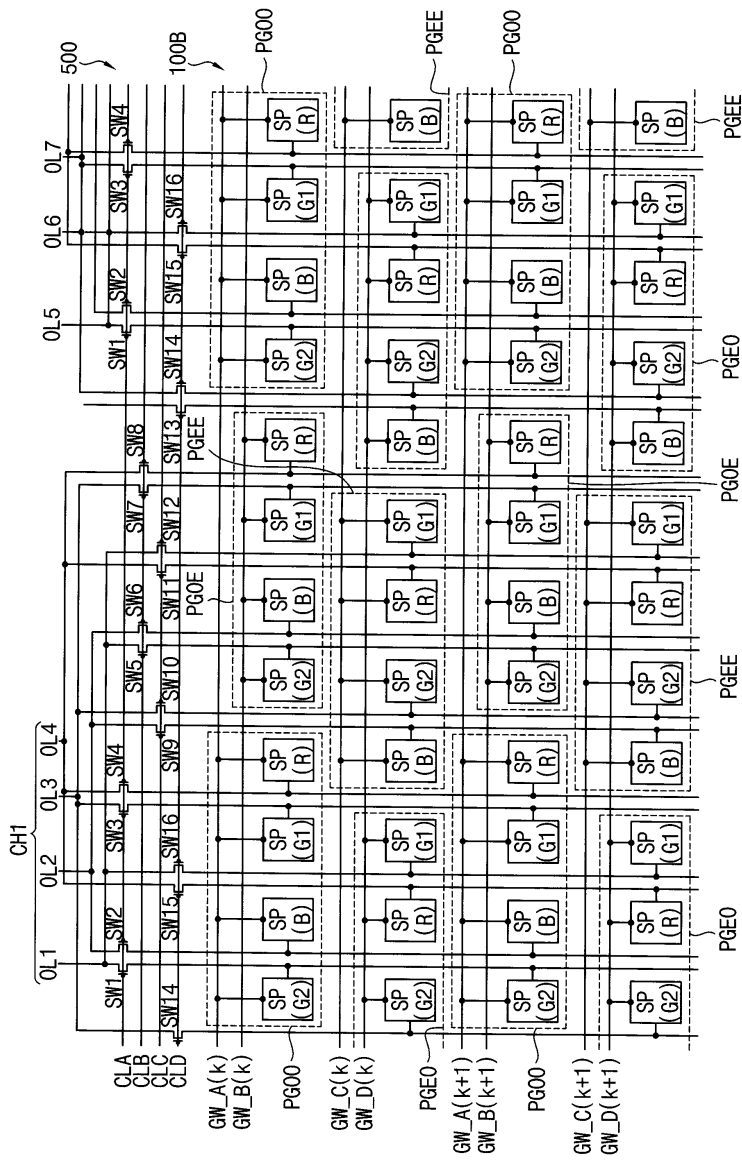
도면10



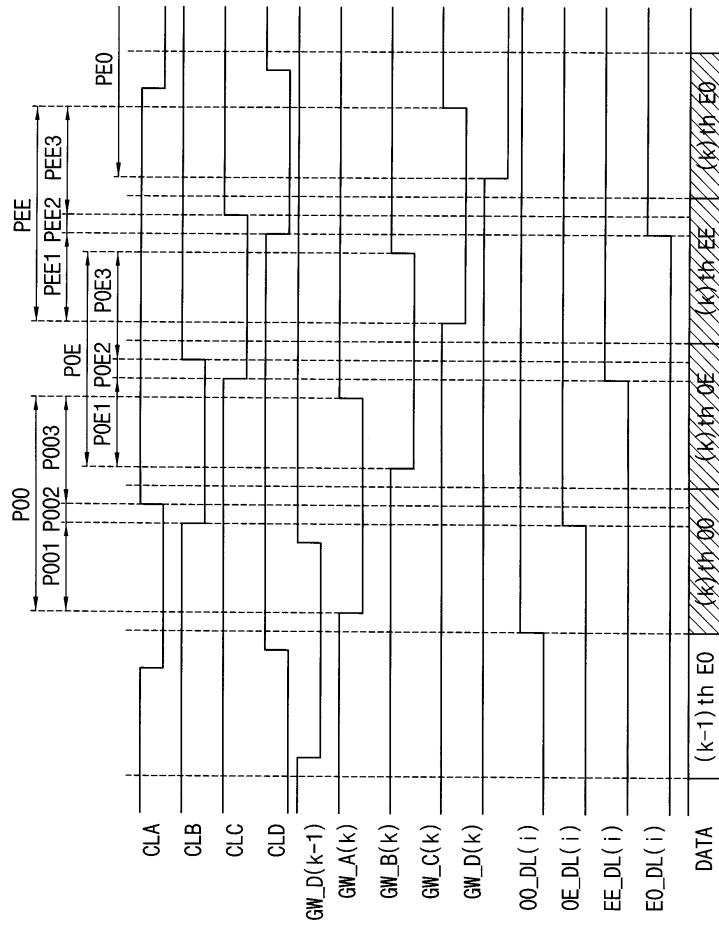
도면11



도면12



도면13



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190062679A	公开(公告)日	2019-06-07
申请号	KR1020170160992	申请日	2017-11-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	윤창노 양진욱		
发明人	윤창노 양진욱		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0452 G09G2300/0819 G09G2320/0233 G09G3/3291 G09G2300/0426 G09G2300/043 G09G2300/0465 G09G2300/0842 G09G2300/0861 G09G2310/0297 G09G2310/08 G09G2320/0219 G09G2320/045 H01L27/3216 H01L27/3218 H01L27/3276		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

一种有机发光二极管显示器，包括：显示面板，其包括多个像素行，其中第一像素组和第二像素组交替布置；第一组栅极信号被提供给第一像素组；以及栅极驱动器提供两组栅极信号，数据驱动器将数据电压输出到多个输出线组，并且基于第一连接控制信号并控制第二连接控制，将输出线组连接到第一数据线组。连接控制器，用于基于所述信号将输出线组连接到第二数据线组。第二组栅极信号的导通部分与第一组栅极信号的导通部分重叠。第一数据线组连接到包括在像素行的第一像素行中的第一像素组。第二数据线组连接到包括在第一像素行中的第二像素组。第一连接控制信号的接通部分与第二连接控制信号的接通部分重叠。

