



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0060311
(43) 공개일자 2018년06월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2016-0159666
(22) 출원일자 2016년11월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박해준
경기도 고양시 일산서구 중앙로 1471, 1301동
1504호(주엽동, 문촌마을13단지아파트)
박종백
광주광역시 북구 삼정로 7, 102동 1301호(두암동,
울곡타운, 두암주공2단지아파트)
(74) 대리인
특허법인인벤투스

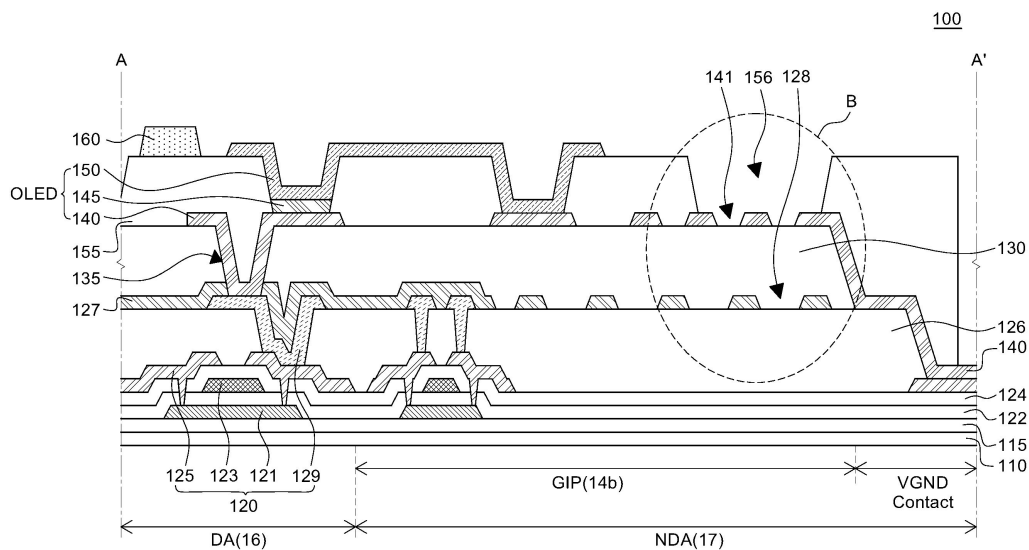
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예에 따른 유기 발광 표시 장치는 표시 영역, 표시 영역 외곽에 있는 비표시 영역과, 표시 영역에 있는 박막 트랜지스터와, 박막 트랜지스터 및 비표시 영역 상에 있는 보호층과, 보호층 상에 있고, 박막 트랜지스터와 접속된 제 1 전극과 제 1 전극의 일측 상에 배치되고, 제 1 전극의 일부를 노출시키는 뱅크층과 제 1 전극 상에 있는 발광부 및 발광부 상에 있는 제 2 전극을 포함하고, 비표시 영역의 보호층은 복수의 홀을 포함한다.

대표도



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/5253 (2013.01)

H01L 2251/301 (2013.01)

H01L 2251/303 (2013.01)

명세서

청구범위

청구항 1

표시 영역;

상기 표시 영역 외곽에 있는 비표시 영역;

상기 표시 영역에 있는 박막 트랜지스터;

상기 박막 트랜지스터 및 비표시 영역 상에 있는 보호층,

상기 보호층 상에 있고, 상기 박막 트랜지스터와 접속된 제 1 전극;

상기 제 1 전극의 일측 상에 배치되고, 상기 제 1 전극의 일부를 노출시키는 बैं크층;

상기 제 1 전극 상에 있는 발광부; 및

상기 발광부 상에 있는 제 2 전극을 포함하고,

상기 비표시 영역의 상기 보호층은 복수의 홀을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 비표시 영역에서, 상기 제 1 전극은 복수의 홀을 포함하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 비표시 영역에서, 상기 보호층의 복수의 홀은 상기 제 1 전극의 복수의 홀과 적어도 일부가 중첩된 유기 발광 표시 장치.

청구항 4

제 2 항에 있어서,

상기 비표시 영역에서, 상기 बैं크층은 상기 제 1 전극의 복수의 홀을 노출시키는 적어도 하나의 홀을 포함하는 유기 발광 표시 장치.

청구항 5

제 2 항에 있어서,

상기 보호층의 홀의 너비는 상기 제 1 전극의 홀의 너비보다 큰 유기 발광 표시 장치.

청구항 6

제 2 항에 있어서,

상기 보호층의 홀의 개수는 상기 제 1 전극의 홀의 개수보다 적은 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 보호층은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x) 중 어느 하나로 이루어진 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 보호층에 구비된 복수의 홀은 상기 비표시 영역의 GIP(Gate In Panel) 상에 있는 유기 발광 표시 장치.

청구항 9

제 1 항에 있어서,

상기 보호층의 상부 또는 하부에 적어도 하나의 평탄화층을 더 포함하는 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 발광부는 유기 발광층 및 적어도 하나의 정공 수송층과 전자 수송층을 포함하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 유기 발광층은 적색 서브 화소의 적색 발광층, 녹색 서브 화소의 녹색 발광층 및 청색 서브 화소의 청색 발광층을 포함하여 이루어진 유기 발광 표시 장치.

청구항 12

표시 영역 및 비표시 영역을 갖는 기판, 상기 기판 상에 있는 박막 트랜지스터, 상기 박막 트랜지스터 상의 제 1 전극 및 제 2 전극 및 상기 제 1 전극과 상기 제 2 전극 사이에 있는 발광부를 포함하는 유기 발광 표시 장치에 있어서, 상기 비표시 영역에서 상기 박막 트랜지스터 상에 있는 하부 평탄화층 및 상기 하부 평탄화층 상에 복수의 홀을 갖는 보호층을 포함하고, 상기 보호층에 구비된 복수의 홀을 통해 상기 하부 평탄화층의 아웃 개싱(out-gassing)이 배출될 수 있는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 비표시 영역에서, 상기 보호층 상에 있는 상기 제 1 전극은 복수의 홀을 포함하는 유기 발광 표시 장치.

청구항 14

제 13 항에 있어서,

상기 보호층에 구비된 홀의 너비는 상기 제 1 전극에 구비된 홀의 너비보다 큰 유기 발광 표시 장치.

청구항 15

제 13 항에 있어서,

상기 제 1 전극에 구비된 홀 중에서 적어도 하나는 상기 보호층에 구비된 홀과 중첩된 유기 발광 표시 장치.

청구항 16

제 13 항에 있어서,

상기 제 1 전극에 구비된 복수의 홀의 적어도 일부를 덮는 बैं크층을 포함하는 유기 발광 표시 장치.

청구항 17

제 13 항에 있어서,

상기 비표시 영역에서, 상기 보호층에 구비된 홀의 개수는 상기 제 1 전극에 구비된 홀의 개수보다 적은 유기 발광 표시 장치.

청구항 18

제 12 항에 있어서,

상기 보호층 상에 상부 평탄화층을 더 포함하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서,

상기 상부 평탄화층 및 상기 하부 평탄화층은 폴리이미드(Polyimide) 또는 포토아크릴(Photo Acryl) 중 어느 하나로 이루어진 유기 발광 표시 장치.

청구항 20

제 12 항에 있어서,

상기 보호층은 무기 절연 물질로 이루어진 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 아웃 개싱(out-gassing)에 의한 불량 발생을 최소화하고 신뢰성을 개선할 수 있는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(OLED)는 자체 발광형 표시 장치로서, 전자(electron) 주입을 위한 전극(cathode)과 정공(hole) 주입을 위한 전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서 기저 상태로 떨어질 때 발광하는 유기 발광 소자를 이용한 표시 장치이다.

[0003] 유기 발광 표시 장치는 빛이 방출되는 방향에 따라서 상부 발광(Top Emission) 방식, 하부 발광(Bottom Emission) 방식 및 양면 발광(Dual Emission) 방식 등으로 나누어지고, 구동 방식에 따라서는 수동 매트릭스형(Passive Matrix)과 능동 매트릭스형(Active Matrix) 등으로 나누어질 수 있다.

[0004] 유기 발광 표시 장치는 액정 표시 장치(LCD)와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 유기 발광 표시 장치는 저전압 구동에 의해 소비 전력 측면에서 유리할 뿐만 아니라, 색상 구현, 응답 속도, 시야각, 명암비(contrast ratio: CR)도 우수하여, 차세대 디스플레이 장치로서 연구되고 있다.

발명의 내용

해결하려는 과제

[0005] 유기 발광 표시 장치는 수분 또는 산소에 취약하여, 유기 발광 표시 장치 내부로 수분 또는 산소가 침투되는 경우, 유기 발광 표시 장치의 금속 전극이 산화되거나 유기 발광층이 변질되면서 화소 수축(pixel shrinkage) 또는 흑점(dark spot) 등과 각종 화질 불량 및 수명 저하의 문제가 발생할 수 있다.

[0006] 화소 수축 불량은 금속 전극과 유기 발광층의 계면이 수분 침투에 의해 산화 또는 변질됨으로써 화소의 가장자리부터 검게 변하는 불량이며, 흑점 불량은 화소 수축 불량이 장시간 지속되어 악화되면서 화소 전체 면적이 검게 변색되는 불량으로, 상기 불량들은 유기 발광 표시 장치의 신뢰성에 심각한 영향을 줄 수 있다.

[0007] 또한 유기 발광 표시 장치의 발광부와 인접하여 위치한 복수의 유기물층에서 발생하는 아웃 개싱(out-gassing)에 의해 유기 발광 표시 장치의 성능이 저하되는 문제가 발생할 수 있다.

[0008] 특히, 유기 발광 표시 장치가 경화(curing) 공정과 같은 제조 과정에서 UV(Ultra Violet)에 지속적으로 노출되는 경우, 유기 발광 표시 장치 내에서 발생한 아웃 개싱(out-gassing)에 의해 유기 발광 표시 장치의 발광부가 손상되면서, 화소 수축 또는 흑점 등과 같은 화질 불량 및 수명 저하의 문제가 발생할 수 있어 이에 대한 개선이 요구되고 있다.

[0009] 이에 본 발명의 발명자는 아웃 개싱(out-gassing)에 의한 불량 발생을 최소화하고 신뢰성을 개선할 수 있는 유

기 발광 표시 장치를 발명하였다.

[0010] 본 발명의 실시예에 따른 해결 과제는 비표시 영역의 평탄화층 상에 있는 보호층이 복수의 홀을 갖도록 구성되어 아웃 개싱(out-gassing)에 의한 불량 발생을 최소화하고 신뢰성을 개선할 수 있는 유기 발광 표시 장치를 제공하는 것을 목적으로 한다.

[0011] 본 발명의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 전술한 바와 같은 과제를 해결하기 위하여, 비표시 영역의 평탄화층 상에 있는 보호층이 복수의 홀을 갖도록 구성되어 아웃 개싱(out-gassing)에 의한 불량 발생을 최소화하고 신뢰성 향상이 가능한 유기 발광 표시 장치가 제공된다.

[0013] 본 발명의 실시예에 따른 유기 발광 표시 장치는 표시 영역, 표시 영역 외곽에 있는 비표시 영역과, 표시 영역에 있는 박막 트랜지스터와, 박막 트랜지스터 및 비표시 영역 상에 있는 보호층과, 보호층 상에 있고, 박막 트랜지스터와 접속된 제 1 전극과, 제 1 전극의 일측 상에 배치되고, 제 1 전극의 일부를 노출시키는 뱅크층과, 제 1 전극 상에 있는 발광부 및 발광부 상에 있는 제 2 전극을 포함하고, 비표시 영역의 보호층은 복수의 홀을 포함한다.

[0014] 또한 다른 측면에서, 표시 영역 및 비표시 영역을 갖는 기판, 기판 상에 있는 박막 트랜지스터, 박막 트랜지스터 상의 제 1 전극, 제 2 전극 및 제 1 전극과 제 2 전극 사이에 있는 발광부를 포함하는 유기 발광 표시 장치에 있어서, 비표시 영역에서 박막 트랜지스터 상에 있는 하부 평탄화층 및 하부 평탄화층 상에 복수의 홀을 갖는 보호층을 포함하고, 보호층에 구비된 복수의 홀을 통해 하부 평탄화층의 아웃 개싱(out-gassing)이 배출될 수 있다.

[0015] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0016] 본 발명의 실시예에 따른 유기 발광 표시 장치는 비표시 영역에서 하부 평탄화층 상에 있는 보호층이 복수의 홀을 갖도록 구성되어, 보호층에 구비된 복수의 홀을 통해 하부 평탄화층의 아웃 개싱(out-gassing)이 용이하게 배출될 수 있으므로, 유기 발광 표시 장치 내부의 아웃 개싱(out-gassing)의 잔류를 최소화 할 수 있다.

[0017] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치는 보호층에 구비된 복수의 홀을 통해 아웃 개싱(out-gassing)이 배출될 수 있으므로, 아웃 개싱에 의한 유기 발광 표시 장치의 화질 불량 발생이 최소화되고, 유기 발광 표시 장치의 신뢰성이 개선될 수 있다.

[0018] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[0019] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리 범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치의 개략적인 구조를 나타내는 도면이다.

도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치의 개략적인 회로 구성을 나타내는 도면이다.

도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 서브 화소의 회로 구성 예시도이다.

도 4는 본 발명의 실시예에 따른 유기 발광 표시 장치의 평면 구조를 나타내는 도면이다.

도 5는 본 발명의 실시예에 따른 유기 발광 표시 장치의 도 4의 A-A'의 단면 구조를 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 유기 발광 표시 장치의 도 5의 B의 단면 구조를 확대하여 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0022] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0023] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0024] 또한 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.
- [0025] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0026] 이하, 도면을 참조하여 본 발명에 대해 상세히 설명한다.
- [0027] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치의 개략적인 구조를 나타내는 도면이다.
- [0028] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 영상 처리부(11), 타이밍 제어부(12), 데이터 구동부(13), 게이트 구동부(14) 및 표시 패널(15)을 포함한다.
- [0029] 영상 처리부(11)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(11)는 데이터 인에이블 신호(DE) 외에도 수직 동기 신호, 수평 동기 신호 및 클럭 신호 중 하나 이상을 출력할 수 있다. 영상 처리부(11)는 시스템 회로 기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0030] 타이밍 제어부(12)는 영상 처리부(11)로부터 데이터 인에이블 신호(DE) 또는 수직 동기 신호, 수평 동기 신호 및 클럭 신호 등을 포함하는 구동 신호와 더불어 데이터 신호(DATA)를 공급받는다.
- [0031] 타이밍 제어부(12)는 구동 신호에 기초하여 게이트 구동부(14)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)와 데이터 구동부(13)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)를 출력한다. 타이밍 제어부(12)는 제어 회로 기판에 IC 형태로 형성된다.
- [0032] 데이터 구동부(13)는 타이밍 제어부(12)로부터 공급된 데이터 타이밍 제어 신호(DDC)에 응답하여 타이밍 제어부(12)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준 전압으로 변환하여 출력한다. 데이터 구동부(13)는 복수의 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(13)는 데이터 회로 기판에 IC 형태로 형성된다.
- [0033] 게이트 구동부(14)는 타이밍 제어부(12)로부터 공급된 게이트 타이밍 제어 신호(GDC)에 응답하여 게이트 신호를 출력한다. 게이트 구동부(14)는 복수의 게이트 라인들(GL1 ~ GLm)을 통해 게이트 신호를 출력한다. 게이트 구동부(14)는 게이트 회로 기판에 IC 형태로 형성되거나, 표시 패널(15) 상에 게이트 인 패널(Gate In Panel: GIP) 방식으로 형성될 수 있다.
- [0034] 표시 패널(15)은 데이터 구동부(13) 및 게이트 구동부(14)로부터 공급된 데이터 신호(DATA) 및 게이트 신호에 대응하여 영상을 표시한다. 표시 패널(15)은 영상을 표시하는 복수의 서브 화소들(SP)을 포함한다.
- [0035] 유기 발광 표시 장치(100)의 구조에 따라, 복수의 서브 화소들(SP)은 적색 서브 화소, 녹색 서브 화소 및 청색 서브 화소를 포함하거나, 백색 서브 화소, 적색 서브 화소, 녹색 서브 화소 및 청색 서브 화소를 포함할 수 있

다. 또한 서브 화소들(SP)은 발광 특성에 따라 하나 이상의 서로 다른 발광 면적을 가질 수 있다.

- [0036] 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 TV, 모바일(Mobile), 태블릿 PC(Tablet PC), 모니터(Monitor), 노트북 컴퓨터(Laptop Computer), 차량용 표시 장치, 및 차량용 조명 장치 등을 포함한 표시 장치 등에 적용될 수 있다. 또는 웨어러블(wearable) 표시 장치, 폴더블(foldable) 표시 장치 및 롤러블(rollable) 표시 장치 등에도 적용될 수 있다.
- [0037] 도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치의 개략적인 회로 구성을 나타내는 도면이다.
- [0038] 또한 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 서브 화소의 회로 구성 예시도이다.
- [0039] 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)의 하나의 서브 화소에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광 다이오드(OLED)가 포함된다. 유기 발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0040] 스위칭 트랜지스터(SW)는 제 1a 게이트 라인(GL1a)을 통해 공급된 게이트 신호에 응답하여 제 1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원 배선(VDD)과 저전위 전원 배선(VGND) 사이로 구동 전류가 흐르도록 동작한다.
- [0041] 보상 회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 보상 회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 레퍼런스 라인(VREF)은 보상 회로(CC)의 초기화 전압 등을 데이터 구동부에 전달하는 라인일 수 있다. 보상 회로(CC)의 구성은 보상 방법에 따라 다양하게 구성될 수 있으며, 본 명세서에서는 도 3을 참조하여 예시적으로 하나의 보상 회로에 대해 설명한다.
- [0042] 도 3에 도시된 바와 같이, 보상 회로(CC)에는 센싱 트랜지스터(ST)와 레퍼런스 라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 라인과 유기 발광 다이오드(OLED)의 애노드 전극 사이(이하 센싱 노드)에 접속된다. 센싱 트랜지스터(ST)는 레퍼런스 라인(VREF)을 통해 전달되는 초기화 전압(또는 센싱 전압)을 센싱 노드에 공급하거나 센싱 노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0043] 스위칭 트랜지스터(SW)는 제 1a 게이트 라인(GL1a)에 게이트 전극이 연결되고, 제 1 데이터 라인(DL1)에 제 1 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 제 2 전극이 연결된다.
- [0044] 구동 트랜지스터(DR)는 스위칭 트랜지스터(SW)의 제 2 전극에 게이트 전극이 연결되고, 제 1 전원 배선(VDD)에 제 1 전극이 연결되고, 유기 발광 다이오드(OLED)의 애노드 전극에 제 2 전극이 연결된다.
- [0045] 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 제 1 전극이 연결되고, 유기 발광 다이오드(OLED)의 애노드 전극에 제 2 전극이 연결된다.
- [0046] 유기 발광 다이오드(OLED)는 구동 트랜지스터(DR)의 제 2 전극에 애노드 전극이 연결되고 제 2 전원 배선(VGN D)에 캐소드 전극이 연결된다.
- [0047] 센싱 트랜지스터(ST)는 제 1b 게이트 라인(GL1b)에 게이트 전극이 연결되고, 레퍼런스 라인(VREF)에 제 1 전극이 연결되고, 센싱 노드인 구동 트랜지스터(DR)의 제 2 전극 및 유기 발광 다이오드(OLED)의 애노드 전극에 제 2 전극이 연결된다.
- [0048] 예를 들어서, 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사 또는 동일하거나 다를 수 있다. 레퍼런스 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시 기간 또는 N 프레임(N은 1 이상의 정수) 기간 동안 서브 화소의 센싱 노드를 센싱하고 센싱 결과를 생성할 수 있게 된다.
- [0049] 또한, 센싱 결과에 따른 보상 대상은 디지털 형태의 데이터 신호, 아날로그 형태의 데이터 신호 또는 감마 등이 될 수 있다. 그리고 센싱 결과를 기반으로 보상 신호(또는 보상 전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0050] 또한 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광 다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 화소를 일례로 설명하였지만, 보상회로(CC)가 추가되는 경우, 3T2C, 4T2C, 5T1C, 6T1C, 6T2C, 7T1C 등으로 다양하게 구성될 수 있다.
- [0051] 또한, 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 센싱 트랜지스터(ST)와 같은 박막 트랜지스터들(TFT)은 비

정질 실리콘(amorphous silicon: a-Si), 다결정 실리콘(polycrystalline silicon: poly-Si), 산화물(oxide) 반도체 또는 유기물(organic)로 이루어진 반도체층을 기반으로 다양하게 구현될 수 있다.

- [0052] 도 4는 본 발명의 실시예에 따른 유기 발광 표시 장치의 평면 구조를 나타내는 도면이다.
- [0053] 도 4에 도시된 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)의 표시 패널(15)은 표시 영역(16) 및 표시 영역(16)의 외곽에 있는 비표시 영역(17)을 포함한다.
- [0054] 보다 구체적으로, 표시 패널(15)의 제 1 기판(110)은 복수의 서브 화소들(SP)이 형성된 표시 영역(16)과 제 1 게이트 구동부(14a), 제 2 게이트 구동부(14b), 고전위 전원 배선(VDD), 저전위 전원 배선(VGND), 레퍼런스 라인(VREF) 및 패드부(18)가 형성된 비표시 영역(17)을 포함하여 이루어진다.
- [0055] 패드부(18)는 제 1 기판(110)의 상부 외곽의 비표시 영역(17)에 형성된다. 패드부(18)는 외부 회로 기판과 전기적으로 연결되는 패드 영역이다. 패드부(18)는 예를 들어, 데이터 구동부가 실장된 데이터 회로 기판 또는 타이밍 제어부가 실장된 제어 회로 기판 등에 연결된다.
- [0056] 제 1 게이트 구동부(14a) 및 제 2 게이트 구동부(14b)는 표시 패널(15) 상에 게이트 인 패널(Gate In Panel: GIP) 방식으로 형성된 게이트 구동부이며, 표시 영역(16)에 형성된 서브 화소들(SP)에 게이트 신호를 출력하는 회로이다. 제 1 게이트 구동부(14a)는 표시 영역(16) 좌측의 비표시 영역(17)에 형성되어 표시 영역(16)에 게이트 신호를 공급하고, 제 2 게이트 구동부(14b)는 표시 영역(16)의 우측의 비표시 영역(17)에 형성되어 표시 영역(16)에 게이트 신호를 공급한다.
- [0057] 본 발명의 실시예에 따른 유기 발광 표시 장치(100)의 전원 배선은 고전위 전원 배선(VDD), 저전위 전원 배선(VGND) 및 레퍼런스 라인(VREF)을 포함하여 구성되며, 제 1 기판(110)의 상부 외곽의 패드부(18)와 표시 영역(16) 사이의 비표시 영역(17)에 배치된다.
- [0058] 보다 구체적으로, 고전위 전원 배선(VDD)은 패드부(18)를 통해 전원 공급부와 같은 외부로부터 공급된 고전위 전원을 표시 영역(16)에 형성된 서브 화소들(SP)에 전달하는 라인이다.
- [0059] 또한 저전위 전원 배선(VGND)은 패드부(18)를 통해 전원 공급부와 같은 외부로부터 공급된 저전위 전원(또는 그라운드 전원)을 표시 영역(16)에 형성된 서브 화소들(SP)에 전달하는 라인이다.
- [0060] 또한 레퍼런스 라인(VREF)은 패드부(18)를 통해 전원 공급부와 같은 외부로부터 공급된 초기화 전압(또는 센싱 전압)을 표시 영역(16)에 형성된 서브 화소들(SP)에 전달하거나 센싱 결과를 데이터 구동부에 전달하는 라인이다.
- [0061] 본 발명의 실시예에 따른 전원 배선, 즉 고전위 전원 배선(VDD), 저전위 전원 배선(VGND) 및 레퍼런스 라인(VREF)은 반드시 도 4에 도시된 배치 구조에 한정되지 않는 것은 아니며, 다양한 위치 및 다양한 개수로 배치될 수 있다. 즉, 전원 배선은 고전위 전원 배선(VDD), 저전위 전원 배선(VGND) 및 레퍼런스 라인(VREF) 중 적어도 하나를 포함하도록 구성될 수 있다.
- [0062] 도 5는 본 발명의 실시예에 따른 유기 발광 표시 장치의 도 4의 A-A'의 단면 구조를 나타내는 도면이다.
- [0063] 도 5를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 기판(110), 기판(110) 상에 위치하는 박막 트랜지스터(Thin Film Transistor, 120)와 제 1 전극(140), 제 2 전극(150) 및 제 1 전극(140)과 제 2 전극(150) 사이에 위치하고 복수의 유기물층과 유기 발광층(Organic Light Emitting Layer: EML)으로 이루어진 발광부(145)를 갖는 유기 발광 다이오드(OLED)를 포함하여 구성된다.
- [0064] 유기 발광 표시 장치(100)는 복수의 서브 화소(Sub Pixel: SP)를 포함한다. 서브 화소는 실제 빛이 발광되는 최소 단위의 영역을 말한다. 또한, 복수의 서브 화소가 모여 백색의 광을 표현할 수 있는 최소의 군으로 이루어질 수 있으며, 예를 들어, 세 개의 서브 화소가 하나의 군으로서, 적색 서브 화소, 녹색 서브 화소 및 청색 서브 화소가 하나의 군을 이룰 수 있다. 그러나, 이에 한정된 것은 아니며, 다양한 서브 화소 설계가 가능하다. 도 5에서는 설명의 편의를 위해 유기 발광 표시 장치(100)의 복수의 서브 화소 중 하나의 서브 화소만을 도시하였다.
- [0065] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 상기 복수의 서브 화소(SP)를 포함하는 표시 영역(DA, 16) 및 표시 영역(16)의 외곽에 있는 비표시 영역(NDA, 17)을 포함하여 구성된다.
- [0066] 표시 영역(DA, 16)은 박막 트랜지스터(120) 및 박막 트랜지스터(120) 상에 발광부(145)를 갖는 유기 발광 다이

오드(OLED)를 포함하며, 비표시 영역(NDA, 17)은 게이트 인 패널(Gate In Panel: GIP) 방식으로 이루어진 제 2 게이트 구동부(14b) 및 저전위 전원 배선(VGND)과 제 1 전극(140)이 전기적으로 연결되는 저전위 전원 배선 콘택부(VGND Contact)를 포함할 수 있다.

- [0067] 도 5를 참조하면, 기관(110)은 유기 발광 표시 장치(100)의 다양한 구성 요소들을 지지하기 위한 것으로 절연 물질로 형성된다. 기관(110)은 글래스(Glass) 뿐만 아니라, 유연한 특성을 갖는 플렉서블(flexible) 기관으로 이루어질 수 있으며, 예를 들어서, PET(Polyethylene Terephthalate), PEN(Polyethylene Naphthalate), 폴리이미드(Polyimide) 등의 플라스틱 기관 등으로 이루어질 수 있다.
- [0068] 기관(110) 상에는 기관(110) 및 외부로부터의 불순 원소의 침투를 차단하고 유기 발광 표시 장치(100)의 다양한 구성 요소들을 보호하기 위한 버퍼층(115)이 형성될 수 있다. 버퍼층(115)은 예를 들어 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 복수층 구조로 형성될 수 있다. 버퍼층(115)은 유기 발광 표시 장치(200)의 구조나 특성에 따라 생략될 수도 있다.
- [0069] 버퍼층(115) 상에는 반도체층(121), 게이트 전극(123), 제 1 소스 및 드레인 전극(125) 및 제 2 소스 및 드레인 전극(129)을 포함하는 박막 트랜지스터(120)가 형성된다.
- [0070] 구체적으로, 기관(110) 상에 반도체층(121)이 형성되고, 반도체층(121) 상에 반도체층(121)과 게이트 전극(123)을 절연시키기 위한 게이트 절연층(122)이 형성된다.
- [0071] 게이트 전극(123) 상에는 게이트 전극(123)과 제 1 소스 및 드레인 전극(125)을 절연시키기 위한 층간 절연층(124)이 형성된다.
- [0072] 층간 절연층(124) 상에는 반도체층(121)과 각각 접하는 제 1 소스 및 드레인 전극(125)이 형성된다. 제 1 소스 및 드레인 전극(125)은 층간 절연층(124)에 구비된 콘택홀을 통해 반도체층(121)과 전기적으로 연결된다.
- [0073] 반도체층(121)은 비정질 실리콘(amorphous silicon: a-Si), 다결정 실리콘(polycrystalline silicon: poly-Si), 산화물(oxide) 반도체 또는 유기물 (organic) 반도체 등으로 형성될 수 있다. 반도체층(121)이 산화물 반도체로 이루어지는 경우, IGZO(Indium Gallium Zinc Oxide), ZTO(Zinc Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide) 중 어느 하나의 물질로 이루어질 수 있으나 이에 한정되지 않는다.
- [0074] 게이트 절연층(122)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 등과 같은 무기 절연 물질로 이루어진 단일층 또는 복수층 구조로 형성될 수 있다.
- [0075] 게이트 전극(123)은 게이트 신호를 박막 트랜지스터(120)에 전달하는 기능을 수행하고, 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu) 중 적어도 하나 이상의 금속 또는 이들의 합금으로 이루어질 수 있으며, 상기 금속 또는 이들의 합금으로 이루어진 단일층 또는 복수층 구조로 형성될 수 있다.
- [0076] 제 1 소스 및 드레인 전극(125)은 외부에서 전달되는 전기적인 신호가 박막 트랜지스터(120)에서 발광부(145)로 전달되도록 하는 역할을 한다. 제 1 소스 및 드레인 전극(125)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu) 중 적어도 하나 이상의 금속 또는 이들의 합금으로 이루어질 수 있고, 상기 금속 또는 이들의 합금으로 이루어진 단일층 또는 복수층 구조로 형성될 수 있다.
- [0077] 제 1 소스 및 드레인 전극(125) 상에는 제 1 평탄화층(126)이 형성된다. 제 1 평탄화층(126)은 박막 트랜지스터(120) 상부를 평탄화하는 기능을 한다. 제 1 평탄화층(126)은 단일층 또는 복수층으로 구성될 수 있으며, 유기 물질로 이루어질 수 있다. 예를 들어서, 제 1 평탄화층(126)은 폴리이미드(Polyimide) 또는 포토아크릴(Photo Acryl) 중 어느 하나로 이루어질 수 있다.
- [0078] 제 1 평탄화층(126) 상에는 제 2 소스 및 드레인 전극(129)이 형성된다. 제 2 소스 및 드레인 전극(129)은 제 1 평탄화층(126)에 구비된 콘택홀을 통해 제 1 소스 및 드레인 전극(125)과 전기적으로 연결되며, 외부에서 전달되는 전기적인 신호를 발광부(145)로 전달하는 역할을 한다.
- [0079] 제 2 소스 및 드레인 전극(129)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu) 중 적어도 하나 이상의 금속 또는 이들의 합금으로 이루어질 수 있고, 상기 금속 또는 이들의 합금으로 이루어진 단일층 또는 복수층 구조로 형성될 수 있다.
- [0080] 제 2 소스 및 드레인 전극(129) 상에는 보호층(127)이 형성된다. 보호층(127)은 제 2 소스 및 드레인 전극(129)을 덮도록 형성되며 박막 트랜지스터(120)를 보호하는 역할을 한다. 보호층(127)은 무기 절연 물질로 이루어질 수 있으며, 예를 들어서, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 등과 같은 무기 절연 물질로 이루어진

단일층 또는 복수층 구조로 형성될 수 있다.

- [0081] 보호층(127) 상에는 제 2 평탄화층(130)이 형성된다. 제 2 평탄화층(130)은 제 2 소스 및 드레인 전극(129) 및 보호층(127) 상부를 평탄화하는 기능을 한다. 제 2 평탄화층(130)은 단일층 또는 복수층으로 구성될 수 있으며, 유기 물질로 이루어질 수 있다. 또한 제 2 평탄화층(130)은 폴리이미드(Polyimide) 또는 포토아크릴(Photo Acryl) 중 어느 하나로 이루어질 수 있다.
- [0082] 또한, 제 2 평탄화층(130)은 각각의 서브 화소에서 박막 트랜지스터(120)와 제 1 전극(140)을 전기적으로 연결하기 위한 애노드 콘택홀(135)을 포함한다.
- [0083] 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 보호층(127)의 상부 또는 하부에 적어도 하나의 평탄화층을 포함하도록 구성될 수 있다.
- [0084] 도 5를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 박막 트랜지스터(120) 상에 위치하는 하부 평탄화층인 제 1 평탄화층(126) 및 제 1 평탄화층(126) 상에 위치하는 상부 평탄화층인 제 2 평탄화층(130)을 포함하여 구성될 수 있다.
- [0085] 이와 같은 이중층의 평탄화층을 적용하는 경우, 제 1 소스 및 드레인 전극(125)의 상부에 제 2 소스 및 드레인 전극(129)을 추가적으로 배치하고, 제 1 소스 및 드레인 전극(125)과 제 2 소스 및 드레인 전극(129)을 전기적으로 연결함으로써 소스 및 드레인 전극 및 배선의 저항을 낮출 수 있다. 또한, 전극 및 배선 사이의 간격을 최소화할 수 있으므로 전극 및 배선의 배치 및 설계가 용이해질 수 있다.
- [0086] 본 명세서에서는 설명의 편의를 위해, 유기 발광 표시 장치(100)에 포함될 수 있는 다양한 박막 트랜지스터 중에서 제 1 전극(140)과 전기적으로 연결된 구동 트랜지스터(120)만을 도시하였다. 각각의 서브 화소는 스위칭 트랜지스터나 커패시터 등이 더 포함될 수 있다.
- [0087] 제 1 전극(140)은 제 2 평탄화층(130) 상에 형성된다. 제 1 전극(140)은 애노드(anode)일 수 있으며, 일함수 값이 비교적 큰 도전성 물질로 형성되어 발광부(145)의 유기 발광층(EML)에 정공(hole)을 공급하는 역할을 한다. 제 1 전극(140)은 제 2 평탄화층(130)에 구비된 애노드 콘택홀(135)을 통해 박막 트랜지스터(120)와 전기적으로 연결되고, 예를 들어, 박막 트랜지스터(120)의 제 2 소스 및 드레인 전극(129)과 전기적으로 연결될 수 있다. 또한 제 1 전극(140)은 서브 화소 별로 이격되어 배치된다. 제 1 전극(140)은 투명 도전성 물질로 형성되고, 예를 들어, 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zinc Oxide, IZO) 등과 같은 물질로 형성될 수 있다.
- [0088] 또한 본 발명의 실시예에 따른 유기 발광 표시 장치(100)가 상부 발광 방식(Top Emission)인 경우, 발광부(145)의 유기 발광층(EML)으로부터 발광된 광이 제 1 전극(140)에 반사되어 보다 원활하게 상부 방향으로 방출될 수 있도록, 제 1 전극(140)의 상부 또는 하부에 반사 효율이 우수한 금속 물질, 예를 들면, 알루미늄(Al) 또는 은(Ag)과 같은 물질로 이루어진 반사층이 추가로 형성될 수 있다.
- [0089] 예를 들어, 제 1 전극(140)은 투명 도전성 물질로 형성된 투명 도전층과 반사층이 차례로 적층된 2층 구조이거나, 투명 도전층, 반사층 및 투명 도전층이 차례로 적층된 3층 구조일 수 있다. 반사층은 은(Ag) 또는 은을 포함하는 합금일 수 있으며, 예를 들어 은(Ag) 또는 APC(Ag/Pd/Cu)일 수 있다.
- [0090] 본 발명의 실시예를 설명함에 있어서 상부 발광 방식(Top Emission)은 발광부(145)의 유기 발광층(EML)으로부터 발광되는 광이 제 2 전극(150)의 방향으로 출사되는 방식을 의미하고, 하부 발광 방식(Bottom Emission)은 상부 발광 방식과 반대의 방향인 제 1 전극(140)의 방향으로 광이 출사되는 방식을 의미한다.
- [0091] 본 실시예에 따른 유기 발광 표시 장치(100)의 경우, 발광부(145)의 유기 발광층(EML)으로부터 발광되는 광이 제 2 전극(150)의 방향으로 출사되는 상부 발광 방식(Top Emission)의 유기 발광 표시 장치이다.
- [0092] 제 1 전극(140) 상에 뱅크층(155)이 형성된다. 뱅크층(155)은 인접하는 서브 화소를 구분하며, 제 1 전극(140)의 일측 상에 배치되어 제 1 전극(240)의 일부를 노출시킨다.
- [0093] 뱅크층(155)은 유기 물질로 이루어질 수 있다. 예를 들어, 뱅크층(155)은 폴리이미드(polyimide), 아크릴(acryl) 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 이에 한정되지 않는다.
- [0094] 유기 발광 표시 장치(100)의 외부 광에 의한 반사를 최소화하기 위해서, 뱅크층(155)은 외부 광의 반사가 최소화되는 물질로 구성될 수 있다. 예를 들어, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)의 뱅크층(155)은 블랙 피그먼트(black pigment)를 포함할 수 있다. 즉, 뱅크층(155)을 형성하기 위한 포토 레지스트는

블랙 피그먼트(black pigment)가 포함된 물질로 구성될 수 있다. 블랙 피그먼트는 유기 물질 또는 무기 물질로 구성될 수 있다.

- [0095] 블랙 피그먼트는 카본계열(carbon-based) 또는 금속 산화물(metal oxide) 등으로 구성될 수 있다. 그리고, 포토 레지스트는 폴리머(polymer), 모노머(monomer) 및 광개시제(photoinitiator) 중 적어도 하나를 포함하는 감광성 화합물(photosensitive compounds)을 포함할 수 있다. 그리고, 포토 레지스트는 감광성 화합물을 분산시키는 용매를 포함할 수 있다.
- [0096] बैंक층(155) 상에는 스페이서(160)가 형성된다. 스페이서(160)는 유기 발광 다이오드(OLED)를 구성하는 발광부(145) 내 복수의 유기물층 또는 유기 발광층(EML)의 증착 공정 또는 제 2 전극(150) 형성 공정 시 마스크(mask)에 의한 불량 발생을 방지하는 역할을 할 수 있다. 스페이서(160)는 유기 발광 표시 장치의 제조 방법에 따라 생략될 수도 있다.
- [0097] 제 2 전극(150)은 발광부(145) 및 제 1 전극(140) 상에 형성된다. 제 2 전극(150)은 캐소드(cathode)일 수 있으며, 발광부(145)의 유기 발광층(EML)으로 전자(electron)를 공급하여야 하므로 일함수가 낮은 도전성 물질로 형성된다. 보다 구체적으로, 제 2 전극(150)은 마그네슘(Mg), 은-마그네슘(Ag:Mg) 등과 같은 금속 물질일 수 있다.
- [0098] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)가 상부 발광 방식인 경우, 제 2 전극(150)은 인듐 주석 산화물(Indium Tin Oxide: ITO), 인듐 아연 산화물(Indium Zinc Oxide: IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide: ITZO), 아연 산화물(Zinc Oxide: ZnO) 및 주석 산화물(Tin Oxide: TiO) 계열의 투명 도전성 산화물로 이루어질 수 있다.
- [0099] 제 1 전극(140)과 제 2 전극(150)의 사이에 발광부(145)가 형성된다. 발광부(145)는 필요에 따라 다양한 유기물층을 포함할 수 있으며, 유기 발광층(EML)을 필수적으로 포함하여 구성된다. 상기 유기물층은 적어도 하나의 정공 수송층(HTL)과 전자 수송층(ETL)을 포함하여 이루어질 수 있으며, 정공 주입층(HIL), 전자 주입층(EIL), 정공 저지층(HBL), 전자 저지층(EBL) 등을 포함한 기능층을 더 포함할 수 있다.
- [0100] 발광부(145)에 포함된 유기 발광층(EML)은 적색 서브 화소에 대응되도록 구성된 적색 발광층, 녹색 서브 화소에 대응되도록 구성된 녹색 발광층 및 청색 서브 화소에 대응되도록 구성된 청색 발광층을 포함하여 이루어질 수 있다.
- [0101] 도 5를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)의 비표시 영역(NDA, 17)은 서브 화소들(SP)에 게이트 신호를 출력하는 회로인 게이트 인 패널(Gate In Panel: GIP) 방식으로 이루어진 제 2 게이트 구동부(14b) 및 저전위 전원 배선(VGND)과 제 1 전극(140)이 전기적으로 연결되는 저전위 전원 배선 컨택부(VGND Contact)를 포함하여 구성된다.
- [0102] 제 2 게이트 구동부(14b), 즉, 게이트 인 패널(GIP)은 게이트 전압을 발생시키는 다양한 회로(circuit)들을 포함할 수 있다. 예를 들어, 게이트 인 패널(GIP)은 쉬프트 레지스터(shift register), 레벨 쉬프터 등을 포함할 수 있으며, 복수의 박막 트랜지스터를 포함하는 회로들 및 회로들을 서로 연결하는 회로 배선을 포함하여 구성될 수 있다.
- [0103] 도 5를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 비표시 영역(NDA)에서 제 1 평탄화층(126)의 상부에 복수의 홀(128)을 갖는 보호층(127)을 포함하도록 구성될 수 있다. 상기 보호층(127)에 구비된 복수의 홀(128)은 비표시 영역(NDA)의 GIP(Gate In Panel) 상에 위치할 수 있다.
- [0104] 비표시 영역(NDA)의 보호층(127)에 구비된 적어도 하나의 홀(128)은 보호층(127)의 하부에 위치하는 제 1 평탄화층(126)에서 발생한 아웃 개싱(out-gassing)이 용이하게 배출되도록 하는 통로의 역할을 할 수 있다.
- [0105] 또한, 도 5를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 비표시 영역(NDA)에서 제 2 평탄화층(130) 상에 복수의 홀(141)을 갖는 제 1 전극(140)을 포함하도록 구성될 수 있다.
- [0106] 비표시 영역(NDA)의 제 1 전극(140)에 구비된 적어도 하나의 홀(141)은 보호층(127)의 하부에 위치하는 제 1 평탄화층(126) 및 제 1 전극(140)의 하부에 위치하는 제 2 평탄화층(130)에서 발생한 아웃 개싱(out-gassing)이 용이하게 배출되도록 하는 통로의 역할을 할 수 있다.
- [0107] 또한, 도 5를 참조하면, 비표시 영역(NDA)에서 보호층(127)에 구비된 복수의 홀(128)은 제 1 전극(140)에 구비된 복수의 홀(141)과 적어도 일부가 중첩되도록 형성될 수 있다. 즉, 비표시 영역(NDA)의 제 1 전극(140)에 구

비된 복수의 홀(141) 중에서 적어도 하나를 보호층(127)에 구비된 홀(128)과 완전히 중첩되도록 형성함으로써, 제 1 평탄화층(126) 및 제 2 평탄화층(130)을 관통하는 직선 경로(path)가 형성될 수 있으므로, 유기 발광 표시 장치 내에서 발생한 아웃 개싱(out-gassing)의 배출이 보다 용이하게 일어날 수 있다.

[0108] 또한, 도 5를 참조하면, 비표시 영역(NDA)에서 뱅크층(155)은 제 1 전극(140)의 복수의 홀(141)을 노출시키는 적어도 하나의 홀(156)을 포함하도록 구성될 수 있다. 즉, 비표시 영역(NDA)에서 제 1 전극(140) 상에 형성되는 뱅크층(155)은 제 1 전극(140)에 구비된 복수의 홀(141)의 적어도 일부를 덮도록 형성되고, 제 1 전극(140)의 복수의 홀(141)을 노출시키는 적어도 하나의 홀(156)을 포함할 수 있다.

[0109] 비표시 영역(NDA)에서 뱅크층(155)에 구비된 적어도 하나의 홀(156)은 뱅크층(155)의 하부에 위치하는 제 1 전극(140)의 복수의 홀(141)을 노출시킴으로써, 보호층(127)의 하부에 위치하는 제 1 평탄화층(126) 및 제 1 전극(140)의 하부에 위치하는 제 2 평탄화층(130)으로부터 발생한 아웃 개싱(out-gassing)이 용이하게 배출되도록 하는 통로의 역할을 할 수 있다.

[0110] 그리고, 비표시 영역에서 하부 평탄화층과 상부 평탄화층의 사이에 위치하는 보호층이 하부 평탄화층을 덮도록 형성되어, 평탄화층 또는 뱅크층 형성 후 경화(curing) 공정과 같은 제조 과정에서 발생하는 유기 발광 표시 장치 내 아웃 개싱(out-gassing)이 상기 보호층에 의해 이동이 차단되면서 외부로 원활하게 배출되지 못하는 문제가 있었다.

[0111] 이에 따라, 유기 발광 표시 장치 내에서 배출되지 못하고 잔류한 아웃 개싱(out-gassing)이 표시 영역의 발광부(145)로 이동하여 침투하는 경우, 발광부가 아웃 개싱(out-gassing)에 의해 손상되면서, 화소 수축 또는 흑점 등과 같은 화질 불량 및 수명 저하의 문제가 발생할 수 있다.

[0112] 본 발명의 실시예에 따른 유기 발광 표시 장치(100)는 비표시 영역(NDA)에서 제 1 평탄화층(126)의 상부에 형성되는 보호층(127)이 복수의 홀(128)을 포함하고, 제 2 평탄화층(130) 상에 형성되는 제 1 전극(140)이 보호층(127)에 구비된 복수의 홀(128)과 중첩하는 복수의 홀(141)을 포함하며, 제 1 전극(140)의 상에 형성되는 뱅크층(155)이 제 1 전극(140)에 형성된 복수의 홀(141)을 노출시키는 적어도 하나의 홀(156)을 포함하도록 구성됨으로써, 유기 발광 표시 장치 내에서 발생한 아웃 개싱(out-gassing)이 상기 홀들을 통해서 용이하게 배출될 수 있다.

[0113] 즉, 본 발명의 실시예에 따른 유기 발광 표시 장치는 비표시 영역에서 하부 평탄화층 상에 있는 보호층이 복수의 홀을 갖도록 구성되어, 보호층에 구비된 복수의 홀을 통해 하부 평탄화층의 아웃 개싱(out-gassing)이 용이하게 배출될 수 있으므로, 유기 발광 표시 장치 내부의 아웃 개싱(out-gassing)의 잔류를 최소화 할 수 있다.

[0114] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치는 보호층에 구비된 복수의 홀을 통해 아웃 개싱(out-gassing)이 배출될 수 있으므로, 아웃 개싱에 의한 유기 발광 표시 장치의 화질 불량 발생이 최소화되고, 유기 발광 표시 장치의 신뢰성이 개선될 수 있다.

[0115] 도 6은 본 발명의 실시예에 따른 유기 발광 표시 장치의 도 5의 B의 단면 구조를 확대하여 나타낸 도면이다.

[0116] 도 6을 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치(100)의 비표시 영역(NDA)에서 보호층(127)에 구비된 홀(128)의 너비(W1)는 제 1 전극(140)에 구비된 홀(141)의 너비(W2)보다 크도록 형성될 수 있다. 즉, 제 1 평탄화층(126)의 상부에 형성되는 보호층(127)에 구비된 복수의 홀(128)이 제 2 평탄화층(130) 상에 형성되는 제 1 전극(140)에 구비된 복수의 홀(141)보다 크게 형성됨으로써, 하부 평탄화층인 제 1 평탄화층(126)에서 발생한 아웃 개싱(out-gassing)이 보호층(127)에 구비된 홀(128) 및 제 1 전극(140)에 구비된 홀(141)을 통해서 보다 용이하게 배출될 수 있다.

[0117] 또한, 보호층(127)에 구비된 홀(128)의 너비(W1)가 제 1 전극(140)에 구비된 홀(141)의 너비(W2)보다 크도록 형성되므로, 보호층(127)에 구비된 홀(128)의 개수는 제 1 전극(140)에 구비된 홀(141)의 개수보다 적도록 형성될 수 있다.

[0118] 또한 도 6을 참조하면, 뱅크층(155)에 구비된 적어도 하나의 홀(156)의 너비(W3)는 보호층(127)의 홀(128)의 너비(W1) 및 제 1 전극(140)의 홀(141)의 너비(W2)보다 크도록 형성될 수 있다. 뱅크층(155)에 구비된 홀(156)이 보호층(127)의 홀(128) 및 제 1 전극(140)의 홀(141)보다 크게 형성됨으로써 아웃 개싱(out-gassing)의 배출이 보다 용이하게 이루어질 수 있다.

[0119] 즉, 본 발명의 실시예에 따른 유기 발광 표시 장치는 비표시 영역에서 하부 평탄화층 상에 있는 보호층이 복수의 홀을 갖도록 구성되어, 보호층에 구비된 복수의 홀을 통해 하부 평탄화층의 아웃 개싱(out-gassing)이 용이

하게 배출될 수 있으므로, 유기 발광 표시 장치 내부의 아웃 개싱(out-gassing)의 잔류를 최소화 할 수 있다.

- [0120] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치는 보호층에 구비된 복수의 홀을 통해 아웃 개싱(out-gassing)이 배출될 수 있으므로, 아웃 개싱에 의한 유기 발광 표시 장치의 화질 불량 발생이 최소화되고, 유기 발광 표시 장치의 신뢰성이 개선될 수 있다.
- [0121] 본 발명의 실시예에 따른 유기 발광 표시 장치는 다음과 같이 설명될 수 있다.
- [0122] 본 발명의 실시예에 따른 유기 발광 표시 장치는 표시 영역, 표시 영역 외곽에 있는 비표시 영역과, 표시 영역에 있는 박막 트랜지스터와, 박막 트랜지스터 및 비표시 영역 상에 있는 보호층과, 보호층 상에 있고, 박막 트랜지스터와 접속된 제 1 전극과, 제 1 전극의 일측 상에 배치되고, 제 1 전극의 일부를 노출시키는 뱅크층과, 제 1 전극 상에 있는 발광부 및 발광부 상에 있는 제 2 전극을 포함하고, 비표시 영역의 보호층은 복수의 홀을 포함한다. 따라서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 보호층에 구비된 복수의 홀을 통해 아웃 개싱(out-gassing)이 배출될 수 있으므로, 아웃 개싱에 의한 유기 발광 표시 장치의 화질 불량 발생이 최소화되고, 유기 발광 표시 장치의 신뢰성이 개선될 수 있다.
- [0123] 본 발명의 다른 특징에 따르면, 비표시 영역에서, 제 1 전극은 복수의 홀을 포함할 수 있다.
- [0124] 본 발명의 또 다른 특징에 따르면, 비표시 영역에서, 보호층의 복수의 홀은 제 1 전극의 복수의 홀과 적어도 일부가 중첩될 수 있다.
- [0125] 본 발명의 또 다른 특징에 따르면, 비표시 영역에서, 뱅크층은 제 1 전극의 복수의 홀을 노출시키는 적어도 하나의 홀을 포함할 수 있다.
- [0126] 본 발명의 또 다른 특징에 따르면, 보호층의 홀의 너비는 제 1 전극의 홀의 너비보다 클 수 있다.
- [0127] 본 발명의 또 다른 특징에 따르면, 보호층의 홀의 개수는 제 1 전극의 홀의 개수보다 적을 수 있다.
- [0128] 본 발명의 또 다른 특징에 따르면, 보호층은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x) 중 어느 하나로 이루어질 수 있다.
- [0129] 본 발명의 또 다른 특징에 따르면, 보호층에 구비된 복수의 홀은 비표시 영역의 GIP(Gate In Panel) 상에 있을 수 있다.
- [0130] 본 발명의 또 다른 특징에 따르면, 보호층의 상부 또는 하부에 적어도 하나의 평탄화층을 더 포함할 수 있다.
- [0131] 본 발명의 또 다른 특징에 따르면, 발광부는 유기 발광층 및 적어도 하나의 정공 수송층과 전자 수송층을 포함할 수 있다.
- [0132] 본 발명의 또 다른 특징에 따르면, 유기 발광층은 적색 서브 화소의 적색 발광층, 녹색 서브 화소의 녹색 발광층 및 청색 서브 화소의 청색 발광층을 포함하여 이루어질 수 있다.
- [0133] 또한 다른 측면에서, 표시 영역 및 비표시 영역을 갖는 기판, 기판 상에 있는 박막 트랜지스터, 박막 트랜지스터 상의 제 1 전극 및 제 2 전극, 제 1 전극과 제 2 전극 사이에 있는 발광부를 포함하는 유기 발광 표시 장치에 있어서, 비표시 영역에서 박막 트랜지스터 상에 있는 하부 평탄화층 및 하부 평탄화층 상에 복수의 홀을 갖는 보호층을 포함하고, 보호층에 구비된 복수의 홀을 통해 하부 평탄화층의 아웃 개싱(out-gassing)이 배출될 수 있다. 따라서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 비표시 영역에서 하부 평탄화층 상에 있는 보호층이 복수의 홀을 갖도록 구성되어, 보호층에 구비된 복수의 홀을 통해 하부 평탄화층의 아웃 개싱(out-gassing)이 용이하게 배출될 수 있으므로, 유기 발광 표시 장치 내부의 아웃 개싱(out-gassing)의 잔류를 최소화 할 수 있다.
- [0134] 본 발명의 다른 특징에 따르면, 비표시 영역에서, 보호층 상에 있는 제 1 전극은 복수의 홀을 포함할 수 있다.
- [0135] 본 발명의 또 다른 특징에 따르면, 보호층에 구비된 홀의 너비는 제 1 전극에 구비된 홀의 너비보다 클 수 있다.
- [0136] 본 발명의 또 다른 특징에 따르면, 제 1 전극에 구비된 홀 중에서 적어도 하나는 보호층에 구비된 홀과 중첩될 수 있다.
- [0137] 본 발명의 또 다른 특징에 따르면, 제 1 전극에 구비된 복수의 홀의 적어도 일부를 덮는 뱅크층을 포함할 수 있다.

- [0138] 본 발명의 또 다른 특징에 따르면, 비표시 영역에서, 보호층에 구비된 홀의 개수는 제 1 전극에 구비된 홀의 개수보다 적을 수 있다.
- [0139] 본 발명의 또 다른 특징에 따르면, 보호층 상에 상부 평탄화층을 더 포함할 수 있다.
- [0140] 본 발명의 또 다른 특징에 따르면, 상부 평탄화층 및 하부 평탄화층은 폴리이미드(Polyimide) 또는 포토아크릴(Photo Acryl) 중 어느 하나로 이루어질 수 있다.
- [0141] 본 발명의 또 다른 특징에 따르면, 보호층은 무기 절연 물질로 이루어질 수 있다.
- [0142] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형되어 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

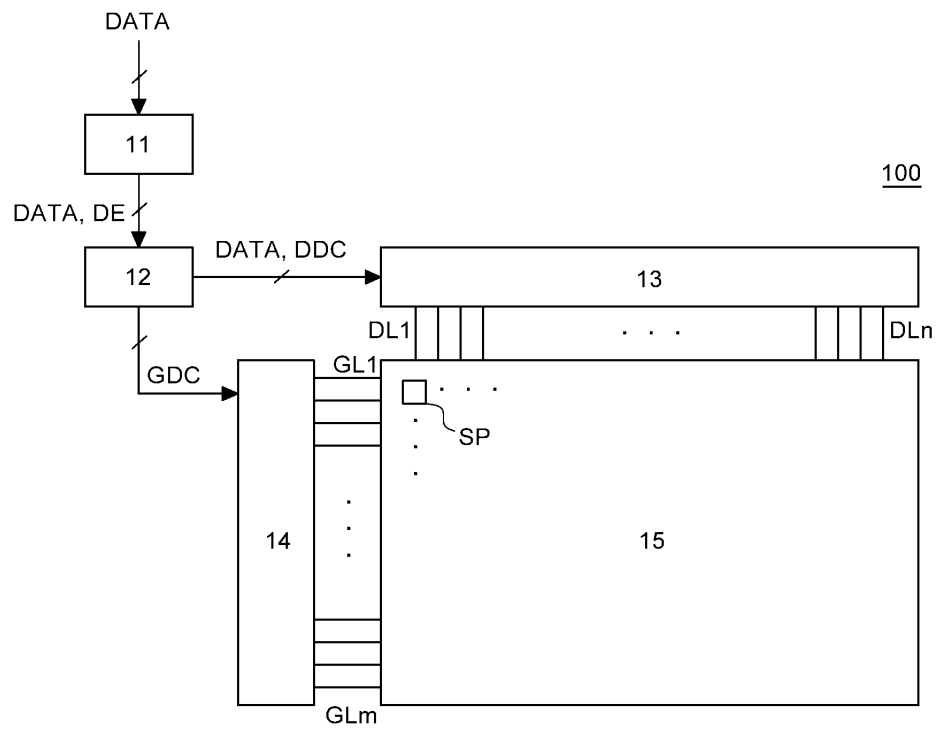
부호의 설명

- [0143]
- 11: 영상 처리부
 - 12: 타이밍 제어부
 - 13: 데이터 구동부
 - 14: 게이트 구동부
 - 14a, 14b: GIP(Gate In Panel)
 - 15: 표시 패널
 - 16: 표시 영역
 - 17: 비표시 영역
 - 18: 패드부
 - 100: 유기 발광 표시 장치
 - 110: 기판
 - 115: 버퍼층
 - 120: 박막 트랜지스터
 - 121: 반도체층
 - 122: 게이트 절연층
 - 123: 게이트 전극
 - 124: 층간 절연층
 - 125: 제 1 소스 및 드레인 전극
 - 126: 제 1 평탄화층
 - 127: 보호층
 - 128: 보호층 홀
 - 129: 제 2 소스 및 드레인 전극
 - 130: 제 2 평탄화층
 - 135: 애노드 컨택홀

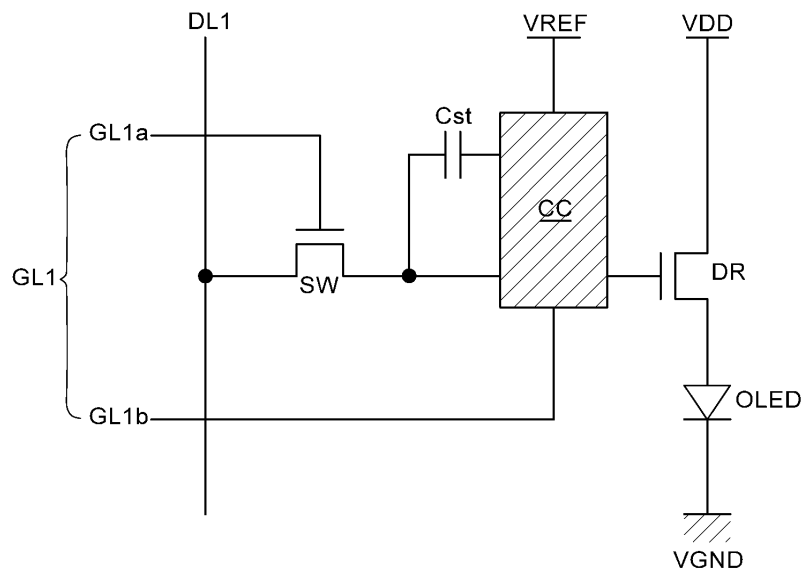
- 140: 제 1 전극
- 141: 제 1 전극 홀
- 145: 발광부
- 150: 제 2 전극
- 155: 뱅크층
- 156: 뱅크층 홀
- 160: 스페이서
- VGND: 저전위 전원 배선
- VREF: 레퍼런스 라인
- VDD: 고전위 전원 배선
- SP: 표시 화소

도면

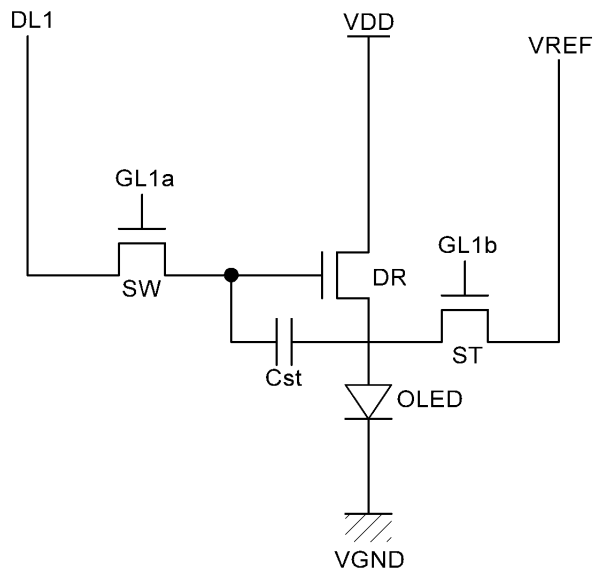
도면1



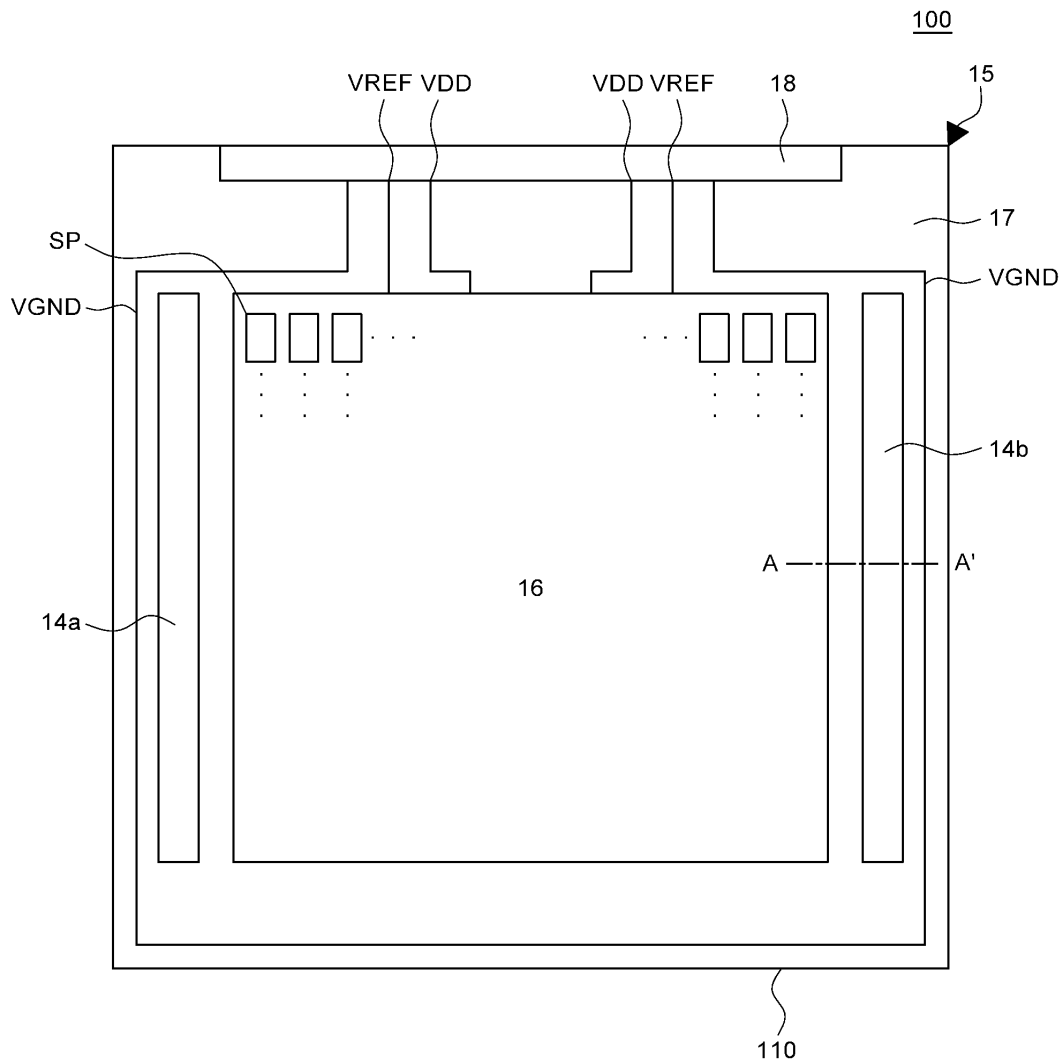
도면2



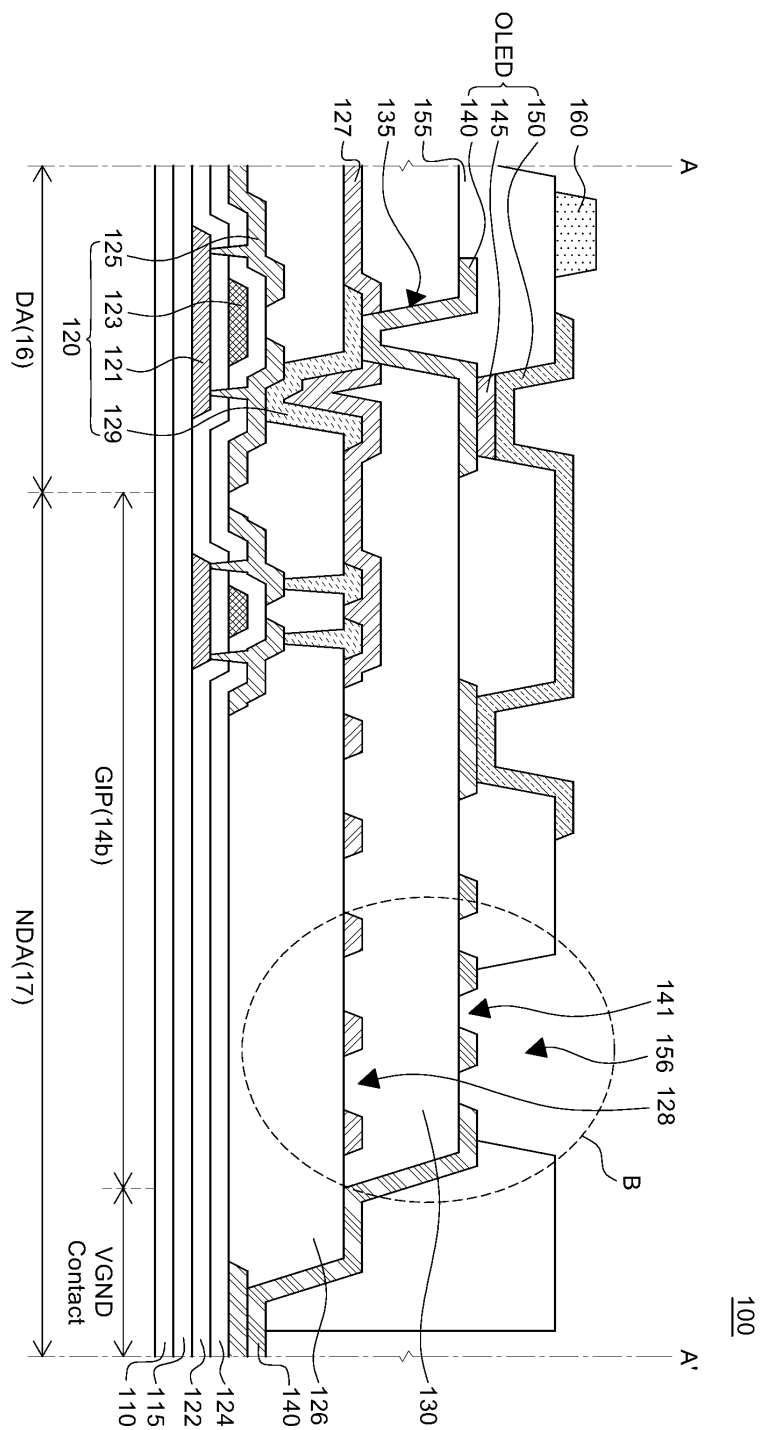
도면3



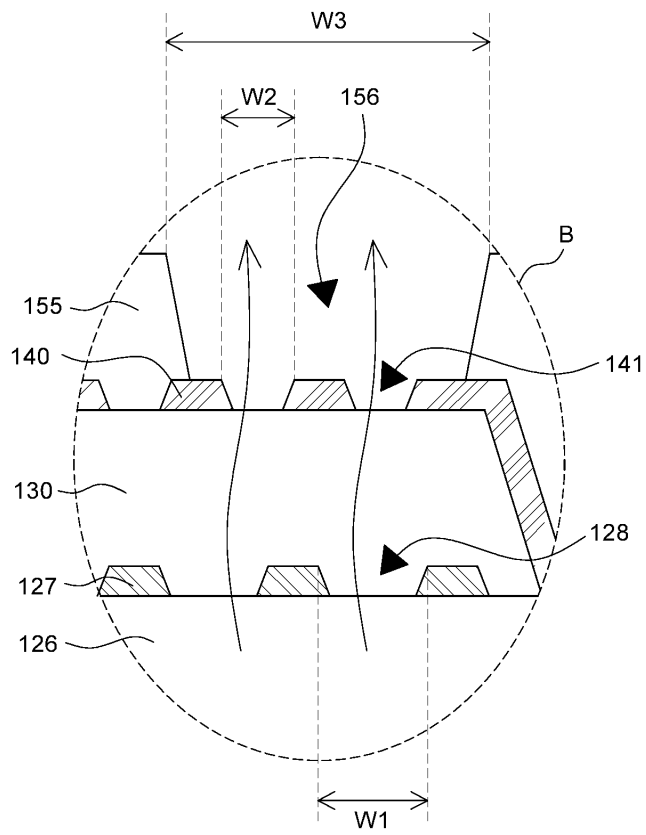
도면4



도면5



도면6



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180060311A	公开(公告)日	2018-06-07
申请号	KR1020160159666	申请日	2016-11-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK HAE JUN 박해준 PARK JONG BACK 박종백		
发明人	박해준 박종백		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3258 H01L27/3262 H01L27/3248 H01L27/3246 H01L27/3211 H01L51/5253 H01L2251/301 H01L2251/303		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示器包括显示区域，显示区域外部的非显示区域，显示区域中的薄膜晶体管，薄膜晶体管上的保护层和非显示区域，连接到薄膜晶体管的第一电极和设置在第一电极的一侧上的堤层，堤层暴露第一电极的一部分，第一电极上的发光部分和发光部分上的第二电极并且非显示区域的保护层包括多个孔。

