(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0135550
(43) 공개일자 2017년12월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 27/12* (2006.01)
H01L 51/00 (2006.01) *H01L 51/56* (2006.01)
(52) CPC특허분류
H01L 27/3272 (2013.01)
H01L 27/124 (2013.01)
(21) 출원번호 10-2016-0067631
(22) 출원일자 2016년05월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
송병철
전라북도 정읍시 서성길 28, 2층 차와인생 (수성동, 두리식당)
안병용
경기도 고양시 일산서구 킨텍스로 410, 702동 1407호(일산동, 후곡마을7단지아파트)
조용수
대구광역시 북구 동천로 97, 103동 1806호(동천동, 영남네오빌아트아파트)
(74) 대리인
특허법인인벤투스

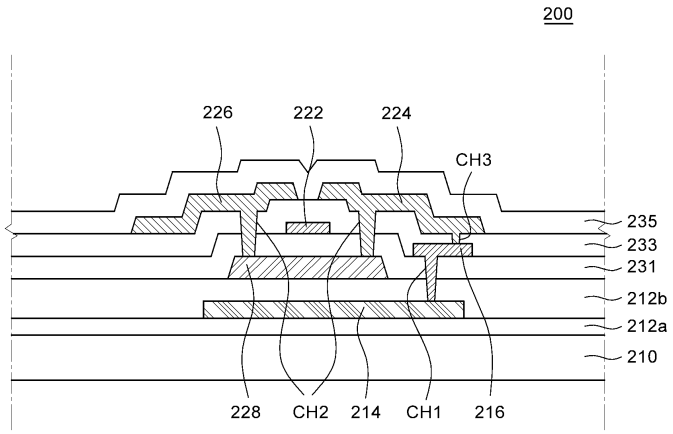
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **유기발광 표시장치 및 그의 제조방법**

(57) 요 약

본 발명의 실시예에 따른 유기발광 표시장치는 플렉시블 기판, 기판 상에 있는 차폐층, 차폐층 상에 있는 버퍼층, 버퍼층 상에 있는 반도체층, 반도체층 상에 있는 게이트절연층, 게이트절연층 상에 있는 게이트전극, 게이트전극 상에 있는 층간절연층, 층간절연층 상에 있으며, 반도체층과 연결되는 소스전극 및 드레인전극, 소스전극 및 드레인전극 상에 있는 유기발광소자와 게이트전극 또는 소스전극이 상기 차폐층과 연결되는 유기발광 표시장치를 구성하여 플렉시블 기판에서 발생되는 전하로부터 박막 트랜지스터의 반도체층을 보호하여 유기발광 표시장치의 성능을 향상시킬 수 있다.

대 표 도 - 도2a



(52) CPC특허분류
H01L 27/1288 (2013.01)
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/0097 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/323 (2013.01)

명 세 서

청구범위

청구항 1

플렉시블 기판 상의 차폐층;

상기 차폐층 상의 버퍼층;

상기 버퍼층 상의 반도체층;

상기 반도체층 상의 게이트절연층;

상기 게이트절연층 상의 게이트전극;

상기 게이트전극 상의 층간절연층;

상기 층간절연층 상에 있으며, 상기 반도체층과 연결된 소스전극 및 드레인전극; 및

상기 소스전극 및 상기 드레인전극 상의 유기발광소자를 포함하고,

상기 게이트전극 또는 상기 소스전극이 상기 차폐층과 연결된 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 소스전극은 상기 반도체층과 중첩하는 컨택홀을 통해 상기 반도체층 및 상기 차폐층을 동시에 연결하는 유기발광 표시장치.

청구항 3

제2 항에 있어서,

상기 컨택홀은 상기 층간절연층, 상기 게이트절연층, 상기 반도체층 및 상기 버퍼층을 동시에 관통하는 유기발광 표시장치.

청구항 4

제1 항에 있어서,

상기 소스전극 및 상기 드레인전극과 동일층에 연결전극을 더 포함하며, 상기 반도체층과 중첩하지 않는 컨택홀을 통해 상기 연결전극이 상기 게이트전극 및 상기 차폐층을 동시에 연결하는 유기발광 표시장치.

청구항 5

제4 항에 있어서,

상기 컨택홀은 상기 층간절연층, 상기 게이트절연층 및 상기 버퍼층을 동시에 관통하는 유기발광 표시장치.

청구항 6

제1 항에 있어서,

상기 차폐층은 상기 반도체층과 중첩된 유기발광 표시장치.

청구항 7

플렉시블 기판 상의 차폐층;

상기 기판 상에 소스전극, 드레인전극, 반도체층 및 게이트전극을 포함하는 박막 트랜지스터; 및

상기 소스전극 및 상기 드레인전극 상의 유기발광소자를 포함하고,

상기 게이트전극 또는 상기 소스전극이 상기 차폐층과 연결된 유기발광 표시장치.

청구항 8

제7 항에 있어서,

상기 소스전극은 상기 반도체층과 상기 차폐층을 동시에 연결하는 유기발광 표시장치.

청구항 9

제8 항에 있어서,

상기 소스전극, 상기 반도체층 및 상기 차폐층이 하나의 컨택홀을 통해서 연결된 유기발광 표시장치.

청구항 10

제7 항에 있어서,

상기 소스전극 및 상기 드레인전극과 동일층에 연결전극을 더 포함하며, 상기 연결전극이 상기 게이트전극 및 상기 차폐층을 동시에 연결하는 유기발광 표시장치.

청구항 11

제10 항에 있어서,

상기 연결전극, 상기 게이트전극 및 상기 차폐층은 하나의 컨택홀을 통해서 연결된 유기발광 표시장치.

청구항 12

제7 항에 있어서,

상기 차폐층은 상기 반도체층과 중첩된 유기발광 표시장치.

청구항 13

기판 상에 차폐층을 형성하는 단계;

상기 차폐층 상에 버퍼층을 형성하는 단계;

상기 버퍼층 상에 반도체층을 형성하는 단계;

상기 반도체층 상에 게이트절연층을 형성하는 단계;

상기 게이트절연층 상에 게이트전극을 형성하는 단계;

상기 게이트전극 상에 층간절연층을 형성하는 단계;

상기 층간절연층 상에 반도체층과 연결된 소스전극 및 드레인전극을 형성하는 단계;

상기 소스전극 및 드레인전극 상에 유기발광소자를 형성하는 단계; 및

상기 소스전극을 형성하는 동시에 상기 게이트전극 또는 상기 소스전극을 차폐층과 연결하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 14

제13 항에 있어서,

상기 층간절연층을 형성하는 단계는 상기 소스전극이 상기 반도체층과 중첩되도록 컨택홀을 형성하는 단계를 포함하며, 상기 컨택홀을 상기 반도체층 및 상기 차폐층과 동시에 연결하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 15

제14 항에 있어서,

상기 컨택홀을 형성하는 단계는 상기 층간절연층, 상기 게이트절연층, 상기 반도체층 및 상기 버퍼층을 동시에 관통하여 형성하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 16

제13 항에 있어서,

상기 게이트전극 또는 상기 소스전극을 차폐층과 연결하는 단계는 상기 소스전극을 형성하는 동시에 연결전극을 형성하고, 상기 반도체층과 중첩하지 않는 컨택홀을 통해 상기 게이트전극 및 상기 차폐층과 동시에 연결하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 17

제16 항에 있어서,

상기 컨택홀을 형성하는 단계는 상기 층간절연층, 상기 게이트절연층 및 상기 버퍼층을 동시에 관통하여 형성하는 단계를 포함하는 유기발광 표시장치의 제조방법.

청구항 18

제13 항에 있어서,

상기 차폐층을 형성하는 단계는 상기 반도체층과 중첩하여 형성하는 단계를 포함하는 유기발광 표시장치의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로서, 보다 상세하게는 차폐층을 가진 박막 트랜지스터가 포함된 유기발광 표시장치와 그의 제조방법에 관한 것이다.

배 경 기 술

[0002] 유기발광 표시장치는 자체 발광형 표시장치로서, 액정 표시장치(Liquid Crystal Display)와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 유기발광 표시장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각, 명암 대비비(contrast ratio; CR)도 우수하여, 저전력, 고화질의 차세대 디스플레이로서 개발되고 있다.

[0003] 유기발광 표시장치는 애노드(Anode)와 캐소드(Cathode)로 된 두 개의 전극 사이에 유기물을 사용한 발광층(Emissive Layer; EML)을 배치하고, 정공(Hole)을 애노드에서 발광층으로 주입시키고, 전자(Electron)를 캐소드에서 발광층으로 주입하면, 주입된 전자와 정공이 서로 재결합하면서 여기자(Exciton)를 형성하며 광을 발생시킨다.

[0004] 유기발광 표시장치의 발광층에는 호스트(Host) 물질과 도펀트(Dopant) 물질이 포함되어 있으며, 두 물질의 상호작용을 통해서 광을 발광시킨다. 이때, 호스트는 전자와 정공으로부터 여기자를 생성하고 도펀트로 에너지를 전달하는 역할을 한다. 도펀트는 소량이 첨가되는 염료성 유기물로, 호스트로부터 에너지를 받아서 광으로 전환시키는 역할을 한다.

[0005] 일반적으로 유기발광 표시장치는 박막 트랜지스터(Thin Film Transistor) 를 사용하여 구동을 한다. 박막 트랜지스터는 게이트전극(Gate Electrode), 드레인전극(Drain Electrode) 및 소스전극(Source Electrode)을 포함하는 소자이며, 이때, 외부에서 전달되는 전기신호가 드레인전극과 소스전극의 사이에서 반도체층 (Semiconductor Layer) 을 통해서 전달되고, 게이트전극이 스위치(Switch) 역할이나 밸브(Valve) 역할을 하면서 구동을 한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 1. [백색 유기 발광 소자] (특허출원번호 제 10-2007-0053472호)

발명의 내용

해결하려는 과제

[0007] 최근의 유기발광 표시장치는 플렉시블(Flexible) 기판을 사용하여 다양한 제품군에 적용이 가능하게 되었다. 하지만 유기발광 표시장치에 포함된 플렉시블 기판은 그 특유의 성질에 의해서 장기간 구동시 기판에 발생된 대전된 전하로 인해서 상부에 배치된 박막 트랜지스터의 성능을 저하시켰다.

[0008] 또한 종래의 유기발광 표시장치에 포함된 박막 트랜지스터는 다수의 컨택홀을 포함하고 있으며, 여러 단계의 복잡한 공정을 통해서 제작되어 효율적인 유기발광 표시장치의 생산과 고해상도 구현에 많은 어려움이 있었다.

[0009] 이에 본 발명의 발명자들은 위에서 언급한 문제점을 인식하고, 여러 실험을 통하여 새로운 구조의 박막 트랜지스터가 포함된 유기발광 표시장치를 발명하였다.

[0010] 본 발명의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 본 발명의 실시예에 따른 유기발광 표시장치는 플렉시블 기판, 기판 상의 차폐층, 차폐층 상의 버퍼층, 버퍼층 상의 반도체층, 반도체층 상의 게이트절연층, 게이트절연층 상의 게이트전극, 게이트전극 상의 층간절연층, 층간절연층 상에 있으며, 반도체층과 연결되는 소스전극 및 드레인전극, 소스전극 및 드레인전극 상의 유기발광소자를 포함하고, 게이트전극 또는 소스전극은 차폐층과 연결된다.

[0012] 본 발명의 실시예에 따른 유기발광 표시장치는 플렉시블 기판을 형성하는 단계, 기판 상에 차폐층을 형성하는 단계, 차폐층 상에 버퍼층을 형성하는 단계, 버퍼층 상에 반도체층을 형성하는 단계, 반도체층 상에 게이트절연층을 형성하는 단계, 게이트절연층 상에 게이트전극을 형성하는 단계, 게이트전극 상에 층간절연층을 형성하는 단계, 층간절연층 상에 반도체층과 연결된 소스전극 및 드레인전극을 형성하는 단계, 소스전극 및 드레인전극 상에 유기발광소자를 형성하는 단계를 포함하고, 소스전극을 형성하는 동시에 게이트전극 또는 소스전극이 차폐층과 연결하는 단계를 포함한다.

[0013] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0014] 본 발명의 실시예에 따른 유기발광 표시장치는 플렉시블한 특성을 가지는 기판이 대전된 전하로 인해서 상부에 배치되는 박막 트랜지스터의 반도체층에 줄 수 있는 영향을 차폐층을 통하여 방지하므로, 박막 트랜지스터의 성능이 개선된 유기발광 표시장치를 제공할 수 있다.

[0015] 본 발명의 실시예에 따른 유기발광 표시장치는 유기발광 표시장치에 포함된 화소 내부에 형성된 컨택홀의 개수를 줄임으로써, 줄어든 컨택홀만큼 화소의 크기가 감소할 수 있어서 더 많은 화소가 배치될 수 있으므로, 고해상도가 구현된 유기발광 표시장치를 제공할 수 있다.

[0016] 본 발명의 실시예에 따른 유기발광 표시장치는 유기발광 표시장치의 제조 공정에서 차폐층과 전극을 연결하는 컨택홀을 별도의 마스크 없이 형성할 수 있으므로, 공정을 단순화할 수 있고, 마스크를 절감할 수 있는 유기발광 표시장치의 제조방법을 제공할 수 있다.

[0017] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

[0018] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 설명하기 위한 단면도이다.

도 2a 및 도 2b는 본 발명의 제1 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터를 설명하기 위한 단면도이다.

도 3a 및 도 3b는 본 발명의 제2 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터를 설명하기 위한 단면도이다.

도 4a 내지 도 4i는 본 발명의 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0021] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0022] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0023] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0024] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0025] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0026] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치(100)를 설명하기 위한 단면도이다.

[0027] 도 1을 참조하면, 유기발광 표시장치(100)는 기판(110), 박막 트랜지스터(120) 및 유기발광소자(140)를 포함하여 구성된다.

[0028] 기판(110)은 플렉시블한 특성을 가지는 플라스틱 기판일 수 있으며, 예를 들어 폴리이미드(Polyimide) 기판일 수 있으나, 이에 한정되는 것은 아니다.

[0029] 기판(110) 상에는 기판(110)의 외부로부터 수분등의 침투를 방지하는 버퍼층(112)이 배치될 수 있으며, 예를 들어 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성할 수 있으나, 이에 한정되는 것은 아니다. 또한 유기발광 표시장치(100)의 구조나 특성에 따라 생략할 수도 있다.

[0030] 기판(110) 상에 또는 복수의 버퍼층(112) 사이에 차폐층(114)이 배치될 수 있다. 폴리이미드(Polyimide)와 같은 재료를 사용하여 플렉시블한 특성을 가지는 기판(110)은 대전된 전하로 인해서 상부에 배치되는 박막 트랜지스터(120)의 반도체층(128)에 영향을 줄 수가 있다. 이를 방지하기 위해서 기판(110)과 반도체층(128)의 사이에 금속으로 구성된 차폐층(114)을 배치하여 기판(110)으로부터 발생되는 전하의 영향을 최소화할 수 있다.

[0031] 이때, 차폐층(114)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0032] 차폐층(114)은 게이트전극(122) 또는 소스전극(124)과 전기적으로 연결되며, 이와 같은 차폐층(114)의 상세 구

조는 도2 내지 도4 에서 설명한다.

[0033] 박막 트랜지스터(120)는 게이트전극(122), 소스전극(124), 드레인전극(126) 및 반도체층(128)을 포함하여 구성된다.

[0034] 반도체층(128)은 비정질실리콘(Amorphous Silicon) 또는 비정질 실리콘보다 우수한 이동도(Mobility)를 가져서 에너지 소비 전력이 낮고 신뢰성이 우수하여, 화소 내에서 구동 박막 트랜지스터에 적용할수 있는 다결정실리콘(Polycrystalline Silicon), 또는, 이동도와 균일도 특성이 우수한 ZnO 또는 IGZO(Indium-Gallium-Zinc Oxide)와 같은 산화물 반도체로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0035] 반도체층(128)은 p형 또는 n형의 불순물을 포함하는 소스영역와 드레인영역 및 두 영역 사이에 채널을 포함할 수 있다. 또한, 채널과 인접한 소스영역 및 드레인영역 사이에는 저농도도핑영역을 포함할 수도 있다.

[0036] 게이트절연층(131)은 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성된 절연막으로, 반도체층(128)에 흐르는 전류가 게이트전극(122)으로 흘러가지 않도록 배치한다.

[0037] 게이트전극(122)은 박막 트랜지스터(120)의 스위치 또는 밸브의 역할을 하며, 도전성 금속, 예를 들어 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0038] 소스전극(124) 과 드레인전극(126)은 외부에서 전달되는 전기신호가 박막 트랜지스터(120)에서 유기발광소자(140)로 전달되도록 한다. 이때, 소스전극(124) 및 드레인전극(126)은 도전성 금속, 예를 들어 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0039] 게이트전극(122)과 소스전극(124) 및 드레인전극(126)을 절연시키기 위해서 층간절연층(133)을 게이트전극(122)과 소스전극(124) 및 드레인전극(126) 사이에 배치할 수 있다.

[0040] 박막 트랜지스터(120)의 상부에 실리콘산화물(SiOx), 실리콘질화물(SiNx)과 같은 무기절연막으로 구성된 패시베이션층(135)을 배치하여, 박막 트랜지스터(120)의 구성요소들 사이의 불필요한 전기적 연결을 막고 외부로부터의 오염이나 손상 등을 막는 역할을 할 수 있다.

[0041] 박막 트랜지스터(120)를 구성하는 구성요소들의 위치에 따라 인버티드 스태거드(inverted staggered) 구조와 코플래너(coplanar) 구조로 분류할 수 있다. 인버티드 스태거드 구조의 박막 트랜지스터는 반도체층을 기준으로 게이트전극이 소스전극 및 드레인전극의 반대편에 위치한다. 도 1에서와 같이, 코플래너 구조의 박막 트랜지스터(120)는 반도체층(128)을 기준으로 게이트전극(122)이 소스전극(124) 및 드레인전극(126)과 같은편에 위치한다.

[0042] 도 1에서는 코플래너 구조의 박막 트랜지스터(120)로 도시되었으나, 인버티드 스태거드 구조의 박막 트랜지스터로도 구성할 수도 있다.

[0043] 또한, 설명의 편의를 위해, 유기발광 표시장치에 포함될 수 있는 다양한 박막 트랜지스터 중에서 구동 박막 트랜지스터만을 도시하였으나, 스위칭 박막 트랜지스터, 커패시터 등도 유기발광 표시장치에 포함될 수 있다.

[0044] 박막 트랜지스터(120)를 보호하고 박막 트랜지스터(120)로 인해서 발생되는 단차를 완화시키기 위해서 박막 트랜지스터(120)의 상부에 평탄화층(137)을 배치할 수 있다. 이때 평탄화층(137)은 폴리이미드(Polyimide) 또는 포토아크릴(Photo Acryl)과 같은 유기물로 구성할 수 있다.

[0045] 평탄화층(137)의 상부에 배치되는 유기발광소자(140)는 애노드(144), 발광부(146) 및 캐소드(148)를 포함하여 구성된다.

[0046] 애노드(144)는 평탄화층(137) 상에 배치할 수 있다. 애노드(144)는 발광부(146)에 정공을 공급하는 역할을 하는 전극으로, 평탄화층(137)에 있는 컨택홀을 통해 박막 트랜지스터(120)와 전기적으로 연결할 수 있다.

[0047] 애노드(144)는 예를 들어, 투명 도전성 물질인 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zin Oxide, IZO) 등으로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0048] 애노드(144) 및 평탄화층(137) 상에는 배치되는 뱅크(142)는 실제로 광을 발광하는 화소영역을 구획하여 그에 따른 화소를 정의하는 역할을 한다. 뱅크는(142)는 유기물질인 폴리이미드(Polyimide), 아크릴(acryl) 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0049] 캐소드(148)는 발광부(146) 상에 배치되어, 발광부(146)로 전자를 공급하는 역할을 한다. 캐소드(148)는 전자를 공급하여야 하므로 일함수가 낮은 도전성 물질인 마그네슘(Mg), 은-마그네슘(Ag:Mg) 등과 같은 금속 물질로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0050] 애노드(144)와 캐소드(148) 사이에는 발광부(146)가 배치된다. 발광부(150)는 광을 발광하는 역할을 하며, 정공주입층, 정공수송층, 발광층, 전자수송층, 전자주입층 등을 포함하여 구성될 수 있다.

[0051] 정공주입층은 애노드(144) 상에 배치되며, 애노드(144)로부터의 정공의 주입이 원활하게 하는 역할을 하고, 정공수송층은 정공주입층 상에 배치되어 정공주입층으로부터 발광층으로 원할하게 정공을 전달하는 역할을 한다.

[0052] 발광층은 정공수송층 상에 배치되며 특정 색의 광을 발광할 수 있는 물질을 포함하여 특정 색의 광을 발광 할 수 있다. 이 때, 발광물질은 인광물질 또는 형광물질을 이용하여 형성할 수 있다.

[0053] 전자수송층은 발광층 상에 배치되며, 캐소드(148)로부터 발광층으로 전자의 주입을 원활하게 한다. 그리고, 전자수송층 상에 전자주입층이 더 구성될 수 있다. 전자주입층은 전자수송층으로 전자를 전달하는 역할을 할 수 있다.

[0054] 캐소드(148) 상에는 유기발광소자(140)를 외부로부터 오염이나 손상을 방지하는 보호층(150)이 배치될 수 있으며, 유기물 또는 무기물의 복수층으로 구성할 수 있으나, 이에 한정되는 것은 아니다.

[0055] 도 2a 및 도 2b는 본 발명의 제1 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터(200)의 단면도이다.

[0056] 이때, 도 2a는 차폐층(214)과 소스전극(224)이 전기적으로 연결되는 구조이며, 도 2b는 차폐층(214)과 게이트전극(222)이 전기적으로 연결되는 구조이다. 유기발광 표시장치의 구조나 특성에 따라서 두 구조가 선택적으로 배치되거나, 두 구조가 모두 배치될 수 있다.

[0057] 도 2a를 참조하면, 박막트랜지스터(200)는 차폐층(214), 게이트전극(222), 소스전극(224), 드레인전극(226) 및 반도체층(228)을 포함하여 구성된다.

[0058] 폴리이미드(Polyimide)와 같은 플렉시블한 특성을 가지는 기판(210) 상에 외부로부터 수분 등의 침투를 방지하기 위해서 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성되는 제1 버퍼층(212a) 및 제2 버퍼층(212b)을 차례로 적층하여 배치될 수 있다. 이때 유기발광 표시장치의 구조나 특성에 따라 버퍼층은 생략될 수 있다.

[0059] 제1 버퍼층(212a) 상에 플렉시블 기판(210)으로부터 발생되는 전하로부터 반도체층(228)이 받는 영향을 최소화하는 차폐층(214)이 배치된다. 이때, 차폐층(214)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다. 차폐층(214)은 기판(210)과 반도체층(228)의 사이에서 반도체층(228)과 중첩되게 배치한다.

[0060] 차폐층(214) 상에 제2 버퍼층(212b)과 반도체층(228)을 순차적으로 적층하여 배치한다.

[0061] 반도체층(228)은 비정질실리콘(Amorphous Silicon) 또는 비정질 실리콘보다 우수한 이동도(Mobility)를 가지는 다결정실리콘(Polycrystalline Silicon), 또는, 이동도와 균일도 특성이 우수한 ZnO 또는 IGZO(Indium-Gallium-Zinc Oxide)와 같은 산화물 반도체로 구성할 수 있다.

[0062] 반도체층(228)은 p형 또는 n형의 불순물을 포함하는 소스영역와 드레인영역을 포함하고 이들 사이에 채널을 포함하며, 채널과 인접한 소스영역 및 드레인영역 사이에 저농도 도핑영역을 더 포함할 수도 있다.

[0063] 반도체층(228) 상에 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성된 게이트절연층(231)을 배치하여 반도체층(228)에 흐르는 전류가 게이트전극(222)으로 흘러가지 않도록 한다.

[0064] 제1 컨택홀(CH1)은 반도체층(228)과 중첩되지 않은 영역에서 제2 버퍼층(212b)과 게이트절연층(231)을 동시에 관통하면서 차폐층(214)의 상부가 노출이 되도록 형성한다.

[0065] 게이트절연층(231) 상에 게이트전극(222) 및 연결전극(216)을 배치한다. 있다. 이때 게이트전극(222)은 반도체층(228)과 중첩되고, 연결전극(216)은 제1 컨택홀(CH1)과 중첩되도록 배치한다.

[0066] 게이트전극(222)은 박막 트랜지스터(200)의 스위치 또는 밸브 역할을 하며, 도전성 금속, 예를 들어 구리(Cu),

알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0067] 연결전극(216)은 게이트전극(222)과 동일층에서 게이트전극(222)을 형성할 때 동시에 형성할 수 있다. 이때 연결전극(216)은 게이트전극(222)과 이격되어 제1 컨택홀(CH1)을 통해서 노출된 차폐층(214)과 직접 연결된다.

[0068] 게이트전극(222)의 상부에 게이트전극(222)과 소스전극(224) 및 드레인전극(226)을 절연시키기 위해서 층간절연층(233)이 배치될 수 있다.

[0069] 제2 컨택홀(CH2)은 층간절연층(233) 및 게이트절연층(231)을 관통하여 형성되고, 제3 컨택홀(CH3)은 층간절연층(233)을 관통하여 형성된다. 이때, 제2 컨택홀(CH2)은 반도체층(228)의 상부가 노출이 되도록 형성하고, 제3 컨택홀(CH3)은 연결전극(216)의 상부가 노출이 되도록 형성한다.

[0070] 층간절연층(233) 상에 반도체층(228)과 연결되는 소스전극(224) 및 드레인전극(226)이 배치된다.

[0071] 소스전극(224)과 드레인전극(226)은 외부에서 전달되는 전기신호가 박막 트랜지스터(200)에서 유기발광소자로 전달하는 역할을 하며, 제2 컨택홀(CH2)을 통해서 반도체층(228)과 직접 연결된다. 이때 소스전극(224) 및 드레인전극(226)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0072] 소스전극(224)은 제3 컨택홀(CH3)을 통해서 연결전극(216)과 직접 연결된다. 이를 통해, 소스전극(224)과 차폐층(214)이 서로 전기적으로 연결 되어 차폐층(214)의 상부에 배치된 반도체층(228)이 플렉시블 기판(210)으로부터 받는 영향을 최소화 할 수 있다.

[0073] 소스전극(224) 및 드레인전극(226) 상에 외부로부터 오염을 방지하기 위해서 실리콘산화물(SiOx), 실리콘질화물(SiNx)과 같은 무기절연막으로 형성되는 패시베이션층(235)을 배치할 수 있다.

[0074] 패시베이션층(235) 상에 박막 트랜지스터(200)와 연결되는 유기발광소자는 도 1에서 설명한 구조 및 기능과 실질적으로 동일하므로, 상세한 설명은 생략한다.

[0075] 도 2b는 본 발명의 제1 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터(200) 중에서 차폐층(214)과 게이트전극(222)이 전기적으로 연결되는 구조를 나타내기 위한 단면도이다.

[0076] 이때, 박막 트랜지스터(200)는 도 2a와 구조와 기능이 실질적으로 동일하며, 도 2b의 단면도는 반도체층(228)이 배치되지 않는 영역의 단면을 나타내므로, 반도체층(228)은 생략되었다.

[0077] 플렉시블한 특성을 가지는 기판(210) 상에 제1 버퍼층(212a) 및 제2 버퍼층(212b)이 차례로 적층하여 배치되고, 제1 버퍼층(212a) 상에 플렉시블 기판(210)으로부터 발생되는 전하로부터 반도체층(228)이 받는 영향을 최소화하는 차폐층(214)을 형성한다. 본 도면에는 생략되었지만, 차폐층(214)은 기판(210)과 반도체층(228)의 사이에서 반도체층(228)과 중첩되게 배치한다.

[0078] 차폐층(214) 상에 제2 버퍼층(212b)이 배치되고 제2 버퍼층(212b) 상에 게이트절연층(231)이 배치된다.

[0079] 제4 컨택홀(CH4)은 반도체층(228)과 중첩되지 않은 영역에서 제2 버퍼층(212b)과 게이트절연층(231)을 동시에 관통하면서 차폐층(214)의 상부가 노출이 되도록 형성한다.

[0080] 게이트절연층(231) 상에 게이트전극(222)을 배치한다. 게이트전극(222)은 박막 트랜지스터(200)의 스위치 또는 밸브 역할을 하며, 도전성 금속, 예를 들어 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0081] 이때, 게이트전극(222)은 반도체층(228) 및 제4 컨택홀(CH4)과 중첩되도록 배치하여, 제4 컨택홀(CH4)을 통해서 차폐층(214)과 연결한다.

[0082] 게이트전극(222)과 차폐층(214)이 서로 전기적으로 연결되어 차폐층(214)의 상부에 배치된 반도체층(228)이 플렉시블 기판(210)으로부터 받는 영향을 최소화할 수 있다.

[0083] 게이트전극(222) 상에 배치되는 구조는 도 1 및 도 2a에서 설명한 구조 및 기능과 실질적으로 동일하므로, 상세한 설명은 생략한다.

[0084] 도 3a 및 도 3b는 본 발명의 제2 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터(300)를 설명하기 위한 단면도이다.

[0085] 이때, 도 3a는 차폐층(314)과 소스전극(324)이 전기적으로 연결되는 구조이며, 도 3b는 차폐층(314)과 게이트전극(322)이 전기적으로 연결되는 구조이다. 유기발광 표시장치의 구조나 특성에 따라서 두 구조가 선택적으로 배치되거나, 두 구조가 배치될 수 있다.

[0086] 도 3a를 참조하면, 박막 트랜지스터(300)는 차폐층(314), 게이트전극(322), 소스전극(324), 드레인전극(326) 및 반도체층(328)을 포함하여 구성된다.

[0087] 폴리이미드(Polyimide)와 같은 플렉시블한 특성을 가지는 기판(310) 상에 외부로부터 수분 등의 침투를 방지하기 위해서 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성될 수 있는 제1 버퍼층(312a) 및 제2 버퍼층(312b)이 차례로 적층하여 배치될 수 있다. 이때 유기발광 표시장치의 구조나 특성에 따라 버퍼층은 생략될 수 있다.

[0088] 제1 버퍼층(312a) 상에 플렉시블 기판(310) 으로부터 발생되는 전하로부터 반도체층(328)이 받는 영향을 최소화하는 차폐층(314)이 배치된다. 이때, 차폐층(314)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다. 차폐층(314)은 기판(310)과 반도체층(328)의 사이에서 반도체층(328)과 중첩되게 배치한다.

[0089] 차폐층(314) 상에 제2 버퍼층(312b)과 반도체층(328)을 순차적으로 적층하여 배치한다.

[0090] 반도체층(328)은 비정질실리콘(Amorphous Silicon) 또는 비정질 실리콘보다 우수한 이동도(Mobility)를 가지는 다결정실리콘(Polycrystalline Silicon), 또는, 이동도와 균일도 특성이 우수한 ZnO(Zinc Oxide) 또는 IGZO(Indium-Gallium-Zinc Oxide)와 같은 산화물 반도체로 구성할 수 있다.

[0091] 반도체층(328)은 p형 또는 n형의 불순물을 포함하는 소스영역과 드레인영역을 포함하고 이들 사이에 채널을 포함하며, 채널과 인접한 소스영역 및 드레인영역 사이에 저농도 도핑영역을 더 포함할 수도 있다.

[0092] 반도체층(328) 상에 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성된 게이트절연층(331)을 배치하여 반도체층(328)에 흐르는 전류가 게이트전극(322)으로 흘러가지 않도록 한다.

[0093] 게이트전극(322)은 박막 트랜지스터(300)의 스위치 또는 밸브 역할을 하며, 도전성 금속, 예를 들어 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0094] 게이트전극(322)의 상부에 게이트전극(322)과 소스전극(324) 및 드레인전극(326)을 절연시키기 위해서 층간절연층(333)이 배치될 수 있다.

[0095] 제5 컨택홀(CH5)은 층간절연층(333) 및 게이트절연층(331)을 관통하여 형성되고, 제6 컨택홀(CH6)은 층간절연층(333), 게이트절연층(331), 반도체층(328) 및 제2 버퍼층(312b)을 관통하여 형성된다. 이때, 제5 컨택홀(CH5)은 반도체층(328)의 상부가 노출이 되도록 형성하고, 제6 컨택홀(CH6)은 반도체층(328)을 관통하여 차폐층(314)의 상부가 노출이 되도록 형성한다.

[0096] 층간절연층(333) 상에 반도체층(328)과 연결되는 소스전극(324) 및 드레인전극(326)이 배치된다.

[0097] 소스전극(324) 과 드레인전극(326)은 외부에서 전달되는 전기신호가 박막 트랜지스터(300)에서 유기발광소자로 전달하는 역할을 한다. 이때 소스전극(324) 및 드레인전극(326)은 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등의 금속 재료나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0098] 드레인전극(326)은 제5 컨택홀(CH5)을 통해서 반도체층(328)과 직접 연결된다.

[0099] 소스전극(324)은 제6 컨택홀(CH6)을 통해서 반도체층(328)과 연결되면서 동시에 차폐층(314)과 연결된다. 이를 통해, 소스전극(324)과 차폐층(314)이 서로 전기적으로 연결되어 차폐층(314)의 상부에 배치된 반도체층(328)이 플렉시블 기판(310)으로부터 받는 영향을 최소화 할 수 있다.

[0100] 소스전극(324) 및 드레인전극(326) 상에 외부로부터 오염을 방지하기 위해서 실리콘산화물(SiOx), 실리콘질화물(SiNx)과 같은 무기절연막으로 형성되는 패시베이션층(335)을 배치할 수 있다.

[0101] 패시베이션층(335) 상에 박막 트랜지스터(300)와 연결되는 유기발광소자는 도 1에서 설명한 구조 및 기능과 실질적으로 동일하므로, 상세한 설명은 생략한다.

[0102] 전술한 본발명의 제2 실시예에 따른 유기발광 표시장치는 연결전극(216)이 제1 컨택홀(CH1) 및 제3 컨택홀(CH3)을 통해서 소스전극(224) 과 차폐층(214)을 연결하는 제1 실시예에 비하여, 소스전극(324)과 차폐층(314)을 제6 컨택홀(CH6) 하나로 직접 연결하여 총 2개의 컨택홀을 1개로 줄일 수 있다. 따라서, 화소내부에 형성된 컨택홀의 개수를 줄임으로써, 줄어든 컨택홀만큼 화소의 크기가 감소해서 더 많은 화소가 배치하여 고해상도를 구현할 수 있다.

[0103] 또한, 유기발광 표시장치의 제조공정에서 제1 컨택홀(CH1)을 형성하기 위한 별도의 마스크 없이 차폐층(314)과 소스전극(324)의 연결이 가능하여 마스크를 절감하는 효과도 있다.

[0104] 예를 들어, 하나의 화소가 가로X세로 길이가 21.5㎛X65.5㎛이며, 넓이가 1408.2$㎛^2$ 인 경우에 쉴드층과의 컨택을 위해서 차지하는 영역의 가로X세로 길이가 5.5umX5.5㎛ 이며, 넓이가 30.2$㎛^2$ 로 본 실시예에 따라, 전체 화소영역대비 2.15% 비율로 화소 크기를 줄일수 있어 그만큼 더 많은 화소가 배치되어 고해상도를 구현할 수 있다.

[0105] 도 3b는 본 발명의 제2 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터(300) 중에서 차폐층(314)과 게이트전극(322)이 전기적으로 연결되는 구조를 나타내기 위한 단면도이다.

[0106] 이때, 박막트랜지스터(300)는 도 3a와 구조와 기능이 실질적으로 동일하지만, 도 3b의 단면도는 반도체층(328)이 배치되지 않는 영역의 단면을 나타내기 때문에 반도체층(328)은 생략되었다.

[0107] 플렉시블한 특성을 가지는 기판(310) 상에 제1 버퍼층(312a) 및 제2 버퍼층(312b)이 차례로 적층하여 배치되고, 제1 버퍼층(312a) 상에 플렉시블 기판(310) 으로부터 발생되는 전하로부터 반도체층(328)이 받는 영향을 최소화하는 차폐층(314)을 형성한다. 차폐층(314) 상에 제2 버퍼층(312b)이 배치되고 제2 버퍼층(312b) 상에 게이트절연층(331)이 배치된다.

[0108] 게이트절연층(331) 상에 게이트전극(322)을 배치한다. 게이트전극(322)은 박막 트랜지스터(300)의 스위치 또는 밸브 역할을 하며, 도전성 금속, 예를 들어 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성할 수 있다.

[0109] 게이트전극(322) 상에는 위해서 층간절연층(333)이 배치된다.

[0110] 제7 컨택홀(CH7)은 반도체층(328)과 중첩되지 않은 영역에서 층간절연층(333), 게이트절연층(331) 및 제2 버퍼층(312b)을 동시에 관통하면서 게이트전극(322)의 상부와 측부가 노출이 되고, 차폐층(314)의 상부가 노출이 되도록 형성한다.

[0111] 연결전극(316)은 층간절연층(333) 상에 소스전극(324) 및 드레인전극(326) 과 동일층으로 형성되며, 소스전극(324) 및 드레인전극(326)을 형성할 때 동시에 형성할 수 있다.

[0112] 이때, 연결전극(316)은 소스전극(324) 및 드레인전극(326)과는 이격되며, 제7 컨택홀(CH7)을 통해서 게이트전극(322)과 차폐층(314)이 서로 직접 전기적으로 연결된다.

[0113] 이를 통해, 게이트전극(322)과 차폐층(314)이 서로 전기적으로 연결이 되어 차폐층(314)의 상부에 배치된 반도체층(328)이 플렉시블 기판(310)으로부터 받는 영향을 최소화 할 수 있다.

[0114] 층간절연층(333) 및 연결전극(316) 상에 배치되는 구조는 도 1 및 도 3a에서 설명한 유기발광 표시장치(100) 및 박막 트랜지스터(300)의 구조 및 기능과 실질적으로 동일하므로, 상세한 설명은 생략한다.

[0115] 전술한 본 발명의 제2 실시예에 따른 유기발광 표시장치는 별도의 마스크를 통해서 제4 컨택홀(CH4) 를 형성하여 게이트전극(222)과 차폐층(214)을 연결하는 제1 실시예에 비하여, 소스전극(324) 및 드레인전극(326)이 반도체층(328)과 연결하기 위한 컨택홀(CH5)의 형성할 때 동시에 형성되는 제7 컨택홀(CH7)을 통해서 게이트전극(322)과 차폐층(314)을 연결할 수 있다.

[0116] 유기발광 표시장치의 제조공정에서 제4 컨택홀(CH4)을 형성하기 위한 별도의 마스크 없이 차폐층(314)과 소스전극(324)의 연결이 가능하여 마스크를 절감하는 효과가 있다.

[0117] 도 4a 내지 도 4i는 본 발명의 실시예에 따른 유기발광 표시장치에 포함된 박막 트랜지스터(400)의 제조 방법을 설명하기 위한 단면도이다.

[0118] 도 4a를 참조하면, 플렉시블한 특성을 가지는 기판(410)을 준비하고, 기판(410) 상에 실리콘산화물(SiOx) 또는

실리콘질화물(SiNx)의 단일층이나 복수층으로 제1 버퍼층(412a)을 증착한다.

[0119] 도 4b를 참조하면, 제1 버퍼층(412a) 상에 플렉시블 기판(410)에서 발생되는 전하로부터 반도체층(428)이 받는 영향을 최소화하기 위해서 금속층을 증착하고 제1 마스크로 패터닝하여 차폐층(414)을 형성한다. 이때 차폐층(414)은 상부에 배치되는 반도체층(428)과 완전히 중첩이 되는 위치와 형태로 패터닝한다.

[0120] 도 4c를 참조하면, 차폐층(414) 상에 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 제2 버퍼층(412b)을 증착한다.

[0121] 도 4d를 참조하면, 제2 버퍼층(412b) 상에 비정질실리콘(Amorphous Silicon) 또는 비정질 실리콘보다 우수한 이동도(Mobility)를 가지는 다결정실리콘(Polycrystalline Silicon), 또는 이동도와 균일도 특성이 우수한 ZnO(Zinc Oxide) 또는 IGZO(Indium-Gallium-Zinc Oxide)와 같은 산화물 반도체층을 증착하고, 제2 마스크로 패터닝하여 반도체층(428)을 형성한다.

[0122] 도 4e를 참조하면, 반도체층(428) 상에 실리콘산화물(SiOx) 또는 실리콘질화물(SiNx)의 단일층이나 복수층으로 구성된 게이트절연층(431)을 증착한다.

[0123] 도 4f를 참조하면, 게이트절연층(431) 상에 도전성 금속, 예를 들어 구리(Cu), 알루미늄(Al), 몰리브덴(Mo) 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd), 등이나 이에 대한 합금, 단일층 또는 다중층으로 구성된 금속층을 증착하고 제3 마스크로 패터닝하여 게이트전극(422)을 형성한다.

[0124] 도 4g를 참조하면, 게이트전극(422) 상에 층간절연층(433)을 증착한다.

[0125] 도 4h를 참조하면, 제4 마스크를 사용하여 제5 컨택홀(CH5)과 제6 컨택홀(CH6)을 반도체층(428)과 중첩되는 영역에 형성한다.

[0126] 이때, 제5 컨택홀(CH5)은 층간절연층(433)과 게이트절연층(431)을 관통하여 반도체층(428)의 상부가 노출이 되도록 형성하고, 제6 컨택홀(CH6)은 층간절연층(433), 게이트절연층(431), 반도체층(428) 및 제2 버퍼층(412b)을 관통하여 차폐층(414)의 상부가 노출이 되도록 형성한다.

[0127] 도 4i를 참조하면, 층간절연층(433) 상에 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd)등이나 이에 대한 합금, 단일층 또는 다중층으로 구성된 금속층을 증착하고 제5 마스크로 패터닝하여 소스전극(424) 및 드레인전극(426)을 형성한다.

[0128] 드레인전극(426)은 제5 컨택홀(CH5)을 통해서 반도체층(428)과 직접 연결되고, 소스전극(424)은 제6 컨택홀(CH6)을 통해서 반도체층(428)과 연결되면서 동시에 차폐층(414)과 직접 연결된다.

[0129] 이를 통해, 소스전극(424)과 차폐층(414)은 서로 전기적으로 연결이 되어 차폐층(414)의 상부에 배치된 반도체층(418)이 기판(410)의 전하로부터 받는 영향을 최소화 할 수 있다.

[0130] 소스전극(424) 및 드레인전극(426)을 형성하고, 소스전극(424) 및 드레인전극(426) 상에 외부로부터 오염을 방지하기 위해서 실리콘산화물(SiOx), 실리콘질화물(SiNx)과 같은 무기절연막으로 형성되는 패시베이션층(435)을 증착한다.

[0131] 패시베이션층(435) 상에 박막 트랜지스터(400)와 연결되는 유기발광소자는 도 1에서 설명한 구조 및 기능과 실질적으로 동일하므로, 상세한 설명은 생략한다.

[0132] 본 발명의 실시예에 따른 유기발광 표시장치는 TV, 모바일(Mobile), 테블릿 PC(Tablet PC), 모니터(Monitor), 노트북 컴퓨터(Laptop Computer), 및 차량용 표시장치 등을 포함한 표시장치 등에 적용될 수 있다. 또는, 차량용 조명장치, 웨어러블(wearable) 표시장치, 폴더블(foldable) 표시장치, 롤러블(rollable), 커브드(curved) 표시장치, 밴더블(bendable) 표시장치 등에도 적용될 수 있다.

[0133] 본 발명의 일 실시예에 따른 유기발광 표시장치는 플렉시블 기판, 기판 상의 차폐층, 차폐층 상의 버퍼층, 버퍼층 상의 반도체층, 반도체층 상의 게이트절연층, 게이트절연층 상의 게이트전극, 게이트전극 상의 층간절연층, 층간절연층 상에 있으며, 반도체층과 연결된 소스전극 및 드레인전극, 소스전극 및 드레인전극 상의 유기발광소자를 포함하고 게이트전극 또는 소스전극은 차폐층과 연결된다.

[0134] 본 발명의 실시예에 따른 유기발광 표시장치는 소스전극이 반도체층과 중첩하는 컨택홀을 통해 반도체층 및 차폐층을 동시에 연결하고, 컨택홀이 층간절연층, 게이트절연층, 반도체층 및 버퍼층을 동시에 관통한다.

[0135] 본 발명의 실시예에 따른 유기발광 표시장치는 소스전극 및 드레인전극과 동일층에 연결전극이 더 있으며, 반도

체층과 중첩하지 않는 컨택홀을 통해 연결전극이 게이트전극 및 차폐층을 동시에 연결하고, 컨택홀이 층간절연층, 게이트절연층 및 버퍼층을 동시에 관통한다.

[0136] 본 발명의 실시예에 따른 유기발광 표시장치는 차폐층이 반도체층과 중첩된다.

[0137] 본 발명의 다른 실시예에 따른 유기발광 표시장치는 플렉시블 기판, 기판 상의 차폐층, 기판 상에 소스전극, 드레인전극, 반도체층 및 게이트전극을 포함하는 박막 트랜지스터, 소스전극 및 드레인전극 상의 유기발광소자를 포함하고, 게이트전극 또는 소스전극이 차폐층과 연결된다.

[0138] 본 발명의 실시예에 따른 유기발광 표시장치는 소스전극이 반도체층과 차폐층을 동시에 연결하고, 소스전극, 반도체층 및 차폐층이 하나의 컨택홀을 통해서 연결된다.

[0139] 본 발명의 실시예에 따른 유기발광 표시장치는 소스전극 및 드레인전극과 동일층에 연결전극을 더 포함하며, 연결전극이 게이트전극 및 차폐층을 동시에 연결하고, 연결전극, 게이트전극 및 차폐층이 하나의 컨택홀을 통해서 연결된다.

[0140] 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법은 플렉시블 기판을 형성하는 단계, 기판 상에 차폐층을 형성하는 단계, 차폐층 상에 버퍼층을 형성하는 단계, 버퍼층 상에 반도체층을 형성하는 단계, 반도체층 상에 게이트절연층을 형성하는 단계, 게이트절연층 상에 게이트전극을 형성하는 단계, 게이트전극 상에 층간절연층을 형성하는 단계, 층간절연층 상에 반도체층과 연결된 소스전극 및 드레인전극을 형성하는 단계, 소스전극 및 드레인전극 상에 유기발광소자를 형성하는 단계를 포함하고, 소스전극을 형성하면서 동시에 게이트전극 또는 소스전극을 차폐층과 연결하는 단계를 포함한다.

[0141] 본 발명의 실시예에 따른 유기발광 표시장치의 제조 방법은 소스전극이 반도체층과 중첩되도록 컨택홀을 형성하는 단계를 포함하며, 컨택홀을 반도체층 및 차폐층과 동시에 연결하는 단계를 포함한다. 컨택홀을 형성하는 단계는 층간절연층, 게이트절연층, 반도체층 및 버퍼층을 동시에 관통하여 형성하는 단계를 포함한다.

[0142] 본 발명의 실시예에 따른 유기발광 표시장치의 제조방법은 소스전극을 형성하면서 동시에 연결전극을 형성하고 반도체층과 중첩하지 않는 컨택홀을 통해 게이트전극 및 차폐층과 동시에 연결하는 단계를 포함하고, 컨택홀은 층간절연층, 게이트절연층 및 버퍼층을 동시에 관통하여 형성하는 단계를 포함한다.

[0143] 본 발명의 실시예에 따른 유기발광 표시장치의 제조방법은 차폐층을 반도체층과 중첩하여 형성하는 단계를 포함한다.

[0144] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0145] 100 : 유기발광 표시장치

110, 210, 310, 410 : 기판

112 : 버퍼층

114, 214, 314, 414 : 차폐층

120, 200, 300, 400 : 박막 트랜지스터

122, 222, 322, 422 : 게이트전극

124, 224, 324, 424 : 소스전극

126, 226, 326, 426 : 드레인전극

128, 228, 328, 428 : 반도체층

131, 231, 331, 431 : 게이트절연층

133, 233, 333, 433 : 층간절연층

135, 235, 335, 435 : 패시베이션층

140 : 유기발광소자

142 : 뱅크 144 : 애노드

146 : 발광부 148 : 캐소드

150 : 보호층

216, 316 : 연결전극

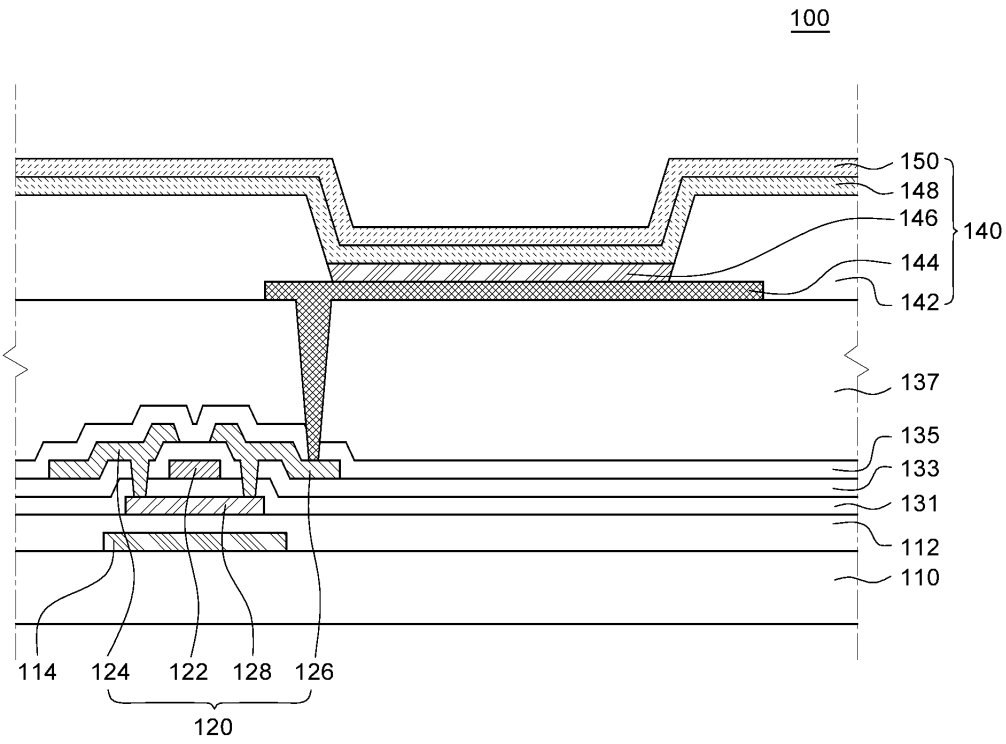
212a, 312a, 412a : 제1버퍼층

212b, 312b, 412b : 제2버퍼층

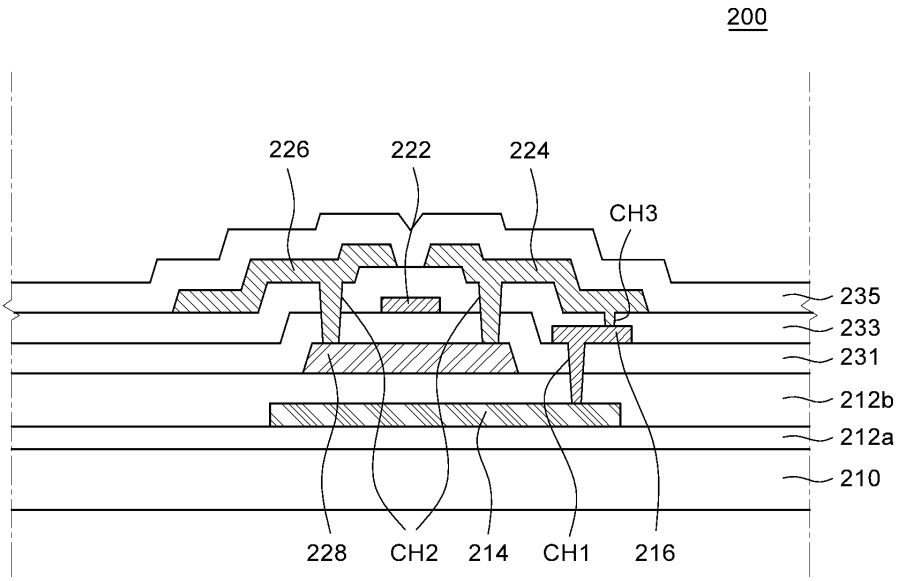
CH1, CH2, CH3, CH4, CH5, CH6, CH7 : 컨택홀

도면

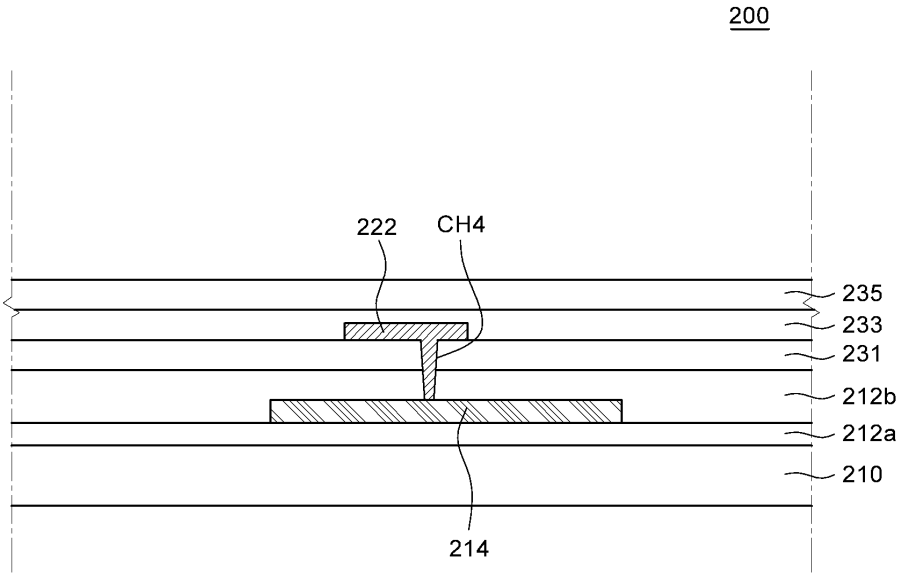
도면1



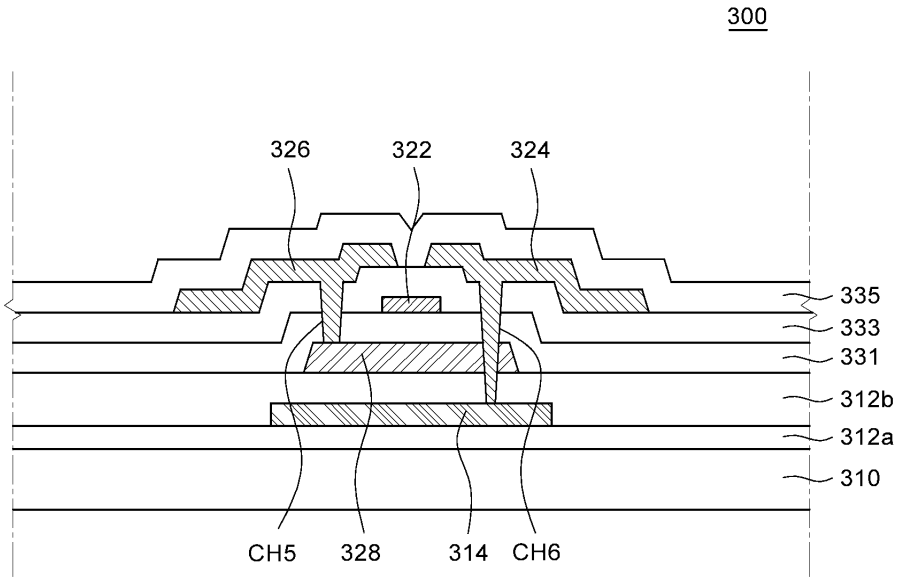
도면2a


200
226
222
224
CH3
235
233
231
212b
212a
210
228
CH2
214
CH1
216

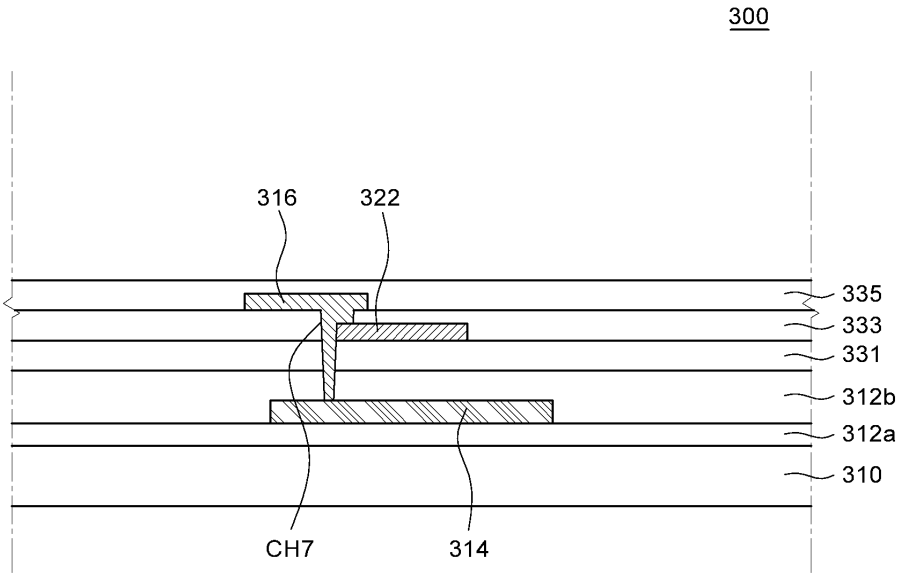
도면2b


200
222
CH4
235
233
231
212b
212a
210
214

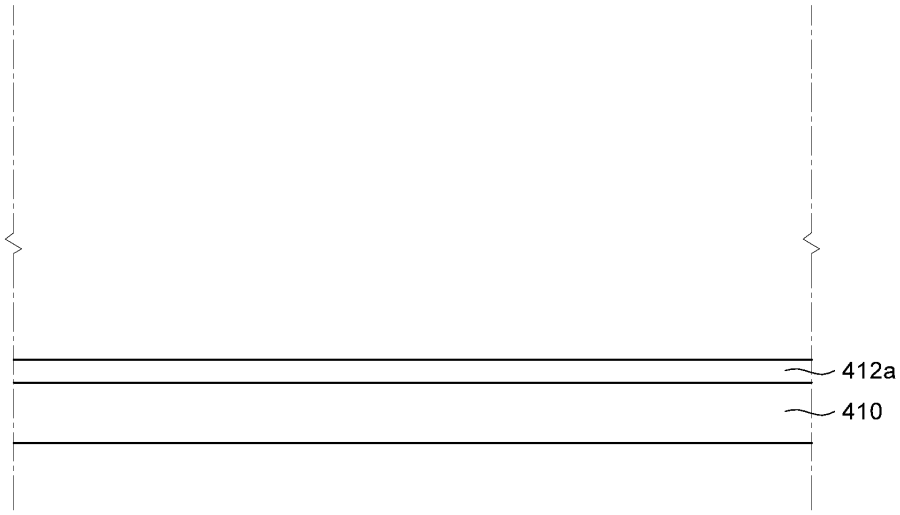
도면3a


300
326
322
324
335
333
331
312b
312a
310
CH5
328
314
CH6

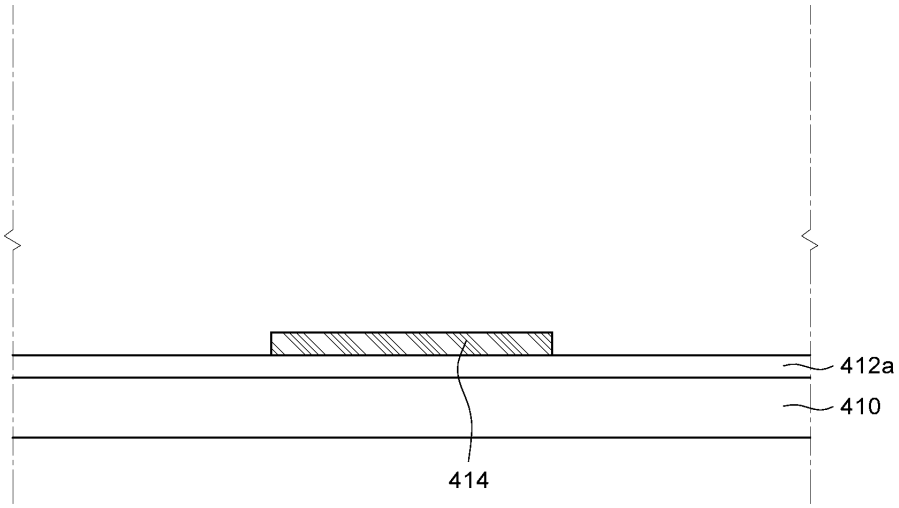
도면3b


300
316
322
335
333
331
312b
312a
310
CH7
314

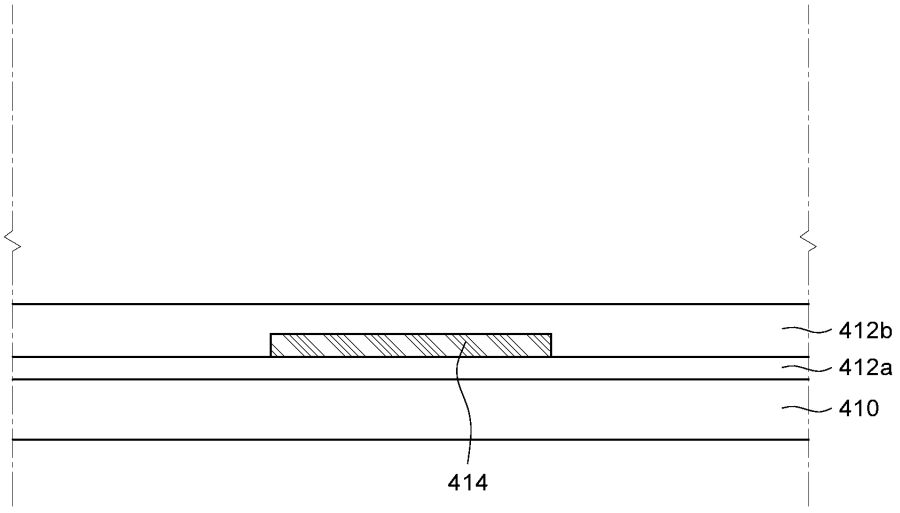
도면4a



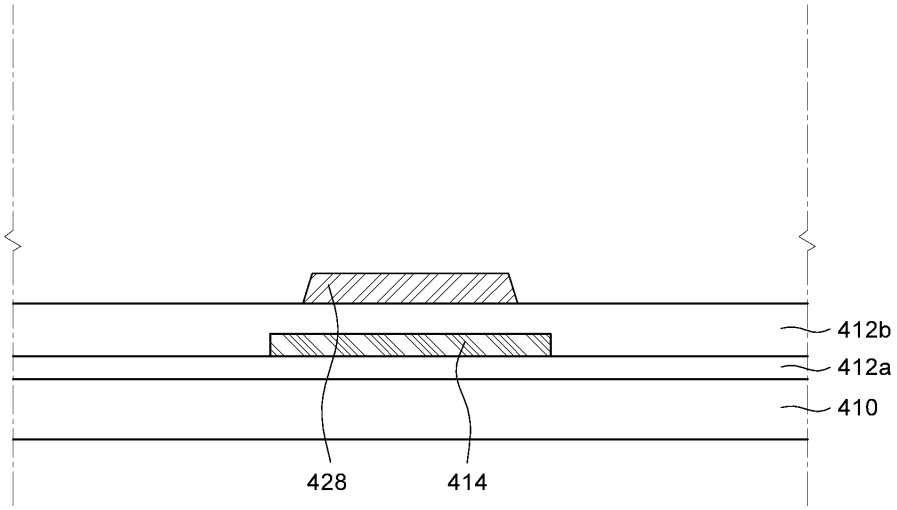
도면4b



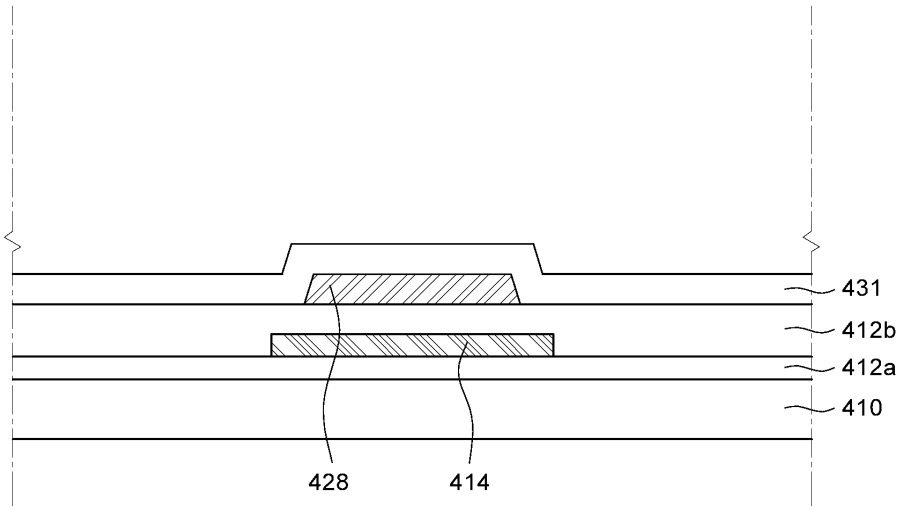
도면4c



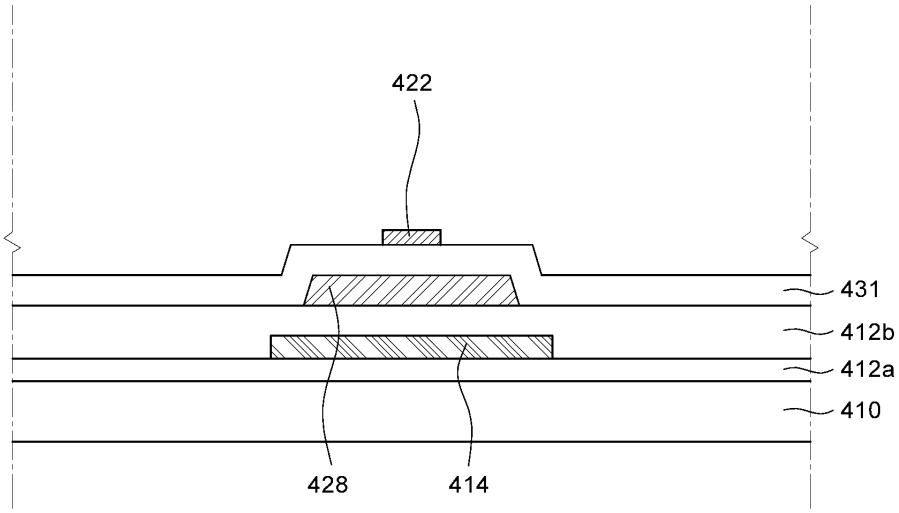
도면4d



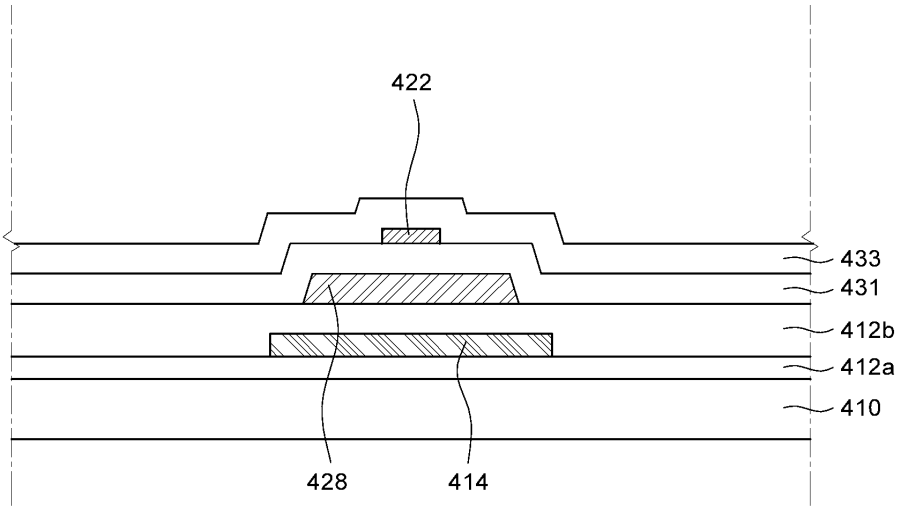
도면4e



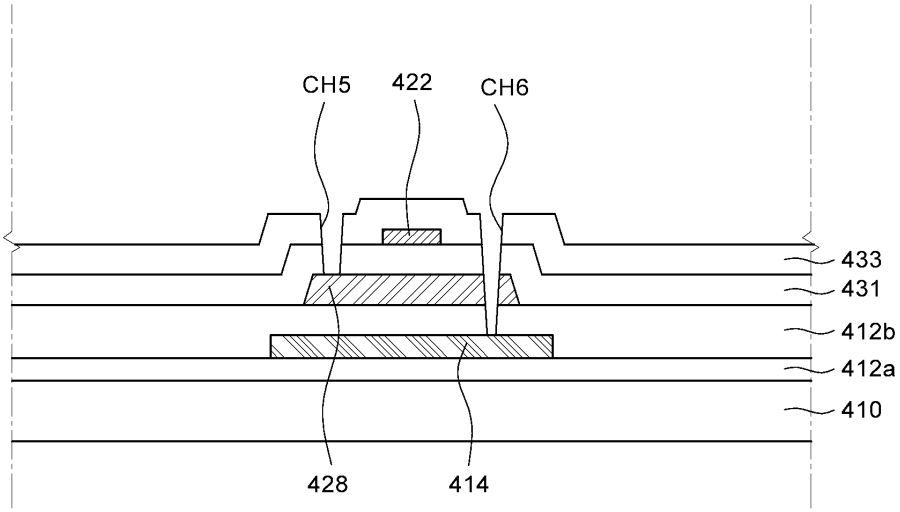
도면4f



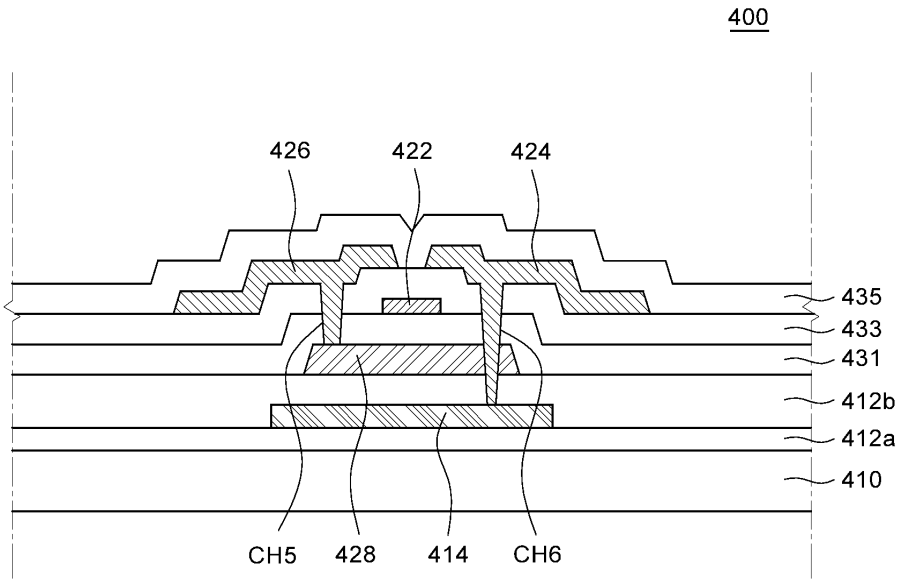
도면4g


422
433
431
412b
412a
410
428
414

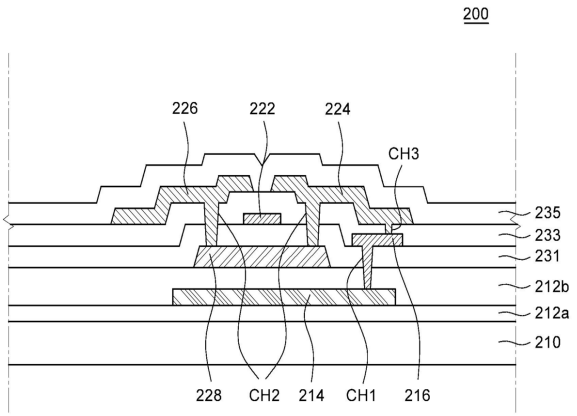
도면4h


CH5
422
CH6
433
431
412b
412a
410
428
414

도면4i



专利名称(译)	OLED显示装置及其制造方法		
公开(公告)号	KR1020170135550A	公开(公告)日	2017-12-08
申请号	KR1020160067631	申请日	2016-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG BYEONG CHEOL 송병철 AHN BYUNG YONG 안병용 CHO YONG SOO 조용수		
发明人	송병철 안병용 조용수		
IPC分类号	H01L27/32 H01L27/12 H01L51/00 H01L51/56		
CPC分类号	H01L27/3272 H01L27/3262 H01L27/3276 H01L27/3258 H01L51/0097 H01L51/56 H01L27/124 H01L27/1288 H01L2227/323		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示器包括柔性基板，基板上的屏蔽层，屏蔽层上的缓冲层，缓冲层上的半导体层，半导体层上的栅极绝缘层，栅电极，栅电极上的层间绝缘层，有源发光元件和源电极和漏电极上的栅电极或源电极，层间绝缘层上的源电极和漏电极，可以形成连接到屏蔽层的有机发光显示器，以保护薄膜晶体管的半导体层免受柔性基板中产生的电荷的影响，从而提高OLED显示器的性能。