(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0031570
(43) 공개일자 2016년03월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0120766
(22) 출원일자 2014년09월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최재영
서울 노원구 월계로 334, 324호 (월계동, 그랑디오피스텔)
(74) 대리인
김은구, 송해모

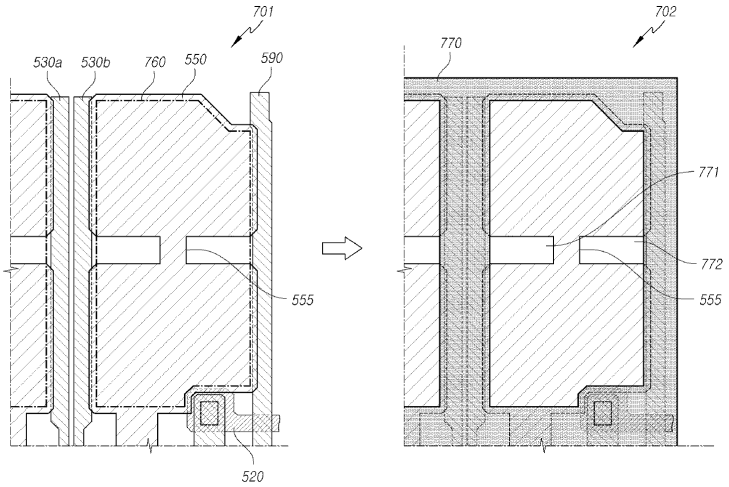
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **표시장치, 표시패널 및 이를 제조하는 방법**

(57) 요 약

본 발명은 표시장치, 표시패널 및 이를 제조하는 방법에 관한 것을, 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은 절단 패턴을 포함하며 박막 트랜지스터와 연결된 화소 전극 및 절단 패턴 상에 형성된 화소 별로 단일한 뱅크홀 내의 유기 발광층을 포함하는 표시장치를 제공한다.

대 표 도



명 세 서

청구범위

청구항 1

복수의 화소가 위치하는 기판;

상기 기판 상에서 상기 화소 각각에 위치하는 박막 트랜지스터;

상기 화소 각각에 위치하며 절단 패턴을 포함하고 상기 박막 트랜지스터와 전기적으로 연결된 화소 전극;

상기 화소 전극의 경계선에 일부 중첩하며 상기 화소 전극 상에 단일한 뱅크홀이 위치하도록 증착된 뱅크 절연막; 및

상기 뱅크홀에 위치하는 유기 발광층을 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 뱅크홀은 상기 절단 패턴 상에 위치하는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제1항에 있어서,

상기 화소 전극은

상기 박막 트랜지스터에 전기적으로 연결되는 제1영역과 상기 제1영역에 상기 절단 패턴으로 연결되는 제2영역을 포함하는 유기발광 표시장치.

청구항 4

제3항에 있어서,

상기 절단 패턴은 절단되어 상기 제2영역이 상기 제1영역과 절연된 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제3항에 있어서,

상기 뱅크 절연막은 상기 제1영역 및 상기 제2영역의 경계선과 일부 중첩하여 위치하는 것을 특징으로 하는 유기발광 표시장치.

청구항 6

표시패널 상에 형성된 다수의 화소에 있어서,

상기 화소의 비발광 영역에 위치하는 회로부; 및

상기 화소의 발광 영역에 위치하며 상기 회로부의 박막 트랜지스터에 연결되며, 절단 패턴을 포함하는 화소 전극과, 상기 화소 전극 상에 뱅크홀이 위치하도록 증착된 뱅크 절연막과, 상기 뱅크홀에 위치하는 유기 발광층을 포함하는 발광부를 포함하며,

상기 절단 패턴은 연결되거나 또는 절단된 상태인 것을 특징으로 하는 표시패널.

청구항 7

제6항에 있어서,

상기 뱅크홀은 상기 절단 패턴 상에 위치하는 것을 특징으로 하는 표시패널.

청구항 8

제6항에 있어서,

상기 화소 전극은

상기 회로부의 박막 트랜지스터에 전기적으로 연결되는 제1영역과 상기 제1영역에 상기 절단 패턴으로 연결되는 제2영역을 포함하는 표시패널.

청구항 9

제8항에 있어서,

상기 절단 패턴은 절단되어 상기 제2영역이 상기 제1영역과 절연된 것을 특징으로 하는 표시패널.

청구항 10

제8항에 있어서,

상기 뱅크 절연막은 상기 제1영역 및 상기 제2영역의 경계선과 일부 중첩하여 위치하는 것을 특징으로 하는 표시패널.

청구항 11

기판 상에 박막 트랜지스터 및 보호층을 형성하는 단계;

상기 보호층 상에 컬러 필터 및 오버코트층을 형성하는 단계;

상기 보호층 및 오버코트층의 일부를 식각하여 박막 트랜지스터의 소스 또는 드레인을 노출시키는 컨택홀을 형성하는 단계;

상기 컨택홀을 통하여 소스 또는 드레인에 연결되며, 절단 패턴을 포함하는 형상의 제1전극을 형성하는 단계;

상기 제1전극의 절단 패턴을 노출시키는 뱅크 절연막을 형성하여 제1전극상에 단일한 뱅크홀을 형성하는 단계;

상기 뱅크홀에 유기발광층을 형성하는 단계를 포함하는 표시패널을 제조하는 방법.

청구항 12

제11항에 있어서,

상기 제1전극을 형성하는 단계는

상기 박막 트랜지스터에 전기적으로 연결되는 제1영역과 상기 제1영역에 절단 패턴으로 연결되는 제2영역을 하나의 마스크를 이용하여 형성하는 단계를 포함하는 표시패널을 제조하는 방법.

청구항 13

제11항에 있어서,

상기 제1전극을 형성하는 단계는

상기 제1전극을 건식 식각하는 단계를 포함하는 표시패널을 제조하는 방법.

청구항 14

제11항에 있어서,

상기 뱅크홀을 형성하는 단계는 상기 제1영역 및 상기 제2영역의 경계선과 일부 중첩하도록 뱅크 절연막을 형성하는 단계를 포함하는 표시패널을 제조하는 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 리페어 구조의 화소를 포함하는 표시장치, 표시패널 및 이를 제조하는 방법에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 다양한 표시장치가 활용되고 있다. 이러한 다양한 표시장치에는, 그에 맞는 표시패널이 포함된다.

[0003] 표시패널은 각각의 화소 영역에 박막 트랜지스터들이 형성되어 있으며, 박막 트랜지스터의 전류의 흐름을 통하여 표시패널 내의 특정 화소 영역이 제어된다. 박막 트랜지스터는 게이트와 소스/드레인 전극으로 구성되며 공정 과정에서는 게이트와 소스/드레인 전극을 형성하는 재료로 동일한 공정 내에서 회로를 구성하는 배선(라인)도 함께 형성한다. 한편, 화소 영역을 제어하는 화소 전극(pixel electrod)은 불량이 발생할 경우에도 해당 화소 영역을 사용할 수 있도록 리페어(repair)하는 구조가 제안되고 있다. 그러나 리페어 구조를 적용할 경우, 화소 전극의 일부가 리페어를 위해 설계되며, 그로 인해 개구율이 감소하는 문제가 있다. 따라서 리페어 구조를 적용하면서도 개구율을 유지하는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0004] 이러한 배경에서, 본 발명의 목적은 리페어 구조의 화소에서의 개구율을 증가시키기 위해 리페어 구조를 위한 절단 패턴 상에도 유기발광층이 형성되도록 단일한 뱅크홀을 포함하는 표시패널과 표시장치 및 이를 제조하는 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은 절단 패턴을 포함하며 박막 트랜지스터와 연결된 화소 전극 및 절단 패턴 상에 형성된 화소 별로 단일한 뱅크홀 내의 유기 발광층을 포함하는 표시장치를 제공한다.

[0006] 다른 측면에서 본 발명은 회로부 및 회로부와 전기적으로 연결된 발광부를 포함하며, 발광부는 절단 패턴 상에 형성되며 발광부에 단일한 뱅크홀 내의 유기 발광층을 포함하는 표시 패널을 제공한다.

[0007] 또다른 측면에서 본 발명은 절단 패턴을 포함하는 제1 전극을 형성하고 제1전극의 절단 패턴을 노출시키는 뱅크 절연막을 형성하여 제1전극 상에 단일한 뱅크홀을 형성하는 표시패널 제조 방법을 제공한다.

발명의 효과

[0008] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 전극이 2개 또는 그 이상의 개수들의 영역으로 나뉘어지며

이 영역들 중에 일부 영역에 불량이 발생할 경우 일부 영역에 연결된 절단 패턴을 제거하여 화소 전극의 다른 일부 영역은 그대로 유기발광층을 발광시키므로 패널 전체의 발광 효율을 높인다.

[0009] 본 발명에 의하면 절단 패턴이 포함된 리페어 구조의 화소 전극 상에 단일한 뱅크홀을 형성하여 유기발광층이 화소 전극에서 발광하도록 하여 발광 효율을 높일 수 있다.

[0010] 본 발명에 의하면 리페어를 위한 절단 패턴 상에 뱅크홀이 형성되어 유기발광층이 위치하므로, 절단 패턴이 유지될 경우에 유기 발광층을 발광시키므로 패널 전체의 발광 효율을 높인다.

도면의 간단한 설명

[0011] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.

도 2는 실시예들에 따른 유기발광표시장치의 기본적인 화소 구조를 나타낸 도면이다.

도 3은 본 발명의 일 실시예를 적용하여 발광 영역의 발광부의 불량이 발생하는 경우 리페어를 수행하는 과정을 도시한 도면이다.

도 4는 본 발명의 일 실시예가 적용되는 리페어를 위한 화소 전극의 다양한 형상을 제시하는 도면이다.

도 5는 리페어 구조의 화소를 나타낸 도면이다. 591은 화소 전극을 리페어 구조로 형성한 도면이다.

도 6은 개구율의 손실을 보여주는 도면이다.

도 7 및 도 8은 본 발명의 일 실시예에 따른 뱅크 오픈 영역을 하나로 구성한 도면이다.

도 8은 본 발명의 일 실시예에 의한 리페어를 위한 절단 패턴 상에 단일한 뱅크홀이 형성된 경우의 구성을 보여주는 도면이다.

도 9는 본 발명의 일 실시예에 도 8의 I-I'의 단면을 보여주는 도면이다.

도 10은 본 발명의 일 실시예에 도 8의 II-II'의 단면을 보여주는 도면이다.

도 11은 리페어 구조에서 절단 패턴을 유지하는 경우 유기발광층이 발광할 경우를 보여주는 도면이다.

도 12는 리페어 구조에서 절단 패턴을 제거하는 경우 유기발광층이 발광하는 영역을 도시한 도면이다.

도 13 내지 도 15는 도 4에서 살펴본 다양한 리페어 구조의 화소 전극 상에 본 발명에 의한 단일한 뱅크홀이 형성된 실시예를 도시한 도면이다.

도 16은 본 발명의 일 실시예에 의한 표시패널을 제조하는 공정을 보여주는 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0013] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0014] 도 1은 실시예들에 따른 표시장치를 간략하게 나타낸 도면이다.

[0015] 도 1을 참조하면, 실시예들에 따른 표시장치(100)는, 제1방향(예: 수직방향)으로 다수의 제1라인(VL1~VLm)이 형성되고, 제2방향(예: 수평방향)으로 다수의 제2라인(HL1~HLn)이 형성되는 표시패널(110)과, 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하는 제1구동부(120)와, 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하는 제2구동부(130)와, 제1구동부(120) 및 제2구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0016] 표시패널(110)에는, 제1방향(예: 수직방향)으로 형성된 다수의 제1라인(VL1~VLm)과 제2방향(예: 수평방향)으로 형성된 다수의 제2라인(HL1~HLn)의 교차에 따라 다수의 화소(P: Pixel)가 정의된다.

[0017] 전술한 제1구동부(120) 및 제2구동부(130) 각각은, 영상 표시를 위한 신호를 출력하는 적어도 하나의 구동 집적회로(Driver IC)를 포함할 수 있다.

[0018] 표시패널(110)에 제1방향으로 형성된 다수의 제1라인(VL1~VLm)은, 일 예로, 수직방향(제1방향)으로 형성되어 수직방향의 화소 열로 데이터 전압(제1신호)을 전달하는 데이터 배선일 수 있으며, 제1구동부(120)는 데이터 배선으로 데이터 전압을 공급하는 데이터 구동부일 수 있다.

[0019] 또한, 표시패널(110)에 제2방향으로 형성된 다수의 제2라인(HL1~HLn)은 수평방향(제2방향)으로 형성되어 수평방향의 화소 열로 스캔 신호(제1신호)를 전달하는 게이트 배선일 수 있으며, 제2구동부(130)는 게이트 배선으로 스캔 신호를 공급하는 게이트 구동부일 수 있다.

[0020] 또한, 제1구동부(120)와 제2구동부(130)와 접속하기 위해 표시패널(110)에는 패드부가 구성된다. 패드부는 제1구동부(120)에서 다수의 제1라인(VL1~VLm)으로 제1신호를 공급하면 이를 표시패널(110)로 전달하며, 마찬가지로 제2구동부(130)에서 다수의 제2라인(HL1~HLn)으로 제2신호를 공급하면 이를 표시패널(110)로 전달한다.

[0021] 각 화소(pixel)는 하나 이상의 부화소(subpixel)를 포함한다. 부화소는 특정한 한 종류의 컬러필터가 형성되거나, 또는 컬러필터가 형성되지 않는 단위로, 적색(R), 녹색(G), 청색(B)과 선택적으로 백색(W)를 포함하나 본 발명이 이에 한정되는 것은 아니다. 각 부화소에 독립한 화로부와 화소 전극이 포함되므로 이하, 화소를 구성하는 부화소 역시 하나의 화소 영역으로 지칭한다.

[0022] 본 명세서에서 언급하는 리페어(Repair)는, 화소에 불량을 해소하기 위해 전체 패널을 교체하지 않고 해당 화소의 일부 영역을 제어하는 모든 공정을 의미한다. 일 실시예로 화소 영역에 형성된 특정한 전극이 동작하지 않을 경우, 해당 전극의 일부를 제거하는 것을 리페어라 한다. 또는 하나의 화소 전극을 절단 패턴을 포함시켜 화소 전극의 특정한 영역에 불량이 발생하는 경우 해당 절단 패턴을 절단하거나 혹은 제거하여 화소 전극이 동작할 수 있도록 하는 공정 또한 본 명세서에서의 리페어에 해당한다. 리페어는 제품 출하 이전에 패널 제작 공정 시에 이루어질 수도 있고, 제품 출하 이후에 고객으로부터 애프터 서비스 요청에 따라 이루어질 수도 있다.

[0023] 도 2는 실시예들에 따른 유기발광표시장치의 기본적인 화소 구조를 나타낸 도면이다.

[0024] 도 2를 참조하면, 실시예들에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 다수의 화소(P) 각각의 화소영역(PA: Pixel Area)은, 유기발광다이오드(OLED)에 빛이 나오는 발광영역(EA: Emission Area)과, 유기발광다이오드(OELD)를 구동하기 위한 구동회로(DRC)가 배치되는 회로영역(CA: Circuit Area)으로 이루어질 수 있다.

[0025] 발광영역(EA)은 유기발광다이오드(OLED)를 포함하는 발광부가 배치된다.

[0026] 회로영역(CA)은 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DRC)를 포함하는 회로부가 배치되고, 비 발광영역에 해당한다.

[0027] 한편, 도 2에서는, 발광영역(EA)과 회로영역(CA)이 분리되는 영역처럼 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 경우에 따라서는, 발광영역(EA)과 회로영역(CA)이 중첩될 수도 있다. 예를 들어, 상부 발광 방식의 경우, 발광부 하부에 회로부가 배치되어 형성되어 발광영역(EA)과 회로영역(CA)이 중첩되어 있을 수도 있다.

[0028] 전술한 바와 같이, 각 회로영역(CA)에 배치되는 구동회로(DRC)는, 일 예로, 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터(이하, 제2트랜지스터(T2)라고 함)등의 트랜지스터와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Cstg)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(이하, 제1트랜지스터(T1)라고 함) 등을 포함한다.

[0029] 도 3은 본 발명의 일 실시예를 적용하여 발광 영역의 발광부의 불량이 발생하는 경우 리페어를 수행하는 과정을 도시한 도면이다. 301 및 302은 모두 발광부가 불량인 경우를 보여준다. 발광부 불량은, 화소 불량의 원인으로서, 발광영역(EA)에 배치되는 유기발광다이오드(OLED)의 양 극(애노드, 캐소드)이 공정상의 이물 등에 의해 단락(Short)이 되어 발생하거나, 유기발광다이오드(OLED)의 양 극(애노드, 캐소드) 중 어느 하나 이상에서 결손이 생겨 발생할 수 있다. 뿐만 아니라, 발광부 불량은 애기치 못하는 그 어떠한 이유에 의해서도 발생할 수 있다.

[0030] 유기발광다이오드(OLED)가 정상적으로 발광을 하지 못하는 모든 상태를 발광부 불량 상태로 볼 수 있다.

[0031] 이와 같은 발광부 불량이 발생한 경우, 유기발광다이오드(OLED)에 전류가 엄청나게 흐르거나 흐리지 않거나 또는 약하게 흘러, 해당 화소는, 휘점화 또는 암점화 또는 약 암점화가 되어, 불량 화소가 된다.

[0032] 따라서 발광 영역에 불량이 발생할 경우 해당 화소는 동작하지 않는 문제가 발생한다. 발광 영역에서 불량이 발생한 부분이 일부분인 경우, 화소 내의 다른 발광 영역을 이용할 경우 불량률을 낮추고 시감성을 높일 수 있다. 즉 301의 발광 영역(EA)을 절단하여 구동회로(DRC)가 배치되는 회로 영역(CA)에 연결된 제1발광 영역(EA1)은 그대로 동작하도록 하고, 불량이 발생한 제2발광 영역(302)은 회로부와 전기적으로 절연된다.

[0033] 도 3의 302와 같이 화소 영역의 리페어를 위하여 구동 회로와 연결되어 각각의 화소를 제어하는 전극을 화소 전극이라 한다. 화소 전극은 애노드 전극이 될 수 있으나 이에 한정되지 않고 캐소드 전극으로 구성할 수도 있다. 이하 화소 전극이 애노드 전극인 경우 및 화소 전극에 대향하여 위치하는 전극을 캐소드 전극인 경우에 중점을 두어 설명을 하지만 본 발명이 이에 한정되는 것은 아니며, 화소 전극이 캐소드 전극이고 이에 대향하는 전극이 애노드 전극이 되도록 구성할 수 있다. 또한, 본 발명의 일 실시예에 의한 제1전극은 화소 별로 형성되는 화소 전극을 지시하며, 제2전극은 제1전극에 대향하여 형성되는 전극을 지시한다.

[0034] 이하, 도 3의 302와 같이 일부 화소 전극을 회로부와 전기적으로 연결을 제거할 수 있는 절단 패턴을 가진 리페어 구조의 화소 전극을 중심으로 개구율을 높이기 위하여 뱅크홀을 단일하게 형성하는 실시예를 살펴본다. 절단 패턴은 회로부와 전기적으로 연결되어 전기가 인가될 경우 화소 전극으로 동작하므로, 절단 패턴 상에도 유기발광층이 형성되면 개구율을 높일 수 있다. 그러나 절단 패턴은 리페어의 용이성을 위하여 그 폭이 제한되어 있으므로, 절단 패턴을 위한 별도의 뱅크홀을 형성하는 것은 다른 화소 전극의 개구율에 영향을 미칠 수 있다. 따라서, 본 발명의 실시예에서 제시하는 단일한 뱅크홀은 절단 패턴을 포함한 화소 전극 상에 하나의 뱅크홀이 형성되므로 절단 패턴을 화소 전극으로 이용하며 개구율을 높일 수 있다.

[0035] 도 4는 본 발명의 일 실시예가 적용되는 리페어를 위한 화소 전극의 다양한 형상을 제시하는 도면이다. 화소 전극을 개념적으로 나타내기 위해 사각형의 형상을 중심으로 설명하지만, 실제 표시패널에 구현할 경우 배선과의 관계, 다른 계층과의 관계 등을 고려하여 다양한 형상으로 화소 전극을 구성할 수 있다.

[0036] 410은 화소 전극의 중앙이 잘록한 일 실시예이다. 마찬가지로 화소 전극의 제1영역(411)은 구동 회로와 연결되는 영역이다. 화소 전극의 제2영역(412)은 절단 패턴(413)과 전기적으로 연결되어 있다. 제1영역(411) 및 제2영역(412), 그리고 절단 패턴(413)은 하나의 패턴에 의해 형성될 수 있다. 절단 패턴(413)은 제2영역(412)에 불량이 발생할 경우 제거 또는 절단하여 제1영역(411)만 화소 전극으로 동작하도록 한다.

[0037] 420은 화소 전극의 한 측면이 잘록한 일 실시예이다.

[0038] 제1영역(421)은 구동 회로와 연결되는 영역이다. 화소 전극의 제1영역(421)은 구동 회로와 연결되는 영역이다. 화소 전극의 제2영역(422)은 절단 패턴(423)과 전기적으로 연결되어 있다. 제1영역(421) 및 제2영역(422), 그리고 절단 패턴(423)은 하나의 패턴에 의해 형성될 수 있다. 절단 패턴(423)은 제2영역(422)에 불량이 발생할 경우 제거 또는 절단하여 제1영역(421)만 화소 전극으로 동작하도록 한다.

[0039] 430은 화소 전극을 구성하는 절단 패턴이 두 개인 경우를 보여주는 일 실시예이다. 화소 전극의 제1영역(431)은 구동 회로와 연결되는 영역이다. 화소 전극의 제2영역(432)은 절단 패턴(433a 및 433b)과 전기적으로 연결되어 있다. 제1영역(431) 및 제2영역(432), 그리고 절단 패턴(433a 및 433b)은 하나의 패턴에 의해 형성될 수 있다. 절단 패턴(433a 및 433b)은 제2영역(432)에 불량이 발생할 경우 제거 또는 절단하여 제1영역(431)만 화소 전극으로 동작하도록 한다.

[0040] 440은 화소 전극이 세로로 길게 나뉘어진 실시예이다. 화소 전극의 제1영역(441)은 구동 회로와 연결되는 영역이다. 화소 전극의 제2영역(442)은 절단 패턴(443)과 전기적으로 연결되어 있다. 제1영역(441) 및 제2영역(442), 그리고 절단 패턴(443)은 하나의 패턴에 의해 형성될 수 있다. 절단 패턴(443)은 제2영역(442)에 불량이 발생할 경우 제거 또는 절단하여 제1영역(441)만 화소 전극으로 동작하도록 한다. 410 및 420과 비교하여 440은 세로로 긴 제1영역(441)과 제2영역(442)로 구성된다. 도 4의 다양한 실시예에 의한 리페어 구조를 포함하는 화소 전극을 중심으로 단일한 뱅크홀을 가지는 뱅크 절연막이 형성된 화소 구조에 대해 살펴본다. 설명의 편의를 위하여 410과 같은 구조의 화소 전극을 중심으로 설명하지만, 본 발명이 이에 한정되지는 않는다.

[0041] 도 4는 화소 전극이 2개 또는 그 이상의 개수들의 영역으로 나뉘어지며 이 영역들 중에 일부 영역에 불량이 발생할 경우 일부 영역에 연결된 절단 패턴을 제거하여 화소 전극의 다른 일부 영역은 그대로 화소 전극으로 동작

할 수 있도록 한다.

[0042] 도 5는 리페어 구조의 화소를 나타낸 도면이다. 591은 화소 전극을 리페어 구조로 형성한 도면이다. 도 4의 410과 같은 구조이다. 530a 및 530b는 데이터 신호가 공급되는 배선이며, 590은 기준전압(Vref: Reference Voltage)이 공급되는 배선이다. 화소 전극(550)은 절단 패턴(555)를 포함한다. 화소 전극(550)을 제어하기 위한 구동 트랜지스터의 일부(520)가 표시되어 있다.

[0043] 592는 591의 리페어 구조 위에 뱅크 절연막이 형성된 도면이다. 591의 화소 전극 및 배선을 뱅크 절연막(570)이 덮고 있으며, 뱅크 절연막(570)이 덮히지 않은 공간인 뱅크홀은 절단 패턴(555)로 인해 나뉘어지는 화소 전극의 제1영역(552) 및 제2영역(552)으로, 뱅크홀 내에 유기발광층이 형성된다.

[0044] 유기발광층을 포함하는 유기 발광 표시장치의 화소를 구현 시 각 화소 전극은 뱅크 절연막이 충분히 덮도록 하여 화소 전극 상의 유기발광층이 발광할 수 있도록 한다. 이는 화소 전극이 뱅크홀에 중첩되지 않는다면 그 영역이 발광하지 못하는 문제가 있다. 한편, 도 5와 같이 리페어 구조를 적용할 경우, 뱅크 절연막은 551 및 552와 같이 두 개의 뱅크홀이 형성된다. 그런데 뱅크홀을 두 개로 분리할 경우 개구율의 감소로 이어진다. 즉, OLED 표시패널을 구현함에 있어 각 화소별로 뱅크를 설계할 경우 개구부의 화소 전극이 뱅크 절연막을 충분히 덮을 수 있도록 설계하는데, 이 경우 개구율의 손실이 발생한다.

[0045] 따라서, 본 발명에서는 리페어 구조가 포함된 표시패널을 구현함에 있어 뱅크 절연막을 형성시 화소 전극 상에 하나의 뱅크홀을 형성하여 뱅크부가 풀 오픈(Full open)되도록 하여 개구율을 증가시키고자 한다. 즉, 리페어 구조를 위한 절단 패턴이 형성된 영역을 포함하여 뱅크홀을 형성하는 실시예를 살펴본다.

[0046] 도 6은 개구율의 손실을 보여주는 도면이다. 뱅크 절연막(570)이 형성된 영역의 경계는 551과 552와 같이 뱅크홀이 형성되어 있다. 절단 패턴이 포함된 리페어 부분(599)을 확대하면, 뱅크홀이 형성된 두 영역인 551, 552 사이의 610 부분은 절단 패턴이 형성되어 있으며, 박막 트랜지스터를 통하여 전류가 흐르면, 절단 패턴 역시 화소 전극으로 동작한다. 그러나 610 부분에는 뱅크 절연막(570)이 형성되어 있다. 즉 뱅크 절연막(570)에 덮혀져 있는 610 부분은 유기발광층이 형성되지 않아 개구율의 감소로 이어진다. 리페어를 위해 절단 패턴을 제외한 영역에 뱅크가 오픈된 뱅크홀이 분리되어 두 개로 형성되어 있으므로, 화소 전극과 중첩되지 못한 부분에서 개구율의 감소가 발생한다.

[0047] 따라서 리페어 구조인 화소 전극에서 뱅크홀을 단일하게 형성하여 개구부의 뱅크홀의 분리를 제거하고자 한다. 그 결과 화소 전극이 뱅크 오픈된 영역을 덮는 면적을 줄여서 개구율을 증가시킬 수 있다.

[0048] 도 7 및 도 8은 본 발명의 일 실시예에 따른 뱅크 오픈 영역을 하나로 구성한 도면이다. 도 7과 같이 형성된 화소가 기판 상에 복수로 형성되며, 각 화소는 박막 트랜지스터에 연결한다. 화소를 제어하는 박막 트랜지스터는 하나 이상일 수 있으며, 화소 전극은 박막 트랜지스터와 전기적으로 연결된다.

[0049] 701은 절단 패턴이 형성된 화소 전극(550) 및 배선 등의 구성요소들은 앞서 살펴본 바와 동일한 바 이에 대한 설명은 생략한다. 화소 전극(550) 상에 형성될 뱅크 절연막 중 유기발광층이 형성되는 뱅크홀의 경계선은 760이다. 702는 760을 경계로 하여 뱅크 절연막(770)이 형성된 평면도이다. 뱅크가 오픈된 뱅크홀의 영역 중에서 화소 전극에 중첩되지 않는 영역은 771 및 772이지만 앞서 살펴본 절단 패턴(555) 상에도 뱅크가 오픈되어 있어 유기발광층이 형성될 수 있으며 개구율을 증가시킨다. 도 7의 구성에서 뱅크 절연막(770)이 형성된 경계선(760) 내에는 유기발광층이 형성되며, 이 중에서 화소 전극이 형성되지 않은 영역(771, 772)에도 유기발광층이 형성되도록 단일한 뱅크홀이 하나의 화소에 형성되고, 그 결과 유기발광층이 발광하는 영역은 화소 전극의 전체 영역에 해당하여 발광 효율을 높인다. 도 7에서는 화소 전극의 경계선에 일부 중첩하도록 뱅크 절연막이 증착된다. 그러나 화소 전극의 식각 방식 및 화소 전극의 두께에 따라 뱅크 절연막이 화소 전극의 경계선에 중첩되지 않도록 구성할 수도 있다.

[0050] 도 8은 본 발명의 일 실시예에 의한 리페어를 위한 절단 패턴 상에 단일한 뱅크홀이 형성된 경우의 구성을 보여주는 도면이다.

[0051] 화소 전극은 컬러필터(도면에 미도시)와 중첩되어 위치하며, 각각의 화소 전극(550a, 550b)은 각각 절단 패턴(555a, 555b)을 포함하며, 뱅크 절연막(870)의 오픈된 영역의 경계는 861 및 862이며, 뱅크 절연막(870)의 경계를 기준으로 화소 전극과 중첩되는 중심부에 뱅크 절연막(870)이 오픈되어 뱅크홀을 형성하고 있다. 각 절단 패턴(555a, 555b) 위에도 뱅크 절연막(870)이 오픈되어 뱅크홀과 중첩되어 있다.

[0052] 보다 상세히 862를 경계로 뱅크가 오픈된 뱅크홀의 단면도(I-I' 및 II-II')를 살펴보면 각각 도 9 및 도 10이

된다.

[0053] 도 9는 본 발명의 일 실시예에 도 8의 I-I'의 단면을 보여주는 도면이다. 도 9는 도 8에 도시되지 않은 컬러 필터(808)를 포함하고 있다. 기판(801) 상에 버퍼층(802)이 형성되어 있다. 배선 영역이므로 박막 트랜지스터가 형성되지 않으며 버퍼층(802) 상에 층간 절연층(ILD, InterLayer dielectric, 804)이 형성되어 있으며, 530a 및 530b는 데이터 신호가 공급되는 배선이며, 590b는 기준전압이 공급되는 배선이다. 배선들 상에는 보호층(Passivation, 806)이 형성되며, 컬러필터(808)는 화소가 구현하고자 하는 색상에 따라 선택적으로 형성된다. 일 실시예로 백색 화소 영역에는 컬러 필터가 형성되지 않을 수 있다. 컬러 필터(808) 또는 보호층(806) 상에 오버코트층(overcoat, 810)이 형성되며, 각각의 화소 전극들(550a, 550b)이 형성되어 있다. 그리고 화소 전극의 가장자리 영역과 일부 중첩되는 뱅크 절연막(870)이 형성되지 않은 뱅크홀의 경계선(861, 862) 내에는 유기발광층(도면에 미도시)이 형성된다. 본 발명의 다른 실시예에 의하면 화소 전극의 가장자리 영역과 뱅크 절연막(870)은 중첩되지 않도록 형성될 수 있다.

[0054] 도 10은 본 발명의 일 실시예에 도 8의 II-II'의 단면을 보여주는 도면이다. 도 10은 도 8에 도시되지 않은 컬러 필터(808)를 포함하고 있다. 기판(801) 상에 버퍼층(802)이 형성되어 있다. 배선 영역이므로 박막 트랜지스터가 형성되지 않으며 버퍼층(802) 상에 층간 절연층(804)이 형성되어 있으며, 530a 및 530b는 데이터 신호가 공급되는 배선이며, 590b는 기준전압이 공급되는 배선이다. 배선들 상에는 보호층(Passivation, 806)이 형성되며, 컬러필터(808)는 화소가 구현하고자 하는 색상에 따라 선택적으로 형성됨은 앞서 살펴보았다. 컬러 필터(808) 또는 보호층(806) 상에 오버코트층(overcoat, 810)이 형성되며, 각각의 화소 전극들(550a, 550b)이 형성되어 있다. 도 9와 달리, 도 10은 화소 전극 중에서 절단 패턴(555a, 555b) 상의 단면도로, 절단 패턴(555a, 555b)과 뱅크 절연막(870)은 중첩되지 않는다. 즉, 뱅크 절연막(870)이 형성되지 않은 뱅크홀은 절단 패턴(555a 및 555b)과 중첩되어 있으며, 절단 패턴(555a 및 555b)이 형성된 영역 및 그 인접한 영역에도 유기발광층(도면에 미도시)이 형성된다. 절단 패턴(555a, 555b) 상에 뱅크홀이 위치하므로 유기발광층이 형성될 수 있으며, 그 결과 절단 패턴(555a, 555b)이 절단되지 않고 유지될 경우에 절단 패턴(555a, 555b) 역시 화소 전극으로 동작하므로 유기발광층을 발광시켜 개구율을 증가시킨다.

[0055] 도 8 내지 도 10에서 살펴본 바와 같이, 본 발명을 적용할 경우, 리페어 구조에서 하나의 뱅크홀을 형성하므로 절단 패턴 상에도 유기발광층이 존재하여 개구율을 증가시킨다.

[0056] 리페어 구조에서 두 개의 뱅크홀을 형성하는 도 6과 하나의 뱅크홀을 형성하는 도 7 내지 10의 실시예를 비교하면 뱅크홀을 단일화시켜 개구율을 높일 뿐만 아니라 시감성을 향상시킬 수 있다.

[0057] 도 11은 리페어 구조에서 절단 패턴을 유지하는 경우 유기발광층이 발광하는 영역을 도시한 도면이다.

[0058] 1101은 도 6과 같이 두 개의 뱅크홀을 리페어 구조의 화소 전극의 제1, 2 영역에 각각 형성한 경우의 유기발광층이 발광한 영역을 표시하고 있다. 1111 및 1112는 두 개의 분리된 뱅크 오픈 영역인 뱅크홀의 경계선을 지시하며 뱅크홀 내의 유기발광층이 형성되어 도시된 바와 같이 발광한다. 1151에서 지시하는 절단 패턴이 형성된 영역에는 유기발광층이 형성되지 않으며, 또한 절단 패턴과 인접한 화소 전극의 제1, 2 영역의 일부분에도 유기발광층이 형성되어 있지 않다.

[0059] 1102는 도 8과 같이 하나의 뱅크홀을 리페어 구조의 화소 전극의 제 1, 2 영역 및 절단 패턴 상에 형성한 경우의 유기발광층이 발광한 영역을 도시하고 있다. 1121은 하나의 뱅크 오픈 영역인 뱅크홀의 경계선을 지시한다. 뱅크홀 내에 유기발광층이 형성되어 있으며, 화소 전극과 중첩되는 영역에서 도시된 바와 같이 발광한다. 1152과 같이 유기발광층은 절단 패턴 상에도 형성되어 발광하며, 절단 패턴과 인접한 화소 전극의 제1, 2 영역의 일부분에도 유기발광층이 형성되어 발광하고 있다.

[0060] 도 12는 리페어 구조에서 절단 패턴을 제거하는 경우 유기발광층이 발광하는 영역을 도시한 도면이다.

[0061] 1201은 도 6과 같이 두 개의 뱅크홀을 리페어 구조의 화소 전극에 형성한 경우의 유기발광층이 발광한 영역을 도시하고 있다. 1111 및 1112는 두 개의 분리된 뱅크홀의 경계선을 지시하며 절단 패턴(550)의 중간 부분이 절단되어 1251 부분에서 박막 트랜지스터(220)에 연결된 뱅크홀(1112)의 유기발광층만 발광한다.

[0062] 한편 1202는 도 8과 같이 하나의 뱅크홀을 리페어 구조의 화소 전극의 제 1, 2 영역 및 절단 패턴 상에 형성한 경우의 유기발광층이 발광한 영역을 도시하고 있다. 1121은 하나의 뱅크홀의 경계선을 지시한다. 절단 패턴(550)의 중간 부분이 절단되었으며, 절단 된 부분의 한쪽은 절연되어 전기가 인가되지 않는다. 따라서, 뱅크홀 중에서 1252 영역의 유기발광층만 발광하게 된다. 또한, 1252에 포함되며, 절단 패턴(550)으로 인해 분리된 화소 전극의 제1영역의 경계부분도 유기발광층이 발광하므로, 리페어 조치에 의해 화소 전극의 일부가 절연된 경

우에도 하나의 뱅크홀을 사용하는 1202가 두 개의 뱅크홀을 사용하는 1102 보다 더 높은 개구율 및 발광 효율을 제시한다.

[0063] 도 11 및 도 12를 비교하면 두 개의 뱅크홀을 구성하는 1101 및 1201의 경우 화소 전극과 뱅크 간의 이격 거리에 따라 개구율이 감소하는 단점이 있다. 즉, 종래의 화소 전극 레이아웃을 설계할 경우 화소 전극-뱅크 간의 마진(Margin)을 반영하게 되며, 리페어 영역에서 개구율의 손실이 발생한다.

[0064] 본 발명의 실시예를 적용할 경우 1202와 같이 리페어 구조가 적용된 제1, 2영역 및 절단 패턴으로 구성된 화소 전극과 뱅크 사이의 마진 없이 뱅크를 오픈할 수 있으므로, 개구율이 개선되고 이는 OLED 수명을 증가시킨다. 이는 리페어 영역을 유지하는 경우(1102)와 절단 패턴을 제거하여 화소 전극의 절반만을 사용하는 경우(1202) 모두에서 확인되었다.

[0065] 본 발명에서 제안한 기술 적용 시, 종래 기술에 비해 화소의 레이아웃이 탁월하게 진보된 제품의 설계가 가능하다.

[0066] 본 발명의 일 실시예에 의한 절단 패턴 상에 뱅크가 오픈된 도 11 및 도 12의 1102 및 1202 실시예를 살펴보면 화소 전극의 상하좌우 부분은 모두 뱅크가 덮도록 설계하므로 뱅크와 화소 전극의 중첩에서 개구율이 변동되지는 않는다. 다만, 화소 전극의 중간 영역의 절단 패턴이 형성된 부분에 뱅크가 오픈되도록 형성하여 화소 전극과 뱅크를 형성하는 과정에서 다소 그 영역이 틀어질 경우에도 개구율의 변동이 서로 상쇄할 수 있어 개구율을 유지할 수 있다. 또한, 리페어 영역에서도 개구율이 증가하므로, 전체적으로 개구율을 증가시킬 수 있다.

[0067] 본 발명의 일 실시예를 적용하기 위해 뱅크를 형성시 건식 에칭 공정을 적용하여 뱅크의 경계 부분을 완만하게 형성하여 테이퍼(taper)를 완만하게 형성할 수 있다.

[0068] 도 13 내지 도 15는 도 4에서 살펴본 다양한 리페어 구조의 화소 전극 상에 본 발명에 의한 단일한 뱅크홀이 형성된 실시예를 도시한 도면이다.

[0069] 도 13은 도 4의 410의 구조에 형성된 뱅크홀을 도시한 도면이다. 뱅크 절연막(1370)이 화소 전극의 일부 가장자리와 중첩되도록 형성된 결과, 하나의 뱅크홀이 화소 전극 상에 위치하도록 한다. 여기서 화소 전극이 형성되지 않은 영역에 1371 및 1372와 같이 뱅크 절연막을 형성하면 뱅크홀은 화소 전극과 유사한 형상의 잘록한 형상을 가지게 된다. 도 13과 같은 뱅크홀을 형성할 경우, 절단 패턴(413) 상에 뱅크가 오픈되어 유기발광층이 형성되므로 개구율을 유지할 수 있으며, 또한 1371 및 1372과 같은 뱅크 절연막에 의해 화소 전극과 캐소드 전극과의 단락을 방지하는 효과가 있다. 1371 및 1372과 같은 뱅크 절연막의 폭(1391)은 화소 전극의 제1영역(411)과 제2영역(412) 사이의 간격(1392)보다 작게 형성할 수 있으며, 또한 도면과 같이 크게 형성할 수 있다. 이는 뱅크 절연막을 형성하는 마스크 및 뱅크 절연막의 최소 두께 등에 따라 결정될 수 있으며 본 발명은 뱅크 절연막의 폭(1391)이 제1영역(411)과 제2영역(412) 사이의 간격(1392)보다 큰 경우 및 작은 경우의 실시예를 모두 포함한다.

[0070] 도 14는 도 4의 420의 구조에 형성된 뱅크홀을 도시한 도면이다. 뱅크 절연막(1470)이 화소 전극의 일부 가장자리와 중첩되도록 형성되어 하나의 뱅크홀이 화소 전극 상에 위치하도록 한다. 여기서 화소 전극이 형성되지 않은 영역에 1471과 같이 뱅크 절연막을 형성하면 뱅크홀은 화소 전극과 유사한 형상의 잘록한 형상을 가지게 된다. 도 14와 같은 뱅크홀을 형성할 경우, 절단 패턴(423) 상에 뱅크가 오픈되어 유기발광층이 형성되므로 개구율을 유지할 수 있으며, 또한 1471과 같은 뱅크 절연막에 의해 화소 전극과 캐소드 전극과의 단락을 방지하는 효과가 있다. 1471과 같은 뱅크 절연막의 폭은 화소 전극의 제1영역(421)과 제2영역(422) 사이에서 점점 줄어드는 형상으로 형성할 수 있다. 물론, 도 13에서 살펴본 바와 같이 화소 전극의 제1영역(421)과 제2영역(422)의 일부 영역에 겹치도록 형성할 수도 있으며 뱅크 절연막의 폭의 설정은 뱅크 절연막을 형성하는 마스크 및 뱅크 절연막의 최소 두께 등에 따라 결정될 수 있다.

[0071] 도 15는 도 4의 430의 구조에 형성된 뱅크홀을 도시한 도면이다. 뱅크 절연막(1570)이 화소 전극의 일부 가장자리와 중첩되도록 형성되어 하나의 뱅크홀이 화소 전극 상에 위치하도록 한다. 이에 더하여 두 개의 절단 패턴(433a, 433b) 사이에 뱅크 절연막(1571)이 형성되어 화소 전극과 캐소드 전극과의 단락을 방지하는 효과가 있다. 도 15와 같은 뱅크홀을 형성할 경우, 절단 패턴(433a 및 433b) 상에 뱅크가 오픈되어 유기발광층이 형성되므로 개구율을 유지할 수 있으며, 또한 1571과 같은 뱅크 절연막에 의해 화소 전극과 캐소드 전극과의 단락을 방지하는 효과가 있다. 1571과 같은 뱅크 절연막의 세로 폭은 화소 전극의 제1영역(431)과 제2영역(432) 사이의 간격을 기준으로 형성될 수 있으며, 뱅크 절연막(1571)의 가로 폭은 절단 패턴(433a)과 절단 패턴(433b) 사이의 간격을 기준으로 형성될 수 있다. 뱅크 절연막(1571)의 일부가 화소 전극의 제1영역(431)과 제2영역(432)에 중

첩되는 경우라도 뱅크홀을 두 개로 구성하는 경우 보다는 개구율이 높으므로, 개구율을 유지하며 전극들 사이의 단락을 방지하는 효과가 있다. 뱅크 절연막(1571)의 폭의 설정은 뱅크 절연막을 형성하는 마스크 및 뱅크 절연막의 최소 두께 등에 따라 결정될 수 있다.

[0072] 도 13 내지 도 15는 뱅크 절연막이 화소 전극의 제1영역과 제2영역 사이에 일부 중첩되어 위치하지만 여전히 하나의 뱅크홀을 형성하는 실시예를 제시한다. 이는 하나의 뱅크홀을 유지하여 개구율을 높이면서도, 화소 전극이 생성되지 않은 영역에 절연막을 형성하여 전극들 사이의 단락을 방지하는 효과가 있다.

[0073] 도 16은 본 발명의 일 실시예에 의한 표시패널을 제조하는 공정을 보여주는 순서도이다.

[0074] 먼저 기판 상에 박막 트랜지스터 및 보호층을 형성한다(S1610). 박막 트랜지스터는 화소 전극과 같은 제1전극에 전류가 흐르게 하거나 전류의 흐름을 차단하는 역할을 한다. 그리고 보호층 상에 컬러 필터 및 오버코트층을 형성한다(S1620). 도 9 및 도 10에서 컬러 필터는 선택적으로 형성됨을 살펴보았다. 그리고 보호층 및 오버코트층의 일부를 식각하여 박막 트랜지스터의 소스 또는 드레인을 노출시키는 컨택홀을 형성한다(S1630). 이는 화소 전극과 같은 제1전극이 컨택할 수 있도록 하여 박막 트랜지스터에 의하여 제1전극에 전류가 흐를 수 있도록 한다. 그리고 컨택홀을 통하여 소스 또는 드레인에 연결되며, 절단 패턴을 포함하는 형상의 제1전극을 형성한다(S1640). 절단 패턴을 포함하는 형상은 앞서 도 4에서 살펴본 다양한 형상의 화소 전극을 포함하며, 하나의 마스크를 이용하여 형성될 수 있다. 보다 상세히 살펴보면, 제1전극을 형성하는 단계는 박막 트랜지스터에 전기적으로 연결되는 제1영역과 제1영역에 절단 패턴으로 연결되는 제2영역을 하나의 마스크를 이용하여 형성할 수 있다. 한편, 화소 전극을 식각하는 과정에서 경사를 완만하게 형성하기 위해 건식 식각(dry etch) 공정을 적용할 수 있다. 다른 실시예로 화소 전극이 충분히 얇게 증착되는 경우 등 건식 식각 공정이 불필요하거나 화소 전극의 물질에 따라 습식 식각(wet etch) 공정을 적용할 수 있다.

[0075] 건식 식각 공정을 적용할 경우, 제1전극인 화소 전극의 테이퍼를 완만하게 형성하여 화소 전극의 단차부의 유기물 증착이 용이하도록 할 수 있다. 또한 건식 식각 공정을 적용하여 제2전극인 캐소드 전극과의 단락을 방지할 수 있다. 한편 제1전극의 형성 시 절단 패턴을 다양하게 구성할 수 있는데, 이는 도 4에서 살펴보았다.

[0076] 그리고 제1전극의 절단 패턴을 노출시키는 뱅크 절연막을 형성하여 제1전극상에 단일한 뱅크홀을 형성한다(S1650). 뱅크홀을 형성하는 과정에서 도 13 내지 도 15의 1371, 1372, 1471, 1571과 같은 뱅크 절연막을 형성하여 제1전극과 제2전극의 단락을 방지할 수 있다.

[0077] 이후 뱅크홀에 유기발광층을 형성한다(S1660). 뱅크 절연막을 형성시 뱅크 절연막의 최소 폭이 화소 전극과 다른 화소 전극 사이의 거리보다 작은 경우, 뱅크 절연막과 화소 전극 사이에 중첩되는 영역을 줄이거나 제거할 수 있다.

[0078] 도 16의 공정을 적용할 경우 화소 전극의 개구부에 형성된 뱅크홀을 단일하게 형성한다. 그 결과 기존 리페어 구조에서 리페어를 위한 절단 패턴이 위치한 영역에 뱅크 절연막을 형성하여 두 개의 뱅크홀을 형성하는 경우와 비교할 때, 개구율 손실이 발생하였던 종래의 절단 패턴에 인접한 화소 전극 영역도 뱅크홀이 형성되도록 하여 개구부로 활용할 수 있으며, 그 결과 개구율이 증가한다. 특히 고해상도의 표시패널에 적용시 개구율의 증감은 전체 시감성에 큰 영향을 미치며 제품 수명을 증가시킨다.

[0079] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0080] 100: 표시장치 110: 표시패널

120: 제1구동부 130: 제2구동부

140: 타이밍 컨트롤러 530: 데이터 배선

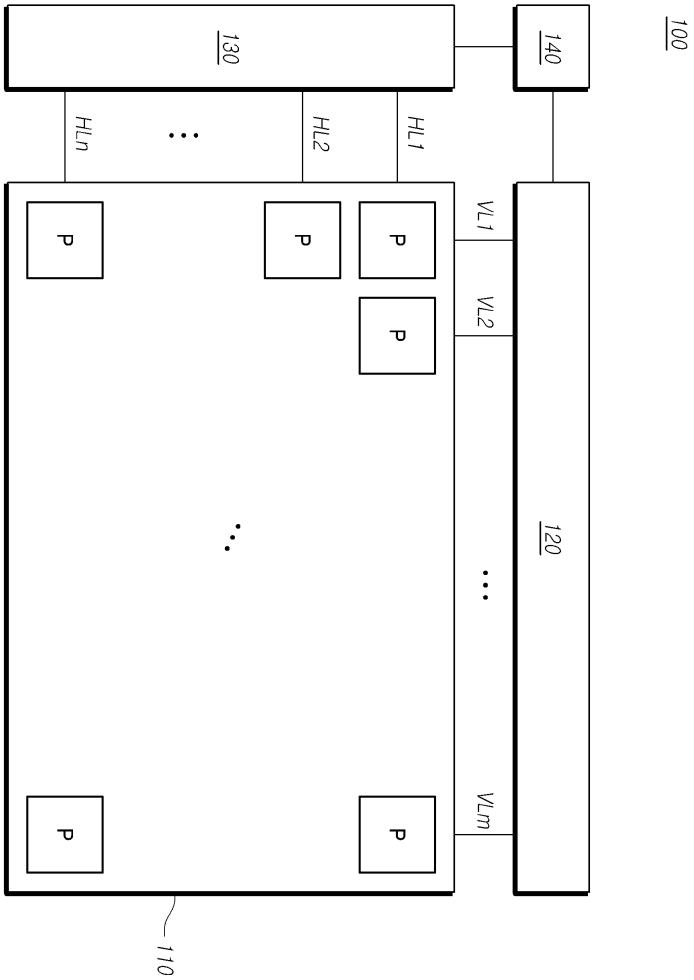
590: 기준전압 공급배선

570, 770, 870, 1370,1371, 1372, 1470, 1471, 1570, 1571: 뱅크 절연막

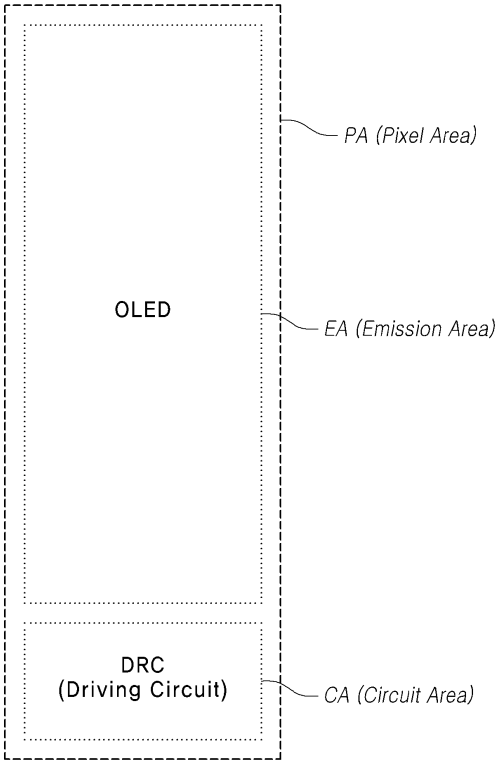
413, 423, 433, 443, 555: 절단패턴

도면

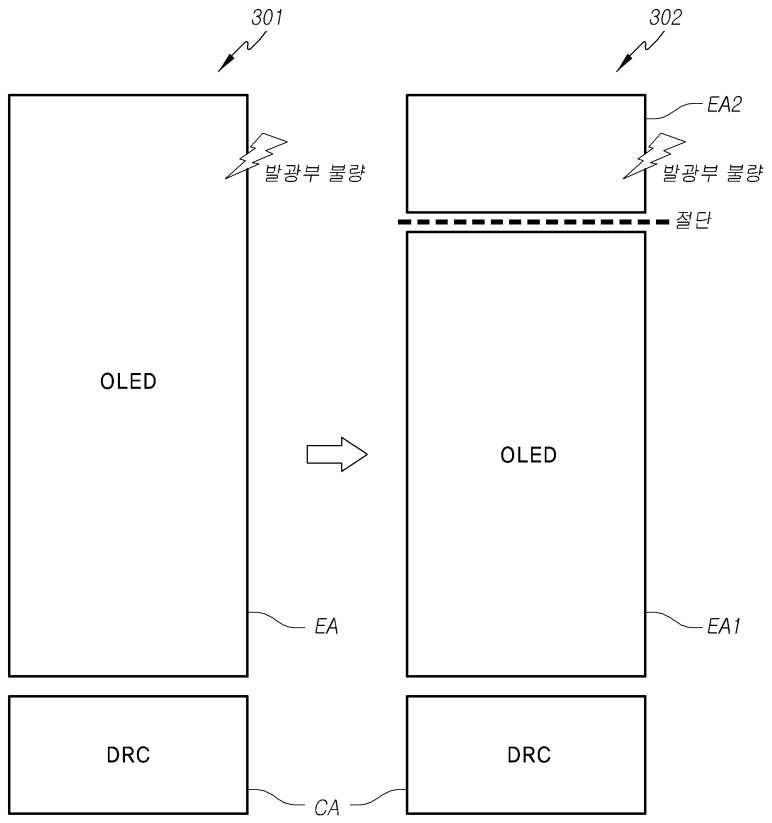
도면1



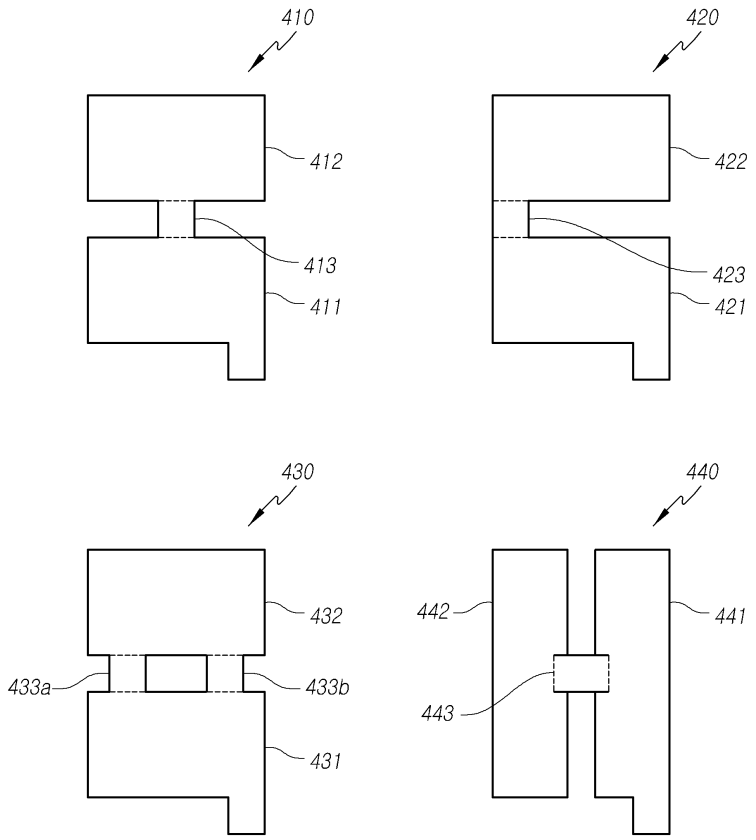
도면2


PA (Pixel Area)
OLED
EA (Emission Area)
DRC
(Driving Circuit)
CA (Circuit Area)

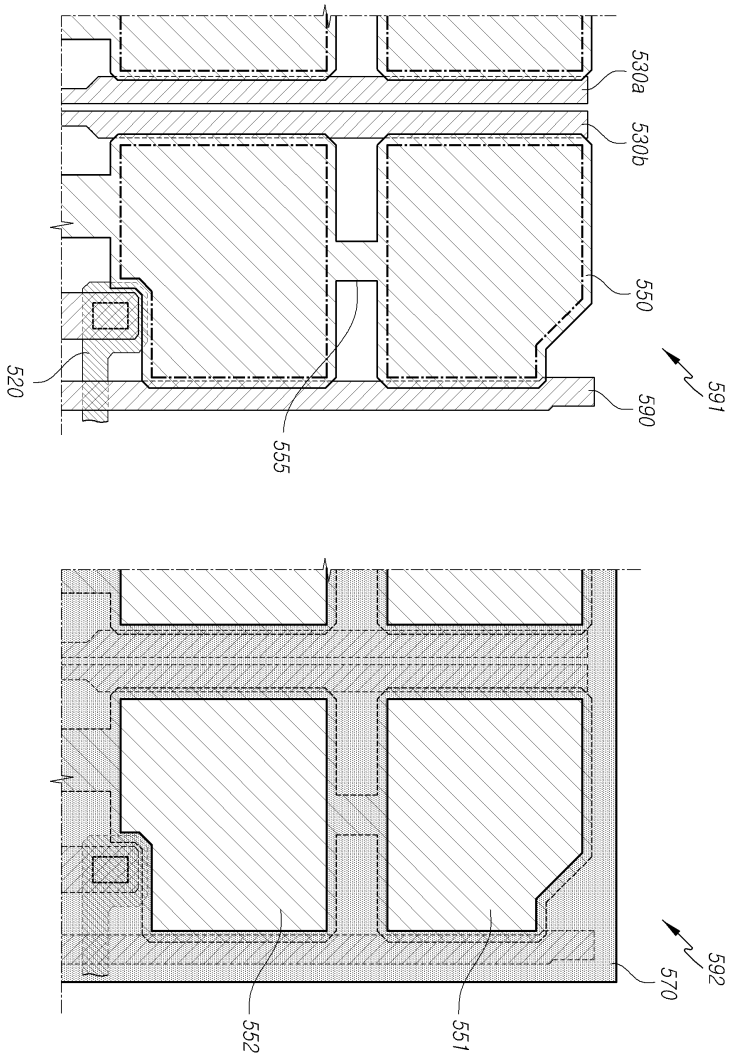
도면3



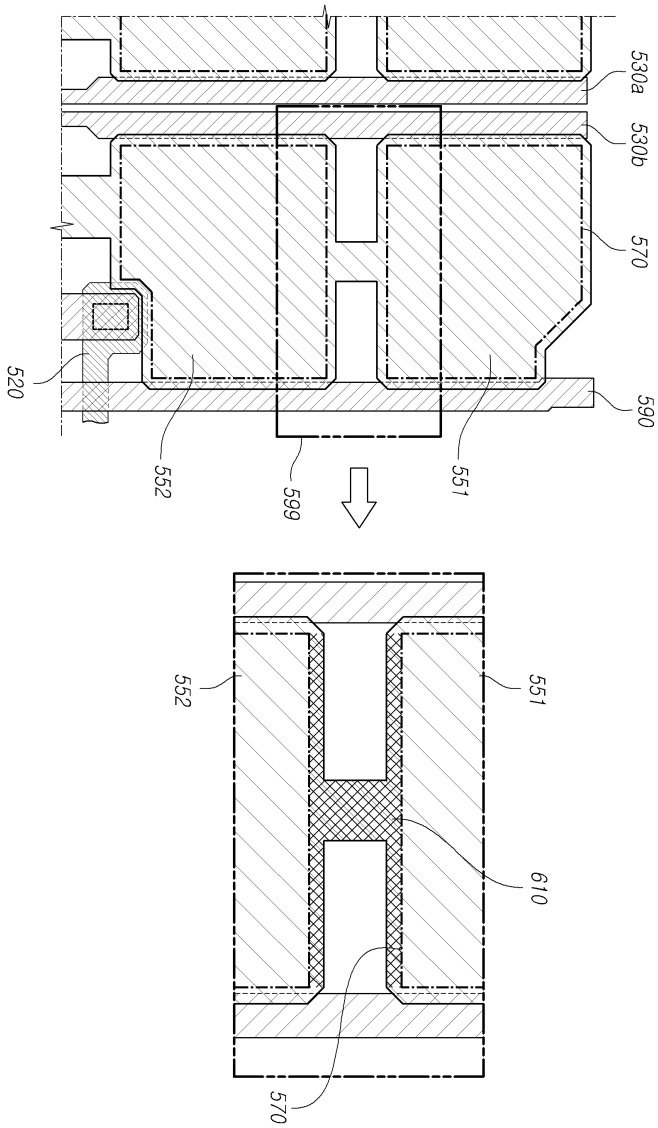
도면4


410
412
413
411
420
422
423
421
430
432
433a
433b
431
440
442
441
443

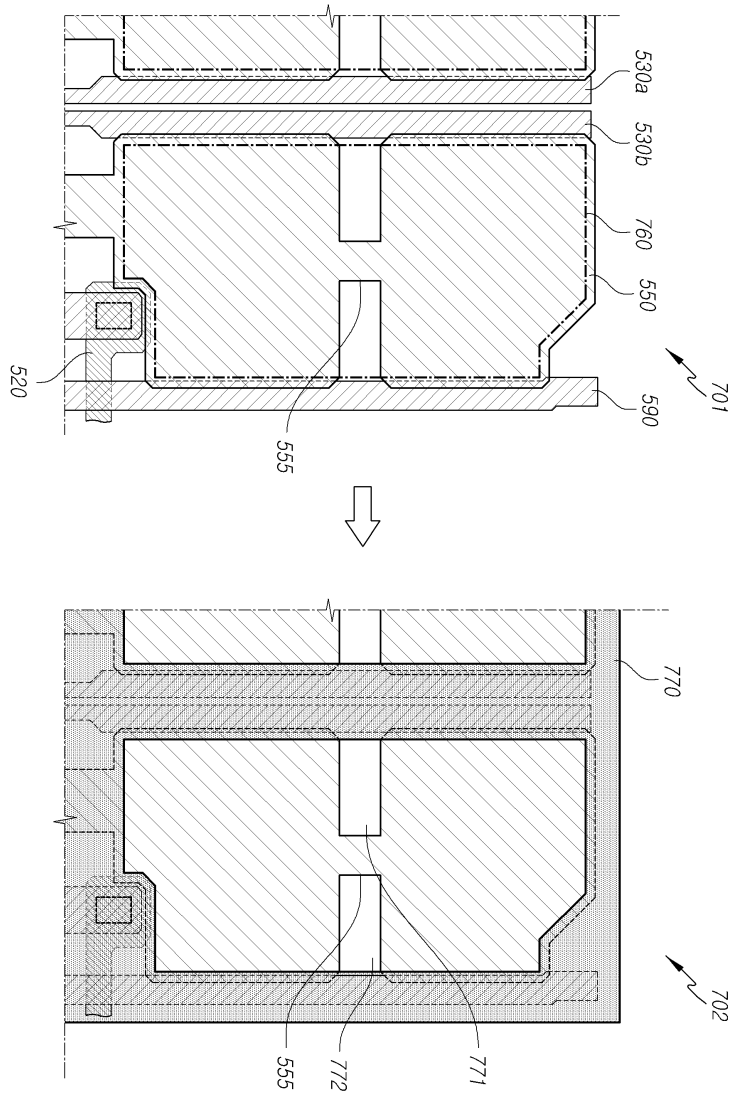
도면5



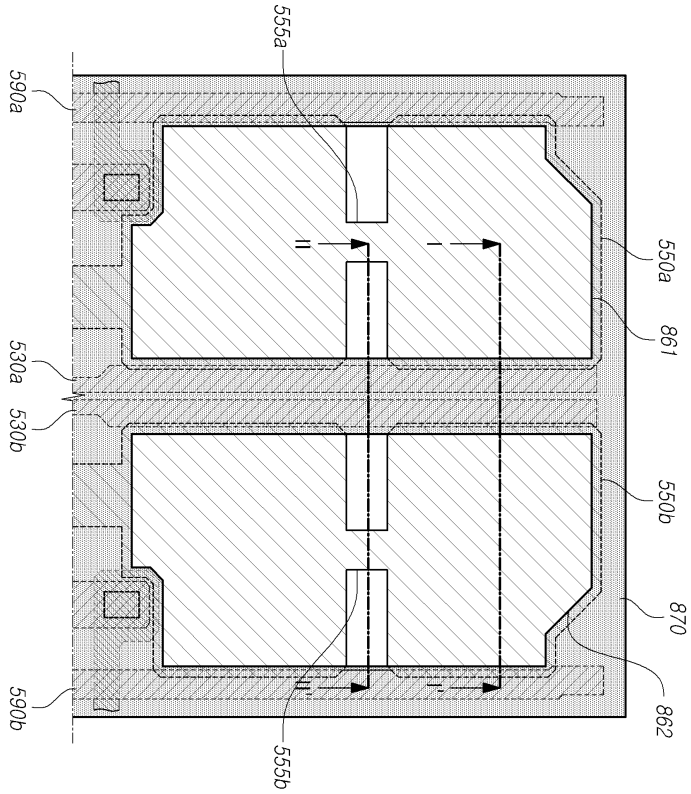
도면6



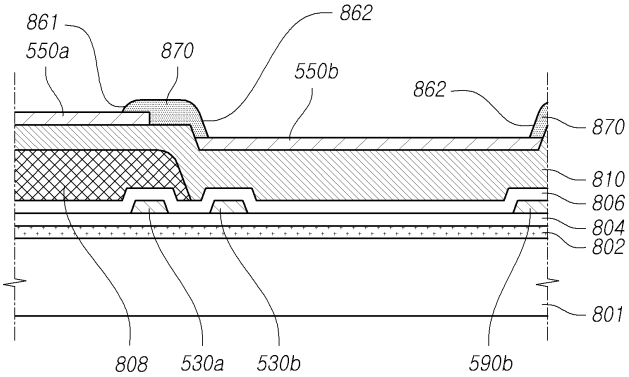
도면7



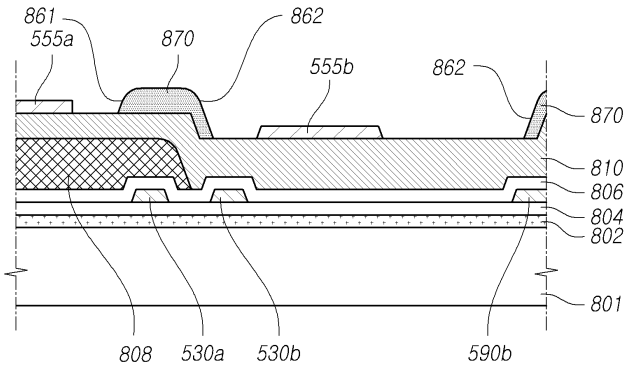
도면8


555a
590a
550a
861
530a
530b
550b
870
590b
862
555b

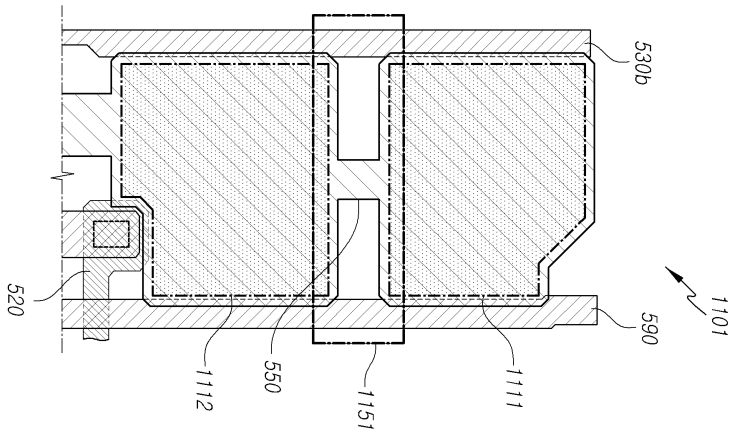
도면9

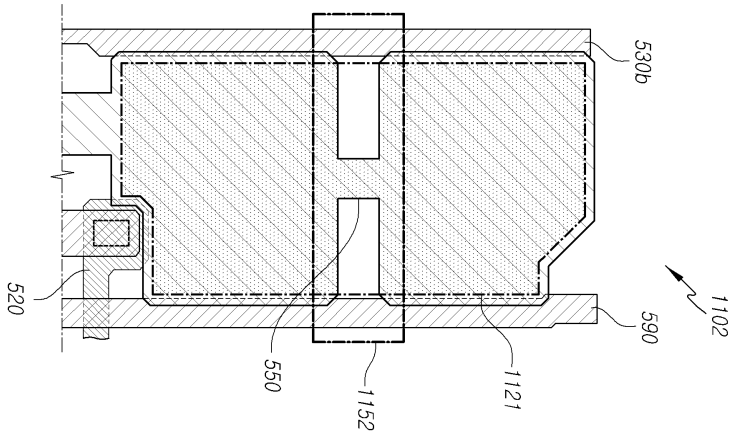

861
550a
870
862
550b
862
870
810
806
804
802
801
808
530a
530b
590b

도면10

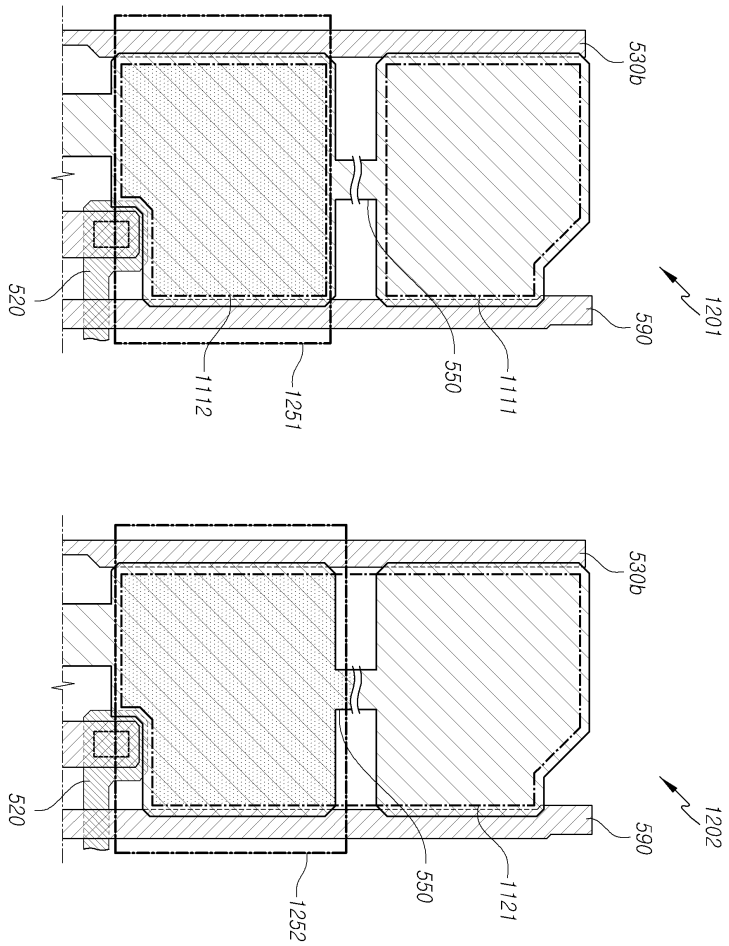

861
555a
870
862
555b
862
870
810
806
804
802
801
808
530a
530b
590b

도면11

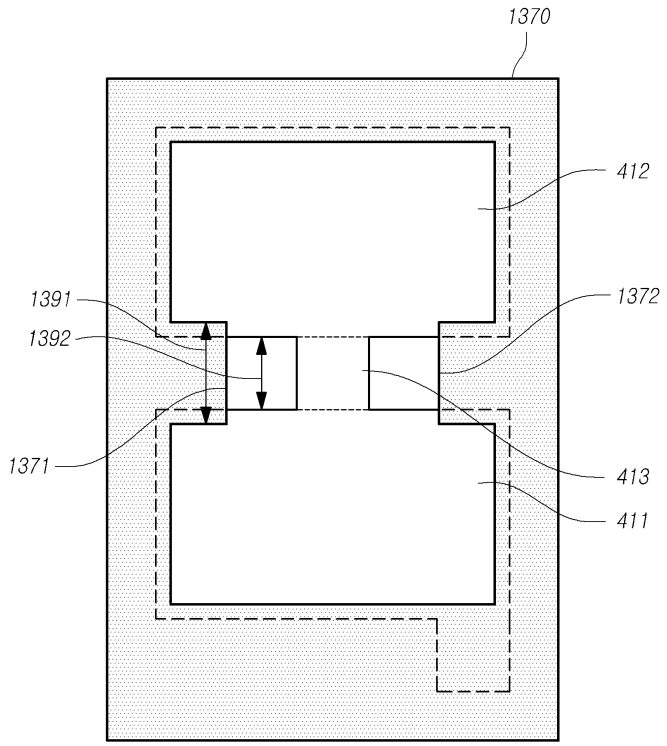

530b
520
590
1101
1112
550
1151
1111


530b
520
590
1102
550
1152
1121

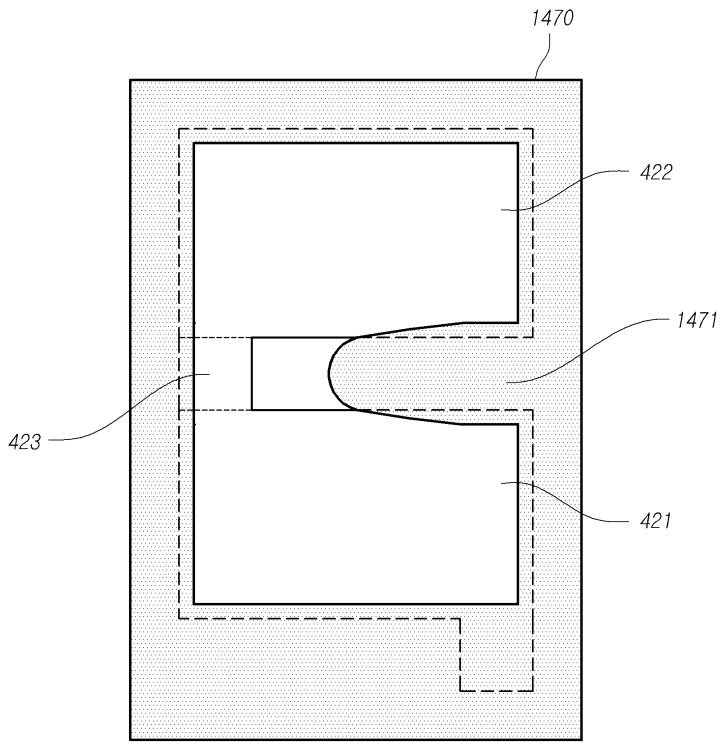
도면12


1201
590
530b
1111
550
1251
1112
520
1202
590
530b
1121
550
1252
520

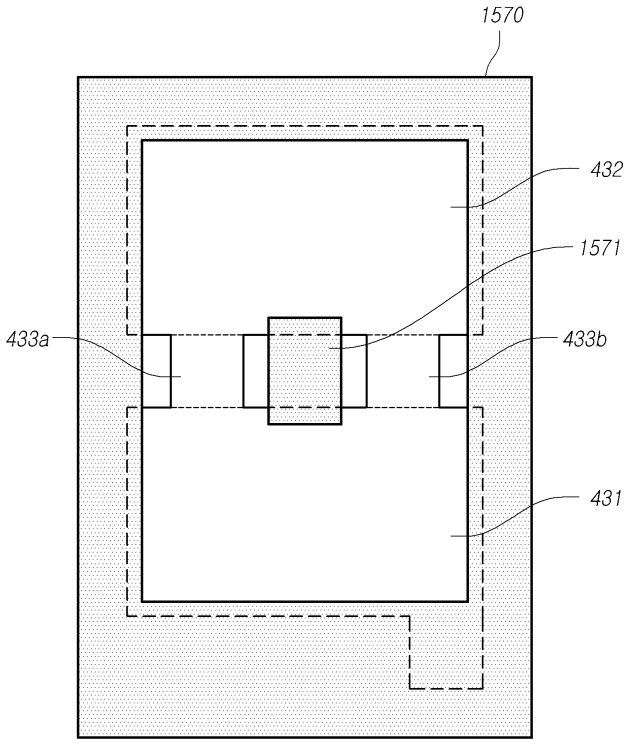
도면13



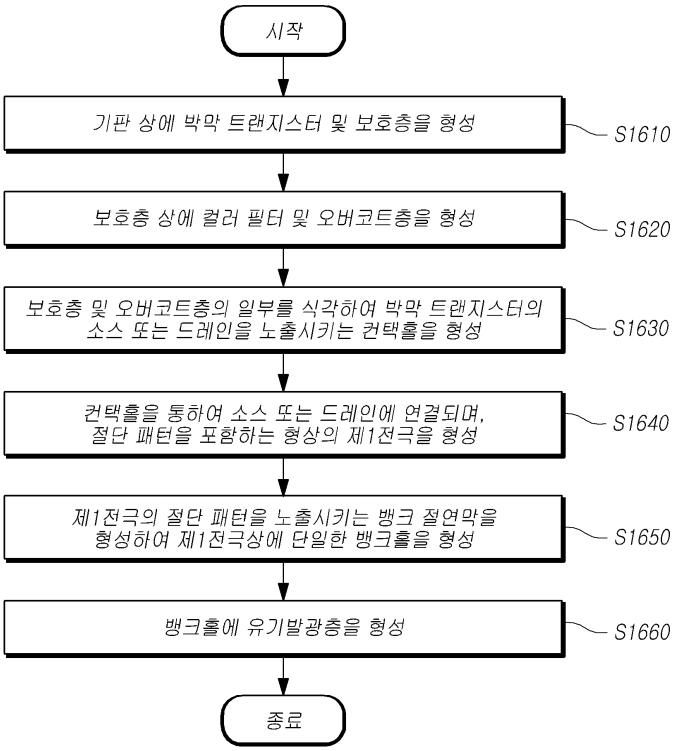
도면14



도면15

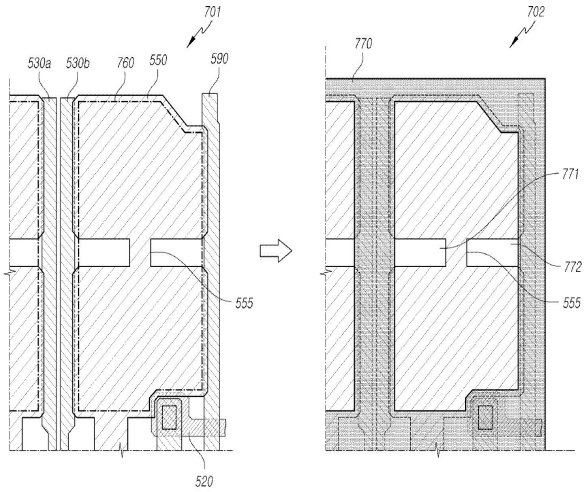

1570
432
1571
433a
433b
431

도면16


시작
기판 상에 박막 트랜지스터 및 보호층을 형성
S1610
보호층 상에 컬러 필터 및 오버코트층을 형성
S1620
보호층 및 오버코트층의 일부를 식각하여 박막 트랜지스터의 소스 또는 드레인을 노출시키는 컨택홀을 형성
S1630
컨택홀을 통하여 소스 또는 드레인에 연결되며, 절단 패턴을 포함하는 형상의 제1전극을 형성
S1640
제1전극의 절단 패턴을 노출시키는 뱅크 절연막을 형성하여 제1전극상에 단일한 뱅크홀을 형성
S1650
뱅크홀에 유기발광층을 형성
S1660
종료

专利名称(译)	显示装置，显示面板和制造该装置的方法		
公开(公告)号	KR1020160031570A	公开(公告)日	2016-03-23
申请号	KR1020140120766	申请日	2014-09-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JAE YEONG 최재영		
发明人	최재영		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3246 H01L27/3248 H01L2251/568		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

显示装置，显示面板及其制造方法技术领域为此，根据本发明的一个方面，提供一种显示装置，包括：像素电极，包括切割图案，并且电连接到薄膜晶体管;每个像素的单个堤孔中的有机发光层形成在切割图案上。根据本发明，由于在用于修复工艺的切割图案上形成堤孔，所以当保持切割图案时，有机发光层发光。因此，整个面板的发光效率得到改善.

COPYRIGHT KIPO 2016