

본 발명의 실시예에 따른 유기발광 표시장치는, 유기전계 발광 다이오드와, 스캔신호에 대응하여 데이터신호를 출력단에 인가하는 스위칭 트랜지스터와, 상기 데이터신호에 대응하는 전압을 저장하는 캐패시터와, 상기 캐패시터에 저장된 전압에 대응하여 상기 유기전계 발광 다이오드에 흐르는 전류를 결정하는 구동 트랜지스터와, EM신호 및 상기 스캔신호에 따라, 기준전압으로 이용하여 상기 캐패시터에 저장된 전압에 상기 구동 트랜지스터의 문턱전압 성분을 제거하되, 상기 구동 트랜지스터의 게이트 전극의 전압레벨을 전원전압으로 변환하는 복수의 샘플링 트랜지스터를 포함한다.

따라서, 본 발명은 문턱전압 보상을 위한 기준전압을 공급하는 샘플링 트랜지스터의 소스전극에 전원전압을 인가함으로써, 캐패시터가 단락된 화소에 대하여 캐패시터의 양 전극에 동일한 전압을 인가하여 해당 화소를 암점화함으로써, 유기발광 표시장치의 전체화상 품질을 개선할 수 있는 효과가 있다.

명세서

청구범위

청구항 1

유기전계 발광 다이오드;

스캔신호에 대응하여 데이터신호를 출력단에 인가하는 스위칭 트랜지스터;

상기 데이터신호에 대응하는 전압을 저장하는 캐패시터;

상기 캐패시터에 저장된 전압에 대응하여 상기 유기전계 발광 다이오드에 흐르는 전류를 결정하는 구동 트랜지스터; 및

EM신호 및 상기 스캔신호에 따라, 기준전압을 이용하여 상기 캐패시터에 저장된 전압에 상기 구동 트랜지스터의 문턱전압 성분을 제거하되, 상기 구동 트랜지스터의 게이트 전극의 전압레벨을 전원전압으로 변환하는 복수의 샘플링 트랜지스터를 포함하며,

상기 복수의 샘플링 트랜지스터는,

상기 EM신호에 대응하여 상기 스위칭 트랜지스터 및 상기 캐패시터 사이에 상기 전원전압을 인가하는 제2 샘플링 트랜지스터를 포함하는 유기발광 표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 복수의 샘플링 트랜지스터는,

상기 EM신호 및 상기 스캔신호에 대응하여 상기 기준전압을 상기 구동 트랜지스터의 출력단 및 제어단으로 인가하는 제1, 제3 및 제4 샘플링 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 샘플링 트랜지스터는, 상기 스캔신호에 대응하여 상기 캐패시터에 접지전압을 인가하는 유기발광 표시장치.

청구항 5

게이트전극에 스캔신호가 인가되고, 소스전극에 데이터신호가 인가되며, 드레인전극이 제1 노드에 연결되는 스위칭 트랜지스터;

게이트전극에 상기 스캔신호가 인가되고, 소스전극에 기준전압이 인가되며, 드레인전극이 제2 노드에 연결되는 제1 샘플링 트랜지스터;

게이트전극에 EM신호가 인가되고, 소스전극에 전원전압이 인가되며, 드레인전극이 상기 제1 노드에 연결되는 제2 샘플링 트랜지스터;

게이트전극에 상기 EM신호가 인가되고, 소스전극이 제3 노드에 연결되며, 드레인전극이 상기 제2 노드에 연결되는 제3 샘플링 트랜지스터;

게이트전극에 상기 스캔신호가 인가되고, 소스전극이 제4 노드에 연결되며, 드레인전극이 상기 제3 노드에 연결되는 제4 샘플링 트랜지스터;

양 전극이 각각 상기 제1 노드 및 상기 제4 노드에 연결되는 캐패시터; 및

캐소드가 접지되고, 애노드가 상기 제2 노드에 연결되는 유기전계 발광 다이오드를 포함하는 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 기준전압은 접지전압 레벨인 유기발광 표시장치.

청구항 7

제 1 항 및 제 5 항 중, 어느 하나의 항에 있어서,

상기 데이터신호는, 적어도 상기 전원전압보다 전압레벨이 높은 유기발광 표시장치.

청구항 8

제 5 항에 있어서,

게이트전극이 상기 제4 노드에 연결되고, 소스전극이 상기 전원전압에 연결되며, 드레인전극이 상기 제3 노드에 연결되는 구동 트랜지스터를 더 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 유기전계 발광다이오드를 이용한 표시장치의 제조시 이물 침입으로 인한 휘점이 발생한 화소를 암점으로 전환하여 화면불량을 최소화한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 기존의 음극선관(Cathode Ray Tube)표시장치를 대체하기 위한 평판표시장치(Flat Panel Display)로는 액정표시소자(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시장치(Plasma Display Panel) 및 유기발광 표시장치(Organic Light-Emitting Diode Display, OLED Display) 등이 있다.

[0003] 이중, 유기발광 표시장치에 구비되는 유기전계 발광다이오드는 높은 휘도와 낮은 동작 전압 특성을 가지며, 또한 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하다. 또한, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이라는 장점이 있다.

[0004] 이러한 유기발광 표시장치는 일 화소에 적어도 하나의 스위칭 트랜지스터와, 구동 트랜지스터를 포함하며, 구동 트랜지스터의 게이트-소스간 전압에 따라 화소에 구비된 유기전계 발광다이오드에 흐르는 전류를 제어하여 화상의 계조를 구현한다.

[0005] 그러나, 각 화소들에 구비되는 구동 트랜지스터는 하나의 표시패널내에서도 각 소자특성이 상이하여 화소간 휘도편차 문제가 발생하였으며, 이를 개선하기 위해 복수의 샘플링 트랜지스터를 더 구비하여 구동트랜지스터의 문턱전압을 개선하는 구조가 제안되었다.

[0006] 도 1은 종래의 구동트랜지스터 문턱전압 보상구조를 갖는 유기발광 표시장치의 일 화소에 대한 등가회로도를 나타낸 도면이다.

[0007] 도시된 바와 같이, 문턱전압 보상구조를 갖는 유기발광 표시장치는 6개의 트랜지스터와 하나의 캐패시터 및 유기전계 발광다이오드로 구성된다.

[0008] 스위칭 트랜지스터(SWT)는 게이트 전극이 게이트 배선(GL)에 연결되고, 소스 및 드레인 전극이 각각 데이터배선(DL) 및 제1 노드(N1)에 연결된다. 제1 샘플링 트랜지스터(SPT1)는 게이트 전극에 EM신호(EML)가 인가되고, 소스 전극에 기준전압(V_{ref})이 인가되며, 드레인 전극이 제1 노드(N1)에 연결된다. 제2 샘플링 트랜지스터(SPT2)는 게이트 전극이 게이트 배선(GL)에 연결되고, 소스 전극에 기준전압(V_{ref})이 인가되며, 드레인 전극이 제2 노드(N2)에 연결된다.

- [0009] 그리고, 제3 샘플링 트랜지스터(SPT3)는 게이트 전극이 EM신호배선(EML)에 연결되고, 소스 및 드레인전극이 각각 제3 노드(N3) 및 제2 노드(N2)에 연결된다. 제4 샘플링 트랜지스터(SPT4)는 게이트 전극이 게이트배선(GL)과 연결되고, 소스 및 드레인 전극이 각각 제3 노드(N3) 및 제4 노드(N4)에 연결된다. 구동 트랜지스터(DT)는 게이트 전극이 제4 노드(N4)에 연결되고, 소스에 전원전압(VDD)이 인가되며, 드레인 전극이 제3 노드(N3)와 연결된다. 캐패시터(C1)는 양 전극이 각각 제1 노드(N1) 및 제4 노드(N4)에 연결된다.
- [0010] 이러한 문턱전압 보상구조 유기발광 표시장치의 구동방법을 도 2a의 신호파형을 참조하여 설명하면 다음과 같다.
- [0011] 먼저, 제1 구간(1T)에서 하이레벨의 스캔신호(Scan)가 로우레벨로 천이되고 스위칭 트랜지스터(SWT) 및 제4 샘플링 트랜지스터(SPT4)가 서서히 턴-온되어 제4 노드(N4)를 기준전압(Vref)레벨로 초기화 시키게 된다. 여기서, 기준전압(Vref)은 통상적으로 0V ~ 2V 사이의 전압레벨로 설정된다.
- [0012] 이어서, 제2 구간(2T)에서 스캔신호(Scan)가 완전히 로우레벨로 천이되면, EM신호(EM)가 하이레벨로 천이되고, 이때 제2 샘플링 트랜지스터(SPT2)의 턴-오프 지연에 따라, 제2 노드(N2)는 기준전압레벨을 유지하게 된다. 또한, 스위칭 트랜지스터(SWT)의 턴-온에 따라, 제1 노드(N1)는 데이터신호(Vdata)레벨이 되고, 제4 노드(N4)는 전원전압(VDD)과 구동트랜지스터(DT)의 문턱전압의 절대값이 차가 되어($VDD - |V_{th}|$), 캐패시터(C1)에 저장된다.
- [0013] 즉, 구동 트랜지스터(DT)의 게이트 전극에 걸리는 전압(V_g)은 도 2b에 도시된 바와 같이, 제2 구간(2T)에서 구동 트랜지스터(DT)의 문턱전압을 감한 레벨까지 높아지게 된다.
- [0014] 다음으로, 제3 구간(3T)에서 스캔신호(Scan)가 하이레벨로 서서히 천이됨에 따라, 스위칭 트랜지스터(SWT) 및 제4 샘플링 트랜지스터(SPT4)가 턴-오프되며, 제1 노드(N1)는 기준전압레벨(Vref)이 되고, 이러한 제1 노드(N1)의 전압변화에 따라 제4 노드(N4)의 전압이 부트스트랩핑(booststrapping)된다.
- [0015] 즉, 도 2b에 도시된 바와 같이, 구동 트랜지스터(DT)의 게이트 전극에 걸리는 전압(V_g)는 제3 구간(3T)에서 기준전압(Vref)에서 데이터신호(Vdata)를 감한 레벨까지 낮아지게 된다.
- [0016] 따라서, 유기전계 발광다이오드(EL)에 흐르는 전류를 데이터신호와 기준전압에 대한 함수로 전환되어 문턱전압을 보상하여 각 화소별 휘도편차를 개선하게 된다.
- [0017] 여기서, 캐패시터(C1)는 그 캐패시턴스를 충분히 확보하기 위해, 게이트 금속층과 소스 및 드레인금속층을 이용할 뿐만 아니라, 게이트 금속층 하부의 액티브 층 형성시, 포토리소그래피 공정을 통해 불순물을 도핑하여 금속화함으로서 추가적인 캐패시터 전극을 더 형성하게 된다.
- [0018] 그러나, 전술한 캐패시터 전극 추가를 위한 공정에서 이물(9)이 발생될 수 있으며, 이는 도 3a에 도시된 바와 같이 기판(10)상에 형성된 액티브층(12)과 게이트 절연층(14), 그리고 게이트 금속층(15)의 상부에 혼입되어 캐패시터의 하부전극을 단락(short)시키게 된다. 이에 따라, 구동 트랜지스터(DT)의 게이트 전극의 전압이 낮아지게 되어 해당 화소에 대하여 휘점이 발생하게 된다.
- [0019] 도 3b는 이물 발생에 의한 휘점 발생 화소의 일 예를 나타낸 것으로, 도 3b와 도 1을 함께 참조하면, 일반적인 화소구동에 있어 저계조 화상의 구현시, 정상화소(normal)의 경우 구동트랜지스터(DT)의 게이트 전극에 인가되는 전압이 약 8V 정도로서, 게이트-소스간 전압(V_{gs})가 대략 -2V 가 된다. 반면, 이물이 발생한 비정상화소(abnormal)의 경우 구동트랜지스터의 게이트 전극에 인가되는 전압이 단락에 의해 약 1.2V 까지 낮아지게 된다. 따라서, 구동 트랜지스터(DT)의 게이트-소스(V_{gs})간 전압이 약 -8.8 V 가 되어 유기전계 발광다이오드(EL)로 급속하게 많은 전류가 흐르게 되며, 주변의 타 화소보다 매우 높은 휘도를 표시하게 된다. 특히, 주변 화소보다 휘도가 높은 휘점은 휘도가 낮은 암점보다 사용자에게 더 식별되기 용이하며, 결국, 전술한 휘점은 전체 화상 품질을 떨어뜨리는 주요 원인이 된다.

발명의 내용

해결하려는 과제

- [0020] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, 문턱전압 보상구조 유기발광 표시장치의 캐패시터 전극의 이물발생에 의한 휘점불량을 개선한 유기발광 표시장치를 제공하는 데 목적이 있다.

과제의 해결 수단

- [0021] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 유기발광 표시장치는, 유기전계 발광 다이오드; 스캔신호에 대응하여 데이터신호를 출력단에 인가하는 스위칭 트랜지스터; 상기 데이터신호에 대응하는 전압을 저장하는 캐패시터; 상기 캐패시터에 저장된 전압에 대응하여 상기 유기전계 발광 다이오드에 흐르는 전류를 결정하는 구동 트랜지스터; 및 EM신호 및 상기 스캔신호에 따라, 기준전압으로 이용하여 상기 캐패시터에 저장된 전압에 상기 구동 트랜지스터의 문턱전압 성분을 제거하되, 상기 구동 트랜지스터의 게이트 전극의 전압레벨을 전원전압으로 변환하는 복수의 샘플링 트랜지스터를 포함한다.
- [0022] 상기 복수의 샘플링 트랜지스터는, 상기 EM신호에 대응하여 상기 스위칭 트랜지스터 및 캐패시터에 사이에 전원전압을 인가하는 제2 샘플링 트랜지스터를 포함하는 것을 특징으로 한다.
- [0023] 상기 복수의 샘플링 트랜지스터는, 상기 EM신호 및 스캔신호에 대응하여 상기 기준전압을 상기 구동 트랜지스터의 출력단 및 제어단으로 인가하는 제1, 제3 및 제4 샘플링 트랜지스터를 포함하는 것을 특징으로 한다.
- [0024] 상기 제1 샘플링 트랜지스터는, 상기 스캔신호에 대응하여 상기 캐패시터에 상기 접지전압을 인가하는 것을 특징으로 한다.
- [0025] 전술한 목적을 달성하기 위해, 본 발명의 바람직한 실시예에 따른 유기발광 표시장치는, 게이트전극에 스캔신호가 인가되고, 소스전극에 데이터신호가 인가되며, 드레인전극이 제1 노드에 연결되는 스위칭 트랜지스터; 게이트전극에 스캔신호가 인가되고, 소스전극에 기준전압이 인가되며, 드레인전극이 제2 노드에 연결되는 제1 샘플링 트랜지스터; 게이트 전극에 EM신호가 인가되고, 소스전극에 전원전압이 인가되며, 드레인전극이 상기 제1 노드에 연결되는 제2 샘플링 트랜지스터; 게이트전극에 상기 EM신호가 인가되고, 소스전극이 제3 노드에 연결되며, 드레인전극이 상기 제2 노드에 연결되는 제3 샘플링 트랜지스터; 게이트 전극에 상기 스캔신호가 인가되고, 소스전극이 제4 노드에 연결되며, 드레인전극이 제3 노드에 연결되는 제4 샘플링 트랜지스터; 양 전극이 각각 상기 제1 노드 및 제4 노드에 연결되는 캐패시터; 및 캐소드가 접지되고, 애노드가 상기 제2 노드에 연결되는 유기전계 발광다이오드를 포함한다.
- [0026] 상기 기준전압은 접지전압 레벨인 것을 특징으로 한다.
- [0027] 상기 데이터신호는, 적어도 상기 전원전압보다 전압레벨이 높은 것을 특징으로 한다.
- [0028] 상기 유기전계 발광다이오드에 흐르는 전류(IOLED)는, 이하의 수학적,

$$IOLED = \frac{\beta}{2} (V_{gs} - |V_{th}|)^2$$

$$= \frac{\beta}{2} (V_{DD} - |V_{th}| - (V_{DD} - |V_{th}| - (V_{data} - V_{DD})))^2$$

$$= \frac{\beta}{2} (V_{data} - V_{DD})^2$$

을 만족하는 것을 특징으로 하는 유기발광 표시장치.

발명의 효과

- [0033] 본 발명의 바람직한 실시예에 따르면, 문턱전압 보상을 위한 기준전압을 공급하는 샘플링 트랜지스터의 소스전극에 전원전압을 인가함으로써, 캐패시터가 단락된 화소에 대하여 캐패시터의 양 전극에 동일한 전압을 인가하여 해당 화소를 암점화 하므로써, 유기발광 표시장치의 전체화상 품질을 개선할 수 있는 효과가 있다.

도면의 간단한 설명

- [0034] 도 1은 종래의 구동트랜지스터 문턱전압 보상구조를 갖는 유기발광 표시장치의 일 화소에 대한 등가회로도를 나타낸 도면이다.

도 2a는 도 1의 문턱전압 보상구조 유기발광 표시장치의 구동시 인가되는 신호파형을 나타낸 도면이고, 도 2b는

종래의 유기발광 표시장치의 구동 트랜지스터의 게이트 전극에 인가되는 신호파형을 나타낸 도면이다.

도 3a는 이물이 발생한 구동트랜지스터의 단면을 나타낸 도면이고, 도 3b는 이물 발생에 의한 휘점 발생 화소의 일 예를 나타낸 도면이다.

도 4는 본 발명의 실시예에 따른 유기발광 표시장치의 전체구조를 나타낸 도면이다.

도 5는 본 발명의 실시예에 따른 유기발광 표시장치의 일 화소 구조에 대한 등가회로도를 나타낸 도면이다.

도 6a 내지 도 6c는 본 발명의 유기발광 표시장치의 일 화소에 대한 구동방법을 설명하기 위한 도면이고, 도 7은 화소에 인가되는 신호파형을 나타낸 도면이다.

도 8은 정상화소 및 캐패시터가 단락된 비정상화소의 구동 트랜지스터의 게이트 전극에 인가된 전압 및 유기전계 발광다이오드에 흐르는 전류에 대한 신호파형을 나타낸 도면이다.

도 9는 본 발명의 다른 실시예에 따른 유기발광 표시장치의 일 화소구조에 대한 등가회로도를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 유기발광 표시장치를 설명한다.
- [0036] 도 4는 본 발명의 실시예에 따른 유기발광 표시장치의 전체구조를 나타낸 도면이다.
- [0037] 도면을 참조하면, 본 발명의 유기발광 표시장치는 표시패널(100) 및 이와 연결되는 다수의 구동부(105, 107, 110)를 포함한다.
- [0038] 표시패널(100)은 플라스틱 기판상에 서로 교차되도록 복수의 게이트 배선(GL) 및 데이터 배선(DL)이 형성되고, 게이트 배선(GL) 및 데이터 배선(DL)이 교차하는 지점에 화소(PX)들을 정의한다. 또한, 게이트 배선(GL)과 나란한 방향으로 배열되는 EM신호배선(EML)과, 문턱전압보상을 위한 기준전압(Vref)을 공급하는 기준전압 공급배선(RL)이 형성되어 화소(PX)와 연결된다.
- [0039] 또한, 표시패널(100)의 각 화소(PX)들은 게이트 배선(GL)들에 스캔신호를 인가하는 스캔 구동부(105)와, EM배선(EML)들에 EM신호를 인가하는 EM 구동부(107), 그리고 데이터 배선(DL)들에 데이터신호를 인가하는 데이터 구동부(110)와 연결된다. 여기서, 스캔 구동부(105) 및 EM 구동부(107)는 박막트랜지스터로 구현되어 표시패널(100)내에 실장될 수 있다.
- [0040] 도시하지는 않았지만, 전술한 화소(PX)는 적어도 하나의 유기전계 발광다이오드, 박막트랜지스터 및 캐패시터 이루어진다. 여기서, 유기발광다이오드는 제 1 전극(정공주입 전극)과 유기 화합물층 및 제 2 전극(전자주입 전극)을 포함한다.
- [0041] 유기 화합물층은 실제 발광이 이루어지는 발광층 이외에 정공 또는 전자의 캐리어를 발광층까지 효율적으로 전달하기 위한 다양한 유기 층들을 더 포함할 수 있다. 이러한 유기 층들은 제 1 전극과 발광층 사이에 위치하는 정공주입층 및 정공수송층, 제 2 전극과 발광층 사이에 위치하는 전자주입층 및 전자수송층일 수 있다.
- [0042] 또한 전술한 바와 같이, 유기발광 표시장치의 일 화소는, 적어도 스위칭 트랜지스터, 샘플링 트랜지스터, 구동 트랜지스터 및 커패시터를 포함한다.
- [0043] 스위칭 트랜지스터는 게이트배선(GL)과 데이터배선(DL)에 연결되고, 게이트배선에 입력되는 스위칭 전압에 따라 데이터배선에 입력되는 데이터신호를 구동 트랜지스터로 전송한다. 커패시터는 스위칭 트랜지스터와 전원 배선에 연결되며, 스위칭 트랜지스터로부터 전송되는 데이터전압과 기준전압을 통해 샘플링된 구동트랜지스터의 문턱전압이 제거된 전압과의 차에 비례하는 전압을 저장한다.
- [0044] 샘플링 트랜지스터는 복수개가 구비되며, 접지전압배선으로부터 인가되어 접지전압 레벨의 기준전압을 통해 후술하는 구동 트랜지스터의 문턱전압을 샘플링하여, 구동트랜지스터를 통해 흐르는 전류에 문턱전압성분을 제거하는 역할을 한다.
- [0045] 여기서, 상기 샘플링 트랜지스터 중 일부는 기준전압(Vref)단과 연결되어 기준전압(Vref)을 구동 트랜지스터 및 캐패시터의 일 전극에 공급하며, 다른 하나는 전원전압(VDD)단과 연결되어 전원전압을 캐패시터의 타 전극에 공급한다. 이러한 샘플링 트랜지스터의 구체적인 구조는 도 5를 참조하여 후술한다.
- [0046] 또한, 구동 트랜지스터는 전원공급배선과 커패시터에 연결되어 커패시터에 저장된 전압에 대응하는 출력 전류를

유기발광다이오드로 공급하고, 유기발광다이오드는 출력 전류에 의해 발광하게 된다. 여기서, 구동 트랜지스터는 게이트전극과 소오스전극 및 드레인전극을 포함하며, 유기전계 발광다이오드의 애노드 전극이 구동 트랜지스터의 드레인전극에 연결될 수 있다.

- [0047] 게이트 구동부(105) 및 EM 구동부(107)는 각 화소에 스캔신호(Scan) 및 EM신호(EM)를 하나의 수평선단위로 인가한다. 이러한 게이트 구동부(105) 및 EM 구동부(107)는 다수의 채널을 갖는 쉬프트레지스터로 구현될 수 있다.
- [0048] 데이터 구동부(110)는 외부시스템으로부터 인가되는 데이터신호 및 타이밍 신호에 대응하여 데이터신호를 화소(PX)가 처리할 수 있는 형태로 변환(Vdata)하고, 각 화소의 구동 타이밍에 동기하여 데이터 배선(DL)을 통해 화소(PX)로 공급한다.
- [0049] 전술한 구조에 따라, 표시패널(100)의 화소(PX)들은 각 게이트 배선(GL)들을 통해 인가되는 스캔신호(Scan)에 의해 게이트 배선(GL)단위로 순차적으로 구동되고, 데이터 배선(DL1)들을 통해 인가되는 데이터신호에 대응하는 계조를 표시하게 된다. 도시하지는 않았지만, 각 화소(PX)들은 유기전계 발광다이오드와 이를 구동하기 위한 복수의 박막 트랜지스터를 구비하며, 각 박막트랜지스터는 전술한 게이트 배선(GL), 데이터 배선(DL) 및 EM신호배선(EML)과, 전원공급배선(VDDL) 및 접지공급배선(VSSL) 연결되어 인가되는 신호에 따라 계조를 표시한다.
- [0050] 특히, 화소(PX) 중, 캐패시터가 단락된 화소(PX)는 문턱전압을 보상하기 위한 샘플링 트랜지스터 중, 일부가 기준전압(Vref)이 아닌 전원전압(VDD)을 캐패시터의 일 전극에 인가함으로써, 이물에 의해 단락된 캐패시터의 양 전극의 전압레벨이 전원전압(VDD) 또는 데이터신호(Vdata)로 동일하게 되어 유기전계 발광 다이오드가 발광하지 않고 암점이 되도록 하며, 이하 도면을 참조하여 본 발명의 실시예에 따른 유기발광 표시장치의 일 화소에 대한 등가회로도를 통해 본 발명의 기술적 구조를 보다 상세하게 설명한다.
- [0051] 도 5는 본 발명의 실시예에 따른 유기발광 표시장치의 일 화소 구조에 대한 등가회로도를 나타낸 도면이다.
- [0052] 도면을 참조하면, 본 발명의 유기발광 표시장치의 일 화소는 문턱전압 보상구조를 갖는 유기발광 표시장치는 6개의 트랜지스터와 하나의 캐패시터 및 유기전계 발광다이오드로 구성된다.
- [0053] 스위칭 트랜지스터(SWT)는 게이트 전극에 스캔신호(Scan)가 인가되고, 소스전극에 데이터신호(Vdata)가 인가되며, 드레인 전극이 제1 노드(N1)에 연결된다.
- [0054] 제1 샘플링 트랜지스터(SPT1)는 게이트 전극에 스캔신호(Scan)가 인가되고, 소스 전극에 기준전압(Vref)이 인가된다. 또한, 드레인 전극이 제2 노드(N2)에 연결된다.
- [0055] 제2 샘플링 트랜지스터(SPT2)는 게이트 전극에 EM신호(EM)가 인가되고, 소스전극에 전원전압(VDD)이 인가되며, 드레인 전극이 제1 노드(N1)와 연결된다.
- [0056] 제3 샘플링 트랜지스터(SPT3)는 게이트 전극이 EM신호배선(EML)에 연결되고, 소스 및 드레인전극이 각각 제3 노드(N3) 및 제2 노드(N2)에 연결된다.
- [0057] 제4 샘플링 트랜지스터(SPT4)는 게이트 전극에 스캔신호(Scan)가 인가되며, 소스 및 드레인전극이 각각 제4 노드(N4) 및 제3 노드(N3)에 연결된다.
- [0058] 구동 트랜지스터(DT)는 게이트 전극이 제4 노드(N4)에 연결되고, 소스 및 드레인 전극이 각각 전원공급배선(VDDL) 및 제3 노드(N3)와 연결된다. 따라서, 구동트랜지스터(DT)는 게이트 전극 및 드레인 전극이 각각 제4 샘플링 트랜지스터(SP4)의 소스 및 드레인전극에 연결되게 된다.
- [0059] 그리고, 캐패시터(C1)는 양 전극이 각각 제1 노드(N1) 및 제4 노드(N4)에 연결된다.
- [0060] 전술한 바와 같이, 본 발명의 실시예에 따른 유기발광 표시장치의 일 화소는 캐패시터(C1)의 일 전극과 연결되는 제1 노드(N1)에 전원전압을 인가받는 제2 샘플링 트랜지스터(SPT2)의 드레인이 연결되어, 캐패시터(C1)의 단락시 일 전극을 전원전압(VDD) 또는 데이터신호(Vdata) 전압레벨로 제어함으로써, 해당화소에 대해 휘점발생을 방지하고 암점으로 구동되도록 한다.
- [0061] 이하, 도면을 참조하여 본 발명의 실시예에 따른 유기발광 표시장치의 화소구동방법을 설명한다.
- [0062] 도 6a 내지 도 6c는 본 발명의 유기발광 표시장치의 일 화소에 대한 구동방법을 설명하기 위한 도면이고, 도 7은 화소에 인가되는 신호파형을 나타낸 도면이다.
- [0063] 도 6a 및 도 7을 참조하면, 제1 구간(1T)에서 하이레벨 상태의 스캔신호(Scan)가 서서히 로우레벨로 천이되어 스위칭 트랜지스터(SWT), 제1 및 제4 샘플링 트랜지스터(SPT1, SPT4)가 서서히 턴-온 되며, EM신호(EM)는 로우

레벨 상태이므로, 전원전압(VDD)이 제1 노드(N1)에 인가되고, 제1, 제2 및 제4 샘플링 트랜지스터(SPT1, SPT2, SPT4)를 통해 기준전압(Vref)이 제4 노드(N4)에 인가된다.

[0064] 이어서 도 6b를 참조하면, 제2 구간(2T)에서 스캔신호(Scan)가 완전히 로우레벨로 천이되고 EM신호(EM)가 하이레벨로 완전히 천이되면, 제2 샘플링 트랜지스터(SPT2)의 턴-오프 지연에 따라, 제2 노드(N2)는 기준전압(Vref)레벨을 유지하게 된다. 또한, 스위칭 트랜지스터(SWT)은 턴-온 상태이므로, 제1 노드(N1)는 데이터신호(Vdata)레벨이 된다. 이를 위해, 데이터신호(Vdata)는 적어도 전원전압(VDD)보다는 큰 전압레벨로 인가되어야 한다.

[0065] 제4 노드(N4)는 전원전압(VDD)과 구동트랜지스터(DT)의 문턱전압의 절대값이 차가 되어(VDD-|Vth|), 캐패시터(C1)에 저장된다.

[0066] 다음으로, 도 6c를 참조하면 제3 구간(3T)에서 스캔신호(Scan)가 하이레벨로 서서히 천이됨에 따라, 스위칭 트랜지스터(SWT) 및 제4 샘플링 트랜지스터(SPT4)가 턴-오프되며, 제1 노드(N1)는 전원전압(VDD)레벨이 되고, 이러한 제1 노드(N1)의 전압변화에 따라 제4 노드(N4)의 전압이 하기의 수학식 1에 따라 부트스트랩핑(booststrapping)된다.

수학식 1

$$VDD - |V_{th}| - V_{data} + VDD$$

[0067]

[0068] 이에 따라, 구동 트랜지스터(DT)의 게이트 전극에 인가되는 전압이 달라지게 되고, 상기의 수학식 1에 따라, 구동 트랜지스터(DT)를 통해 유기전계 발광 다이오드(EL)에 흐르는 전류(IOLED)는 하기의 수학식 2를 만족한다.

수학식 2

$$IOLED = \frac{\beta}{2} (V_{gs} - |V_{th}|)^2$$

[0069]

$$= \frac{\beta}{2} (VDD - |V_{th}| - (VDD - |V_{th}| - (V_{data} - VDD)))^2$$

[0070]

$$= \frac{\beta}{2} (V_{data} - VDD)^2$$

[0071]

[0072] 상기의 수학식 2에서 Vgs는 구동 트랜지스터(DT)의 게이트-소스간 전압이고, Vth는 구동 트랜지스터(DT)의 문턱전압이다. 또한, β는 구동트랜지스터(DT)의 특성값으로, β = u X Cox 이다.

[0073] 따라서, 유기전계 발광다이오드(EL)에 흐르는 전류(IOLED)는 데이터신호(Vdata)와 전원전압(VDD)에 대한 함수로 전환됨으로서 문턱전압이 보상되게 된다.

[0074] 이후, 제4 구간(4T)에서 완전히 턴-온된 제3 샘플링 트랜지스터(SPT3)를 통해 보상된 전류(IOLED)가 유기전계 발광다이오드(EL)에 흐르게 되어 화상의 계조를 표시하게 된다.

[0075] 전술한 구동방법에 따라, 캐패시터(C1)가 이물발생에 의한 단락되면, 도 6b 및 도 6c에서 제1 노드(N1)에 인가된 전압이 제4 노드(N4)에 전달되므로, 제4 노드(N4)는 전원전압(VDD)레벨이 된다. 따라서, 전술한 수학식 2에서 구동 트랜지스터(DT)의 게이트-소스(Vgs)간 전압이 0V가 되므로, 구동 트랜지스터(DT)를 통해 전류가 흐르지 않게 되어 유기전계 발광 다이오드(EL)가 발광하지 않아 암점이 된다.

- [0076] 도 8은 정상화소 및 캐패시터가 단락된 비정상화소의 구동 트랜지스터의 게이트 전극에 인가된 전압 및 유기전계 발광다이오드에 흐르는 전류에 대한 신호파형을 나타낸 도면이다.
- [0077] 도면을 참조하면, 정상화소(normal)의 경우, 서로 다른 전압레벨의 데이터신호에 따라 이에 대응하는 수학적 식 1에 따른 전압이 구동 트랜지스터의 게이트 전극(Vg)에 인가됨을 확인 할 수 있으며, 또한 수학적 식 2에 따라 유기전계 발광 다이오드에 흐르는 전류(IOLED)가 결정됨을 확인 할 수 있다.
- [0078] 반면, 비정상 화소(abnormal)의 경우, 서로 다른 전압레벨의 데이터 신호가 도 5의 제1 노드(N1)에 인가되고 캐패시터(C1)의 단락에 따라 제4 노드(N4)의 전압이 변동되어도, 제2 샘플링 트랜지스터(SPT2)에 의해 제1 노드(N1)에 전원전압(VDD)이 인가되어 제4 노드(N4)를 전원전압(VDD)으로 천이시킴에 따라, 결국 구동 트랜지스터의 게이트-소스간 전압(Vgs)이 0V 가 되고, 유기전계 발광 다이오드에 전류가 흐르지 않게 됨을 알 수 있다(IOLED = 0).
- [0079] 도 9는 본 발명의 다른 실시예에 따른 유기발광 표시장치의 일 화소구조에 대한 등가회로도를 나타낸 도면이다.
- [0080] 이하의 실시예에서는 구동 트랜지스터의 문턱전압을 보상하기 위한 기준전압으로서, 접지전압을 이용하는 특징이 있다.
- [0081] 상세하게는, 스위칭 트랜지스터(SWT)는 게이트 전극에 스캔신호(Scan)가 인가되고, 소스전극에 데이터신호(Vdata)가 인가되며, 드레인 전극이 제1 노드(N1)에 연결된다.
- [0082] 제1 샘플링 트랜지스터(SPT1)는 게이트 전극에 스캔신호(Scan)가 인가되고, 소스 전극에 접지전압(VSS)이 인가된다. 또한, 드레인 전극이 제2 노드(N2)에 연결된다.
- [0083] 제2 샘플링 트랜지스터(SPT2)는 게이트 전극에 EM신호(EM)가 인가되고, 소스전극에 전원전압(VDD)이 인가되며, 드레인 전극이 제1 노드(N1)와 연결된다.
- [0084] 제3 샘플링 트랜지스터(SPT3)는 게이트 전극이 EM신호배선(EML)에 연결되고, 소스 및 드레인전극이 각각 제3 노드(N3) 및 제2 노드(N2)에 연결된다.
- [0085] 제4 샘플링 트랜지스터(SPT4)는 게이트 전극에 스캔신호(Scan)가 인가되며, 소스 및 드레인전극이 각각 제4 노드(N4) 및 제3 노드(N3)에 연결된다.
- [0086] 구동 트랜지스터(DT)는 게이트 전극이 제4 노드(N4)에 연결되고, 소스 및 드레인 전극이 각각 전원공급배선(VDDL) 및 제3 노드(N3)와 연결된다. 따라서, 구동트랜지스터(DT)는 게이트 전극 및 드레인 전극이 각각 제4 샘플링 트랜지스터(SP4)의 소스 및 드레인전극에 연결되게 된다.
- [0087] 그리고, 캐패시터(C1)는 양 전극이 각각 제1 노드(N1) 및 제4 노드(N4)에 연결된다.
- [0088] 이러한 구조의 본 발명의 다른 실시예에 따른 유기발광 표시장치는, 전술한 실시예와 구동방법이 동일하며, 다만 별도의 기준전압(Vref)을 대체하여 접지전압(VSS)을 이용하는 것이라는 차이점이 있으며, 이에 따라 별도의 기준전압(Vref)을 공급하기 위한 배선을 생략함으로써, 화소 설계시 배선의 단순화와 입력신호를 줄여 효율을 증가시킬 수 있다는 장점이 있다.
- [0089] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

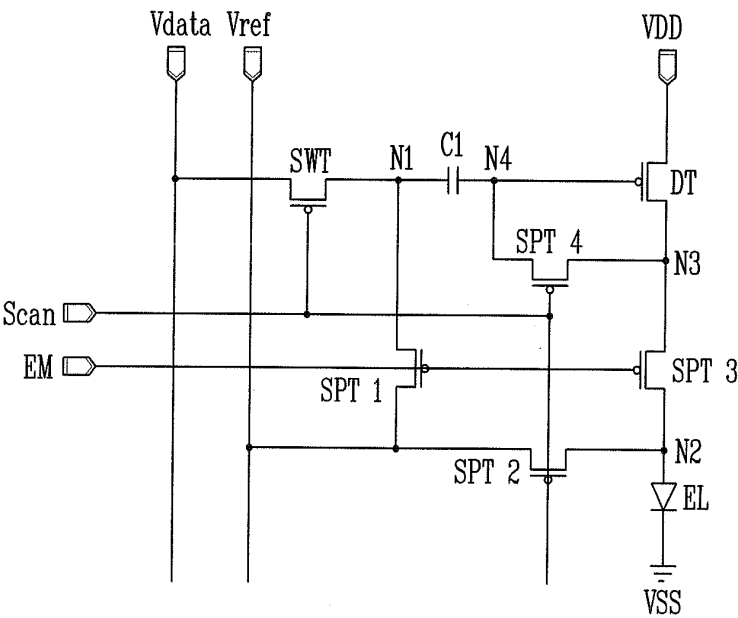
부호의 설명

- [0090] Scan : 스캔신호 EM : EM신호
- VDD : 전원전압 VSS : 접지전압
- Vdata : 데이터신호 GL : 게이트 배선
- DL : 데이터배선 SWT : 스위칭 트랜지스터
- SPT1 ~ SPT4 : 제1 ~ 제4 샘플링 트랜지스터
- DT : 구동트랜지스터 EL : 유기전계 발광다이오드

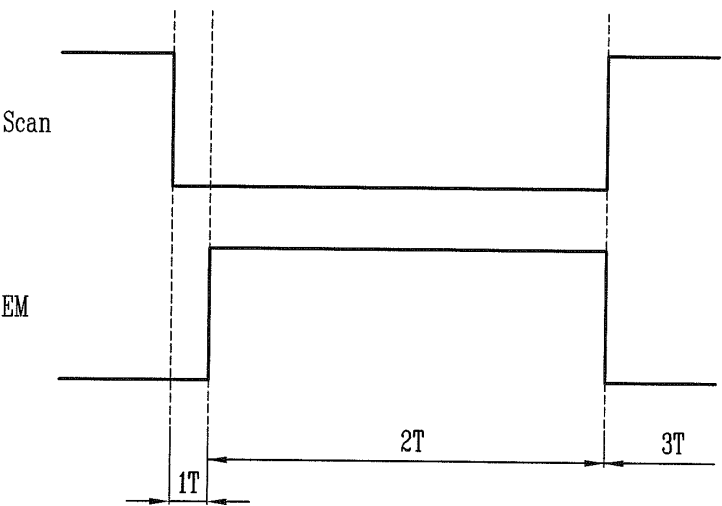
C1 : 캐패시터 N1 ~ N4 : 제1 ~ 제4 노드

도면

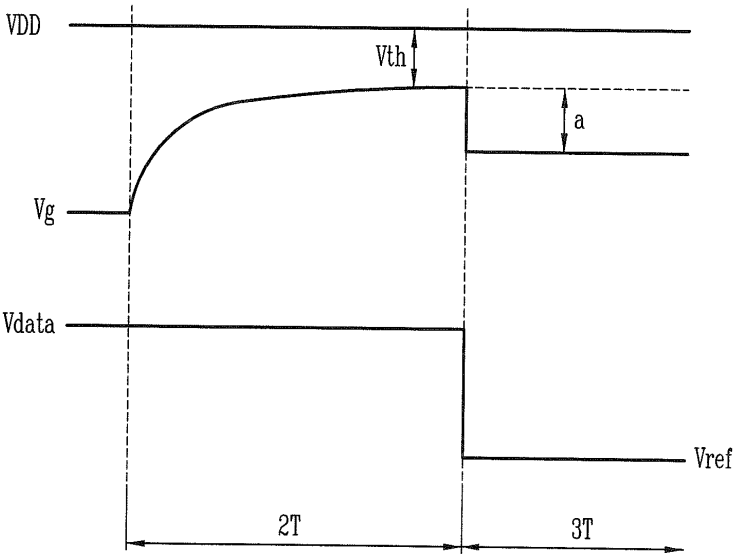
도면1



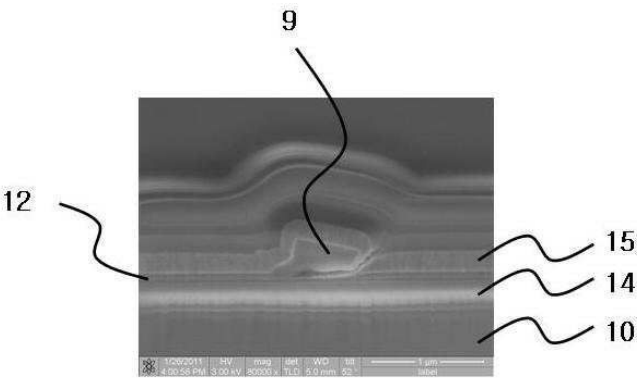
도면2a



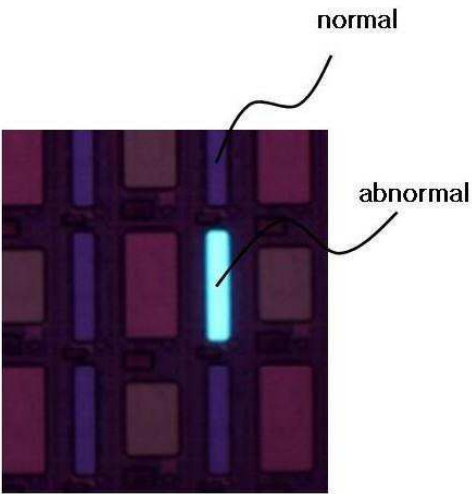
도면2b



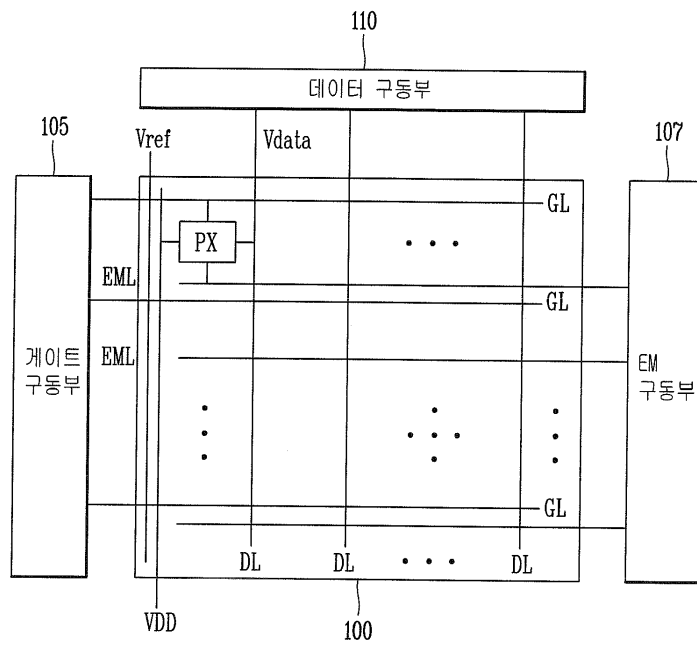
도면3a



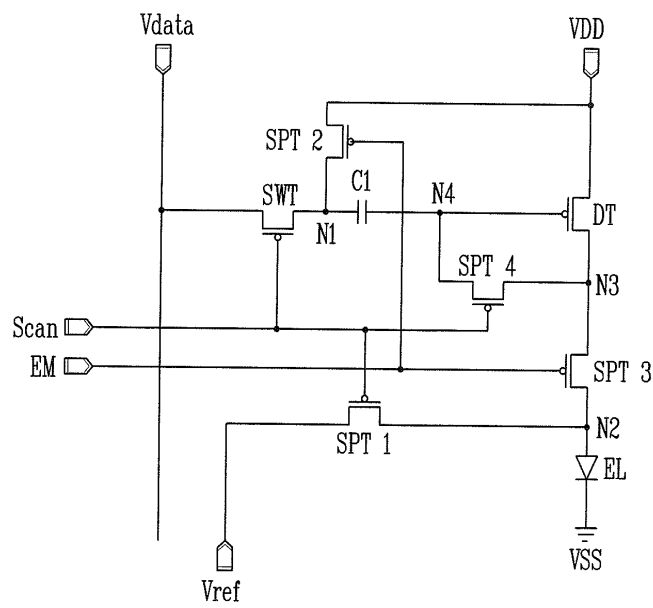
도면3b



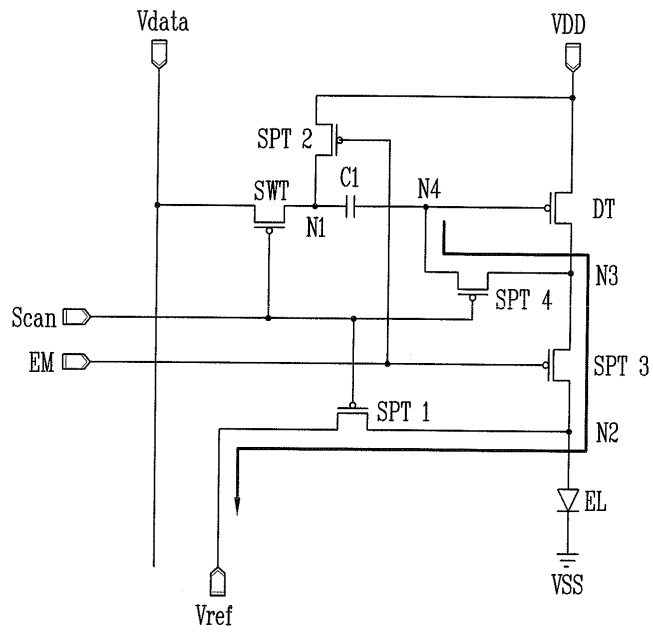
도면4



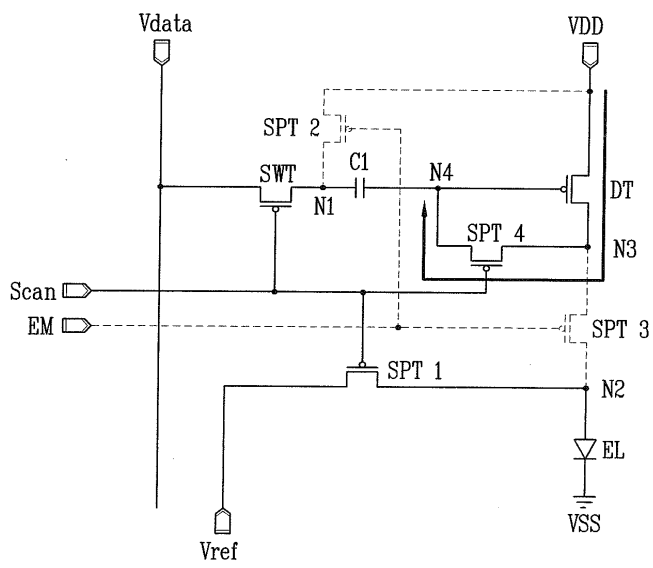
도면5



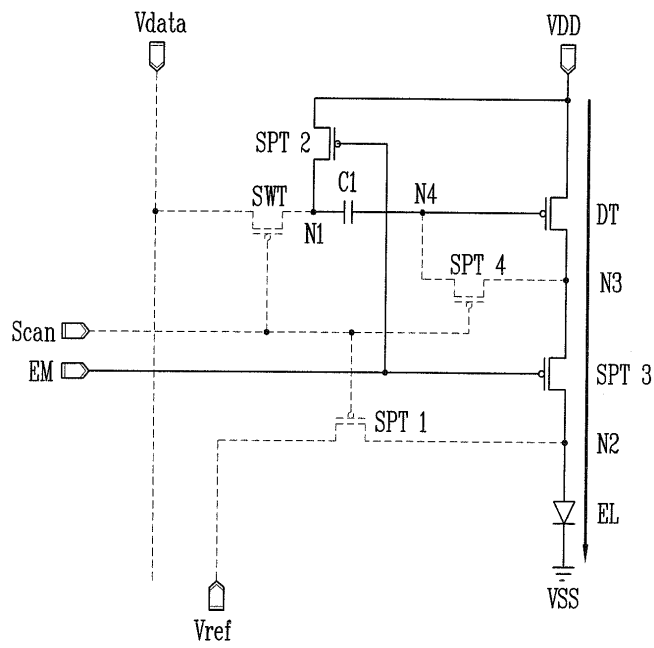
도면6a



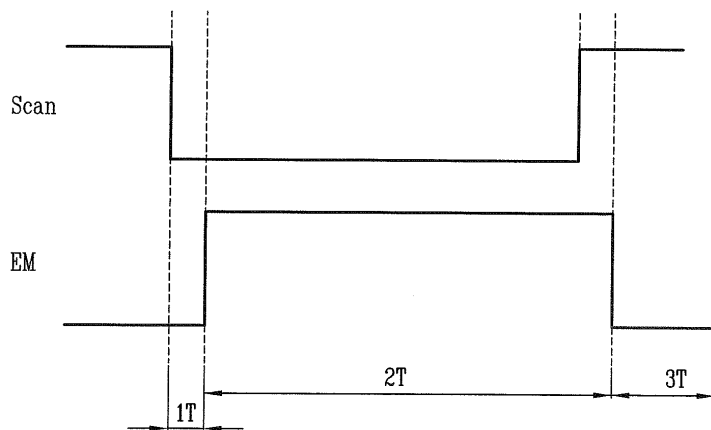
도면6b



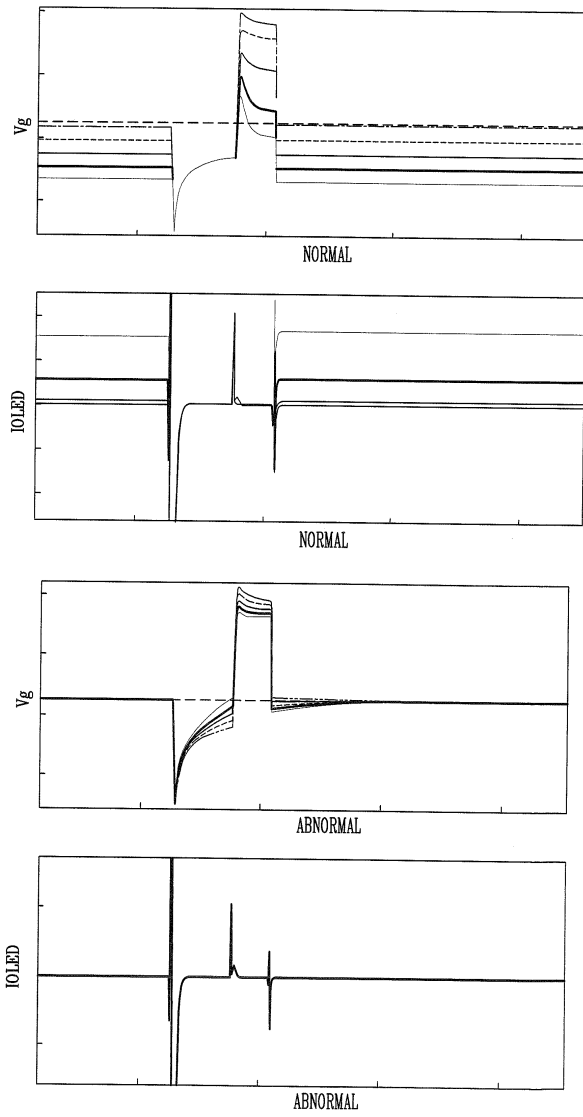
도면6c



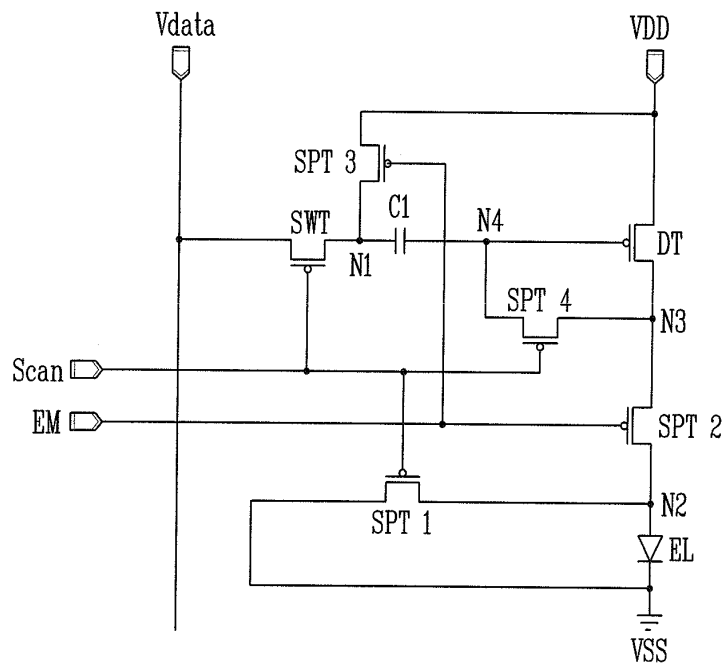
도면7



도면8



도면9



专利名称(译)	有机发光显示器		
公开(公告)号	KR101954782B1	公开(公告)日	2019-03-06
申请号	KR1020120122558	申请日	2012-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김성훈 이정민		
发明人	김성훈 이정민		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3208 H01L29/786		
审查员(译)	李升 - 最小		
其他公开文献	KR1020140055535A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示装置。特别地，本发明涉及一种有机发光显示装置，其中，当使用有机发光二极管制造显示装置时，通过将其由异物侵入引起的亮点侵入的像素转换为暗点，来将屏幕缺陷最小化。发光显示器包括有机发光二极管，用于响应于扫描信号将数据信号施加到输出端子的开关晶体管，用于存储与数据信号相对应的电压的电容器，以及响应于存储在电容器中的电压的有机发光二极管。使用用于确定流过电致发光二极管的电流的驱动晶体管以及根据EM信号和扫描信号的参考电压，从存储在电容器中的电压中去除驱动晶体管的阈值电压分量。用于转换电源电压的电压电平的多个样本 因此，本发明向采样晶体管的源电极施加电源电压，以提供用于阈值电压补偿的参考电压，从而相对于电容器短路的像素，将相同电压施加至电容器的两个电极。通过使像素变暗，可以改善有机发光显示装置的整体图像质量。