



(72) 발명자

**임충열**

경기 용인시 기흥구 삼성2로 95, (농서동)

**고무순**

경기 용인시 기흥구 삼성2로 95, (농서동)

**윤주원**

경기 용인시 기흥구 삼성2로 95, (농서동)

**우민우**

경기 용인시 기흥구 삼성2로 95, (농서동)

(56) 선행기술조사문헌

KR1020110109885 A\*

KR1020070037071 A\*

KR1020070093833 A\*

KR1020030054777 A\*

KR1020030081955 A\*

KR100491143 B1\*

KR100462861 B1

KR1020070072116 A

KR1020070072113 A

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

기관 상에 배치되고 활성층, 게이트 전극, 소스전극과 드레인전극을 포함하는 박막트랜지스터;

상기 기관과 상기 박막트랜지스터 사이에 배치된 광차단층;

상기 광차단층과 상기 박막트랜지스터 사이에 배치된 제1절연층;

상기 광차단층과 동일층에 배치된 제1전극, 상기 제1전극 상에 배치된 제2전극, 및 상기 제1전극과 제2전극 사이에 배치된 상기 제1절연층을 포함하는 커패시터; 및

상기 광차단층 및 상기 커패시터의 제1전극과 동일층에 배치되고, 상기 광차단층 및 상기 커패시터의 제1전극과 같은 두께를 갖는 화소 전극;을 포함하는 평판 표시 장치용 백플레인.

**청구항 2**

제 1 항에 있어서,

상기 활성층은 갈륨(Ga), 인(In), 아연(Zn), hafnium(Hf) 및 주석(Sn) 군에서 선택된 하나 이상의 원소와, 산소(O)를 포함하는 평판 표시 장치용 백플레인.

**청구항 3**

제 1 항에 있어서,

상기 커패시터의 제1전극과 상기 화소 전극은 상기 광차단층과 동일한 재료를 포함하는 평판 표시 장치용 백플레인.

**청구항 4**

제 1 항에 있어서,

상기 광차단층은 상기 활성층보다 광투과율이 작은 재료를 포함하는 평판 표시 장치용 백플레인.

**청구항 5**

제 1 항에 있어서,

상기 활성층과 상기 게이트 전극 사이에 제2절연층이 배치되고, 상기 제1절연층은 상기 제2절연층보다 유전율이 큰 평판 표시 장치용 백플레인.

**청구항 6**

제 5 항에 있어서,

상기 커패시터의 제2전극은 상기 활성층과 동일층에 배치되고, 상기 제2전극 상에 상기 제2절연층이 배치된 평판 표시 장치용 백플레인.

**청구항 7**

제 5 항에 있어서,

상기 커패시터의 제2전극은 상기 활성층과 동일층에 배치되고, 상기 제2절연층과 상기 게이트 전극의 식각면이 동일한 평판 표시 장치용 백플레인.

**청구항 8**

제 7 항에 있어서,

상기 게이트 전극 상에 금속산화물층이 더 배치되고, 상기 제2전극 상에 상기 금속산화물층이 연장되어 배치된 평판 표시 장치용 백플레인.

**청구항 9**

제 5 항에 있어서,

상기 커패시터의 제2전극은 상기 게이트 전극과 동일층에 배치되고, 상기 제2전극 상에 상기 제2절연층이 배치된 평판 표시 장치용 백플레인.

**청구항 10**

제 1 항에 있어서,

상기 광차단층과 동일층에 배치된 얼라인 키(align key)가 더 포함된 평판 표시 장치용 백플레인.

**청구항 11**

제 10 항에 있어서,

상기 얼라인 키는 상기 광차단층과 동일한 재료를 포함하는 평판 표시 장치용 백플레인.

**청구항 12**

제 1 항에 있어서,

상기 소스전극과 드레인전극과 동일층에 배치된 커패시터의 제3전극이 더 포함된 평판 표시 장치용 백플레인.

**청구항 13**

기관 상에 배치되고 활성층, 게이트 전극, 소스전극과 드레인전극을 포함하는 박막트랜지스터;

상기 기관과 상기 박막트랜지스터 사이에 배치된 광차단층;

상기 광차단층과 상기 박막트랜지스터 사이에 배치된 제1절연층;

상기 광차단층과 동일층에 배치된 제1전극, 상기 제1전극 상에 배치된 제2전극, 및 상기 제1전극과 제2전극 사이에 배치된 상기 제1절연층을 포함하는 커패시터; 및

상기 광차단층 및 상기 커패시터의 제1전극과 동일층에 배치되고, 상기 광차단층 및 상기 커패시터의 제1전극과 같은 두께를 갖는 화소 전극;

상기 화소 전극 상에 배치된 대향 전극; 및

상기 화소 전극과 대향 전극 사이에 배치된 유기 발광층;을 포함하는 유기 발광 표시 장치.

**청구항 14**

제13항에 있어서,

상기 활성층은 갈륨(Ga), 인(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 군에서 선택된 하나 이상의 원소와, 산소(O)를 포함하는 유기 발광 표시 장치.

**청구항 15**

제 13 항에 있어서,

상기 커패시터의 제1전극과 상기 화소 전극은 상기 광차단층과 동일한 재료를 포함하는 유기 발광 표시 장치.

**청구항 16**

제 13 항에 있어서,

상기 활성층과 상기 게이트 전극 사이에 제2절연층이 배치되고, 상기 제1절연층은 상기 제2절연층보다 유전율이 큰 유기 발광 표시 장치.

**청구항 17**

제 13 항에 있어서,  
 상기 화소 전극은 반투과 금속층을 포함하는 유기 발광 표시 장치.

**청구항 18**

제 13 항에 있어서,  
 상기 대향 전극은 반사 전극인 유기 발광 표시 장치.

**청구항 19**

광차단층, 화소 전극 및 커패시터 제1전극을 형성하는 제1마스크 공정;  
 상기 제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 박막트랜지스터의 활성층, 및 커패시터 제2전극을 형성하는 제2마스크 공정;  
 상기 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층 상에 박막트랜지스터의 게이트 전극을 형성하는 제3마스크 공정;  
 상기 제3마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 제3절연층에 상기 활성층의 일부를 노출시키는 개구를 형성하는 제4마스크 공정;  
 상기 제4마스크 공정의 결과물 상에 박막트랜지스터의 소스전극과 드레인전극을 형성하는 제5마스크 공정; 및  
 상기 제5마스크 공정의 결과물 상에 제4절연층을 형성하고, 제4절연층에 상기 화소 전극을 노출시키는 개구를 형성하는 제6마스크 공정;을 포함하고,  
 상기 제1마스크 공정에서, 상기 광차단층, 상기 화소 전극 및 상기 커패시터의 제1전극을 동일한 두께로 형성하는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 20**

광차단층, 화소 전극 및 커패시터 제1전극을 형성하는 제1마스크 공정;  
 상기 제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 박막트랜지스터의 게이트 전극, 및 커패시터 제2전극을 형성하는 제2마스크 공정;  
 상기 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층 상에 박막트랜지스터의 활성층을 형성하는 제3마스크 공정;  
 상기 제3마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 제3절연층에 상기 활성층의 일부를 노출시키는 개구를 형성하는 제4마스크 공정;  
 상기 제4마스크 공정의 결과물 상에 박막트랜지스터의 소스전극과 드레인전극을 형성하는 제5마스크 공정; 및  
 상기 제5마스크 공정의 결과물 상에 제4절연층을 형성하고, 제4절연층에 상기 화소 전극을 노출시키는 개구를 형성하는 제6마스크 공정;을 포함하고,  
 상기 제1마스크 공정에서, 상기 광차단층, 상기 화소 전극 및 상기 커패시터의 제1전극을 동일한 두께로 형성하는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 21**

제 19항 또는 제20항에 있어서,  
 상기 제1마스크 공정에서, 상기 광차단층, 화소 전극 및 커패시터 제1전극은 동일물질로 동일층에 형성되는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 22**

제 19 항에 있어서,

상기 제2마스크 공정에서, 상기 박막 트랜지스터의 활성층, 및 커패시터 제2전극은 동일물질로 동일층에 형성되는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 23**

제 22 항에 있어서,

상기 제3마스크 공정에서, 상기 활성층, 및 커패시터 제2전극에 이온불순물을 도핑하는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 24**

제 23 항에 있어서,

상기 제3마스크 공정에서, 상기 게이트전극과 상기 제2절연층의 식각면을 동일하게 식각하고, 상기 게이트 전극 상에 금속산화물층을 더 형성하는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 25**

제 20 항에 있어서,

상기 제2마스크 공정에서, 상기 박막 트랜지스터의 활성층, 및 커패시터 제2전극은 동일물질로 동일층에 형성되는 평판 표시 장치용 백플레인의 제조 방법.

**청구항 26**

제 19항 또는 제20항에 있어서,

상기 제1마스크 공정에서, 상기 광차단층과 동일층에 동일재료로, 얼라인 키를 더 형성하는 평판 표시 장치용 백플레인의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 평판 표시 장치용 백플레인, 상기 백플레인의 제조방법, 및 상기 백플레인을 포함하는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치, 액정 표시 장치 등을 포함하는 평판 표시 장치는 고해상도의 디스플레이 구현을 위해 각 픽셀마다 박막 트랜지스터(Thin Film Transistor: TFT)와 커패시터 등이 포함된 능동 구동형 백플레인(backplane) 상에 제작된다. 특히 산화물 반도체를 이용한 박막트랜지스터는 소자 특성이 우수하고, 저온에서 공정 진행이 가능하여 평판 표시용 백플레인에 최적인 소자로 평가되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명은 제조 공정이 단순하고, 표시 품질이 우수한 평판 표시 장치용 백플레인, 상기 백플레인의 제조방법, 및 상기 백플레인을 포함하는 유기 발광 표시 장치를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0004] 본 발명의 일 측면에 의하면, 기판 상에 배치되고 활성층, 게이트 전극, 소스전극과 드레인전극을 포함하는 박막트랜지스터; 상기 기판과 상기 박막트랜지스터 사이에 배치된 광차단층; 상기 광차단층과 상기 박막트랜지스터 사이에 배치된 제1절연층; 상기 광차단층과 동일층에 배치된 제1전극, 상기 상기 제1전극 상에 배치된 제2전극, 및 상기 제1전극과 제2전극 사이에 배치된 상기 제1절연층을 포함하는 커패시터; 및 상기 광차단층과 동일층에 배치된 화소 전극;을 포함하는 평판 표시 장치용 백플레인을 제공한다.

[0005] 상기 활성층은 갈륨(Ga), 인(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 군에서 선택된 하나 이상의 원소와, 산소

(O)를 포함할 수 있다.

- [0006] 상기 커패시터의 제1전극과 상기 화소 전극은 상기 광차단층과 동일한 재료를 포함할 수 있다.
- [0007] 상기 광차단층은 상기 활성층보다 광투과율이 작은 재료를 포함할 수 있다.
- [0008] 상기 활성층과 상기 게이트 전극 사이에 제2절연층이 배치되고, 상기 제1절연층은 상기 제2절연층보다 유전율이 클 수 있다.
- [0009] 상기 커패시터의 제2전극은 상기 활성층과 동일층에 배치되고, 상기 제2전극 상에 상기 제2절연층이 배치될 수 있다.
- [0010] 상기 커패시터의 제2전극은 상기 활성층과 동일층에 배치되고, 상기 제2절연층과 상기 게이트 전극의 식각면이 동일할 수 있다.
- [0011] 상기 게이트 전극 상에 금속산화물층이 더 배치되고, 상기 제2전극 상에 상기 금속산화물층이 연장되어 배치될 수 있다.
- [0012] 상기 커패시터의 제2전극은 상기 게이트 전극과 동일층에 배치되고, 상기 제2전극 상에 상기 제2절연층이 배치될 수 있다.
- [0013] 상기 광차단층과 동일층에 배치된 얼라인 키(align key)가 더 포함될 수 있다.
- [0014] 상기 얼라인 키는 상기 광차단층과 동일한 재료를 포함할 수 있다.
- [0015] 상기 소스전극과 드레인전극과 동일층에 배치된 커패시터의 제3전극이 더 포함될 수 있다.
- [0016] 본 발명의 다른 측면에 의하면, 기판 상에 배치되고 활성층, 게이트 전극, 소스전극과 드레인전극을 포함하는 박막트랜지스터; 상기 기판과 상기 박막트랜지스터 사이에 배치된 광차단층; 상기 광차단층과 상기 박막트랜지스터 사이에 배치된 제1절연층; 상기 광차단층과 동일층에 배치된 제1전극, 상기 상기 제1전극 상에 배치된 제2전극, 및 상기 제1전극과 제2전극 사이에 배치된 상기 제1절연층을 포함하는 커패시터; 및 상기 광차단층과 동일층에 배치된 화소 전극; 상기 화소 전극 상에 배치된 대향 전극; 및 상기 화소 전극과 대향 전극 사이에 배치된 유기 발광층;을 포함하는 유기 발광 표시 장치를 제공할 수 있다.
- [0017] 상기 활성층은 갈륨(Ga), 인(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 군에서 선택된 하나 이상의 원소와, 산소(O)를 포함할 수 있다.
- [0018] 상기 커패시터의 제1전극과 상기 화소 전극은 상기 광차단층과 동일한 재료를 포함할 수 있다.
- [0019] 상기 활성층과 상기 게이트 전극 사이에 제2절연층이 배치되고, 상기 제1절연층은 상기 제2절연층보다 유전율이 클 수 있다.
- [0020] 상기 화소 전극은 반투과 금속층을 포함할 수 있다.
- [0021] 상기 대향 전극은 반사 전극일 수 있다.
- [0022] 본 발명의 또 다른 측면에 따르면, 광차단층, 화소 전극 및 커패시터 제1전극을 형성하는 제1마스크 공정; 상기 제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 박막트랜지스터의 활성층, 및 커패시터 제2전극을 형성하는 제2마스크 공정; 상기 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층 상에 박막트랜지스터의 게이트 전극을 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 제3절연층에 상기 활성층의 일부를 노출시키는 개구를 형성하는 제4마스크 공정; 상기 제4마스크 공정의 결과물 상에 박막트랜지스터의 소스전극과 드레인전극을 형성하는 제5마스크 공정; 및 상기 제5마스크 공정의 결과물 상에 제4절연층을 형성하고, 제4절연층에 상기 화소 전극을 노출시키는 개구를 형성하는 제6마스크 공정;을 포함하는 평판 표시 장치용 백플레인의 제조 방법을 제공한다.
- [0023] 본 발명이 또 다른 측면에 의하면, 광차단층, 화소 전극 및 커패시터 제1전극을 형성하는 제1마스크 공정; 상기 제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 박막트랜지스터의 게이트 전극, 및 커패시터 제2전극을 형성하는 제2마스크 공정; 상기 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 제2절연층 상에 박막트랜지스터의 활성층을 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 제3절연층에 상기 활성층의 일부를 노출시키는 개구를 형성하는 제4마스크 공정; 상기 제4마스크 공정의 결과물 상에 박막트랜지스터의 소스전극과 드레인전극을 형성하는 제5마스크 공정; 및 상기

제5마스크 공정의 결과물 상에 제4절연층을 형성하고, 제4절연층에 상기 화소 전극을 노출시키는 개구를 형성하는 제6마스크 공정;을 포함하는 평판 표시 장치용 백플레인의 제조 방법을 제공한다.

- [0024] 상기 제1마스크 공정에서, 상기 광차단층, 화소 전극 및 커패시터 제1전극은 동일물질로 동일층에 형성될 수 있다.
- [0025] 상기 제2마스크 공정에서, 상기 박막 트랜지스터의 활성층, 및 커패시터 제2전극은 동일물질로 동일층에 형성될 수 있다.
- [0026] 상기 제3마스크 공정에서, 상기 활성층, 및 커패시터 제2전극에 이온불순물을 도핑할 수 있다.
- [0027] 상기 제3마스크 공정에서, 상기 게이트전극과 상기 제2절연층의 식각면을 동일하게 식각하고, 상기 게이트 전극 상에 금속산화물층을 더 형성할 수 있다.
- [0028] 상기 제2마스크 공정에서, 상기 박막 트랜지스터의 활성층, 및 커패시터 제2전극은 동일물질로 동일층에 형성될 수 있다.
- [0029] 상기 제1마스크 공정에서, 상기 광차단층과 동일층에 동일재료로, 얼라인 키를 더 형성할 수 있다.

**발명의 효과**

- [0030] 상기와 같은 본 발명에 따른 평판 표시 장치용 백플레인, 상기 백플레인의 제조방법, 및 상기 백플레인을 포함하는 유기 발광 표시 장치는 다음과 같은 효과를 제공한다.
- [0031] 첫째, 기판과 박막트랜지스터 사이에 광차단층을 형성함으로써, 박막트랜지스터의 광 신뢰성을 향상시킬 수 있다.
- [0032] 둘째, 유전막이 게이트 전극보다 하부에 형성되기 때문에, 게이트 전극과 상기 게이트 전극과 동일층에 형성되는 배선을 두껍게 형성하더라도 커패시터의 용량이 감소되는 것을 방지할 수 있다.
- [0033] 셋째, 유전막을 얇게 형성할 수 있기 때문에 커패시터의 용량을 증가시킬 수 있고, 배면 발광형 표시 장치의 개구율을 증가시킬 수 있다.
- [0034] 넷째, 산화물 반도체보다 광투율이 작은 얼라인 키를 사용함으로써 정밀한 얼라인을 수행할 수 있다.
- [0035] 다섯째, 마스크 공정 회수를 줄여 제조 비용을 절감할 수 있다.

**도면의 간단한 설명**

- [0036] 도 1은 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인(backplane)(1)을 개략적으로 도시한 평면도, 도 2는 도 1의 화소(P) 및 얼라인 키 영역(AK)을 개략적으로 도시한 단면도, 도 3은 본 발명의 비교예에 따른 바텀 게이트 구조의 평판 표시 장치용 백플레인의 화소를 개략적으로 도시한 단면도, 도 4a 내지 4f는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제조 방법을 개략적으로 도시한 단면도, 도 5는 도 1의 백플레인(1)의 표시 영역(D)이 분리되어 형성된 유기 발광 표시 장치(100)의 일 화소(P)를 개략적으로 도시한 단면도, 도 6은 본 발명의 다른 실시예에 따른 평판 표시 장치용 백플레인(2)의 화소(P) 및 얼라인 키 영역(AK)을 개략적으로 도시한 단면도, 도 7a 내지 7c는 도 6에 따른 백플레인(2)의 제3마스크 공정을 도시한 단면도, 및 도 8은 본 발명의 또 다른 실시예에 따른 평판 표시 장치용 백플레인(3)의 화소(P) 및 얼라인 키 영역(AK)을 개략적으로 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0037] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예들을 상세히 설명한다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인(backplane)(1)을 개략적으로 도시한

평면도이고, 도 2는 도 1의 화소(P) 및 얼라인 키 영역(AK)을 개략적으로 도시한 단면도이다.

- [0039] 도 1을 참조하면, 본 발명의 일 실시예에 따른 평판 표시 장치용 백플레인(1)에는 복수 개의 화소(P)를 포함하는 복수 개의 표시 영역(D)이 구비되고, 백플레인(1)의 외곽에는 얼라인 키(411)를 포함하는 얼라인 키 영역(AK)이 구비된다.
- [0040] 백플레인(1)의 표시 영역(D)은 제조 공정 뒤, 복수의 표시 패널로 각각 분리되고, 얼라인 키 영역(AK)은 백플레인의 패터닝 공정 동안 얼라인 키로 이용되고 표시 패널의 분리 시, 표시 패널에는 남지 않는다.
- [0041] 도 2를 참조하면, 표시 영역(D)에 포함된 각 화소(P)는 박막트랜지스터가 구비된 트랜지스터 영역(TR), 커패시터가 구비된 커패시터 영역(CAP) 및 화소 전극(111)이 구비된 화소전극부(PXL)로 형성된다. 도 2의 화소(P)에는 하나의 화소 전극(111), 하나의 커패시터 및 하나의 박막트랜지스터(TFT)가 도시되어 있으나, 예시일 뿐 본 발명은 이에 한정되지 않는다. 즉, 화소(P)는 하나 이상의 커패시터 및 하나 이상의 박막트랜지스터(TFT)를 포함할 수 있다.
- [0042] 트랜지스터 영역(TR)에는 기판(10) 상에 활성층(211), 게이트 전극(215), 및 소스전극(218a)과 드레인전극(218b)을 포함하는 박막트랜지스터(TFT)가 구비되고, 박막트랜지스터(TFT)와 기판(10) 사이에 광차단층(211)이 구비된다.
- [0043] 상세히, 기판(10)은 SiO<sub>2</sub>를 주성분으로 하는 글라스재로 형성될 수 있다. 물론 플라스틱재와 같은 다른 재질로 이루어질 수도 있다.
- [0044] 활성층(213)은 산화물 반도체를 포함할 수 있다. 산화물 반도체는 갈륨(Ga), 인(In), 아연(Zn), 하프늄(Hf) 및 주석(Sn) 군에서 선택된 하나 이상의 원소를 포함할 수 있다. 예를 들어, 활성층(213)은 InGaZnO, ZnSnO, InZnO, InGaO, ZnO, TiO, 및 HIZO(hafnium-indium-zinc oxide)에서 선택될 수 있다.
- [0045] 본 실시예에서 활성층(213)은 채널영역(213c)과, 채널영역(213c)외곽에 각각 배치된 소스영역(213a)과 드레인영역(213b)을 각각 구비할 수 있다. 소스영역(213a)과 드레인영역(213b)은 n+ 타입 또는 p+ 타입의 이온불순물이 도핑된 영역으로 전류이동도를 향상시켜 박막트랜지스터(TFT)의 소자 특성을 향상시킬 수 있다.
- [0046] 활성층(213) 상에 게이트 전극(215)이 구비되고, 활성층(213)과 게이트 전극(215) 사이에는 게이트 절연막으로 기능하는 제2절연층(14)이 구비된다.
- [0047] 제2절연층(14) 상에는 층간 절연막으로 기능하는 제3절연층(17)이 구비되고, 제3절연층(17) 상에는 소스전극(218a)과 드레인전극(218b)이 구비된다. 소스전극(218a)과 드레인전극(218b)은 제2절연층(14) 및 제3절연층(17)을 관통하여 형성된 개구(C2)를 통하여, 각각 활성층(213)의 소스영역(213a) 및 드레인영역(213b)에 접속된다.
- [0048] 상술한 산화물 반도체를 포함하는 박막트랜지스터(TFT)는 소자 특성이 우수하고, 저온에서 공정 진행이 가능하여 평판 표시용 백플레인에 최적의 소자로 평가되고 있다. 뿐만 아니라 산화물 반도체를 포함하는 박막트랜지스터(TFT)는 가시광선 영역에서 투명한 특성을 가질 뿐 아니라 유연하기 때문에, 투명 표시 장치나 플렉스블 표시 장치에도 적용될 수 있다. 그러나 산화물 반도체를 포함하는 박막트랜지스터(TFT)는 광에 취약한 문제가 있다.
- [0049] 그러나, 본 실시예에 따른 백플레인(1)은 기판(10)과 박막트랜지스터(TFT) 사이에, 더 상세하게는 기판(10)과 활성층(213) 사이에 광차단층(211)이 구비됨으로써, 박막트랜지스터(TFT)의 광 신뢰성을 향상시킬 수 있다. 따라서, 광차단층(211)은 광투과율이 작은 재료로 형성되는 것이 바람직하다.
- [0050] 한편, 소스전극(218a)과 드레인전극(218b) 중 하나는 개구(C3)를 통하여 화소전극부(PXL)의 화소 전극(111)에 접속된다. 본 실시예에서는 소스전극(218a)이 화소 전극(111)에 접속되는 것으로 도시되어 있으나, 이는 예시일 뿐이며, 화소전극(111)은 드레인전극(218b)에 접속될 수 있다.
- [0051] 한편, 본 실시예에 도시된 박막트랜지스터(TFT)는 소스 전극(218a)과 드레인 전극(218b) 중 하나가 화소 전극(111)에 직접 접속된 구동 박막트랜지스터(TFT)를 도시하고 있으나, 전술한 바와 같이 본 실시예에 따른 백플레인(1)에는 다른 박막트랜지스터가 더 구비될 수 있음은 물론이다.
- [0052] 화소 전극(111)은 전술한 광차단층(211)과 동일층에 동일 재료로 형성될 수 있다. 따라서, 화소 전극(111)도 광투과율이 작은 재료로 형성될 수 있다.
- [0053] 커패시터 영역(CAP)에는 기판(10) 상에, 제1절연층(12)을 사이에 두고 커패시터 제1전극(311)과 제2전극(313)이

구비된다.

- [0054] 제1전극(311)은 화소 전극(111) 및 광차단층(211)과 동일층에 동일 재료로 형성되고, 제2전극(313)은 활성층(213)과 동일층에 동일 재료로 형성될 수 있다. 제2전극(313)이 전술한 바와 같이 이온불순물이 도핑되어 있기 때문에, 이온불순물이 도핑되지 않은 경우보다 커패시터의 용량을 증가시킬 수 있다.
- [0055] 또한, 제1전극(311)이 광차단층(211)과 동일층에 형성되고, 제2전극(313)이 활성층(213)과 동일층에 형성됨으로써, 광차단층(211)과 활성층(213) 사이에 배치되어 연장된 제1절연층(12)이 커패시터의 유전막으로 기능한다. 즉, 본 실시예에서 게이트 절연막으로 기능하는 제2절연층(14)은 제2전극(313) 상에 배치되어, 커패시터의 유전막으로 기능하지 않는다.
- [0056] 산화물 반도체를 포함하는 박막트랜지스터(TFT)로 바텀 게이트(bottom gate) 구조가 많이 사용되는데, 일반적인 바텀 게이트 구조는 대면적 디스플레이를 구현하기가 어려운 점이 있다. 이하, 도 3을 참조하여 그 이유를 설명한다.
- [0057] 도 3은 본 발명의 비교예에 따른 바텀 게이트 구조의 평판 표시 장치용 백플레인의 화소를 개략적으로 도시한 단면도이다.
- [0058] 도 3을 참조하면, 기판(10) 상에 박막트랜지스터의 게이트 전극(21)과 커패시터의 제1전극(3)이 동일층에 동일 재료로 구비되고, 게이트 전극(21)과 제1전극(3) 상에 제1절연층(22)이 구비된다. 제1절연층(22) 상에 활성층(23)이 구비되고, 활성층(23) 상에 소스전극(25a)과 드레인전극(25b)이 구비된다. 활성층(23)과 소스전극(25a) 및 드레인전극(25b) 사이에는 제2절연층(24)이 구비되고, 제2절연층(24) 상에 커패시터의 제2전극(25)이 구비된다. 상기 소스전극(25a) 및 드레인전극(25b), 제2전극(35) 상에 제3절연층(26)이 구비되고, 제3절연층(26) 상에 화소 전극(27)이 구비된다. 제3절연층(26) 상에는 화소 전극(27)을 노출시키는 제4절연층(28)이 구비된다.
- [0059] 본 비교예와 같이, 게이트 전극(21)이 활성층(23)보다 하부에 위치한 바텀 게이트(bottom gate) 구조의 경우, 저저항 배선을 구현하기 위해서는 게이트 전극(21), 및 상기 게이트 전극(21)과 동일층에 형성되는 배선(미도시)의 두께를 두껍게 하여야 한다. 후속 공정에서 게이트 전극(21) 및 배선(미도시) 위에 다른 소자층 형성하기 위해서는 게이트 절연막의 기능을 하는 제1절연층(22)의 두께도 두꺼워지게 된다.
- [0060] 상기 비교예에서 제1절연층(22)은 게이트 절연막이자 동시에 커패시터의 유전막으로서 기능하기 때문에, 유전막의 두께가 두꺼워지고 커패시터의 정전용량이 감소한다. 특히, 갈수록 대형화 되는 추세에서 저저항 배선에 대한 요구가 커지고 있어, 충분한 커패시터 용량을 확보하기 어렵다.
- [0061] 그러나, 도 2를 참조하면, 본 실시예에 따른 평판 표시 장치용 백플레인(1)은, 게이트 절연막으로 기능하는 제2절연층(14)이 커패시터의 유전막으로 사용되지 않기 때문에, 게이트 전극(215), 및 상기 게이트 전극(215)과 동일층에 형성되는 배선(미도시)을 두껍게 하더라도 커패시터의 정전용량에는 영향을 끼치지 않는다.
- [0062] 커패시터의 유전막으로 기능하는 제1절연층(12)은 게이트 절연막으로 기능하는 제2절연층(14)보다 유전율이 큰 재료로 형성될 수 있다.
- [0063] 한편, 평판 표시 장치용 백플레인은 소정의 포토마스크 공정에 의해 제조되는데, 각 포토마스크 공정에서 패턴의 정밀한 얼라인을 위하여 백플레인의 외곽에 얼라인 키(align key)를 형성하여 사용한다.
- [0064] 상술한 본 실시예에 따른 백플레인(1)에 의하면, 산화물 반도체를 포함하는 활성층(213)이 게이트 전극(215)보다 하부에 형성되는데, 산화물 반도체로 얼라인 키를 형성하게 되면, 산화물 반도체가 투명하기 때문에 얼라인 키로 사용하기 어려운 문제가 있다.
- [0065] 그러나, 본 실시예에서 따르면, 얼라인 키 영역(AK)에 광차단층(211)과 동일한 재료를 얼라인 키(411)로 사용함으로써, 상술한 문제점을 해결할 수 있다. 물론, 얼라인 키(411)는 산화물 반도체를 포함하는 활성층(213)보다 광투과율이 작은 재료로 형성되는 것이 바람직하다.
- [0066] 한편, 도 1에는 얼라인 키(411)의 형상으로 십자형(+)이 도시되어 있으나, 이는 예시로서 사용된 것이며, 본 발명은 이에 한정되지 않으며 얼라인 키(411)는 다양한 형상으로 형성될 수 있다.
- [0067] 또한, 도 2는 제1전극(311)과 제2전극(313)이 구비된 커패시터를 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 커패시터의 용량을 증가시키기 위하여, 제3전극(미도시)이 병렬로 더 구비될 수 있다. 이 때, 제3전극(미도시)은 소스전극(218a) 및 드레인전극(218b)과 동일층에 동일재료로 형성될 수 있다.

- [0068] 이하, 도 4a 내지 4f를 참조하여 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제조 방법을 설명한다.
- [0069] 도 4a는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0070] 도 4a를 참조하면, 기판(10) 상에 화소 전극(111), 광차단층(211), 커패시터의 제1전극(311), 및 얼라인 키(411)가 제1마스크 공정에서 형성된다. 상기 도면에는 도시되어 있지 않으나, 기판(10)과, 화소 전극(111), 광차단층(211), 제1전극(311), 및 얼라인 키(411)의 사이에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등을 포함하는 버퍼층(미도시)이 더 구비될 수 있다.
- [0071] 한편, 상기 도면에는 제조 과정이 상세히 도시되어 있지 않지만, 기판(10) 상에는 광차단층을 형성하는 층(미도시)이 증착되고, 광차단층을 형성하는 층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1마스크(미도시)를 이용한 포토리소그래피 공정에 의해 화소 전극(111), 광차단층(211), 제1전극(311)과, 얼라인 키(411)가 동시에 패터닝 된 것이다. 포토리소그래피에 의한 제1마스크 공정은 제1마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(striping) 또는 에칭(ashing) 등과 같은 일련의 공정을 거쳐 진행된 것이다. 이하, 후속 마스크 공정에서 동일 내용에 대한 설명은 생략하기로 한다.
- [0072] 도 4b는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0073] 제1마스크 공정의 결과물 상에 제1절연층(12)을 형성하고, 제1절연층(12) 상에 산화물 반도체층(13)을 형성한 후, 산화물 반도체층(13)을 패터닝하여 박막트랜지스터의 활성층(213), 커패시터의 제2전극(313)을 각각 형성한다. 이때, 얼라인 키 영역(AK)에는, 광차단층(311)과 동일 재료로 형성된 얼라인 키(411)가 제2마스크 공정의 얼라인 키로서 기능할 수 있다.
- [0074] 도 4c는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0075] 제2마스크 공정의 결과물 상에 제2절연층(14)을 형성하고, 제2절연층(14) 상에 도전층(미도시)을 형성한 후, 상기 도전층(미도시)을 패터닝하여 게이트 전극(215) 및 배선층(미도시)을 형성한다.
- [0076] 전술한 바와 같이, 게이트 전극(215)과 게이트 전극(215)과 동일층에 형성된 배선(미도시)을 두껍게 형성하더라도, 게이트 절연막인 제2절연층(14)이 커패시터의 유전막으로는 기능하지 않기 때문에 커패시터의 정전용량의 감소를 방지할 수 있다.
- [0077] 게이트 전극(215) 형성 후, 게이트 전극(215)을 셀프얼라인(self-align) 마스크로 하여 활성층(213)의 소스영역(213a) 및 드레인영역(213b)에 이온불순물을 도핑 할 수 있다. 이때 활성층(213)과 동일층에 형성되는 커패시터의 제2전극(313)도 이온 불순물로 도핑 된다. 박막트랜지스터는 이온불순물이 도핑된 영역에서 전류이동도를 향상시켜 소자 특성을 향상시킬 수 있고, 이온불순물이 도핑된 커패시터의 제2전극(313)은 커패시터의 정전용량을 향상시킬 수 있다.
- [0078] 한편, 얼라인 키 영역(AK)에서, 얼라인 키(411) 위에는 투명한 산화물 반도체층(13)이 형성되어 있으므로, 얼라인 키(411)는 여전히 제3마스크 공정의 얼라인 키로 사용될 수 있다.
- [0079] 한편, 상기 도면에는 얼라인 키 영역(AK)에서, 얼라인 키(411) 위에 산화물 반도체층(13)이 남아있는 모습을 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 즉, 산화물 반도체층(13)은 제거될 수도 있다. 그러나, 산화물 반도체층(13)이 제거되지 않더라도, 전술한 바와 같이 산화물 반도체층(13)이 투명하므로, 얼라인 키(411)는 여전히 제3마스크 공정의 얼라인 키로 사용될 수 있다.
- [0080] 도 4d는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0081] 제3마스크 공정의 결과물 상에 제3절연층(17)을 형성하고, 개구(C1, C2, C3)를 형성한다. 화소전극부(PXL)에서는 제1절연층(12), 제2절연층(14) 및 제3절연층(17)을 제거하여 화소전극(111) 상부를 노출시키는 개구(C1, C3)를 형성한다. 트랜지스터영역(TR)에서는 제2절연층(14)과 제4절연층(17)을 제거하여 소스영역(213a) 및 드레인영역(213b)의 상부를 노출시키는 개구(C2)를 형성한다.

- [0082] 도 4e는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0083] 제4마스크 공정에서 형성된 개구(C1, C2, C3)을 덮도록 소스 및 드레인 전극의 재료를 증착하고 이를 패터닝하여, 소스전극(218a) 및 드레인전극(218b)을 형성한다. 이때, 상기 도면에는 도시되어 있지 않으나, 제3절연층(17) 상에 커패시터의 제3전극(미도시)이 더 형성될 수 있다.
- [0084] 도 4f는 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제6마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0085] 제5마스크 공정의 결과물 상에 제4절연층(19)을 형성하고, 제4절연층(19)의 일부를 제거하여 화소 전극(111) 상부를 노출시키는 개구(C4)를 형성한다.
- [0086] 상술한 바와 같이, 본 실시예에 따른 평판 표시 장치용 백플레인(1)의 제조 방법에 의하면, 총 6회의 마스크 공정으로 비교적 간단하게 평판 표시 장치용 백플레인(1)을 제조할 수 있다.
- [0087] 상술한 방법에 의해 형성된 평판 표시 장치용 백플레인(1)은, 표시 영역(D) 별로 복수의 평판 표시 장치로 각각 분리되고, 이때, 백플레인(1)의 외곽에 형성된 얼라인 키 영역(AK)은 최종 평판 표시 장치에는 남지 않는다.
- [0088] 도 5는 전술한 실시예에 따른 백플레인(1)의 표시 영역(D)이 분리되어 형성된 유기 발광 표시 장치(100)의 일 화소(P)를 개략적으로 도시한 단면도이다.
- [0089] 유기 발광 표시 장치(100)는 전술한 도 2의 화소(P)에 유기 발광층(120)과 대향 전극(121)이 더 구비된 것이다.
- [0090] 화소 전극(111) 상에는 유기 발광층(120)이 형성되고, 유기 발광층(120) 상에는 공통 전극으로 대향 전극(121)이 형성된다. 본 실시예에 따른 유기 발광 표시 장치(100)의 경우, 화소 전극(111)은 애노드로 사용되고, 대향 전극(121)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0091] 유기 발광층(120)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(120)이 저분자 유기물일 경우, 유기 발광층(120)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(120)이 고분자 유기물일 경우, 유기 발광층(120) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0092] 유기 발광층(120)에서 방출된 광은 기관(10)측으로 방출되거나 또는 기관(10)의 반대측으로 방출될 수 있다. 대향 전극(121)이 공통 전극으로 형성되는 경우, 대향 전극(121)의 전압 강하에 의해 각 화소에 인가되는 전류의 크기가 달라지는 문제가 있다. 특히, 표시 장치가 대형화 될 수를 전압 강하도 증가하기 때문에, 대향 전극(121)의 저항을 낮게 형성할 필요가 있다.
- [0093] 대향 전극(121)의 저항을 낮추기 위한 방법으로, 대향 전극(121)의 재료를 저저항 재료로 형성하거나 대향 전극(121)의 두께를 두껍게 하는 방법이 있다. 본 실시예에서, 대향 전극(121)으로 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 저저항 재료로 형성하고, 이를 소정 두께로 형성하였다. 이때 대향 전극(121)은 반사 전극으로 기능할 수 있다.
- [0094] 한편, 화소 전극(111)은 광차단층(211) 및 얼라인 키(411, 도 2참조)로 기능하기 때문에 광투과율이 작은 재료로 형성되는 것이 바람직하다. 예를 들어, 화소 전극(111)은 반투과 금속층(111b)을 포함할 수 있다. 화소 전극(111)은 투명 도전성 산화물을 포함하는 제1층(111a), 반투과금속층(111b) 및 투명 도전성 산화물을 포함하는 제2층(111c)을 포함하는 복수층으로 형성될 수 있다. 여기서, 제1층(111a) 및 제3층(111c)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 반투과 금속층

(111b)은 은(Ag)을 포함할 수 있다.

- [0095] 상술한 바와 같이, 화소 전극(111)이 반투과금속층(111b)을 포함하고, 대향 전극(121)이 반사 전극으로 형성될 경우, 화소 전극(111)과 대향 전극(121)은 각각 반투과 거울 및 반사 거울로 기능하여 공진 구조를 형성함으로써 유기 발광 표시 장치(100)의 광 추출 효율을 높일 수 있다. 즉, 유기 발광층(120)에서 방출된 광은 대향 전극(121)과 화소 전극(111) 사이에서 공진된 후, 화소 전극(111)을 통하여 기관(10) 측으로 방출된다.
- [0096] 이하, 도 6을 참조하여 본 발명의 다른 실시예에 따른 평판 표시 장치용 백플레인(2)을 개략적으로 설명한다.
- [0097] 도 6은 본 발명의 다른 실시예에 따른 평판 표시 장치용 백플레인(2)의 화소(P) 및 얼라인 키 영역(AK)을 개략적으로 도시한 단면도이다. 이하, 전술한 실시예와의 차이점을 중심으로 본 실시예를 설명한다.
- [0098] 도 6을 참조하면, 트랜지스터 영역(TR)에는 기관(10) 상에 활성층(213), 게이트 전극(215), 및 소스전극(218a)과 드레인전극(218b)를 포함하는 박막트랜지스터(TFT)가 구비되고, 박막트랜지스터(TFT)와 기관(10) 사이에 광차단층(211)이 구비된다. 활성층(213)은 채널영역(213c)과, 채널영역(213c)외곽에 각각 배치되고 이온불순물이 도핑된 소스영역(213a)과 드레인영역(213b)를 구비하고, 채널영역(213c) 상부에는 게이트 전극(215)이 구비된다.
- [0099] 본 실시예에서, 채널영역(213c)과 게이트 전극(215) 사이에 구비된 제2절연층(14)은 채널영역(213c)에 대응되는 위치에만 형성되고, 전술한 실시예와는 달리 커패시터의 제2전극(313) 상부에는 형성되지 않는다.
- [0100] 대신에, 본 실시예에서는 게이트 전극(215)과 제3절연층(17) 사이에 금속산화물층(16)이 더 구비된다. 금속산화물층(16)은 금속을 포함하는 층(미도시)을 열처리하여 소스영역(213a)과 드레인영역(213b), 활성층(313) 및 산화물 반도체층(13)의 이온 불순물의 농도를 증가시킨다.
- [0101] 도 7a 내지 7c는 본 실시예에 따른 백플레인의 제3마스크 공정을 도시한 단면도이다. 제1마스크 공정 및 제2마스크 공정은 전술한 실시예와 동일하다.
- [0102] 도 7a를 참조하면, 제2마스크 공정의 결과물(도 4b 참조) 상에 제2절연층(14) 및 게이트 전극의 재료가 되는 층(15)을 차례로 증착하고, 이를 동시에 패터닝한다.
- [0103] 도 7b를 참조하면, 게이트 전극(215)에 대응되는 영역에만 제2절연층(14)을 남기고, 나머지 영역에서는 제2절연층(14)을 제거한다. 이때, 게이트 전극(215)과 제2절연층(14)이 동시에 식각되므로 그 식각면이 동일하게 형성된다.
- [0104] 도 7c를 참조하면, 도 7b의 결과물 상에 금속을 포함하는 층(미도시)을 증착하여 열공정(ANNEALING)을 실시한다. 열공정에 의해 금속산화물층(16)이 형성된다. 열공정 및 금속산화물층(16)에 의해 소스영역(213a)과 드레인영역(213b), 활성층(313) 및 얼라인 키 영역(AK)의 산화물 반도체층(13)의 이온 불순물의 농도를 증가시킨다. 이러한 금속산화물층(16)은 다양한 금속이 선택될 수 있으며, 대표적으로 알루미늄(Al)을 포함할 수 있다.
- [0105] 본 실시예에 따르면, 도핑 공정을 대신에 금속산화물층(16)을 이용하여 산화물 반도체의 이온 불순물을 증가시킬 수 있다. 또한 금속산화물층(16)은 외부의 불순물의 침투를 막아 활성층(213)을 보호하는 보호층으로도 기능할 수 있다.
- [0106] 다시 도 6을 참조하면, 금속산화물층(16) 상에는 층간 절연막으로 기능하는 제3절연층(17)이 구비되고, 제3절연층(17) 상에는 소스전극(218a)과 드레인전극(218b)이 구비된다. 소스전극(218a)과 드레인전극(218b)은 금속산화물층(16) 및 제3절연층(17)을 관통하여 형성된 개구(C2)를 통하여 각각 활성층(213)의 소스영역(213a) 및 드레인영역(213b)에 접속된다.
- [0107] 본 실시예에서도 전술한 실시예와 마찬가지로 기관(10)과 박막트랜지스터(TFT) 사이에, 더 상세하게는 기관(10)과 활성층(213) 사이에 광차단층(211)이 구비됨으로써, 박막트랜지스터(TFT)의 광 신뢰성을 향상시킬 수 있다.
- [0108] 커패시터 영역(CAP)에는 기관(10) 상에, 제1절연층(12)을 사이에 두고 커패시터 제1전극(311)과 제2전극(313)이 구비되고, 제2전극(313)은 이온불순물을 포함하기 때문에 이온불순물이 도핑되지 않은 경우보다 커패시터의 용량을 증가시킬 수 있다.
- [0109] 또한, 게이트 절연막으로 기능하는 제2절연층(14)이 커패시터에는 배치되지 않기 때문에, 제2절연층(14)의 박막

트랜지스터(TFT)의 특성만 고려하여 설계될 수 있다. 즉, 게이트 절연막으로 기능하는 제2절연층(14)이 커패시터의 유전막으로 기능하지 않기 때문에, 게이트 전극(215) 및 게이트 전극(215)에 동일층에 형성되는 배선(미도시)을 두껍게 하더라도 커패시터의 정전용량에는 영향을 끼치지 않는다.

- [0110] 또한, 얼라인 키 영역(AK)에 광차단층(211)과 동일한 재료를 산화물 반도체를 포함하는 층(13) 하부에 얼라인 키(411)로 패터닝하여 사용함으로써, 마스크 공정을 원활히 진행할 수 있다.
- [0111] 도 8은 본 발명의 또 다른 실시예에 따른 평판 표시 장치용 백플레인(3)의 화소(P) 및 얼라인 키 영역(AK)을 개략적으로 도시한 단면도이다. 이하, 전술한 실시예드과의 차이점을 중심으로 본 실시예를 설명한다.
- [0112] 도 8을 참조하면, 트랜지스터 영역(TR)에는 기판(10) 상에 게이트 전극(215), 활성층(213), 및 소스전극(218a)과 드레인전극(218b)를 포함하는 박막트랜지스터(TFT)가 구비되고, 박막트랜지스터(TFT)와 기판(10) 사이에 광차단층(211)이 구비된다. 활성층(213)은 채널영역(213c)과, 채널영역(213c) 외곽에 각각 배치되고 이온불순물이 도핑된 소스영역(213a)과 드레인영역(213b)를 구비하고, 채널영역(213c) 하부에는 게이트 전극(215)이 구비된다. 전술한 실시예와 달리, 본 실시예에 따른 박막 트랜지스터(TFT)는 게이트 전극(215)이 활성층(213) 하부에 배치되는 바텀 게이트 구조이다.
- [0113] 그러나, 본 실시예에서도 전술한 실시예와 마찬가지로 기판(10)과 박막트랜지스터(TFT) 사이에, 더 상세하게는 기판(10)과 게이트 전극(215) 사이에 광차단층(211)이 구비됨으로써, 박막트랜지스터(TFT)의 광 신뢰성을 향상시킬 수 있다.
- [0114] 커패시터 영역(CAP)에는 기판(10) 상에, 제1절연층(12)을 사이에 두고 커패시터 제1전극(311)과 제2전극(313)이 구비되고, 제1전극(311)은 광차단층(211)과 동일층에 동일재료로 형성되고, 제2전극(313)은 게이트 전극(215)과 동일층에 동일재료로 형성되므로, 이온 불순물이 도핑되지 않은 산화물 반도체를 일 전극으로 포함하는 커패시터에 비하여 전기용량을 증가시킬 수 있다.
- [0115] 또한, 게이트 절연막으로 기능하는 제2절연층(14)이 커패시터의 제2전극(313) 상부에 배치되어 커패시터의 유전막으로는 사용되지 않기 때문에, 제2절연층(14)은 박막트랜지스터(TFT)의 특성만 고려하여 설계될 수 있다. 즉, 게이트 절연막으로 기능하는 제2절연층(14)이 커패시터의 유전막으로 기능하지 않기 때문에, 게이트 전극(215) 및 게이트 전극(215)에 동일층에 형성되는 배선(미도시)을 두껍게 하더라도 커패시터의 정전용량에는 영향을 끼치지 않는다.
- [0116] 또한, 얼라인 키 영역(AK)에 광차단층(211)과 동일한 재료를 산화물 반도체를 포함하는 층(13) 하부에 얼라인 키(411)로 패터닝하여 사용함으로써, 마스크 공정을 원활히 진행할 수 있다.
- [0117] 한편, 도 6 및 도 8에 따른 평판 표시 장치용 백플레인(2, 3)은, 표시 영역(D, 도 1 참조) 별로 분리되어, 각 화소(P)에 유기 발광층(120, 도 5참조)과 대향 전극(121, 도 5참조)이 더 구비된 유기 발광 표시 장치(미도시)에도 각각 적용될 수 있다.
- [0118] 상술한 설명들은 유기 발광 표시 장치를 중심으로 기술되었으나, 본 발명은 이에 한정되지 않는다. 예를 들어, 본 발명은 유기 발광층 대신에 액정이 구비된 액정 표시 장치에 적용될 수 있음은 물론이다. 이외 다른 표시 장치에도 적용될 수 있다.
- [0119] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

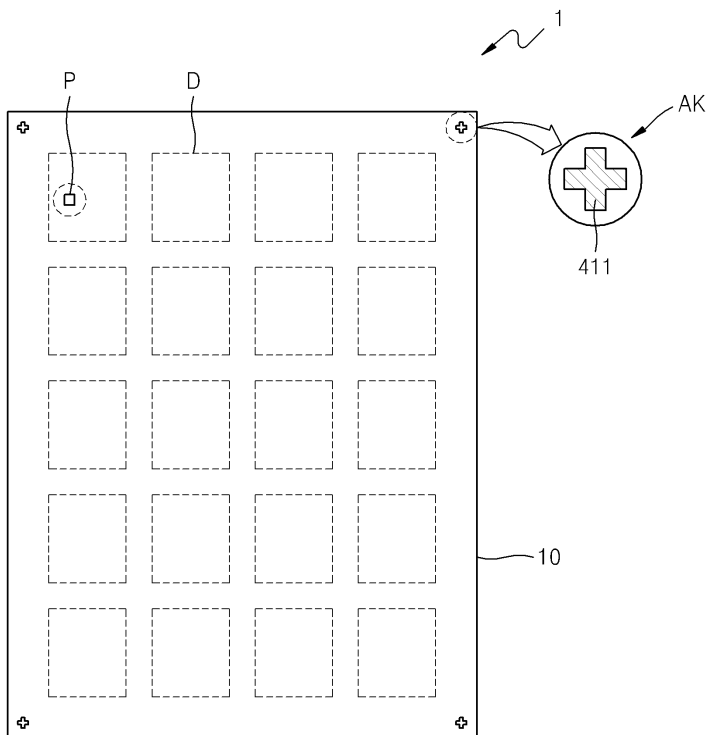
- [0120] 1: 표시 장치용 백플레인
- 10: 기판
- 14: 제2절연층
- 19: 제4절연층
- 211: 광차단층
- 213a: 소스영역

- 12: 제1절연층
- 17: 제3절연층
- 111: 화소 전극
- 213: 활성층
- 213b: 드레인영역

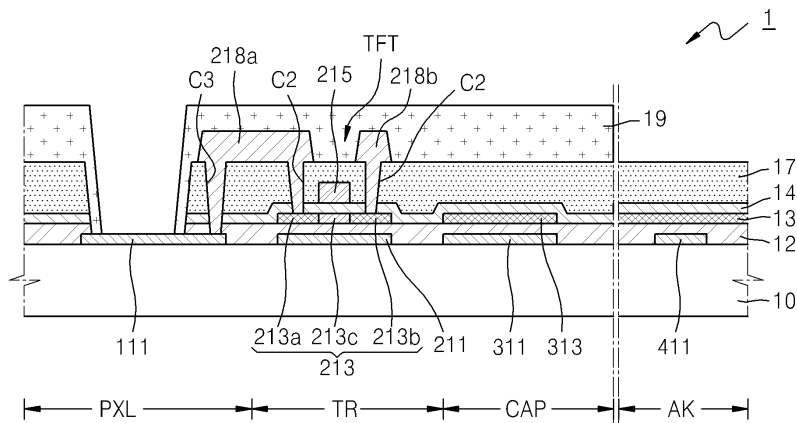
- |              |              |
|--------------|--------------|
| 213c: 채널영역   | 218a: 소스전극   |
| 218b: 드레인전극  | 311: 제1전극    |
| 313: 제2전극    | 411: 얼라인 키   |
| 210: 유기 발광층  | 121: 대향 전극   |
| PXL: 화소전극부   | TR: 트랜지스터 영역 |
| CAP: 커패시터 영역 | C1~C4: 개구    |

도면

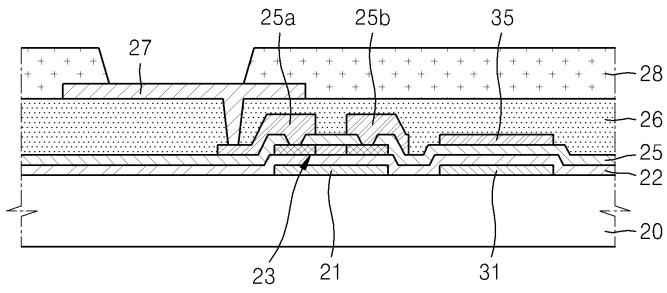
도면1



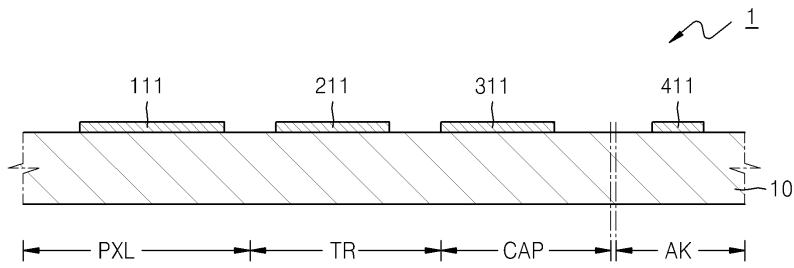
도면2



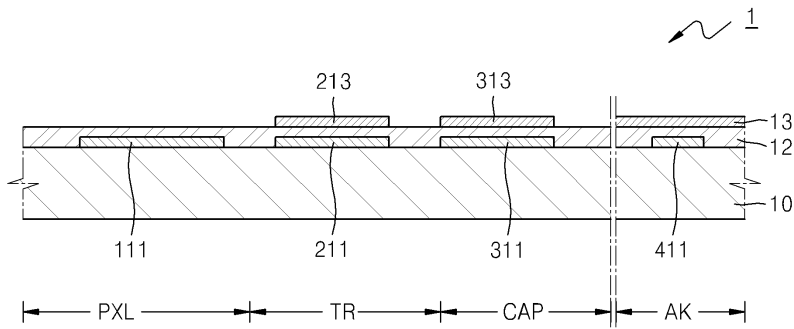
도면3



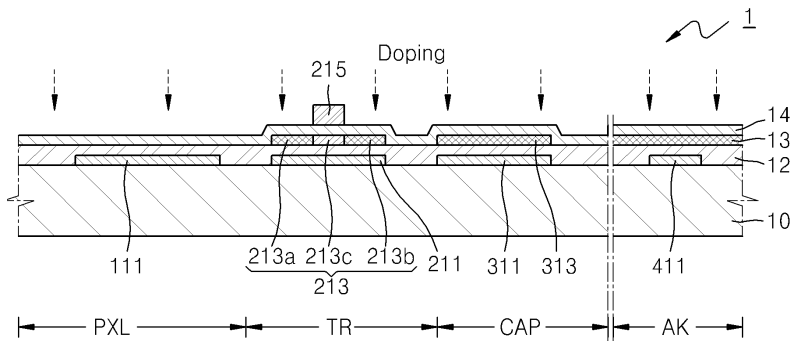
도면4a



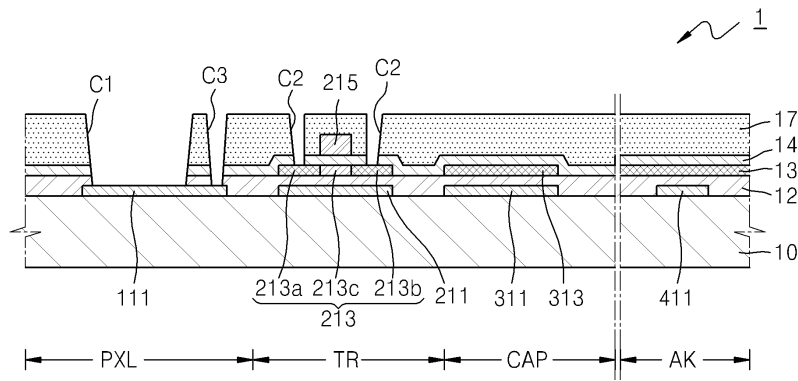
도면4b



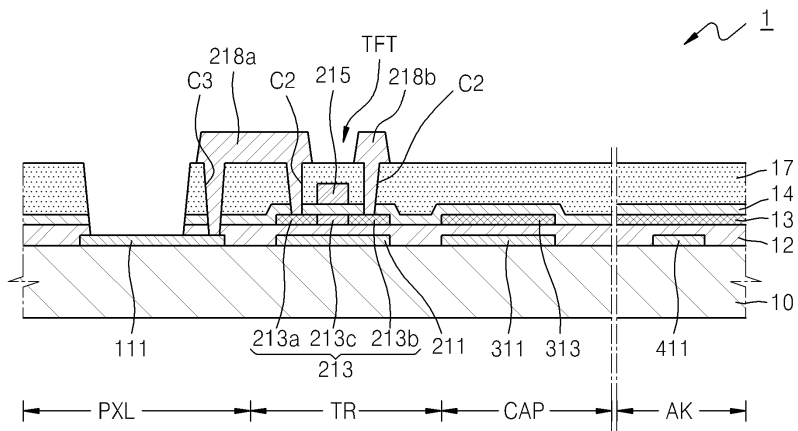
도면4c



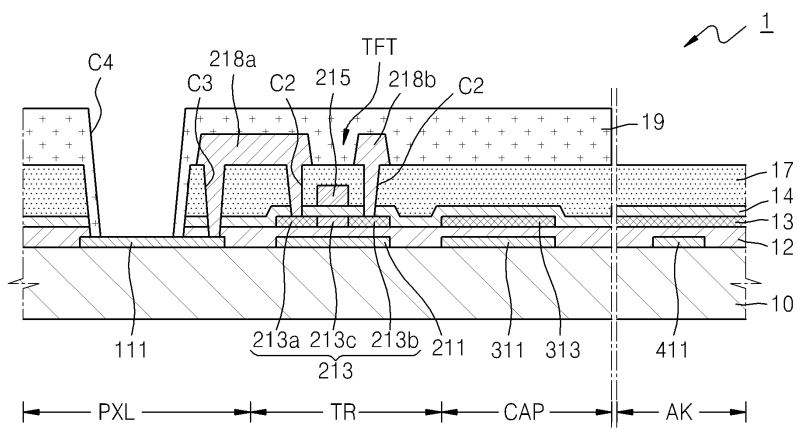
도면4d



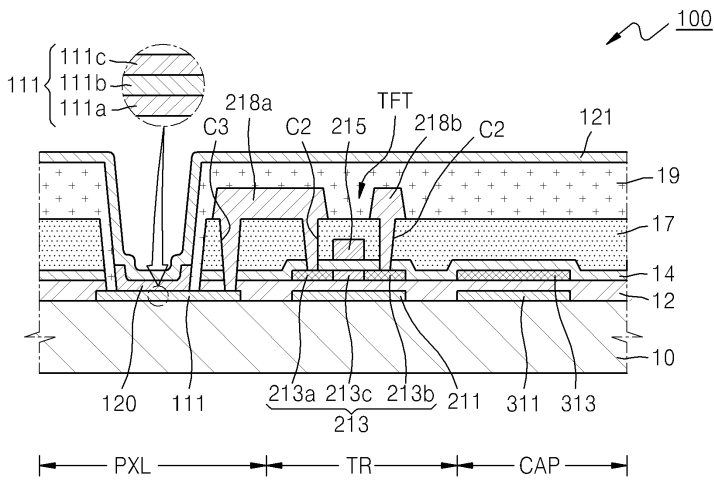
도면4e



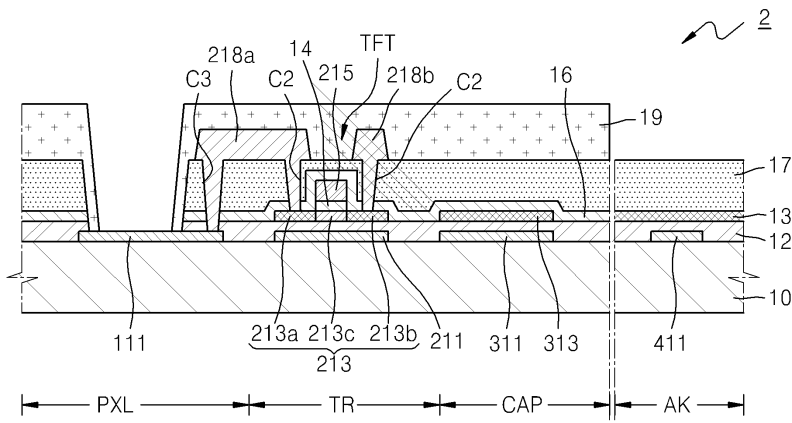
도면4f



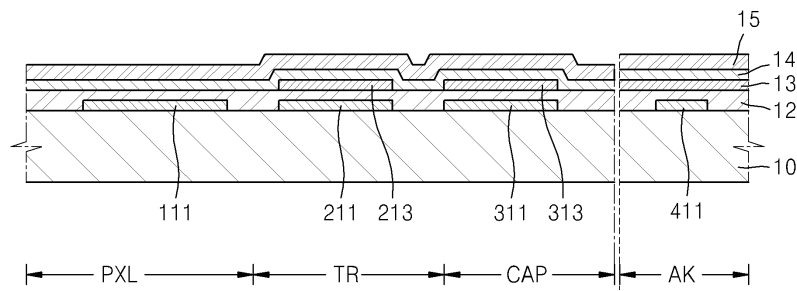
도면5



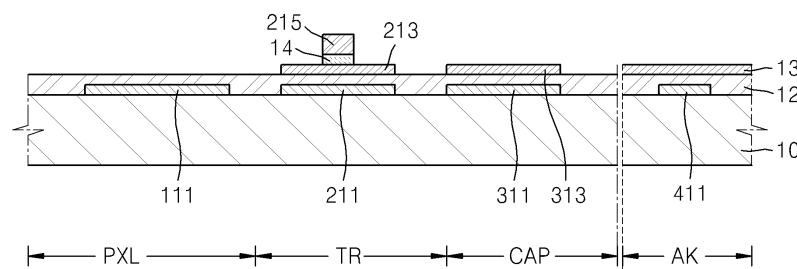
도면6



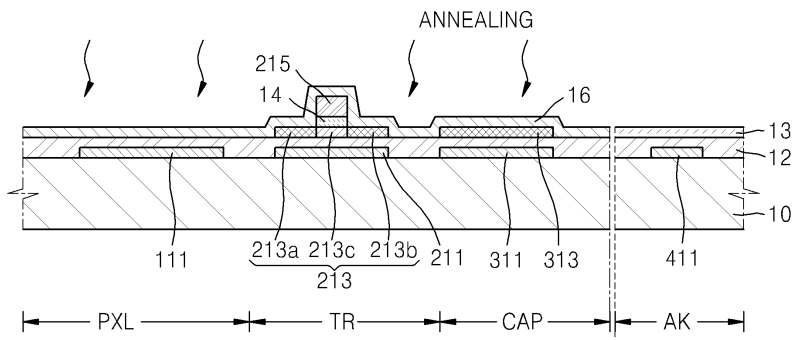
도면7a



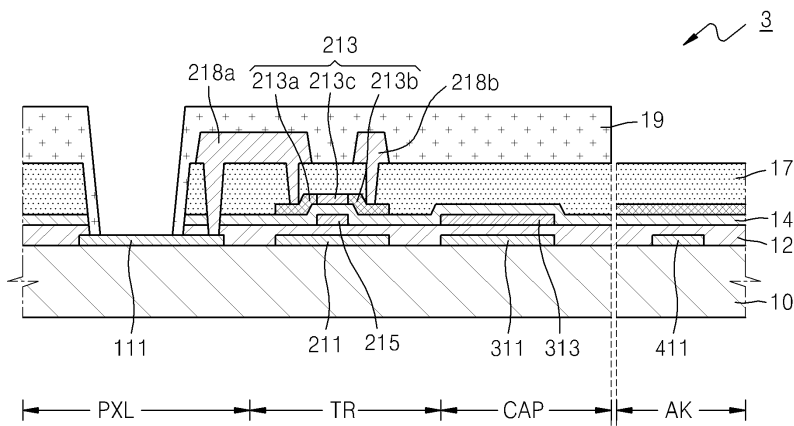
도면7b



도면7c



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1 및 13

【변경전】

"상기 상기 제1전극"

【변경후】

"상기 제1전극"

专利名称(译)	用于平板显示器的背板，制造背板的方法，以及包括背板的有机发光显示器		
公开(公告)号	<a href="#">KR101912406B1</a>	公开(公告)日	2019-01-07
申请号	KR1020120038168	申请日	2012-04-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	권도현 이일정 임충열 고무순 윤주원 우민우		
发明人	권도현 이일정 임충열 고무순 윤주원 우민우		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/3258 H01L27/1225 H01L27/1255 H01L27/3262 H01L27/3265 H01L27/3272 H01L29/24 H01L29/78633 H01L29/7869 H01L33/0041 H01L51/52		
审查员(译)	Jeongmyeong周		
其他公开文献	KR1020130115657A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种用于平板显示设备的底板，包括：基板上的薄膜晶体管（TFT），包括有源层，栅电极，源电极和漏电极；基板与TFT之间的遮光层；挡光层与TFT之间的第一绝缘层；电容器，其包括与遮光层在同一平面上的第一电极和在第一电极上的第二电极，其中第一绝缘层在第一电极和第二电极之间；像素电极位于与遮光层相同的平面上。

