



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월16일
(11) 등록번호 10-1833235
(24) 등록일자 2018년02월22일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0070027
(22) 출원일자 2011년07월14일
심사청구일자 2016년07월13일
(65) 공개번호 10-2013-0009137
(43) 공개일자 2013년01월23일
(56) 선행기술조사문헌
KR1020090116131 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이준우
경기도 용인시 기흥구 삼성2로 95 (농서동)
최재범
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 31 항

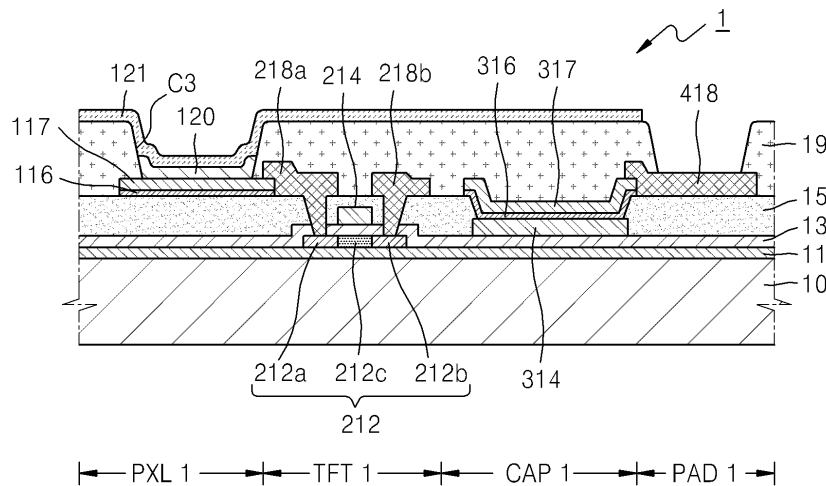
심사관 : 하정균

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 기판 상에 배치되고, 활성층, 게이트 극, 소스 전극 및 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2절연층을 포함하는 박막 트랜지스터; 상기 제1절연층 및 상기 제2절연층 상에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결되는 화소 전극; 상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 화소 전극과 동일 재료를 포함하는 상부 전극을 포함하는 커패시터; 상기 제2절연층과 상기 화소 전극 사이, 및 상기 하부 전극과 상기 상부 전극 사이에 직접 배치된 제3절연층; 및 상기 소스 전극 및 드레인 전극 및 상기 상부 전극을 덮고 상기 화소 전극을 노출하는 제4절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



(72) 발명자

정관욱

경기도 용인시 기흥구 삼성2로 95 (농서동)

오재환

경기도 용인시 기흥구 삼성2로 95 (농서동)

진성현

경기도 용인시 기흥구 삼성2로 95 (농서동)

김광해

경기도 용인시 기흥구 삼성2로 95 (농서동)

최중현

경기도 용인시 기흥구 삼성2로 95 (농서동)

(56) 선행기술조사문헌

JP2007188895 A*

KR1020100028925 A*

KR1020040037889 A*

KR1020050070438 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2절연층을 포함하는 박막 트랜지스터;

상기 제1절연층 및 상기 제2절연층 상에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결되는 화소 전극;

상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 화소 전극과 동일 재료를 포함하는 상부 전극을 포함하는 커패시터;

상기 제2절연층과 상기 화소 전극 사이, 및 상기 하부 전극과 상기 상부 전극 사이에 직접 배치된 제3절연층; 및

상기 소스 전극 및 드레인 전극 및 상기 상부 전극을 덮고 상기 화소 전극을 노출하는 제4절연층;을 포함하고, 상기 화소 전극과 상기 제3절연층은 동일한 식각면을 갖는 박막 트랜지스터 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 제1절연층은 상기 활성층 상부 및 상기 하부 전극 하부에 공통으로 배치되는 박막 트랜지스터 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 제2절연층은 상기 상부 전극 및 하부 전극 사이에 배치되지 않는 박막 트랜지스터 어레이 기관.

청구항 4

제 1 항에 있어서,

상기 제3절연층의 두께는 상기 제2절연층의 두께보다 얇은 박막 트랜지스터 어레이 기관.

청구항 5

제 4 항에 있어서,

상기 제3절연층의 두께는 500 옴스트롱(Å) 이상 2000 옴스트롱(Å) 이하인 박막 트랜지스터 어레이 기관.

청구항 6

제 1 항에 있어서,

상기 제3절연층의 유전율은 상기 제1절연층의 유전율보다 큰 박막 트랜지스터 어레이 기관.

청구항 7

제 1 항에 있어서,

상기 제3절연층은 SiNx, SiO₂, ZrO₂, TiO₂, Ta₂O₅, Al₂O₃를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 박막 트랜지스터 어레이 기관.

청구항 8

제 1 항에 있어서,

상기 화소 전극과 상기 기판 사이에 상기 제1절연층, 상기 제2절연층 및 상기 제3절연층의 순으로 배치되고, 상기 인접하는 절연층의 굴절률이 서로 다른 박막 트랜지스터 어레이 기판.

청구항 9

제 1 항에 있어서,

상기 화소 전극은 투명 도전성 산화물(TCO)을 포함하는 박막 트랜지스터 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 투명 도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함하는 박막 트랜지스터 어레이 기판.

청구항 11

제 9 항에 있어서,

상기 화소 전극은 반투과 금속층을 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 12

제 11 항에 있어서,

상기 반투과 금속층은 상기 투명 도전성 산화물을 포함하는 층 상에 배치되는 박막 트랜지스터 어레이 기판.

청구항 13

제 11 항에 있어서,

상기 반투과 금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택된 적어도 하나를 포함하는 박막 트랜지스터 어레이 기판.

청구항 14

제 11 항에 있어서,

상기 반투과 금속층 상에 보호층이 더 구비된 박막 트랜지스터 어레이 기판.

청구항 15

제 14 항에 있어서,

상기 보호층은 투명 도전성 산화물을 포함하는 박막 트랜지스터 어레이 기판.

청구항 16

삭제

청구항 17

기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2절연층을 포함하는 박막 트랜지스터;

상기 제1절연층 및 상기 제2절연층 상에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결되는 화소 전극;

상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 화소 전극과 동일 재료를 포함하는 상부 전극을 포함하는 커패시터;

상기 제2절연층과 상기 화소 전극 사이, 및 상기 하부 전극과 상기 상부 전극 사이에 직접 배치된 제3절연층; 및

상기 소스 전극 및 드레인 전극 및 상기 상부 전극을 덮고 상기 화소 전극을 노출하는 제4절연층;을 포함하고, 상기 상부 전극과 상기 제3절연층은 동일한 식각면을 갖는 박막 트랜지스터 어레이 기판

청구항 18

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극 중 상기 화소 전극과 연결되는 접속부는 상기 화소 전극보다 위에 배치되는 박막 트랜지스터 어레이 기판.

청구항 19

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극은 상기 화소 전극 및 상기 상부 전극과 식각률이 다른 재료를 포함하는 박막 트랜지스터 어레이 기판.

청구항 20

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극과 동일 재료로 이루어진 패드 전극을 더 포함하는 박막 트랜지스터 어레이 기판.

청구항 21

제 20 항에 있어서,

상기 패드 전극은 상기 소스 전극 및 드레인 전극과 동일층에 배치된 박막 트랜지스터 어레이 기판.

청구항 22

기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2절연층을 포함하는 박막 트랜지스터;

상기 제1절연층 및 상기 제2절연층 상에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결되는 화소 전극;

상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 화소 전극과 동일 재료를 포함하는 상부 전극을 포함하는 커패시터;

상기 제2절연층과 상기 화소 전극 사이, 및 상기 하부 전극과 상기 상부 전극 사이에 직접 배치된 제3절연층;

상기 소스 전극 및 드레인 전극 및 상기 커패시터를 덮고 상기 화소 전극을 노출하는 제4절연층;

상기 화소 전극 상에 배치된 유기 발광층; 및

상기 유기 발광층 상에 배치된 대향 전극;을 포함하고,

상기 화소 전극과 상기 제3절연층은 동일한 식각면을 갖는 유기 발광 표시 장치.

청구항 23

제 22 항에 있어서,

상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사 전극인 유기 발광 표시 장치.

청구항 24

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1마스크 공정;

제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 적층하고, 상기 제1도전층을 패터닝하여 박막 트랜지스터의 게이트 전극, 및 커패시터의 하부 전극을 형성하는 제2마스크 공정;

제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역 및 상기 커패시터의 하부 전극을 노출시키도록 개구를 형성하는 제3마스크 공정;

상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 화소 전극 및 상기 커패시터의 하부 전극상에 직접 배치되는 유전막 및 커패시터의 상부 전극을 형성하는 제4마스크 공정;

상기 제4마스크 공정 결과물 상에 제3도전층을 형성하고, 상기 제3도전층을 패터닝하여 소스 전극 및 드레인 전극을 형성하는 제5마스크 공정; 및

제4절연층을 형성하고, 상기 화소 전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 25

제 24 항에 있어서,

상기 제2마스크 공정 후, 상기 소스 영역 및 드레인 영역에 이온 불순물을 도핑하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 26

제 24 항에 있어서,

상기 제4마스크 공정은 상기 제3절연층을 식각하는 제1식각 공정, 상기 제2도전층을 식각하는 제2식각 공정을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 27

제 24 항에 있어서,

상기 제5마스크 공정에서, 상기 제3도전층은 상기 제2도전층과 식각률이 다른 재료로 형성되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 28

제 24 항에 있어서,

상기 제5마스크 공정에서, 상기 소스 전극 및 드레인 전극과 동일 재료를 포함하는 패드 전극을 더 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 29

제 24 항에 있어서,

상기 제4마스크 공정에서, 상기 제2도전층은 투명 도전층 및 반투명 도전층이 차례로 적층되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 30

제 29 항에 있어서,

상기 반투명 도전층 상에 보호층이 더 형성되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 31

제 24 항에 있어서,

상기 제3절연층은 상기 제2절연층보다 얇은 두께로 형성되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 32

제 24 항에 있어서,

상기 제3절연층은 상기 제1절연층보다 유전율이 큰 재료로 형성되는 박막 트랜지스터 어레이 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 기판 상에 배치되고, 활성층, 게이트 극, 소스 전극 및 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2절연층을 포함하는 박막 트랜지스터; 상기 제1절연층 및 상기 제2절연층 상에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결되는 화소 전극; 상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 화소 전극과 동일 층을 포함하는 상부 전극을 포함하는 커패시터; 상기 제2절연층과 상기 화소 전극 사이, 및 상기 하부 전극과 상기 상부 전극 사이에 직접 배치된 제3절연층; 및 상기 소스 전극 및 드레인 전극 및 상기 상부 전극을 덮고 상기 화소 전극을 노출하는 제4절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

[0008] 상기 제1절연층은 상기 활성층 상부 및 상기 하부 전극 하부에 공통으로 배치될 수 있다.

[0009] 상기 제2절연층은 상기 상부 전극 및 하부 전극 사이에 배치되지 않을 수 있다.

[0010] 상기 제3절연층의 두께는 상기 제2절연층의 두께보다 얇을 수 있다.

[0011] 상기 제3절연층의 두께는 500 옴스트롱(Å) 이상 2000 옴스트롱(Å) 이하일 수 있다.

- [0012] 상기 제3절연층의 유전율은 상기 제1절연층의 유전율보다 클 수 있다.
- [0013] 상기 제3절연층은 SiNx, SiO₂, ZrO₂, TiO₂, Ta₂O₅, Al₂O₃를 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0014] 상기 화소 전극과 상기 기판 사이에 상기 제1절연층, 상기 제2절연층 및 상기 제3절연층의 순으로 배치되고, 상기 인접하는 절연층의 굴절률이 서로 다를 수 있다.
- [0015] 상기 화소 전극은 투명 도전성 산화물(TCO)을 포함할 수 있다.
- [0016] 상기 투명 도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0017] 상기 화소 전극은 반투과 금속층을 더 포함할 수 있다.
- [0018] 상기 반투과 금속층은 상기 투명 도전성 산화물을 포함하는 층 상에 배치될 수 있다.
- [0019] 상기 반투과 금속층은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택된 적어도 하나를 포함할 수 있다.
- [0020] 상기 반투과 금속층 상에 보호층이 더 구비될 수 있다.
- [0021] 상기 보호층은 투명 도전성 산화물을 포함할 수 있다.
- [0022] 상기 화소 전극과 상기 제3절연층은 동일한 식각면을 가질 수 있다.
- [0023] 상기 상부 전극과 상기 제3절연층은 동일한 식각면을 가질 수 있다.
- [0024] 상기 소스 전극 및 드레인 전극 중 상기 화소 전극과 연결되는 접속부는 상기 화소 전극보다 위에 배치될 수 있다.
- [0025] 상기 소스 전극 및 드레인 전극은 상기 화소 전극 및 상기 상부 전극과 식각률이 다른 재료를 포함할 수 있다.
- [0026] 상기 소스 전극 및 드레인 전극과 동일 재료로 이루어진 패드 전극을 더 포함할 수 있다.
- [0027] 상기 패드 전극은 상기 소스 전극 및 드레인 전극과 동일층에 배치될 수 있다.
- [0028] 본 발명의 다른 측면에 의하면, 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극, 상기 활성층과 게이트 전극 사이에 배치된 제1절연층, 및 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 배치된 제2절연층을 포함하는 박막 트랜지스터; 상기 제1절연층 및 상기 제2절연층 상에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결되는 화소 전극; 상기 게이트 전극과 동일층에 배치된 하부 전극, 및 상기 화소 전극과 동일 재료를 포함하는 상부 전극을 포함하는 커패시터; 상기 제2절연층과 상기 화소 전극 사이, 및 상기 하부 전극과 상기 상부 전극 사이에 직접 배치된 제3절연층; 상기 소스 전극 및 드레인 전극 및 상기 커패시터를 덮고 상기 화소 전극을 노출하는 제4절연층; 상기 화소 전극 상에 배치된 유기 발광층; 및 상기 유기 발광층 상에 배치된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.
- [0029] 상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사 전극일 수 있다.
- [0030] 본 발명의 또 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1마스크 공정; 제1절연층을 형성하고, 상기 제1절연층 상에 제1도전층을 적층하고, 상기 제1도전층을 패터닝하여 박막 트랜지스터의 게이트 전극, 및 커패시터의 하부 전극을 형성하는 제2마스크 공정; 제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역 및 상기 커패시터의 하부 전극을 노출시키도록 개구를 형성하는 제3마스크 공정;상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 화소 전극 및 상기 커패시터의 하부 전극상에 직접 배치되는 유전막 및 커패시터의 상부 전극을 형성하는 제4마스크 공정; 상기 제4마스크 공정 결과물 상에 제3도전층을 형성하고, 상기 제3도전층을 패터닝하여 소스 전극 및 드레인 전극을 형성하는 제5마스크 공정; 및 제4절연층을 형성하고, 상기 화소 전극이 노출되도록 상기 제4절연층을 제거하는 제6마스크 공정;을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법을 제공한다.
- [0031] 상기 제2마스크 공정 후, 상기 소스 영역 및 드레인 영역에 이온 불순물을 도핑할 수 있다.

- [0032] 상기 제4마스크 공정은 상기 제3절연층을 식각하는 제1식각 공정, 상기 제2도전층을 식각하는 제2식각 공정을 포함할 수 있다.
- [0033] 상기 제5마스크 공정에서, 상기 제3도전층은 상기 제2도전층과 식각률이 다른 재료로 형성될 수 있다.
- [0034] 상기 제5마스크 공정에서, 상기 소스 전극 및 드레인 전극과 동일 재료를 포함하는 패드 전극이 더 형성될 수 있다.
- [0035] 상기 제4마스크 공정에서, 상기 제2도전층은 투명 도전층 및 반투명 도전층이 차례로 적층될 수 있다.
- [0036] 상기 반투명 도전층 상에 보호층이 더 형성될 수 있다.
- [0037] 상기 제3절연층은 상기 제2절연층보다 얇은 두께로 형성될 수 있다.
- [0038] 상기 제3절연층은 상기 제1절연층보다 유전율이 큰 재료로 형성될 수 있다.

발명의 효과

- [0039] 상기와 같은 본 발명에 따른 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.
- [0040] 첫째, 커패시터의 유전막과 박막 트랜지스터의 게이트 절연막을 별개의 절연층으로 형성하기 때문에, 커패시터 및 박막 트랜지스터 소자 각각의 특성에 적합하도록 절연층을 설계할 수 있다.
- [0041] 둘째, 커패시터의 유전막에 대한 두께 제어가 용이하기 때문에, 개구율을 증가시킬 수 있다.
- [0042] 셋째, 공진 구조의 반투과 미러로 사용되는 화소 전극 상에 별도로 적층된 도전층 없이, 화소 전극 단독으로 공진 미러를 패터닝되므로 공진 미러 구현이 용이하다.
- [0043] 넷째, 패드 전극이 후 공정에서 형성되므로 패드 전극의 신뢰성 저하를 방지할 있다.
- [0044] 다섯째, 6마스크 공정으로 상기와 같은 박막 트랜지스터 어레이 기판 및 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

- [0045] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2a 및 2b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- 도 3a 및 3b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.
- 도 4a 및 4b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
- 도 5a 및 5b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
- 도 6a 및 6b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.
- 도 7a 및 7b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정을 개략적으로 도시한 단면도이다.
- 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0046] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0047] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0048] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기판(10) 상에는 적어도 하나의 유기 발광층(120)이 구비된 픽셀 영역(PXL1), 적어도 하나의 박막 트랜지스터가 구비된 트랜지스터 영역(TFT1), 적어도 하나의 커패시터가 구비된 커패시터 영역(CAP1) 및 패드 전극(418)이 구비된 패드 영역(PAD1)이 구비된다.
- [0049] 트랜지스터 영역(TFT1)에는 기판(10) 및 버퍼층(11) 상에 박막 트랜지스터의 활성층(212)이 구비된다.
- [0050] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미

드(Polyimide) 등을 포함하는 플라스틱 기판 등 투명 기판으로 구비될 수 있다.

- [0051] 기판(10)의 상부에 평활한 면을 형성하고 불순 원소가 침투하는 것을 차단하기 위한 버퍼층(11)이 더 구비될 수 있다. 버퍼층(11)은 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0052] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있으며, 채널 영역(212c)과, 채널 영역(212c) 외측에 이온 불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)을 포함할 수 있다.
- [0053] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널 영역(212c)에 대응되는 위치에 게이트 전극(214)이 구비된다. 게이트 전극(214)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0054] 게이트 전극(214) 상에는 층간 절연막인 제2절연층(15)을 사이에 두고 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)에 각각 접속하는 소스 전극(218a) 및 드레인 전극(218b)이 구비된다. 소스 전극(218a) 및 드레인 전극(218b)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0055] 제2절연층(15) 상에는 상기 소스 전극(218a) 및 드레인 전극(218b)을 덮도록 제4절연층(19)이 구비된다.
- [0056] 본 실시예에서 제1절연층(13)은 박막 트랜지스터 영역(TFT1)에서 게이트 절연막으로 사용되고, 제2절연층(15)은 층간 절연막으로 사용된다. 이러한 제1절연층(13) 및 제2절연층(15)은 무기 절연막으로 구비될 수 있다. 제1절연층(13) 및 제2절연층(15)을 형성하는 무기 절연막으로는 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, PZT 등이 포함될 수 있다.
- [0057] 본 실시예에서 게이트 절연막으로 사용되는 제1절연층(13)은 후술할 커패시터의 유전막으로는 사용되지 않기 때문에, 커패시터의 유전율 특성을 고려할 필요 없이 박막 트랜지스터의 게이트 절연막으로서의 특성에만 맞추어 설계될 수 있다. 예를 들어, 커패시터의 정전 용량을 증가시키기 위해 커패시터의 유전막으로 종종 사용되는 실리콘 나이트라이드(SiN_x)를 박막 트랜지스터의 게이트 절연막으로 동시에 사용하게 되면, 박막 트랜지스터에 누설 전류가 발생할 수 있다. 그러나, 본 실시예에 따르면, 커패시터의 유전막과 박막 트랜지스터의 게이트 절연막은 별도로 형성될 수 있기 때문에, 커패시터의 특성 및 박막 트랜지스터의 특성만을 고려하여 유전막 및 게이트 절연막을 선택할 수 있다.
- [0058] 픽셀 영역(PXL1)에는 기판(10), 버퍼층(11), 제1절연층(13), 및 제2절연층(15) 상에 후술할 커패시터의 상부 전극(317)과 동일 재료로 형성된 화소 전극(117)이 구비된다.
- [0059] 화소 전극(117)과 제2절연층(15) 사이에는 제3절연층(116)이 배치된다. 즉, 화소 전극(117)과 기판(10) 사이에는 기판(10)으로부터 화소 전극(117) 쪽으로 순차로 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(116)이 배치된다.
- [0060] 기판(10)과 화소 전극(117) 사이에 배치되는 상기 절연층들, 즉 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(116)은 인접하는 층들 사이의 굴절률이 서로 다르게 형성될 수 있다. 즉, 굴절률이 서로 다른 절연층이 교대로 구비되어 DBR(Distributed Brag Reflector)로 기능함으로써 발광층(119)에서 방출되는 빛의 광효율을 높일 수 있다.
- [0061] 한편, 상기 도면에는 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(116)이 각각 하나의 층으로 형성된 것으로 도시되어 있으나 본 발명은 이에 한정되는 아니며, 상기 층들은 각각 복수의 층으로 형성될 수 있다.
- [0062] 제3절연층(116) 상에 화소 전극(117)이 직접 배치된다. 후술하겠지만, 제3절연층(116)과 화소 전극(117)은 동일 마스크 공정에서 동일 마스크를 이용하여 패터닝되기 때문에, 제3절연층(116)과 화소 전극(117)은 동일한 식각 면을 가질 수 있다.
- [0063] 화소 전극(117)은 투명 도전물로 형성되어 화소 전극(117) 측으로 광이 방출될 수 있다. 이와 같은 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄

징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

- [0064] 화소 전극(117) 상에 유기 발광층(120)이 형성되고, 유기 발광층(120)에서 방출된 광은 투명 도전물로 형성된 화소 전극(117)을 통하여 기관(10) 측으로 방출된다.
- [0065] 화소 전극(117) 외곽에는 제4절연층(19)이 형성되고, 제4절연층(19)에는 화소 전극(117)을 노출시키는 개구(C3)가 형성된다. 상기 개구(C3)에 유기 발광층(120)이 구비된다.
- [0066] 유기 발광층(120)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(120)이 저분자 유기물일 경우, 유기 발광층(120)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층 될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(120)이 고분자 유기물일 경우, 유기 발광층(120) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 또한, 유기 발광층(120)과 화소 전극(117) 및 대향 전극(121) 사이에는 무기 재료가 더 구비될 수도 있다.
- [0067] 유기 발광층(120) 상에는 공통 전극으로 대향 전극(121)이 구비된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(117)은 애노드로 사용되고, 대향 전극(121)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0068] 대향 전극(121)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(121)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함할 수 있다. 대향 전극(121)이 반사 전극으로 구비됨으로써, 유기 발광층(120)에서 방출된 빛은 대향 전극(121)에 반사되어 투명한도전물로 구성된 화소 전극(117)을 투과하여 기관(10) 측으로 방출된다.
- [0069] 화소 전극(117) 외곽을 덮는 제4절연층(19)은 화소 전극(117)과 대향 전극(121) 사이에서 화소 정의막으로 기능한다.
- [0070] 제4절연층(19)은 유기 절연막으로 구비될 수 있다. 제4절연층(19)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0071] 제4절연층(19)은 전술한 박막 트랜지스터의 소스 전극(218a) 및 드레인 전극(218b)을 덮고, 소스 전극(218a) 및 드레인 전극(218b) 중 하나는 화소 전극(117)과 전기적으로 연결된다. 한편, 상기 도면에는 소스 전극(218a)이 화소 전극(117)과 연결된 것으로 도시되어 있으나 본 발명은 이에 한정되지 않는다. 즉, 화소 전극(117)은 드레인 전극(218b)과 전기적으로 연결될 수 있음은 물론이다.
- [0072] 이때, 소스 전극(218a) 및 드레인 전극(218b) 중 화소 전극(117)과 연결되는 접속부는 화소 전극(117)보다 위에 배치된다. 이는 후술하겠지만 소스 전극(218a) 및 드레인 전극(218b)이 화소 전극(117)보다 늦게 패터닝 되기 때문이다. 따라서, 소스 전극(218a) 및 드레인 전극(218b)은 화소 전극(117)과 식각률이 다른 재료로 형성되는 것이 바람직하다.
- [0073] 커패시터 영역(CAP1)에는 기관(10) 및 버퍼층(11) 상에, 박막 트랜지스터의 게이트 전극(214)과 동일 재료로 형성된 커패시터의 하부 전극(314)과, 화소 전극(117)과 동일 재료로 형성된 커패시터의 상부 전극(317), 및 상기 하부 전극(314)과 상부 전극(317) 사이에 직접 배치된 제3절연층(316)이 구비된다.
- [0074] 이때, 박막 트랜지스터의 게이트 전극(214)과 소스 전극(218a) 및 드레인 전극(218b) 사이에 위치하는 제2절연층(15)은 커패시터의 상부 전극(317)과 하부 전극(314) 사이에는 배치되지 않는다. 여기서, 제2절연층(15)이 커패시터의 상부 전극(317)과 하부 전극(314) 사이에 배치되지 않는다는 것은, 제2절연층(15)이 커패시터의 유전막으로서의 주요한 역할을 하지 않는다는 의미이다. 예를 들어, 도 1에 도시된 바와 같이, 제2절연층(15)은 하부 전극(314) 외곽에 약간 오버랩되어 배치될 수 있다. 후술하겠지만, 이것은 제2절연층(15)을 패터닝하여 하부 전극(314)을 노출시키는 개구(C2, 도 4b참조) 형성 시, 일부 남아 있는 부분이다.
- [0075] 만약 제2절연층(15)의 패터닝 시 커패시터의 하부 전극(314)을 전부 노출시킨다면, 하부 전극(314)과, 제3절연

층(15) 상에 형성되는 상부 전극(317) 사이에 누설 전류가 발생할 수 있다. 따라서, 제2절연층(15)이 하부 전극(314)을 전부 노출시키지 않고 그 외곽을 일부 덮고 있기 때문에, 상부 전극(317)과 하부 전극(314) 사이의 누설 전류 발생을 방지할 수 있다.

- [0076] 한편, 박막 트랜지스터의 층간 절연막으로 기능하는 제2절연층(15)은 박막 트랜지스터의 특성을 고려하여 소정 두께 이상으로 설계되지만, 커패시터는 유전막의 두께가 두꺼울수록 정전 용량이 감소하기 때문에 층간 절연막과 동일한 두께로 유전막을 형성할 경우 정전 용량이 증가할 수 있다.
- [0077] 그러나, 본 실시예에 따르면, 제2절연층(15)이 커패시터의 유전막으로 사용되지 않으며, 본 실시예의 유전막으로 사용되는 제3절연층(316)은 제2절연층(15)보다 두께를 얇게 형성할 수 있기 때문에 정전 용량이 감소하는 것을 방지할 수 있다. 제3절연층(316)의 두께는 500 옴스트롱(Å) 이상 2000 옴스트롱(Å) 이하로 형성하여 적절한 정전 용량을 유지할 수 있다.
- [0078] 또한, 본 실시예에서 유전막으로 사용되는 제3절연층(316)은 유전율이 큰 절연 재료로 형성될 수 있다. 전술한 바와 같이, 제3절연층(316)은 게이트 절연막을 형성하는 제1절연층(13)과 별개의 층으로 형성되기 때문에, 제1절연층(13)보다 유전율은 큰 재료로 형성됨으로써 정전 용량을 증가시킬 수 있다. 따라서, 커패시터의 면적을 증가시키지 않고도 정전 용량을 증가시킬 수 있기 때문에, 상대적으로 화소 전극(117)의 면적을 크게 만들 수 있어서 유기 발광 표시 장치(1)의 개구율을 증가시킬 수 있다.
- [0079] 상술한 제3절연층(316)은 무기 절연막으로 구비될 수 있다. 예를 들어, 제3절연층(316)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST, 및 PZT를 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0080] 또한, 후술하겠지만, 상부 전극(317)과 제3절연층(316)은 동일 마스크 공정에서 패터닝되기 때문에 동일한 식각 면을 가질 수 있다.
- [0081] 상부 전극(317) 상에 제4절연층(19)이 구비된다. 제4절연층(19)은 유기 절연막으로 구비될 수 있다. 대향 전극(121)과 상부 전극(317) 사이에 유전율이 작은 유기 절연물을 포함하는 제4절연층(19)이 개재됨으로써, 대향 전극(121)과 상부 전극(317) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0082] 유기 발광 표시 장치(1)의 외곽에는 외장 드라이버의 접속 단자인 패드 전극(418)이 배치되는 패드 영역(PAD1)이 위치한다.
- [0083] 본 실시예에서, 패드 전극(418)은 소스 전극(218a) 및 드레인 전극(218b)과 동일 재료로 이루어질 수 있다. 또한, 패드 전극(418)은 소스 전극(218a) 및 드레인 전극(218b)과 동일 층에 배치된다. 즉, 패드 전극(418)은 제2절연층(15) 상에 직접 배치된다.
- [0084] 패드 전극(418)은 전술한 게이트 전극(214), 화소 전극(117), 및 상부 전극(317)보다 나중에 형성되기 때문에, 패드 전극(418) 상부에 게이트 전극(214), 화소 전극(117), 또는 상부 전극(317)을 형성하는 재료가 위치하지 않는다. 즉, 게이트 전극(214), 화소 전극(117) 또는 상부 전극(317)을 형성하는 재료가 패드 전극(418) 상에 위치하거나, 또는 이들을 패드 전극(418) 상에서 제거하는 과정에서 패드 전극(418)의 신뢰성이 저하되는 것을 방지할 수 있다.
- [0085] 한편, 도 1에는 도시되어 있지 않으나, 본 실시예에 따른 유기 발광 표시 장치(1)는 픽셀 영역(PXL1), 커패시터 영역(CAP1), 및 박막 트랜지스터 영역(TFT1)을 포함하는 표시 영역을 봉지하는 봉지 부재(미도시)를 더 포함할 수 있다. 봉지 부재는 글라스재를 포함하는 기판, 금속 필름, 또는 유기 절연막 및 무기 절연막이 교번하여 배치된 봉지 박막 등으로 형성될 수 있다.
- [0086] 이하, 도 2a 내지 7b를 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0087] 도 2a 및 2b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정을 개략적으로 도시한 단면도이다.
- [0088] 도 2a를 참조하면, 기판(10) 상에 버퍼층(11) 및 반도체층(12)이 순차로 형성된다.
- [0089] 버퍼층(11) 및 반도체층(12)은 PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착 될 수 있다.
- [0090] 반도체층(12)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이

때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

- [0091] 반도체층(12) 상에 제1 포토레지스터(PR1)를 도포하고, 광차단부(M11) 및 광투과부(M12)를 구비한 제1 포토마스크(M1)를 이용한 제1 마스크 공정을 실시한다. 상기 도면에는 도시되어 있지 않지만, 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거친다.
- [0092] 도 2b는 제1 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0093] 도 2b를 참조하면, 제1포토 마스크(M1)의 광차단부(M11)에 대응되는 위치에 반도체층(12)이 패터닝되어 박막 트랜지스터의 활성층(212c)이 형성된다.
- [0094] 도 3a 및 3b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정을 개략적으로 도시한 단면도이다.
- [0095] 도 3a를 참조하면, 도 2b의 제1마스크 공정의 결과물 상에 제1절연층(13) 및 제1도전층(14)을 차례로 형성한다.
- [0096] 제1절연층(13) SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있고, 제1도전층(14)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0097] 제1도전층(14) 상에 제2 포토레지스터(PR2)를 도포하고, 광차단부(M21T, M21C) 및 광투과부(M22)를 구비한 제2 포토마스크(M2)를 이용한 제2 마스크 공정을 실시한다.
- [0098] 도 3b는 제2 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0099] 도 3b를 참조하면, 제2 포토마스크(M2)의 광차단부(M21T)에 대응되는 위치의 제1도전층(14)은 박막 트랜지스터의 게이트 전극(214)으로 패터닝되고, 광차단부(M21C)에 대응되는 위치의 제1도전층(14)은 커패시터의 하부 전극(314)으로 패터닝된다.
- [0100] 제1절연층(13)은 박막 트랜지스터의 활성층(212)과 게이트 전극(214) 사이에 위치함으로써 게이트 절연막으로 기능하지만, 커패시터의 하부 전극(314) 하부에 위치함으로써 커패시터의 유전막으로는 기능하지 않는다. 따라서, 제1절연층(13)은 커패시터의 특성을 고려할 필요 없이 박막 트랜지스터의 특성만 고려하여 재료를 선택할 수 있다.
- [0101] 상기와 같은 구조물 위에 이온 불순물이 도핑(D)된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑(D)한다.
- [0102] 게이트 전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑함으로써 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다.
- [0103] 한편, 상기 도면에는 상세히 도시하지 않았으나 제2마스크 공정에서 제1도전층(14)을 패터닝하여 게이트 전극(214)과 연결되는 스캔 라인과 같은 배선을 함께 형성할 수 있다.
- [0104] 도 4a 및 4b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정을 개략적으로 도시한 단면도이다.
- [0105] 도 4a를 참조하면, 도 3b의 제2마스크 공정의 결과물 상에 제2절연층(15)을 형성한다.
- [0106] 제2절연층(15)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있으나, 전술한 제1절연층(13)으로 형성된 재료와 굴절률이 다른 재료로 형성되는 것이 바람직하다.
- [0107] 제2절연층(15) 상에 제3 포토레지스터(PR3)를 도포하고, 광차단부(M31) 및 광투과부(M32T, M32C)를 구비한 제3 포토마스크(M3)를 이용한 제3 마스크 공정을 실시한다.
- [0108] 도 4b는 제3 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0109] 도 4b를 참조하면, 제3 포토마스크(M3)의 광투과부(M32T)에 대응되는 위치의 제2절연층(15)은 활성층(212)의 소

스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 개구(C1)로 형성되고, 광투과부(M32C)에 대응되는 위치의 제2절연층(15)은 커패시터의 하부 전극(314)을 노출시키는 개구(C2)로 패터닝된다.

- [0110] 도 5a 및 5b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다.
- [0111] 도 5a를 참조하면, 도 4b의 제3마스크 공정의 결과물 상에 제3절연층(16) 및 제2도전층(17)을 차례로 형성한다. 제3절연층(16) 및 제2도전층(17)은 제2절연층(15) 상부 및 커패시터의 상부 전극(314) 상에 차례로 적층된다.
- [0112] 제3절연층(16)은 SiO₂, SiN_x, SiON, Al₂O₃, TiO₂, Ta₂O₅, HfO₂, ZrO₂, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있으나, DBR로 기능하기 위하여 제1절연층(13) 및 제2절연층(15)으로 형성된 재료와 굴절률이 다른 재료로 형성되는 것이 바람직하다.
- [0113] 제2도전층(17)은 투명 도전성 산화물로 형성될 수 있다. 예를 들어 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 재료로 형성 될 수 있다.
- [0114] 제2도전층(17) 상에 제4 포토레지스터(PR4)를 도포하고, 광차단부(M41X, M41C) 및 광투과부(M42)를 구비한 제4 포토마스크(M4)를 이용한 제4마스크 공정을 실시한다.
- [0115] 도 5b는 제4 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0116] 도 5b를 참조하면, 제4 포토마스크(M4)의 광차단부(M41X)에 대응되는 위치의 제3절연층(16) 및 제2도전층(17)은 화소 전극(117)과 화소 전극(117) 하부의 제3절연층(116)으로 패터닝되고, 광차단부(M41C)에 대응되는 위치의 제3절연층(16) 및 제2도전층(17)은 커패시터의 유전막(316) 및 상부 전극(317)으로 패터닝된다.
- [0117] 한편, 제3절연층(16)과 제2도전층(17)은 동일 마스크 공정에서 패터닝되지만, 식각 공정은 2회 실시될 수 있다. 즉 제3절연층(16)을 식각하는 공정과 제2도전층(17)을 식각하는 공정은 나누어 실시될 수 있다.
- [0118] 그러나, 제3절연층(16)과 제2도전층(17)은 동일 마스크 공정에서 식각되기 때문에 제3절연층(16)과 제2도전층(17)의 식각면, 즉, 화소 전극 하부의 제3절연층(116)과 화소 전극(117), 및 유전막(316)과 상부 전극(317)의 식각면은 동일하게 형성될 수 있다. 여기서 식각면이 동일하게 형성된다는 것은 화소 전극(117) 또는 상부 전극(317)이 화소 전극 하부의 제3절연층(116) 및 유전막(316)의 식각 시, 식각 마스크로서 기능하여, 그 식각면이 대략 동일한 것을 포함한다.
- [0119] 제3절연층(16)은 커패시터의 상부 전극(317)과 하부 전극(314) 사이에 직접 배치됨으로써 커패시터의 유전막(316)으로 기능하지만, 박막 트랜지스터에는 위치하지 않기 때문에 게이트 절연막으로는 기능하지 않는다. 따라서, 제3절연층(16)은 박막 트랜지스터의 특성을 고려할 필요 없이 커패시터의 특성만 고려하여 재료 또는 두께 등을 선택할 수 있기 때문에, 공정의 설계 자유도가 높아진다.
- [0120] 도 6a 및 6b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정을 개략적으로 도시한 단면도이다.
- [0121] 도 6a를 참조하면, 도 5b의 제4마스크 공정의 결과물 상에 제3도전층(18)을 형성한다. 제3도전층(18)은 소스 영역(212a) 및 드레인 영역(212b)을 노출하는 개구(C1)를 메운다.
- [0122] 제3도전층(18)으로는 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0123] 제3도전층(18) 상에 제5 포토레지스터(PR5)를 도포하고, 광차단부(M51T, M51P) 및 광투과부(M52)를 구비한 제5 포토마스크(M5)를 이용한 제5마스크 공정을 실시한다.
- [0124] 도 6b는 제5 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0125] 도 6b를 참조하면, 제5 포토마스크(M5)의 광차단부(M51T)에 대응되는 위치의 제3도전층(18)은 개구(C1)를 통하여 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)과 연결되는 소스 전극(218a) 및 드레인 전극(218b)으로 패터닝 되고, 광차단부(M51P)에 대응되는 위치의 제3도전층(18)은 패드 영역의 패드 전극(418)으로 패터닝 된다.
- [0126] 소스 전극(218a) 및 드레인 전극(218b)을 형성하기 위하여 제3도전층(18)을 식각하는 공정에서, 화소 전극(117) 및 상부 전극(317)도 제3도전층(18)을 식각하기 위한 식각액에 노출되기 때문에, 제3도전층(18)은 화소 전극

(117) 및 상부 전극(317)과 식각률이 다른 재료로 형성하는 것이 바람직하다.

- [0127] 소스 전극(218a) 및 드레인 전극(218b) 중 하나는 화소 전극(117)과 전기적으로 연결된다. 본 실시예에서 소스 전극(218a) 및 드레인 전극(218b)은 화소 전극(117) 형성 후 패터닝되기 때문에, 화소 전극(117)과 연결되는 소스 전극(218a) 또는 드레인 전극(218b)의 접속부는 화소 전극(117)보다 위에 형성된다.
- [0128] 한편, 상기 도면에는 상세히 도시하지 않았으나 제5마스크 공정에서 제3도전층(18)을 패터닝하여 소스 전극(218a) 및/또는 드레인 전극(218b)과 연결되는 데이터 라인과 같은 배선을 함께 형성할 수 있다.
- [0129] 도 7a 및 7b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정을 개략적으로 도시한 단면도이다.
- [0130] 도 7a를 참조하면, 도 6b의 제5마스크 공정의 결과물 상에 제4절연층(19)을 도포한다. 제4절연층(19)은 유기 절연막으로 구비될 수 있다. 특히 제4절연층(19)을 감광성 유기 절연막으로 할 경우, 별도의 포토레지스터를 사용하지 않아도 된다.
- [0131] 광차단부(M61) 및 광투과부(M62X, M62P)를 구비한 제6 포토마스크(M6)를 이용한 제6마스크 공정을 실시한다.
- [0132] 도 7b는 제6 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0133] 도 7b를 참조하면, 광투과부(M62X)에 대응되는 위치의 제4절연층(19)은 화소 전극(117) 상부를 노출시키는 개구(C3)를 형성하고, 광투과부(M62P)에 대응되는 위치의 제4절연층(19)은 패드 전극(418)을 노출시키는 개구(C4)를 형성한다.
- [0134] 화소 전극(117)을 노출시키는 개구(C3)는 발광 영역을 정의해주는 역할 외에, 화소 전극(117)의 가장자리와 대향 전극(121, 도 1 참조) 사이의 간격을 넓혀, 화소 전극(117)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소 전극(117)과 대향 전극(120)의 단락을 방지하는 역할을 한다.
- [0135] 상기 도면들에는 도시되지 않았으나, 제6마스크 공정 이후 화소 전극(117) 상에 유기 발광층(120)을 형성하고, 유기 발광층(120) 상에 공통 전극인 대향 전극(121, 도 1)을 형성하여, 도 1의 유기 발광 표시 장치를 형성할 수 있다. 또한, 대향 전극(121, 도 1) 상에 봉지 부재(미도시)를 더 형성할 수 있다.
- [0136] 이하, 도 8을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 설명한다. 이하, 전술한 실시예와의 차이점을 중심으로 설명하기로 한다.
- [0137] 도 8은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- [0138] 도 8을 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 기관(10) 상에는 적어도 하나의 유기 발광층(119)이 구비된 픽셀 영역(PXL2), 적어도 하나의 박막 트랜지스터가 구비된 트랜지스터 영역(TFT2), 적어도 하나의 커패시터가 구비된 커패시터 영역(CAP2), 및 적어도 하나의 패드 전극(418)이 구비된 패드 영역(PAD2)이 형성된다. 트랜지스터 영역(TFT2) 및 패드 영역(PAD2)은 전술한 실시예에 따른 유기 발광 표시 장치(1)와 동일하다.
- [0139] 픽셀영역(PXL2)에는 기관(10), 버퍼층(11), 제1절연층(13), 제2절연층(15) 및 제3절연층(116) 상에 커패시터의 상부 전극(317)과 동일 재료로 형성된 화소 전극(117-1)이 구비된다.
- [0140] 배면 발광형일 경우, 화소 전극(117-1)은 투명전극으로 구비되고, 대향 전극(121)은 반사전극으로 구비될 수 있다.
- [0141] 화소 전극(117-1) 상에 유기 발광층(119)이 형성되고, 유기 발광층(119)에서 방출된 광은 투명도전물로 형성된 화소 전극(117-1)을 통하여 기관(10) 측으로 방출된다.
- [0142] 본 실시예에 따른 유기 발광 표시 장치(2)는 화소 전극(117-1)이 투명 도전층(117a)만으로 형성되는 것이 아니라, 투명 도전층(117a) 외에 투명 도전층(117a) 상에 배치된 반투과 금속층(117b)을 더 포함하여 복수 층으로 형성된다.
- [0143] 대향 전극(121)이 반사 미러(mirror)로서 기능하고, 반투과 금속층(117b)이 반투과 미러로 기능함으로써, 유기 발광층(119)에서 방출된 광은 대향 전극(121)과 반투과 금속층(117b) 사이에서 공진된다.
- [0144] 따라서, 본 실시예에 따른 유기 발광 표시 장치(2)는 화소 전극(117-1) 하부에 배치된 제1절연층(13) 내지 제3절연층(116)의 DBR에 의한 공진 효과 외에, 미러에 의한 공진 효과가 부가되어 유기 발광 표시 장치(2)의 광효

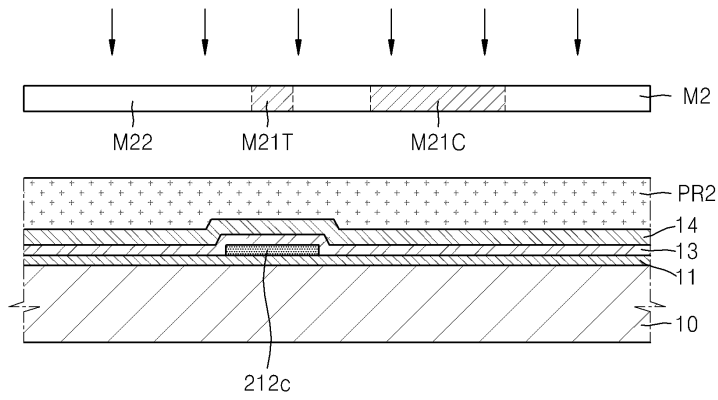
율이 더욱 증대된다.

- [0145] 이와 같은 반투과 금속층(117b)으로 은(Ag), 은(Ag) 합금, 알루미늄(Al), 및 알루미늄(Al) 합금에서 선택된 적어도 하나 이상의 재료가 선택될 수 있다. 반사 전극인 대향 전극(121)과의 관계에서 공진 미러(mirror)로 작용하기 위해서 반투과 금속층(117b)의 두께는 300Å 이하의 두께를 갖는 것이 바람직하다.
- [0146] 특히, 반투과 금속층(117b)이 은(Ag)을 포함할 경우, 반투과 금속층(117b) 형성 후 소스 전극(218a) 및 드레인 전극(218b)이 형성되기 때문에, 은(Ag)을 포함하는 반투과 금속층(117b)은 소스 전극(218a) 및 드레인 전극(218b)의 식각 시 손상 받을 수 있다. 따라서, 반투과 금속층(117b) 상에 은(Ag)을 보호하는 보호층(117c)이 더 구비될 수 있다. 보호층(117c)으로는 ITO 등을 포함하는 투명 도전성 산화물로 구비될 수 있다.
- [0147] 반투과 금속층(117b)을 포함하는 화소 전극(117-1)은 전술한 제4마스크 공정에서 패터닝된다. 이때 화소 전극(117-1) 위에 별개의 다른 도전층이 존재하지 않는 상태에서 화소 전극(117-1) 단독으로 패터닝된다.
- [0148] 만약, 화소 전극(117-1) 상부에 다른 도전층(미도시)이 더 형성되고, 그 다른 도전층(미도시)과 화소 전극(117-1)이 동시에 동일한 패턴으로 패터닝 되는 경우, 화소 전극(117-1)의 식각이 용이하지 않다. 특히 반투과 금속층(117b)이 은(Ag)을 포함할 경우 특히 손상을 많이 받기 때문에, 미러(mirror)를 이용한 공진 구조를 형성하기가 어렵다. 그러나, 본 실시예에서는 화소 전극(117-1) 단독으로 공진 구조의 반투과 미러로 패터닝 되기 때문에 공진 미러의 구현이 용이하다.
- [0149] 한편, 본 실시예에 따른 유기 발광 표시 장치(2)는 커패시터의 상부 전극(317)과 화소 전극(117-1)이 동일 재료로 형성될 수 있기 때문에, 상기 도면에는 도시 되어 있지 않으나, 상부 전극(317)도 화소 전극(117-1)과 마찬가지로 아래로부터 위로 투명 도전층, 반투과 금속층, 및 보호층이 차례로 구비될 수 있다.
- [0150] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

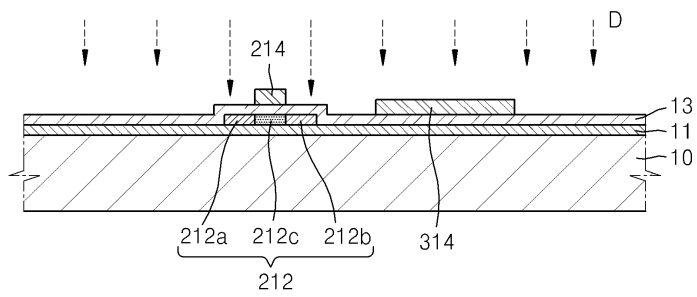
부호의 설명

- [0151] 1: 유기 발광 표시 장치
- 10: 기판
- 11: 버퍼층
- 13: 제1절연층
- 15: 제2절연층
- 19: 제4절연층
- 116: 제3절연층
- 117: 화소 전극
- 120: 유기발광층
- 121: 대향 전극
- 212: 활성층
- 212a: 소스 영역
- 212b: 드레인 영역
- 212c: 채널 영역
- 214: 게이트 전극
- 218a: 소스 전극
- 218b: 드레인 전극
- 314: 하부 전극
- 316: 유전막
- 317: 상부전극
- 418: 패드 전극
- C1~C4: 개구
- PR1~PR5: 포토레지스트
- M1~M6: 포토마스크

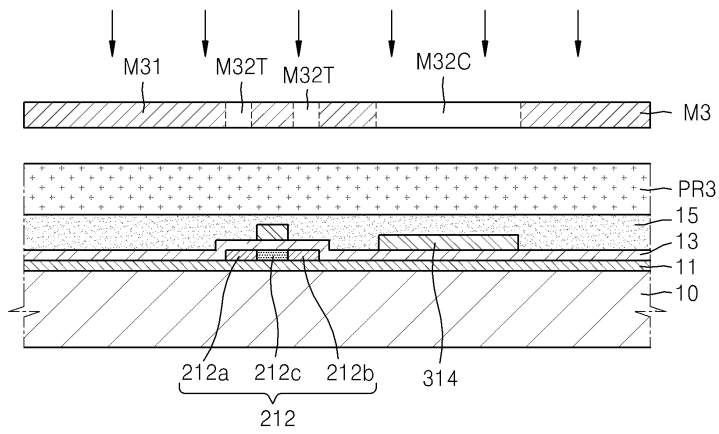
도면3a



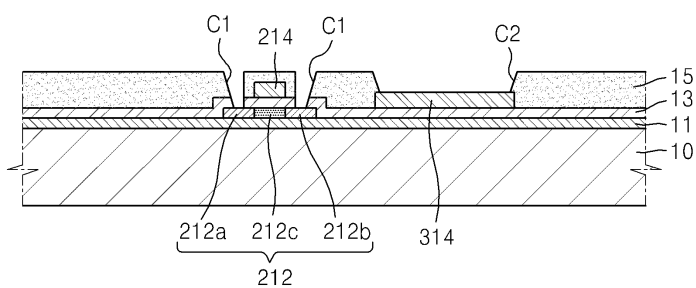
도면3b



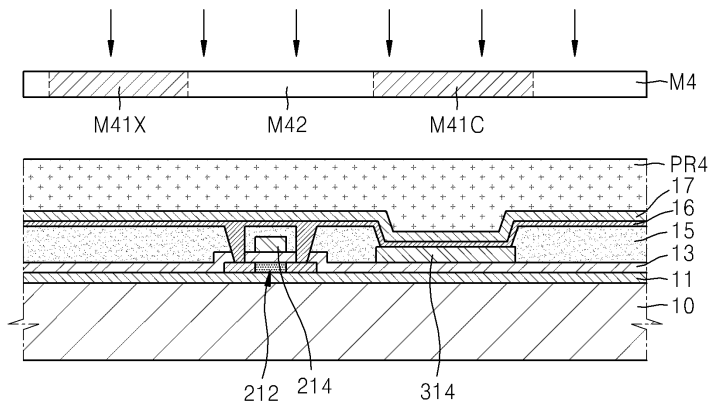
도면4a



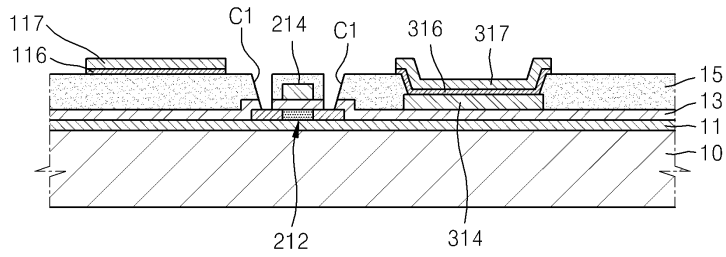
도면4b



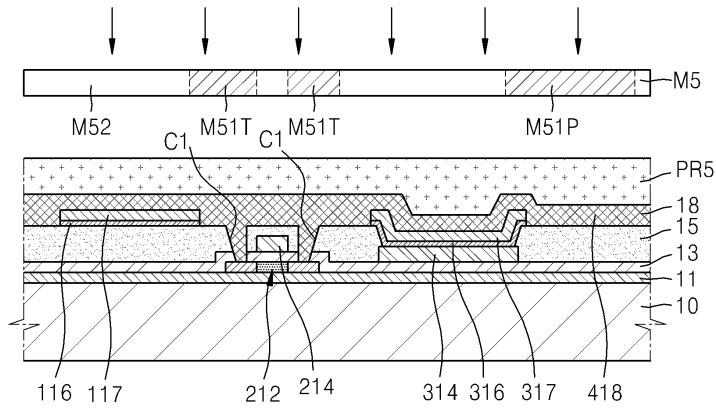
도면5a



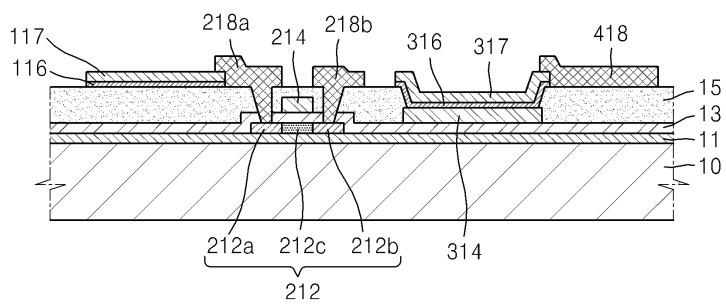
도면5b



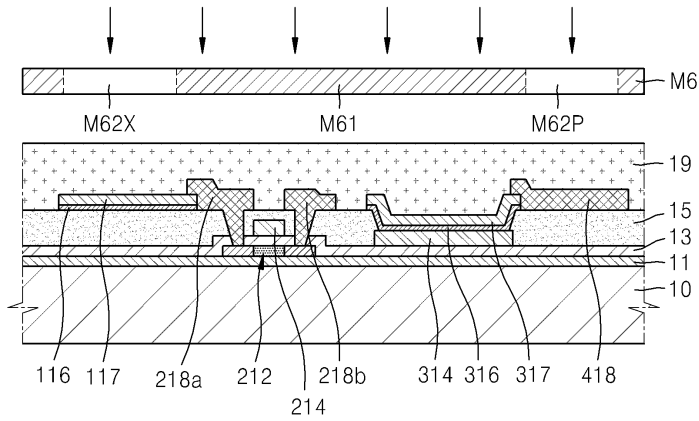
도면6a



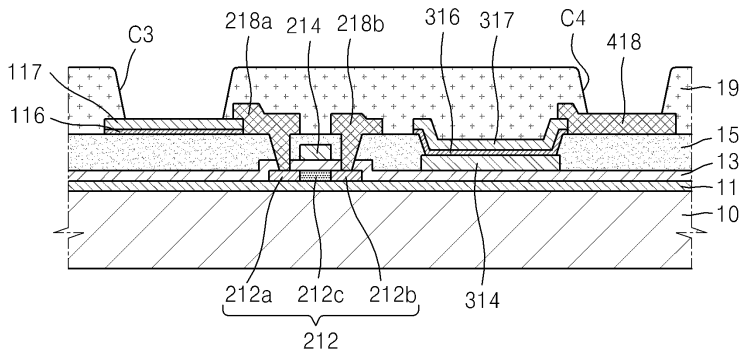
도면6b



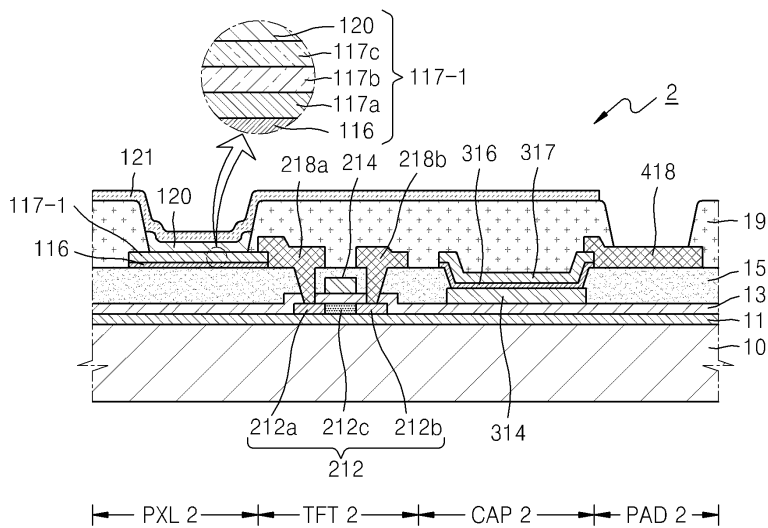
도면7a



도면7b



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 발명(고안)의 설명

【보정세부항목】 단락[0030]

【변경전】

제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역 및 상기 상부 전극을

노출시키도록 개구를 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 화소 전극 및 상기 하부 전극상에 직접 배치되는 유전막 및 상부 전극을 형성하는 제4마스크공정;

【변경후】

제2절연층을 형성하고, 상기 제2절연층이 상기 활성층의 소스 영역 및 드레인 영역 및 상기 커패시터의 하부 전극을 노출시키도록 개구를 형성하는 제3마스크 공정;상기 제3마스크 공정의 결과물 상에 제3절연층 및 제2도전층을 차례로 형성하고, 상기 제3절연층 및 상기 제2도전층을 동시에 패터닝하여, 화소 전극 및 상기 커패시터의 하부 전극상에 직접 배치되는 유전막 및 커패시터의 상부 전극을 형성하는 제4마스크 공정;

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 25

【변경전】

박막 트랜지스터 기관의 제조 방법

【변경후】

박막 트랜지스터 어레이 기관의 제조 방법

专利名称(译)	薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	KR101833235B1	公开(公告)日	2018-04-16
申请号	KR1020110070027	申请日	2011-07-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JUNE WOO 이준우 CHOI JAE BEOM 최재범 JUNG KWAN WOOK 정관욱 OH JAE HWAN 오재환 JIN SEONG HYUN 진성현 KIM KWANG HAE 김광해 CHOI JONG HYUN 최중현		
发明人	이준우 최재범 정관욱 오재환 진성현 김광해 최중현		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/1255 H01L27/1288 H01L27/3265 H01L27/3248 H01L51/5215 H01L51/5265 H01L27/3276 H01L2227/323 H01L27/1237 H01L27/127 H01L29/66742		
其他公开文献	KR1020130009137A		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，提供一种制造半导体器件的方法，包括：形成有源层，栅电极，源电极和漏电极的步骤，设置在有源层和栅电极之间的第一绝缘层，第二绝缘层，设置在第一绝缘层和第二绝缘层之间；像素电极，设置在第一绝缘层和第二绝缘层上，并连接到源电极和漏电极中的一个；电容器包括上电极，包括一底电极，和所述像素电极和设置在所述栅极电极和在同一层的相同材料；第三绝缘层直接设置在第二绝缘层和像素电极之间，以及下电极和上电极之间；并且第四绝缘层覆盖源电极和漏电极以及上电极并暴露像素电极。 专利10-1833235

