



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월04일
 (11) 등록번호 10-1382001
 (24) 등록일자 2014년03월31일

(51) 국제특허분류(Int. Cl.)
 G09G 3/30 (2006.01)
 (21) 출원번호 10-2012-0053042
 (22) 출원일자 2012년05월18일
 심사청구일자 2012년05월18일
 (65) 공개번호 10-2012-0129823
 (43) 공개일자 2012년11월28일
 (30) 우선권주장
 201110129681.8 2011년05월18일 중국(CN)
 (56) 선행기술조사문헌
 KR1020090042006 A*
 US20060022305 A1
 US20070063932 A1
 KR100901778 B1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 보에 테크놀로지 그룹 컴퍼니 리미티드
 중국 베이징 100016, 차오양 디스트릭트, 지우시 양치아오 로드 10호
 (72) 발명자
 우 종위엔
 중국 베이징 100176 비디에이 시환중로 8호
 두안 리이에
 중국 베이징 100176 비디에이 시환중로 8호
 (뒷면에 계속)
 (74) 대리인
 백만기, 김성운, 장수길

전체 청구항 수 : 총 11 항

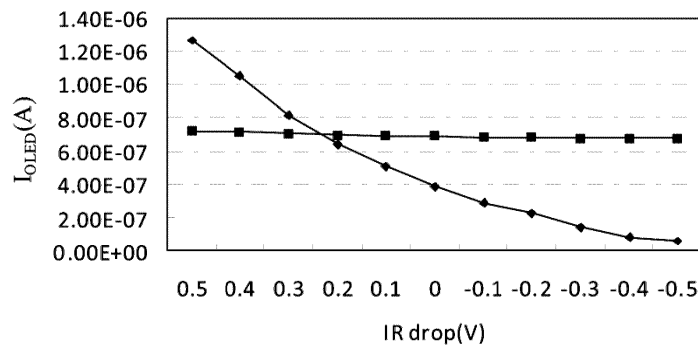
심사관 : 양성지

(54) 발명의 명칭 **화소 유닛 회로 및 OLED 표시 장치**

(57) 요약

본 발명은 화소 유닛 회로 및 OLED 표시 장치를 개시한다. 제1 서브 회로 모듈, 제2 서브 회로 모듈, 제1 콘덴서 및 유기 발광 표시 다이오드 OLED를 구비하는 화소 유닛 회로에 있어서, 제1 서브 회로 모듈의 한쪽의 입력단이 데이터 라인에 접속되고, 제1 서브 회로 모듈의 다른 쪽의 입력단이 제2 서브 회로 모듈의 출력단 및 OLED의 일단에 접속되고, 제1 서브 회로 모듈의 출력단과 제2 서브 회로 모듈의 입력단은 제1 콘덴서에 의해 접속되고, 제2 서브 회로 모듈의 입력단과 OLED의 타단 사이에 백플레인의 플러스/마이너스 전원의 전압차가 인가된다. 본 발명은 종래의 화소 유닛 회로에 대하여 OLED 소자의 열화, TFT 구동 트랜지스터의 임계 전압의 불균일성 및 백플레인 전원의 IR Drop을 효과적으로 보상할 수 있어 표시 효과를 향상할 수 있다. 또한, 본 발명에 따른 화소 유닛 회로는, 전압 피드백 기술에 기초하여 설계되는 것이므로, 큰 크기의 패널에 적용할 수 있다.

대표도 - 도13



(72) 발명자

왕 강

중국 베이징 100176 비디에이 시환중로 8호

샤오 티엔

중국 베이징 100176 비디에이 시환중로 8호

특허청구의 범위

청구항 1

제1 서브 회로 모듈, 제2 서브 회로 모듈, 제1 콘덴서 및 유기 발광 표시 다이오드(OLED)를 구비하는 화소 유닛 회로에 있어서,

상기 제1 서브 회로 모듈의 한쪽의 입력단이 데이터 라인에 접속되고,

상기 제1 서브 회로 모듈의 다른 쪽의 입력단이 상기 제2 서브 회로 모듈의 출력단 및 상기 OLED의 제1단에 접속되고,

상기 제1 서브 회로 모듈의 출력단과 상기 제2 서브 회로 모듈의 입출력단은 제1 콘덴서에 의해 접속되고,

상기 제2 서브 회로 모듈의 입력단과 상기 OLED의 제2단 사이에 백플레인의 플러스(ARVDD)/마이너스 전원(ARVSS)의 전압차가 인가되는 화소 유닛 회로.

청구항 2

제1항에 있어서,

상기 제1 서브 회로 모듈은 입력 전압을 선택하여 상기 제1 콘덴서에 출력하는 것이고,

상기 제2 서브 회로 모듈은 입력 전압을 전류로 변환하여 상기 OLED에 공급하는 것인 화소 유닛 회로.

청구항 3

제1항에 있어서,

상기 OLED의 제1단은 OLED의 애노드이고, 상기 OLED의 제2단은 OLED의 캐소드이고,

상기 제1 서브 회로 모듈은 상기 다른 쪽의 입력단이 상기 OLED의 애노드에 접속되고, 출력단의 제1 스폿이 상기 제1 콘덴서의 일단에 접속되고,

상기 제2 서브 회로 모듈은 입력단이 백플레인의 플러스 전원(ARVDD)에 접속되고, 입출력단의 제2 스폿이 상기 제1 콘덴서의 타단에 접속되고, 출력단이 상기 OLED의 애노드에 접속되고,

상기 OLED는 캐소드가 백플레인의 마이너스 전원(ARVSS)에 접속되는 화소 유닛 회로.

청구항 4

제3항에 있어서,

상기 제1 서브 회로 모듈은,

게이트 전극에 제어 신호 SCAN이 입력되고, 소스 전극에 데이터 라인이 접속되고, 드레인 전극이 상기 제1 스폿에 대응하는 제1 트랜지스터와,

게이트 전극에 제어 신호 EMB가 입력되고, 드레인 전극이 상기 제1 스폿에 대응하고, 소스 전극에 상기 OLED의 애노드가 접속되는 제2 트랜지스터를 구비하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 P형 TFT 트랜지스터인 화소 유닛 회로.

청구항 5

제4항에 있어서,

상기 제2 서브 회로 모듈은,

게이트 전극이 상기 제2 스폿에 대응하고, 드레인 전극이 상기 ARVDD에 접속되는 제3 트랜지스터와,

게이트 전극에 제어 신호 EMB가 입력되고, 드레인 전극이 상기 제2 스폿에 대응하고, 소스 전극이 상기 제3 트랜지스터의 소스 전극에 접속되는 제4 트랜지스터와,

게이트 전극에 제어 신호 EM이 입력되고, 드레인 전극이 상기 제3 트랜지스터의 소스 전극에 접속되고, 소스 전극이 상기 OLED의 애노드에 접속되는 제5 트랜지스터와,

일단이 상기 제2 스폿에 대응하고, 타단이 상기 ARVDD에 접속되는 제2 콘덴서를 구비하고,

상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 P형 TFT 트랜지스터인 화소 유닛 회로.

청구항 6

제1항에 있어서,

상기 OLED의 제1단은 캐소드이고, 상기 OLED의 제2단은 애노드이며,

상기 제1 서브 회로 모듈은 상기 다른 쪽의 입력단이 상기 OLED의 캐소드에 접속되고, 출력단의 제3 스폿이 상기 제1 콘덴서의 일단에 접속되고,

상기 제2 서브 회로 모듈은 입력단이 상기 ARVSS에 접속되고, 입출력단의 제4 스폿이 상기 제1 콘덴서의 타단에 접속되고, 출력단이 상기 OLED의 캐소드에 접속되고,

상기 OLED는 애노드가 상기 ARVDD에 접속되는 화소 유닛 회로.

청구항 7

제6항에 있어서,

상기 제1 서브 회로 모듈은,

게이트 전극에 제어 신호 SCAN'가 입력되고, 소스 전극이 데이터 라인에 접속되고, 드레인 전극이 상기 제3 스폿에 대응하는 제1 트랜지스터와,

게이트 전극에 제어 신호 EMB'가 입력되고, 드레인 전극이 상기 제3 스폿에 대응하고, 소스 전극이 상기 OLED의 캐소드에 접속되는 제2 트랜지스터를 갖고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 N형 TFT 트랜지스터인 화소 유닛 회로.

청구항 8

제7항에 있어서,

상기 제2 서브 회로 모듈은,

게이트 전극이 상기 제4 스폿에 대응하고, 드레인 전극이 상기 ARVSS에 접속되는 제3 트랜지스터와,

게이트 전극에 제어 신호 EMB'가 입력되고, 드레인 전극이 상기 제4 스폿에 대응하고, 소스 전극이 상기 제3 트랜지스터의 소스 전극에 접속되는 제4 트랜지스터와,

게이트 전극에 제어 신호 EM'가 입력되고, 드레인 전극이 상기 제3 트랜지스터의 소스 전극에 접속되고, 소스 전극이 상기 OLED의 캐소드에 접속되는 제5 트랜지스터와,

일단이 상기 제4 스폿에 대응하고, 타단이 상기 ARVSS에 접속되는 제3 콘덴서를 구비하고,

상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 N형 TFT 트랜지스터인 화소 유닛 회로.

청구항 9

제5항에 있어서,

상기 화소 유닛 회로는,

상기 제어신호 SCAN을 하이 레벨로 하고, 상기 제어신호 EM 및 EMB를 로우 레벨로 함으로써, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터가 온되고, 상기 제1 트랜지스터가 오프되어, 상기 제1 콘덴서가 방전되는 제1 단계와,

상기 제어신호 SCAN을 하이 레벨로 하고, 상기 제어신호 EMB를 로우 레벨로 하고, 상기 제어신호 EM을 하이 레벨로 함으로써, 상기 제어신호 EM이 높아지는 순간에, 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 상기 제4

트랜지스터가 온되고, 상기 제1 트랜지스터 및 상기 제5 트랜지스터가 오프되고, 상기 제3 트랜지스터가 다이오드 접속을 형성하여, 상기 제2 스폿의 전압이 상기 ARVDD로 충전되고 점점 상승하여 상기 제3 트랜지스터를 오프시킴과 함께 상기 제1 스폿이 상기 OLED로 방전되는 제2 단계와,

상기 제어신호 SCAN을 로우 레벨로 하고, 상기 제어신호 EM 및 EMB를 하이 레벨로 함으로써, 상기 제1 트랜지스터 및 상기 제3 트랜지스터가 온되고, 상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터가 오프되는 제3 단계와,

상기 제어신호 SCAN을 하이 레벨로 하고, 상기 제어신호 EM을 로우 레벨로 하고, 상기 제어신호 EMB를 하이 레벨로 함으로써, 상기 제3 트랜지스터 및 상기 제5 트랜지스터가 온되고, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제4 트랜지스터가 오프되어, 상기 OLED가 발광하는 제4 단계의 순으로 조작되는 화소 유닛 회로.

청구항 10

제8항에 있어서,

상기 화소 유닛 회로는,

상기 제어신호 SCAN'를 로우 레벨로 하고, 상기 제어신호 EM' 및 EMB'를 하이 레벨로 함으로써, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터가 온되고, 상기 제1 트랜지스터가 오프되어, 상기 제1 콘덴서가 방전되는 제1 단계와,

상기 제어신호 SCAN'를 로우 레벨로 하고, 상기 제어신호 EMB'를 하이 레벨로 하고, 상기 제어신호 EM'를 로우 레벨로 함으로써, 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 상기 제4 트랜지스터가 온되고, 상기 제1 트랜지스터 및 상기 제5 트랜지스터가 오프되고, 상기 제3 트랜지스터가 다이오드 접속을 형성하여, 상기 제4 스폿 전압이 상기 제3 트랜지스터에 의해 상기 ARVSS로 방전하여 점점 하강하여 상기 제3 트랜지스터를 오프시킴과 함께, 상기 제3 스폿이 상기 ARVDD로 충전되는 제2 단계와,

상기 제어신호 SCAN'를 하이 레벨로 하고, 상기 제어신호 EM' 및 EMB'를 로우 레벨로 함으로써, 상기 제1 트랜지스터 및 상기 제3 트랜지스터가 온되고, 상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터가 오프되는 제3 단계와,

상기 제어신호 SCAN'를 로우 레벨로 하고, 상기 제어신호 EM'를 하이 레벨로 하고, 상기 제어신호 EMB'를 로우 레벨로 함으로써, 상기 제3 트랜지스터 및 상기 제5 트랜지스터가 온되고, 상기 제1 트랜지스터, 상기 제2 트랜지스터 및 상기 제4 트랜지스터가 오프되어, 상기 OLED가 발광하는 제4 단계의 순으로 조작되는 화소 유닛 회로.

청구항 11

복수의 직렬 연결되는 제1항 내지 제10항 중 어느 한 항에 기재된 화소 유닛 회로를 갖는 것을 특징으로 하는 OLED 표시 장치.

명세서

기술분야


[0001] 본 발명은 화소 유닛 회로 및 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 장치에 관한 것이다.

배경기술

[0002] 전류형 발광 소자로서, OLED는 점점 고성능 표시에 응용되고 있다. 표시 크기의 증대에 수반하여, 종래의 패시브 매트릭스 유기 발광 다이오드(Passive Matrix OLED; PMOLED) 표시 장치에 있어서, 화소 하나의 구동 시간이 한층 더 짧게 요구되므로, 순간 전류를 크게 하여 전력 소비를 증대할 필요가 있다. 그와 함께, 큰 전류의 사용에 의해 인듐 주석 산화물(ITO) 라인에 전압 강하가 너무 커지게 되고, OLED의 구동 전압이 너무 높아져서, OLED의 효율이 저하하게 된다. 액티브 매트릭스 유기 발광 다이오드(Active Matrix OLED; AMOLED) 표시 장치는, 스위치 트랜지스터에 의해 입력된 OLED 전류를 라인마다 스캔함으로써, 상기 문제를 잘 해결할 수 있다.

발명의 내용

해결하려는 과제

- [0003] AMOLED 백플레인을 설계할 때, 일례로서, 우선 AMOLED는 OLED 소자에 대응하는 전류를 공급하도록 저온 다결정 실리콘 박막 트랜지스터(LTPS TFT)로 화소 회로를 구성하는 경우가 많다. LTPS TFT는 일반적인 비결정 실리콘 박막 트랜지스터(amorphous-Si TFT)에 비해, 보다 높은 이동을 및 보다 안정된 특성을 가지므로, AMOLED 표시에 보다 적합하다. 그러나, 결정화 기술의 한계에 의해, 대면적의 유리 기판에 형성되는 LTPS TFT는, 예를 들면 임계 전압, 이동율 등의 전기학 파라미터에 항상 불균일성을 갖는다. 이 불균일성은 OLED의 전류 차이 및 휘도 차이의 원인이 되어, 육안으로 감지된다. 즉, 무라가 발생하게 된다.
- [0004] 두번째로, 대면적의 표시 장치에서, 백플레인 전원선에 어느 정도 전기 저항을 가지면서 모든 화소의 구동 전류가 백플레인 플러스 전원(ARVDD)에 의해 공급되므로, 백플레인에 있어서 ARVDD 전원의 전력 공급 위치로부터 가까운 영역의 전원 전압은 전력 공급 위치로부터 먼 영역의 전원 전압보다 높다. 이러한 현상은 IR 드롭(IR Drop)이라 칭한다. ARVDD의 전압은 전류와 관련되므로, IR Drop에 의해 서로 다른 영역에서 전류가 서로 다르게 되므로, 표시 시에 무라가 발생하게 된다.
- [0005] 세번째로, OLED 소자가 증착될 때, 막 두께의 불균일에 의해 전기학 성능의 비균일성도 초래된다. 도 1은 OLED 휘도, OLED 임계 전압 및 OLED 작업 시간의 관계를 도시하는 개략도이다. 도 1에 있어서, 「

- 6 -

$$I_{OLED} = \frac{1}{2} \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{Data} - ARVDD - V_{th})^2$$

[0010]

[0011]

상기 식에 있어서, μ_p 는 캐리어 이동율이고, C_{ox} 는 게이트 산화층 용량이고, W/L 은 트랜지스터의 폭과 길이의 비이고, V_{DATA} 는 데이터 전압이고, $ARVDD$ 는 AMOLED 백플레인의 전원으로서 모든 화소 유닛에 공유되고, V_{th} 는 트랜지스터의 임계 전압이다. 상기 식에서 알 수 있듯이, 서로 다른 화소 유닛 사이의 V_{th} 가 서로 다르면, 전류가 서로 다르게 된다. 또한, OLED 소자의 열화에 따라, 정전류를 공급하여도 OLED의 발광 휘도가 저하된다.

[0012]

현재, V_{th} 균일성 및 IR Drop을 보상하는 화소 유닛 회로는 다수 개 있다. 그 중 어떤 화소 유닛 회로는 구동 트랜지스터의 V_{th} 불균일성을 보상할 수 있지만, IR Drop 및 OLED의 열화에 의한 휘도 손실을 보상할 수 없다. 다른 화소 유닛 회로는 구동 트랜지스터의 V_{th} 불균일성 및 IR Drop을 보상할 수 있지만, OLED의 열화에 의한 휘도 손실을 보상할 수 없다. 또 다른 화소 유닛 회로는 V_{th} 불균일성, IR Drop 및 OLED의 열화에 의한 영향을 보상할 수 있지만, 전류형 구동이므로, 큰 크기의 패널에 응용할 수 없다. 또 다른 화소 유닛 회로는 OLED 열화에 의한 영향을 보상할 수 있지만, V_{th} 불균일성 및 IR Drop을 보상할 수 없다. 따라서, 종래 기술에 따른 화소 회로는 TFT 구동 트랜지스터의 V_{th} 의 불균일성, 백플레인 전원의 IR Drop 및 OLED 열화에 의한 영향을 효과적으로 보상함과 함께, 큰 크기의 패널에까지 적용할 수는 없다.

[0013]

본 발명의 목적은, TFT 구동관의 임계 전압의 불균일성, 백플레인 전원의 IR Drop 및 OLED 열화에 의한 영향을 효과적으로 보상할 수 있음과 함께, 큰 크기의 패널에 응용할 수 있는 화소 유닛 회로 및 OLED 표시 장치를 제공하는 데에 있다.

과제의 해결 수단

[0014]

본 발명의 하나의 실시예는, 제1 서브 회로 모듈, 제2 서브 회로 모듈, 제1 콘덴서 및 유기 발광 표시 다이오드(OLED)를 갖는 화소 유닛 회로로서,

[0015]

제1 서브 회로 모듈의 한쪽의 입력단이 데이터 라인에 접속되고,

[0016]

제1 서브 회로 모듈의 다른 쪽의 입력단이 제2 서브 회로 모듈의 출력단 및 OLED의 제1단에 접속되고,

[0017]

제1 서브 회로 모듈의 출력단과 제2 서브 회로 모듈의 입출력단은 제1 콘덴서에 의해 접속되고,

[0018]

제2 서브 회로 모듈의 입력단과 OLED의 제2단 사이에 백플레인의 플러스/마이너스 전원의 전압차가 인가된다.

[0019]

하나의 예시에서는, 상기 제1 서브 회로 모듈은 입력 전압을 선택하여 콘덴서에 출력하는 것이며, 상기 제2 서브 회로 모듈은 입력 전압을 전류로 변환하여 OLED에 공급하는 것이다.

[0020]

하나의 예시에서는, 상기 OLED의 제1단은 OLED의 애노드이고, 상기 OLED의 제2단은 OLED의 캐소드이고, 제1 서브 회로 모듈은 상기 다른 쪽의 입력단이 OLED의 애노드에 접속되고, 출력단의 제1 스폿이 제1 콘덴서의 일단에 접속된다. 제2 서브 회로 모듈은 입력단이 백플레인의 플러스 전원(ARVDD)에 접속되고, 입출력단의 제2 스폿이 제1 콘덴서의 타단에 접속되고, 출력단이 OLED의 애노드에 접속되고, OLED의 캐소드가 백플레인의 마이너스 전원(ARVSS)에 접속된다.

[0021]

바람직한 것은, 상기 제1 서브 회로 모듈은, 게이트 전극에 제어 신호 SCAN이 입력되고, 소스 전극에 데이터 라인에 접속되고, 드레인 전극이 제1 스폿에 대응하는 제1 트랜지스터와, 게이트 전극에 제어 신호 EMB가 입력되고, 드레인 전극이 제1 스폿에 대응하고, 소스 전극에 OLED의 애노드가 접속되는 제2 트랜지스터를 구비하며, 상기 제1 트랜지스터 및 제2 트랜지스터는 P형 TFT 트랜지스터이다.

[0022]

바람직한 것은, 상기 제2 서브 회로 모듈은 게이트 전극이 제2 스폿에 대응하고, 드레인 전극이 ARVDD에 접속되는 제3 트랜지스터와, 게이트 전극에 제어 신호 EMB가 입력되고, 드레인 전극이 제2 스폿에 대응하고, 소스 전극이 제3 트랜지스터의 소스 전극에 접속되는 제4 트랜지스터와, 게이트 전극에 제어 신호 EM이 입력되고, 드레인 전극이 제3 트랜지스터의 소스 전극에 접속되고, 소스 전극이 OLED의 애노드에 접속되는 제5 트랜지스터와, 일단이 제2 스폿에 대응하고, 타단이 ARVDD에 접속되는 제2 콘덴서를 구비하고, 상기 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터는 P형 TFT 트랜지스터이다.

[0023]

다른 예시에서는, 상기 OLED의 제1단은 캐소드이고, 상기 OLED의 제2단은 애노드이며, 제1 서브 회로 모듈은 상

기 다른 쪽의 입력단이 OLED의 캐소드에 접속되고, 출력단의 제3 스폿이 제1 콘텐츠의 일단에 접속되고, 제2 서브 회로 모듈은 입력단이 ARVSS에 접속되고, 입출력단의 제4 스폿이 제1 콘텐츠의 타단에 접속되고, 출력단이 OLED의 캐소드에 접속되고, OLED의 애노드가 ARVDD에 접속된다.

[0024] 바람직한 것은, 상기 제1 서브 회로 모듈은 게이트 전극에 제어 신호 SCAN'가 입력되고, 소스 전극이 데이터 라인에 접속되고, 드레인 전극이 제3 스폿에 대응하는 제1 트랜지스터와, 게이트 전극에 제어 신호 EMB'가 입력되고, 드레인 전극이 제3 스폿에 대응하고, 소스 전극이 OLED의 캐소드에 접속되는 제2 트랜지스터를 갖고, 상기 제1 트랜지스터 및 제2 트랜지스터는 N형 TFT 트랜지스터이다.

[0025] 바람직한 것은, 상기 제2 서브 회로 모듈은 게이트 전극이 제4 스폿에 대응하고, 드레인 전극이 ARVSS에 접속되는 제3 트랜지스터와, 게이트 전극에 제어 신호 EMB'가 입력되고, 드레인 전극이 제4 스폿에 대응하고, 소스 전극이 제3 트랜지스터의 소스 전극에 접속되는 제4 트랜지스터와, 게이트 전극에 제어 신호 EM'가 입력되고, 드레인 전극이 제3 트랜지스터의 소스 전극에 접속되고, 소스 전극이 OLED의 캐소드에 접속되는 제5 트랜지스터와, 일단이 제4 스폿에 대응하고, 타단이 ARVSS에 접속되는 제3 콘텐츠를 구비하고, 상기 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터는 N형 TFT 트랜지스터이다.

[0026] 하나의 예시에서는, 상기 화소 유닛 회로는, 이하의 순으로 조작된다. 즉, 제1 단계는, 제어신호 SCAN을 하이 레벨로 하고, 제어신호 EM 및 EMB를 로우 레벨로 함으로써, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터가 온되고, 제1 트랜지스터가 오프되어, 제1 콘텐츠가 방전되고, 제2 단계는, 제어신호 SCAN을 하이 레벨로 하고, 제어신호 EMB를 로우 레벨로 하고, 제어신호 EM을 하이 레벨로 함으로써, 제어신호 EM이 높아지는 순간에, 제2 트랜지스터, 제3 트랜지스터 및 제4 트랜지스터가 온되고, 제1 트랜지스터 및 제5 트랜지스터가 오프되고, 제3 트랜지스터가 다이오드 접속을 형성하여, 제2 스폿의 전압이 ARVDD로 충전되고 점점 상승하여 제3 트랜지스터를 오프시킴과 함께 제1 스폿이 OLED로 방전되고, 제3 단계는 제어신호 SCAN을 로우 레벨로 하고, 제어신호 EM 및 EMB를 하이 레벨로 함으로써, 제1 트랜지스터 및 제3 트랜지스터가 온되고, 제2 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터가 오프되고, 제4 단계에서는 제어신호 SCAN을 하이 레벨로 하고, 제어신호 EM을 로우 레벨로 하고, 제어신호 EMB를 하이 레벨로 함으로써, 제3 트랜지스터 및 제5 트랜지스터가 온되고, 제1 트랜지스터, 제2 트랜지스터 및 제4 트랜지스터가 오프되어 OLED가 발광한다.

[0027] 다른 예시에서는, 상기 화소 유닛 회로는 이하의 순으로 조작된다. 즉, 제1 단계는 제어신호 SCAN'를 로우 레벨로 하고, 제어신호 EM' 및 EMB'를 하이 레벨로 함으로써, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터가 온되고, 제1 트랜지스터가 오프되어, 제1 콘텐츠가 방전되고, 제2 단계는 제어신호 SCAN'를 로우 레벨로 하고, 제어신호 EMB'를 하이 레벨로 하고, 제어신호 EM'를 로우 레벨로 함으로써, 제2 트랜지스터, 제3 트랜지스터 및 제4 트랜지스터가 온되고, 제1 트랜지스터 및 제5 트랜지스터가 오프되고, 제3 트랜지스터가 다이오드 접속을 형성하여, 제4 스폿의 전압이 제3 트랜지스터에 의해 ARVSS로 방전하여 점점 하강하여 제3 트랜지스터를 오프시킴과 함께, 제3 스폿이 ARVDD로 충전되고, 제3 단계는 제어신호 SCAN'를 하이 레벨로 하고, 제어신호 EM' 및 EMB'를 로우 레벨로 함으로써, 제1 트랜지스터 및 제3 트랜지스터가 온되고, 제2 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터가 오프되고, 제4 단계는 제어신호 SCAN'를 로우 레벨로 하고, 제어신호 EM'를 하이 레벨로 하고, 제어신호 EMB'를 로우 레벨로 함으로써, 제3 트랜지스터 및 제5 트랜지스터가 온되고, 제1 트랜지스터, 제2 트랜지스터 및 제4 트랜지스터가 오프되어, OLED가 발광한다.

[0028] 복수의 직렬 연결되는 화소 유닛 회로를 갖는 OLED 표시 장치로서, 각 화소 유닛 회로는 제1 서브 회로 모듈, 제2 서브 회로 모듈, 제1 콘텐츠 및 유기 발광 표시 다이오드 OLED를 갖고, 제1 서브 회로 모듈은 한쪽의 입력단이 데이터 라인에 접속되고, 다른 쪽의 입력단이 제2 서브 회로 모듈의 출력단 및 OLED의 일단에 접속되고, 제1 서브 회로 모듈의 출력단과 제2 서브 회로 모듈의 입출력단은 제1 콘텐츠에 의해 접속되고, 제2 서브 회로 모듈의 입력단과 OLED의 타단 사이에 백플레인의 플러스/마이너스 전원의 전압차가 인가된다.

발명의 효과

[0029] 본 발명에 따른 화소 유닛 회로는, 종래의 화소 유닛 회로에 비하여, OLED 소자의 열화에 의한 영향, TFT 구동관의 임계 전압의 불균일성 및 백플레인 전원의 IR Drop을 효과적으로 보상할 수 있어 표시 효과를 향상할 수 있다. 또한, 본 발명에 따른 화소 유닛 회로는 전압 피드백 기술에 기초하여 설계되는 것이므로, 큰 크기의 패널에 적용할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 OLED 휘도, OLED 임계 전압 및 OLED 작업 시간의 관계를 도시하는 개략도이다.
- 도 2는 OLED의 상대적 휘도와 OLED의 임계 전압의 관계를 나타내어 OLED의 휘도 손실을 도시하는 개략도이다.
- 도 3은 OLED의 휘도와 전류 밀도의 관계를 도시하는 개략도이다.
- 도 4는 종래 기술에 있어서의 전압 구동형 화소 유닛의 회로 구조를 도시하는 개략도이다.
- 도 5는 본 발명에 있어서의 화소 유닛 회로의 구조를 도시하는 개략도이다.
- 도 6은 본 발명의 실시예에 있어서의 화소 유닛 회로의 상세 구조를 도시하는 개략도이다.
- 도 7은 본 발명의 실시예에 있어서의 제어신호 SCAN, EM 및 EMB의 파형을 도시하는 개략도이다.
- 도 8은 본 발명의 실시예의 제1 단계의 작업 상황을 도시하는 개략도이다.
- 도 9는 본 발명의 실시예의 제2 단계의 작업 상황을 도시하는 개략도이다.
- 도 10은 본 발명의 실시예의 제3 단계의 작업 상황을 도시하는 개략도이다.
- 도 11은 본 발명의 실시예의 제4 단계의 작업 상황을 도시하는 개략도이다.
- 도 12는 본 발명의 실시예에 따른 화소 유닛 회로에서 임계 전압의 불균일성을 보상하는 모의 결과를 도시하는 개략도이다.
- 도 13은 본 발명의 실시예에 따른 화소 유닛 회로에서 IR Drop을 보상하는 모의 결과를 도시하는 개략도이다.
- 도 14는 본 발명의 실시예에 따른 화소 유닛 회로에서 OLED 열화를 보상하는 모의 결과를 도시하는 개략도이다.
- 도 15는 본 발명의 실시예에 있어서 하이 레벨에서 온되는 N형 트랜지스터에 의해 실현되는 화소 유닛 회로의 구조 전체를 도시하는 개략도이다.
- 도 16은 본 발명의 실시예에 있어서 하이 레벨에서 온되는 N형 트랜지스터에 의해 실현되는 화소 유닛 회로의 구체적인 구조를 도시하는 개략도이다.
- 도 17은 본 발명의 실시예에 있어서 제어신호 SCAN', EM' 및 EMB'의 파형을 도시하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명은 제1 서브 회로 모듈, 제2 서브 회로 모듈, 콘덴서 및 유기 발광 표시 다이오드 OLED를 구비하는 화소 유닛 회로에 있어서,
- [0032] 제1 서브 회로 모듈의 한쪽의 입력단은 데이터 라인에 접속되고,
- [0033] 제1 서브 회로 모듈의 다른 쪽의 입력단은 제2 서브 회로 모듈의 출력단 및 OLED의 일단에 접속되고,
- [0034] 제1 서브 회로 모듈의 출력단과 제2 서브 회로 모듈의 입출력단은 콘덴서에 의해 접속되고,
- [0035] 제2 서브 회로 모듈의 입력단과 OLED의 타단 사이에 백플레인의 플러스/마이너스 전원의 전압차가 인가된다.
- [0036] 상기 제1 서브 회로 모듈은 입력 전압을 선택하여 콘덴서에 출력하는 것이며, 상기 제2 서브 회로 모듈은 입력 전압을 전류로 전환하여 OLED에 공급하는 것이다.
- [0037] 도 5는 본 발명의 실시예에 따른 화소 유닛 회로(100)의 구조를 도시하는 개략도이다. 도 5에 도시한 바와 같이, 상기 화소 유닛 회로(100)는 제1 서브 회로 모듈(1), 제2 서브 회로 모듈(2), 콘덴서(3) 및 OLED(4)를 갖고, 제1 서브 회로 모듈(1)은 데이터 라인 V_{DATA} 과 OLED(4)의 애노드에 각각 접속되는 2개의 입력단 IN1, IN2와, 콘덴서(3)의 일단에 접속되는 1개의 출력단 OUT를 갖고, 제2 서브 회로 모듈(2)은, ARVDD에 접속되는 1개의 입력단 IN과, 콘덴서(3)의 타단에 접속되는 1개의 입출력단 INOUT와, OLED(4)의 애노드에 접속되는 1개의 출력단 OUT를 갖는다. 상기 실시예에서는, 제1 서브 회로 모듈(1)의 출력단 OUT을 ND 스폿이라 칭하고, 제2 서브 회로 모듈(2)의 입출력단 INOUT을 NG 스폿이라 칭한다. 바꿔 말하면, 상기 실시예의 화소 유닛 회로(100)에 있어서, 제1 서브 회로 모듈(1)은 입력이 데이터 전압 V_{DATA} 및 OLED 애노드의 전압이고, 출력이 ND 스폿이며, 제2 서브 회로 모듈(2)은 1개의 입력 신호가 ARVDD이고, 1개의 전압 입출력 포트가 NG 스폿이며, 1개의 전류 출력 포트가 OLED(4)의 애노드에 접속되고, 콘덴서(3)가 ND 스폿과 NG 스폿 사이에 접속되고, OLED(4)의 캐소드가 백

플레인의 마이너스 전원(ARVSS)에 접속된다.

- [0038] 도 5에 도시하는 화소 유닛 회로(100)에 있어서, 제1 서브 회로 모듈(1)은 입력 전압(V_{DATA} 또는 V_{OLED})을 선택하여 ND에 출력하는 것이고, 제2 서브 회로 모듈(2)은 입력 전압을 전류로 전환하여 OLED(4)에 공급하는 것이며, 그 출력을 $f(V_{NG}, ARVDD, V_{Th})=I_{OLED}$ 라고 하는 식으로 나타내고, 이러한 출력처리는 2단계의 작업에 의해 행해진다. 즉, 제1 단계는 보상 단계이며, 이 단계에서는 ND 스롯의 전압이 V_{OLED_0} (V_{OLED_0} 은 OLED 임계 전압임)에 의해 제어되고, 이때 제2 서브 회로 모듈(2)의 NG 스롯이 출력 포트가 되고, NG 스롯의 전압이 $ARVDD+V_{Th}$ 에 의해 제어된다. V_{Th} 는 화소 유닛 회로(100)에 사용되는 트랜지스터의 임계 전압이다. 제2 단계는 연산 단계이며, 이 단계에서는 제1 서브 회로 모듈(1)이 출력하는 ND 스롯 전압이 V_{DATA} 로 제어되고, 이때 제2 서브 회로 모듈(2)의 NG 스롯이 입력 포트가 되고, 콘텐서의 부트스트랩(bootstrap) 효과에 의해 NG 스롯 전압이 $k \cdot (V_{DATA} - V_{OLED_0}) + ARVDD + V_{Th}$ 로 되고, 제2 서브 회로 모듈(2)은 이 입력 전압을 전류로 전환하고, 이 전환 중에 전술한 NG 스롯 전압을 나타내는 식에 있어서의 $ARVDD$ 와 V_{Th} 의 항을 소거하여, 출력 전류를 $ARVDD$, V_{Th} 와 무관계로 하고, 즉 임계 전압의 불균일성과 IR Drop을 보상함과 함께, 제2 서브 회로 모듈(2)은 출력 전류를 V_{OLED_0} 과 정비례로 하고, 즉 V_{OLED_0} 이 클수록 출력 전류가 커지고, 비례 계수 k 에 의해 양자의 관계를 조절하여, OLED의 감쇠에 의한 전류의 하강, 발광 효율의 저하에 의한 영향을 보상한다. 상기 화소 유닛 회로(100)는 종래의 화소 구조에 비하여 OLED 소자의 열화 및 TFT 구동관의 임계 전압의 불균일성, 백플레인 전원의 IR Drop을 효과적으로 보상할 수 있다.
- [0039] 도 6은 본 발명의 실시예에 따른 화소 유닛 회로(100)의 상세 구조를 도시하는 개략도이다. 도 6에 도시한 바와 같이, 상기 화소 유닛 회로(100)는 5개의 P형 TFT 트랜지스터(11, 12, 21, 22, 23), 1개의 OLED(4) 및 2개의 콘텐서(3, 24)로 이루어지고, $ARVDD$ 는 하이 레벨의 전원 신호이며, $ARVSS$ 는 로우 레벨의 전원 신호이며, 회로 전체는 3개의 제어 신호 SCAN, EM 및 EMB로 제어된다. 도 7은 제어신호 SCAN, EM 및 EMB의 파형을 나타낸다.
- [0040] 도 5 및 도 6에 도시한 바와 같이, 제1 서브 회로 모듈(1)은 트랜지스터(11) 및 트랜지스터(12)를 구비하고, 제2 서브 회로 모듈(2)은 트랜지스터(21), 트랜지스터(22), 트랜지스터(23) 및 콘텐서(24)를 구비한다.
- [0041] 트랜지스터(11)는 게이트 전극에 제어 신호 SCAN이 입력되고, 소스 전극이 데이터 라인에 접속되고, 드레인 전극이 ND 스롯에 대응한다.
- [0042] 트랜지스터(12)는 게이트 전극에 제어 신호 EMB가 입력되고, 드레인 전극이 ND 스롯(즉, 트랜지스터(12)의 드레인 전극과 트랜지스터(11)의 드레인 전극과의 접속개소)에 대응하고, 소스 전극이 OLED(4)의 애노드에 접속된다.
- [0043] 트랜지스터(21)는 게이트 전극이 NG 스롯에 대응하고, 드레인 전극에 $ARVDD$ 가 입력된다.
- [0044] 트랜지스터(22)는 게이트 전극에 제어 신호 EMB가 입력되고, 드레인 전극이 NG 스롯에 대응하고, 소스 전극이 트랜지스터(21)의 소스 전극에 접속된다.
- [0045] 트랜지스터(23)는 게이트 전극에 제어 신호 EM이 입력되고, 드레인 전극이 트랜지스터(21)의 소스 전극에 접속되고, 소스 전극이 OLED(4)의 애노드에 접속된다.
- [0046] 콘텐서(24)는 일단이 NG 스롯에 대응하고, 타단이 $ARVDD$ 에 접속된다.
- [0047] 여기서 알 수 있듯이, 제1 서브 회로 모듈(1)은 2개의 입력단이 각각 트랜지스터(11) 및 트랜지스터(12)의 소스 전극에 대응하고, 출력단이 트랜지스터(11) 또는 트랜지스터(12)의 드레인 전극에 대응한다. 제2 서브 회로 모듈(2)은 입력단이 트랜지스터(21)의 드레인 전극에 대응하고, 임출력단이 트랜지스터(21)의 게이트 전극에 대응하고, 출력단이 트랜지스터(23)의 소스 전극에 대응한다.
- [0048] 도 6에 도시하는 화소 유닛 회로(100)는, 도 7에 도시하는 제어 신호 파형에 기초하여, 작업은 이하 4개의 단계 ①~④로 구분된다.
- [0049] 제1 단계 ①는 프리차지(precharge) 단계이다. 도 8에 도시한 바와 같이, 이 단계에서는, SCAN이 하이 레벨이고, EM 및 EMB가 로우 레벨이다. 이때, 트랜지스터(21), 트랜지스터(22), 트랜지스터(12) 및 트랜지스터(23)가

온되고, 트랜지스터(11)가 오프되고, 콘덴서(3)가 방전되어, NG 스롯의 전위 V_{NG} 는 $ARVDD+V_{Thp}$ 보다 작다. V_{Thp} 는 P형 TFT 트랜지스터(21)의 임계 전압($V_{Thp}<0$)이다.

[0050] 제2 단계 ②는 보상 단계이다. 도 9에 도시한 바와 같이, 이 단계에서는, SCAN이 하이 레벨이고, EMB가 로우 레벨이고, EM이 하이 레벨이다. EM이 높아지는 순간, 트랜지스터(21), 트랜지스터(22) 및 트랜지스터(12)가 온되고, 트랜지스터(11), 트랜지스터(23)가 오프된다. 트랜지스터(21)가 다이오드 접속을 형성하여, NG 스롯의 전압이 $ARVDD$ 에 의해 충전되어 점점 $ARVDD+V_{Thp}$ 까지 상승하여 트랜지스터(21)를 오프시킴과 함께, OLED(4)가 오프되어 전류가 흐르지 않게 될 때까지 ND 스롯이 OLED(4)에 의해 방전된다. 이때, ND 전압이 V_{OLED_0} , 즉, OLED(4)의 임계 전압으로 된다.

[0051] 제3 단계 ③는 연산 단계이다. 도 10에 도시한 바와 같이, 이 단계에서는, SCAN이 로우 레벨이고, EM 및 EMB가 하이 레벨이다. 트랜지스터(21) 및 트랜지스터(11)가 온되고, 트랜지스터(22), 트랜지스터(12) 및 트랜지스터(23)가 오프된다. 이때, 데이터 라인의 전압이 콘덴서(3)의 ND 스롯에 인가된다. NG 스롯에는 직류 통로가 없기 때문에, 이 스롯의 전하 총량은, 하기 식과 같이 단계 ②에 대하여 불변해야 한다.

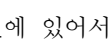

$$\begin{aligned}
 & (ARVDD+V_{thp}-V_{OLED_0})\cdot C_3+(ARVDD+V_{thp}-ARVDD)\cdot C_{24} \\
 & = (V_{NG}-V_{Data})\cdot C_3+(V_{NG}-ARVDD)\cdot C_{24}
 \end{aligned}$$

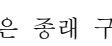

[0052] 을 연산하여, $V_{NG} = [C_3 / (C_3 + C_{24})] \cdot (V_{Data} - V_{OLED_0}) + ARVDD + V_{thp}$ 를 얻는다.

[0053] 제4 단계 ④는 유지 발광 단계이다. 도 11에 도시한 바와 같이, 이 단계에서는, SCAN이 하이 레벨이고, EM이 로우 레벨이고, EMB가 하이 레벨이다. 트랜지스터(21) 및 트랜지스터(23)가 온되고, 트랜지스터(22), 트랜지스터(11) 및 트랜지스터(12)가 오프된다. 이때, NG 스롯의 전압이 콘덴서(24)에 보존되고, 트랜지스터(23)가 온된 후, 전류가 OLED(4)에 공급되어 OLED(4)를 발광시킨다. 이때, 트랜지스터(21)를 흐르는 전류는, 하기 식과 같이 표현된다.

$$\begin{aligned}
 I_{OLED} & = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\left(\frac{C_3}{C_{24} + C_3} \right) \cdot (V_{Data} - V_{OLED_0}) + ARVDD + V_{thp} - ARVDD - V_{thp} \right]^2 \\
 & = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\frac{C_3}{C_{24} + C_3} \cdot (V_{Data} - V_{OLED_0}) \right]^2
 \end{aligned}$$

[0054] 상기의 식에서 알 수 있듯이, 트랜지스터(21)를 흐르는 전류는 트랜지스터 임계 전압 및 $ARVDD$ 와 관계가 없으므로, 본 실시예에 있어서의 화소 유닛 회로(100)는, 트랜지스터 임계 전압의 불균일성 및 IR Drop의 영향을 거의 제거하였다.

[0055] 도 12는 본 발명의 실시예에 따른 화소 유닛 회로(100)에서 트랜지스터 임계 전압의 불균일성을 보상하는 모의 결과를 도시하는 개략도이다. 이 도면에 있어서, 「」은 종래 구조의 2T1C에서 트랜지스터 임계 전압과 I_{OLED} 의 관계를 나타내고, 「」은 본 실시예의 구조의 5T2C에서 트랜지스터 임계 전압과 I_{OLED} 의 관계를 나타낸다. 도 12에 도시한 바와 같이, 종래 구조의 2T1C에 기초하여, 트랜지스터 임계 전압이 $\pm 0.6V$ 드리프트한 경우에, 그 전류가 최대 1.8배 이상 드리프트할 가능성이 있다. 본 실시예에 있어서의 5T2C의 구조에 기초하여, 임계 전압이 $\pm 0.6V$ 드리프트한 경우에, 그 전류의 파동은 2.5%보다 작다.

[0056] 도 13은 본 발명의 실시예에 따른 화소 유닛 회로(100)에서 IR Drop을 보상하는 모의 결과를 도시하는 개략도이다. 이 도면에 있어서, 「」은 종래 구조의 2T1C에서 $ARVDD$ 전압 강하와 I_{OLED} 의 관계를 나타내고, 「」은 본 실시예에 있어서의 5T2C 구조에서 $ARVDD$ 전압 강하와 I_{OLED} 의 관계를 나타낸다. 도 13에 도시한 바와 같이, 종래 구조의 2T1C에 기초하여, $ARVDD$ 전압 강하의 드리프트가 $\pm 0.5V$ 이며, 그 전류의 최대가 81% 드리프트한다. 본 실시예에 있어서의 5T2C의 구조에 기초하여, $ARVDD$ 전압 강하의 드리프트가 $\pm 0.5V$ 인 경우에, 그 전류의 파동은 3.5% 이하이다.



[0057] 그와 함께, 전류 I_{OLED} 는 OLED의 임계 전압 V_{OLED_0} 에 관련하여, OLED의 열화에 의한 휘도 손실을 보상할 수 있다.

OLED 소자가 열화될 때, $V_{OLED,0}$ 은 점점 커져, 발광 효율이 저하되므로, 동일한 휘도를 유지하기 위해서는 트랜지스터(21)를 구동하여 보다 큰 전류를 제공할 필요가 있다. 실제의 응용에 있어서, $V_{DATA} < 0$ 이면서 $V_{DATA} < V_{OLED,0}$ 으로 하면, $V_{OLED,0}$ 의 증대에 따라서, $|V_{DATA} - V_{OLED,0}|$ 이 커져, I_{OLED} 를 증대시켜, OLED의 휘도 손실을 보상한다.

[0060] 테일러(Taylor) 전개에서 알 수 있듯이, OLED 임계 전압이 드리프트하면, 드리프트 후의 임계 전압은 $V'_{OLED,0} = V_{OLED,0} + \Delta V_{OLED,0}$ 과 같이 나타낼 수 있으므로, I_{OLED} 는 $\Delta V_{OLED,0}$ 에 대하여 1차원 근사 전개식이 이하와 같다.

$$I_{OLED} = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\frac{C_3}{C_{24} + C_3} \cdot (V_{Data} - V_{OLED,0}) \right]^2 + \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\frac{C_3}{C_{24} + C_3} \cdot (V_{Data} - V_{OLED,0}) \right] \cdot \Delta V_{OLED,0}$$

[0062] I_{OLED} 와 $\Delta V_{OLED,0}$ 은 리니어 관계를 이루므로, 구체적으로 실시할 때, OLED 열화의 측정 결과에 따라, 콘덴서(24)와 콘덴서(3)의 용량 비례를 조절함으로써 그 $V_{OLED,0}$ 의 계수를 조절하여, 휘도- $\Delta V_{OLED,0}$ 곡선과 상보시켜, OLED의 열화에 의한 휘도 손실을 정확히 보상한다.

[0063] 도 14는 본 발명의 실시예에 따른 화소 유닛 회로(100)에서는 OLED 열화를 보상하는 모의 결과를 도시하는 개략도이다. 이 도면에 있어서, 「」은 종래 구조의 2T1C에서 OLED 임계 전압과 I_{OLED} 의 관계를 나타내고, 「」은 본 실시예에 따른 5T2C에서 OLED의 임계 전압과 I_{OLED} 의 관계를 나타낸다. 도 14에 도시한 바와 같이, 종래 구조의 2T1C에 기초하여, OLED 임계 전압이 0 ~ 0.8V 드리프트했을 때, 그 전류는 느리게 감소하는 경향이 있으므로, 표시 휘도의 하강이 심하게 된다. 그에 대하여, 본 실시예의 구조의 5T2C에 기초하여, 전류는 OLED의 임계 전압의 증대에 따라서 동기 리니어하게 증가하여, OLED의 휘도 손실을 효과적으로 보상할 수 있다. 콘덴서(24)와 콘덴서(3)의 용량 비례를 조절하는 것은, 전류의 증가 속도 및 범위를 제어할 수 있다.

[0064] 시뮬레이션 비교에 의해, 본 실시예에 따른 화소 유닛 회로(100)를 사용하는 것은, 트랜지스터 임계 전압의 불균일성 및 IR Drop을 효과적으로 보상할 수 있고, 전류의 드리프트를 각각 2.5% 및 3.5% 정도로 제어할 수 있어, 큰 크기의 패널 표시에 적합하다. 특히, 상기 실시예는 OLED의 열화에 의한 휘도 손실을 보상할 수 있어 제품의 수명을 효과적으로 향상할 수 있다.

[0065] 또한, 본 발명의 화소 유닛 회로(100)는, 로우 레벨에서 온되는 P형 트랜지스터에 의해 실현할 수 있을뿐만 아니라(도 6에 도시한 바와 같이), 하이 레벨에서 온되는 N형 트랜지스터에 의해서도 실현할 수 있는 데 주의할 필요가 있다. 도 15는 본 발명의 다른 실시예에 따른 하이 레벨에서 온되는 N형 트랜지스터의 화소 유닛 회로(200)의 구조 전체를 나타내고, 도 16은 그 구체적인 구조를 나타내고, 도 17은 대응하는 제어신호 SCAN', EM' 및 EMB'의 파형을 나타낸다.

[0066] 도 15에 도시한 바와 같이, 상기 실시예에 따른 화소 유닛 회로(200)는, 제1 서브 회로 모듈(1'), 제2 서브 회로 모듈(2'), 콘덴서(3') 및 OLED(4')를 구비한다. 제1 서브 회로 모듈(1')은 데이터 라인 및 OLED 캐소드에 접속되는 2개의 입력단 IN1, IN2와, 콘덴서(3')의 일단에 접속되고 ND' 스폿에 대응하는 1개의 출력단 OUT를 갖는다. 제2 서브 회로 모듈(2')은 ARVSS에 접속되는 1개의 입력단 IN과, 콘덴서(3')의 타단에 접속되며 또한 NG' 스폿의 타단에 대응하는 1개의 입출력단 INOUT와, OLED(4')의 캐소드에 접속되는 1개의 출력단 OUT를 갖고, OLED(4')의 애노드는 ARVDD에 접속된다.

[0067] 도 16에 도시한 바와 같이, 제1 서브 회로 모듈(1')은 트랜지스터(11') 및 트랜지스터(12')를 가지며, 상기 트랜지스터(11') 및 트랜지스터(12')는 N형 TFT 트랜지스터이다. 트랜지스터(11')는 게이트 전극에 제어 신호 SCAN'가 입력되고, 소스 전극이 데이터 라인에 접속되고, 드레인 전극이 ND' 스폿에 대응한다. 트랜지스터(12')는 게이트 전극에 제어 신호 EMB'가 입력되고, 드레인 전극이 ND' 스폿에 대응하고, 소스 전극이 OLED(4')의 캐소드에 접속된다.

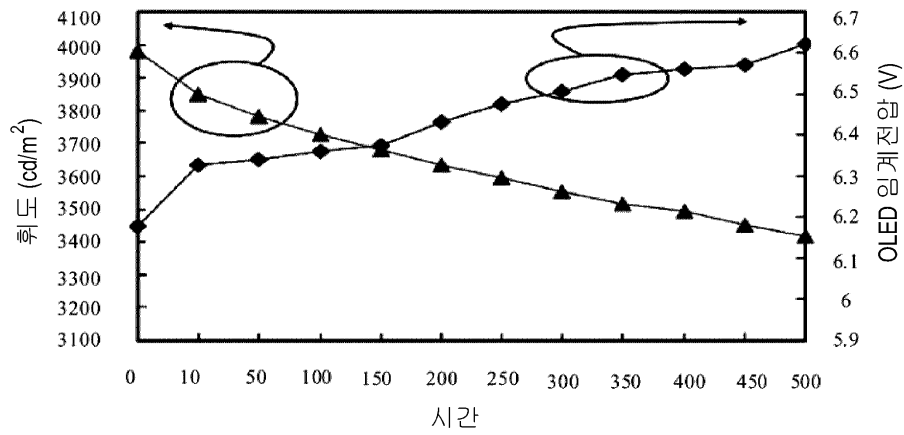
[0068] 제2 서브 회로 모듈(2')은 트랜지스터(21'), 트랜지스터(22'), 트랜지스터(23') 및 콘덴서(24')를 구비한다. 상기 트랜지스터(21'), 트랜지스터(22') 및 트랜지스터(23')는 N형 TFT 트랜지스터이다. 트랜지스터(21')는 게이트 전극이 NG' 스폿에 대응하고, 드레인 전극이 ARVSS에 접속된다. 트랜지스터(22')는 게이트 전극에 제어 신호 EMB'가 입력되고, 드레인 전극이 NG' 스폿에 대응하고, 소스 전극이 트랜지스터(21')의 소스 전극에 접속된다. 트랜지스터(23')는 게이트 전극에 제어 신호 EM'가 입력되고, 드레인 전극이 트랜지스터(21')의 소스 전극에 접속되고, 소스 전극이 OLED(4')의 캐소드에 접속된다. 콘덴서(24')는, 일단이 NG' 스폿에 대응하고, 타

단이 ARVSS에 접속된다.

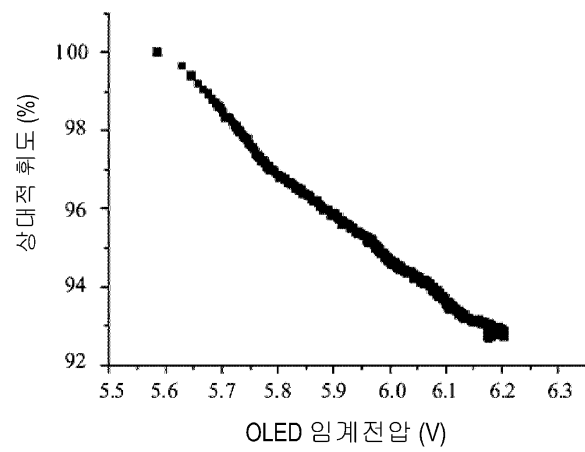
- [0069] 도 15에 도시하는 화소 유닛 회로(200)의 작업은, 2개의 단계로 구분된다. 제1 단계는 보상 단계이다. 이 단계에서는, ND' 스폿 전압이 $ARVDD - V_{OLED_0}$ 에 의해 제어되고, 이때 제2 서브 회로 모듈(2')의 NG' 스폿이 출력 포트이고, NG' 스폿의 전압이 V_{Th} 에 의해 제어된다. V_{Th} 는 화소 유닛 회로(200)에 사용되는 트랜지스터의 임계 전압이다. 제2 단계는 연산 단계이다. 이 단계에서는 제1 서브 회로 모듈(1')이 출력하는 ND' 스폿 전압이 V_{DATA} 에 의해 제어되고, 이때 제2 서브 회로 모듈(2')의 NG' 스폿은 입력 포트이고, 이때 콘덴서(3')의 부트스트랩 효과에 의해 NG' 스폿 전압을 $k \cdot (V_{DATA} - ARVDD - V_{OLED_0}) + V_{Th}$ 로 변경한다.
- [0070] 도 16에 도시하는 화소 유닛 회로(200)는, 도 17에 도시하는 제어 신호의 파형에 기초하여, 작업은 이하 4개의 단계 ①~④로 구분된다.
- [0071] 제1 단계①에서는 SCAN'가 로우 레벨이고, EM' 및 EMB'가 하이 레벨이다. 이에 의해, 트랜지스터(21'), 트랜지스터(22'), 트랜지스터(12') 및 트랜지스터(23')가 온되고, 트랜지스터(11')가 오프되어, 콘덴서(3')가 방전된다.
- [0072] 제2 단계 ②에서는 SCAN'가 로우 레벨이고, EMB'가 하이 레벨이고, EM'가 로우 레벨이다. 이에 의해, 트랜지스터(21'), 트랜지스터(22') 및 트랜지스터(12')가 온되고, 트랜지스터(11') 및 트랜지스터(23')가 오프되고, 트랜지스터(21')가 다이오드 접속을 형성하여, NG' 스폿 전압이 트랜지스터(21')에 의해 ARVSS로 방전되어 점점 하강하여 트랜지스터(21')를 오프시킴과 함께 ND' 스폿이 ARVDD에 의해 충전된다.
- [0073] 제3 단계 ③에서는 SCAN'가 하이 레벨이고, EM', EMB'가 로우 레벨이다. 이에 의해, 트랜지스터(21') 및 트랜지스터(11')가 온되고, 트랜지스터(22'), 트랜지스터(12') 및 트랜지스터(23')가 오프된다.
- [0074] 제4 단계 ④에서는, SCAN'가 로우 레벨이고, EM'가 하이 레벨이고, EMB'가 로우 레벨이다. 이에 의해, 트랜지스터(21') 및 트랜지스터(23')가 온되고, 트랜지스터(22'), 트랜지스터(11') 및 트랜지스터(12')가 오프되어, OLED(4')이 발광한다.
- [0075] 상기 트랜지스터(11'), 트랜지스터(12'), 트랜지스터(21'), 트랜지스터(22') 및 트랜지스터(23')는 N형 TFT 트랜지스터이다.
- [0076] 본 발명은 OLED 표시 장치를 더 제공한다. 이 OLED 표시 장치는 복수의 직렬 연결되는 도 5, 도 6, 도 15 또는 도 16에 도시하는 화소 유닛 회로를 갖는다.
- [0077] 여기서 알 수 있듯이, 본 발명은 전압 피드백 기술의 AMOLED 화소 구조를 사용함으로써 OLED 소자의 열화 및 TFT 구동 트랜지스터의 임계 전압의 불균일성, 백플레인 전원의 IR Drop을 효과적으로 보상하여, 표시 효과를 향상할 수 있다.
- [0078] 이상은, 본 발명의 보다 우수한 실시예만을 예시한 것으로, 본 발명의 보호 범위를 한정하는 것은 아니다.

도면

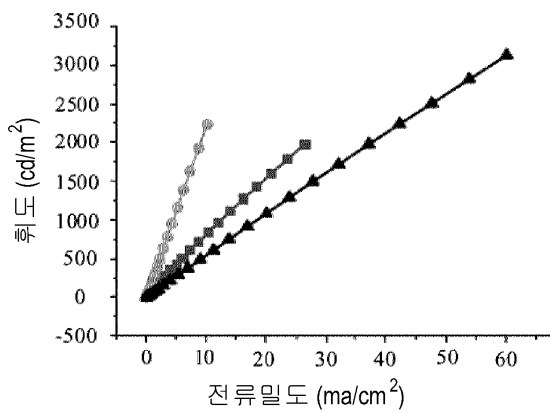
도면1



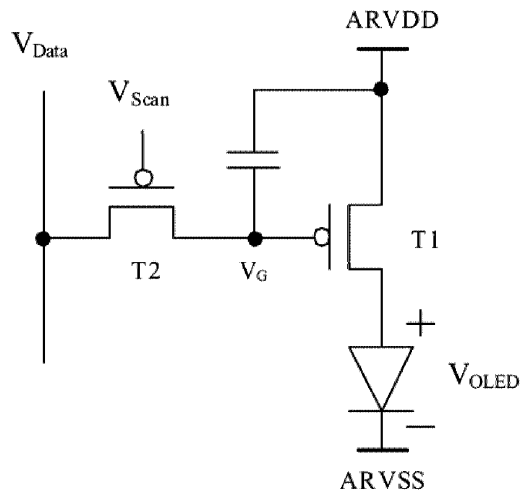
도면2



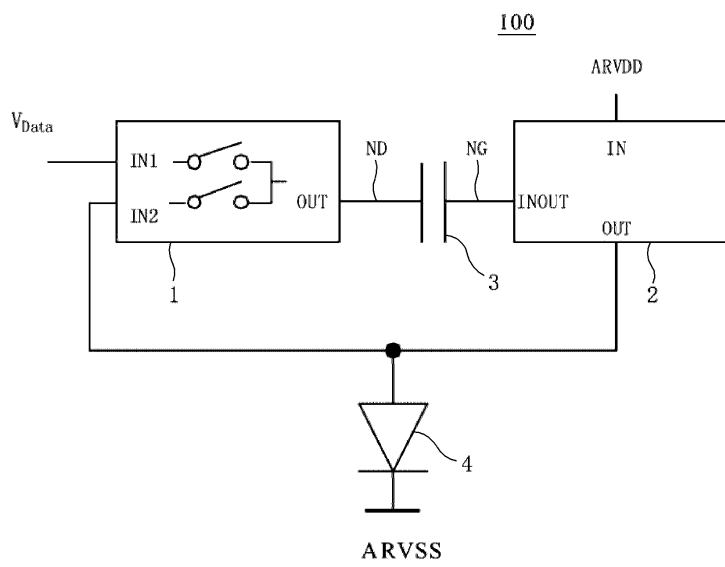
도면3



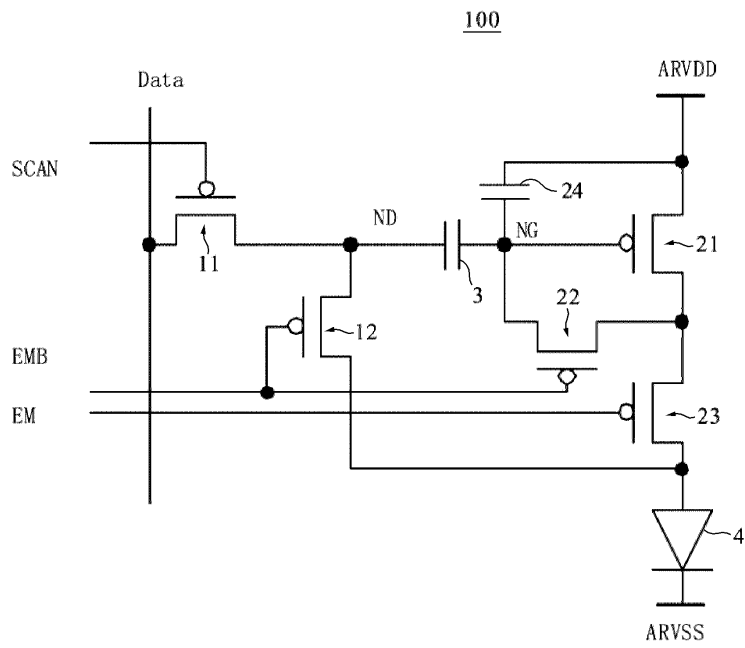
도면4



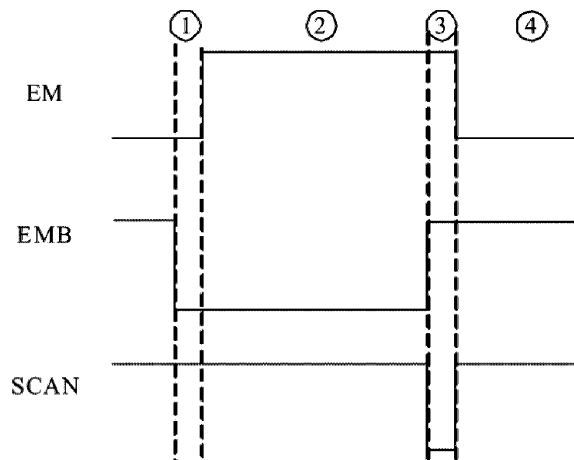
도면5



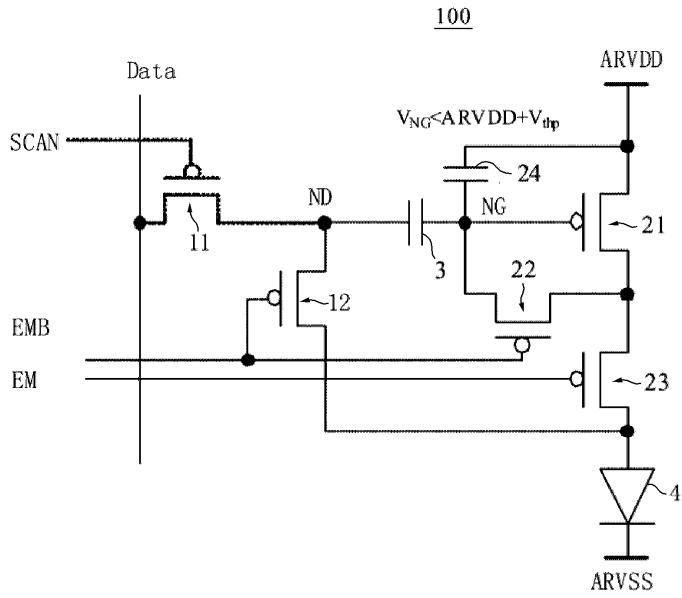
도면6



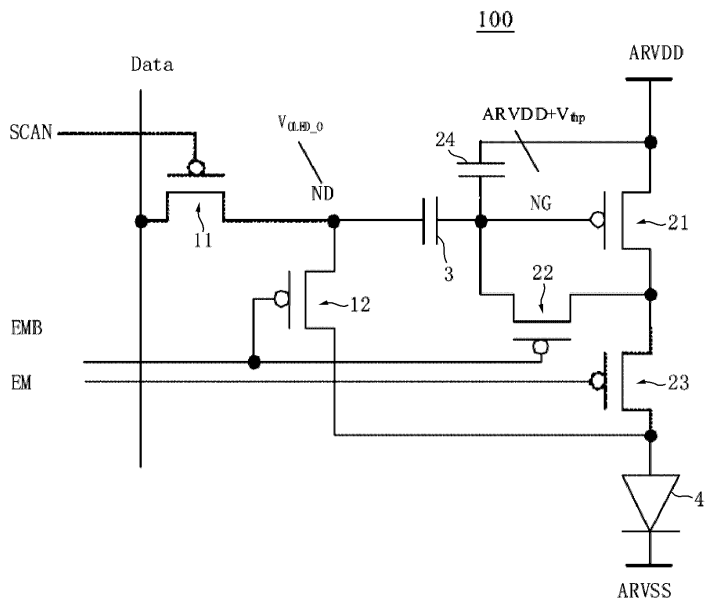
도면7



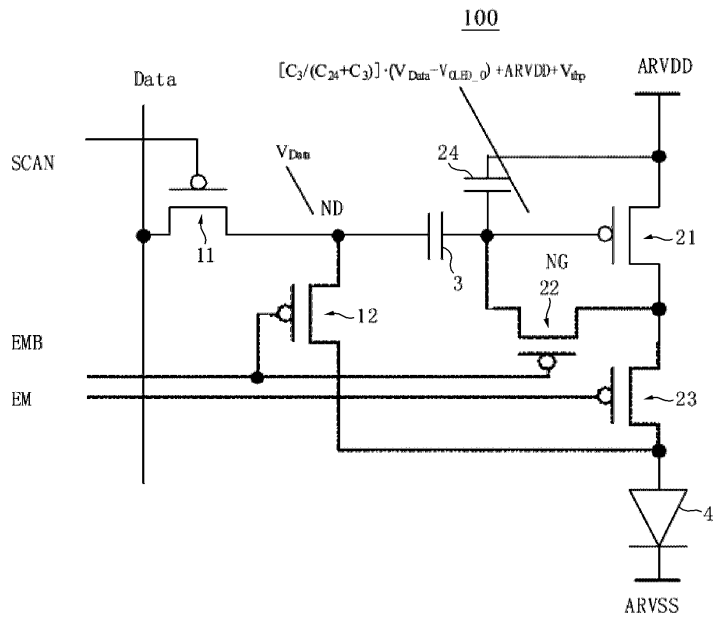
도면8



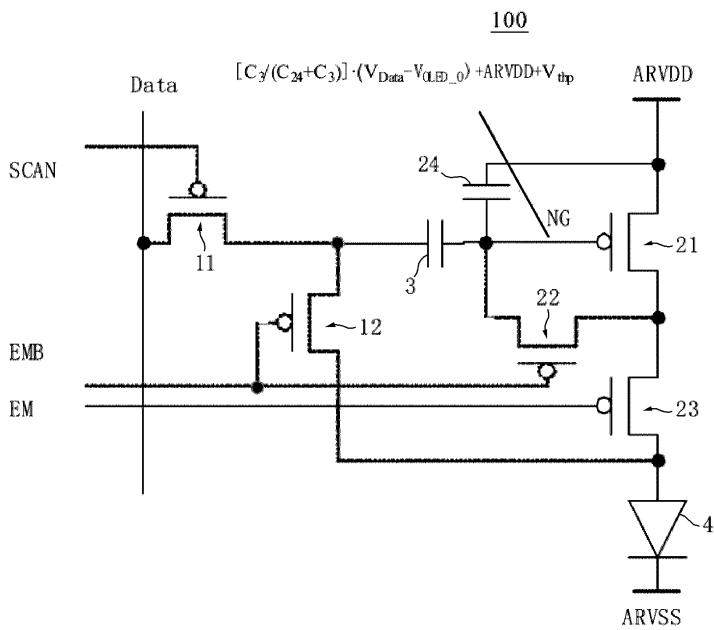
도면9



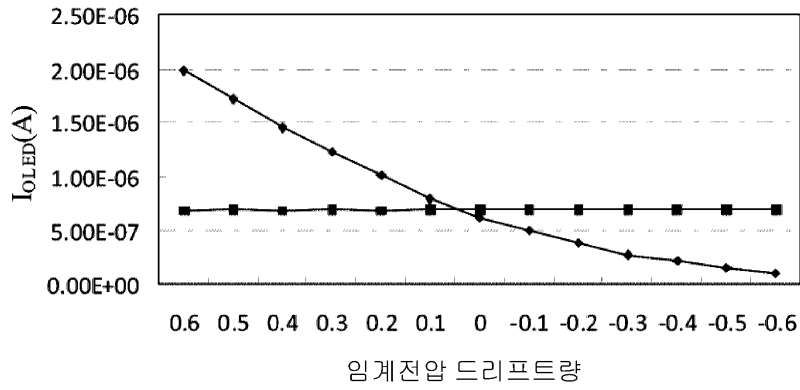
도면10



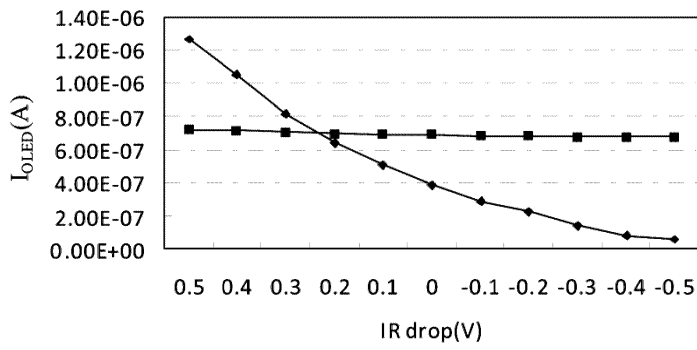
도면11



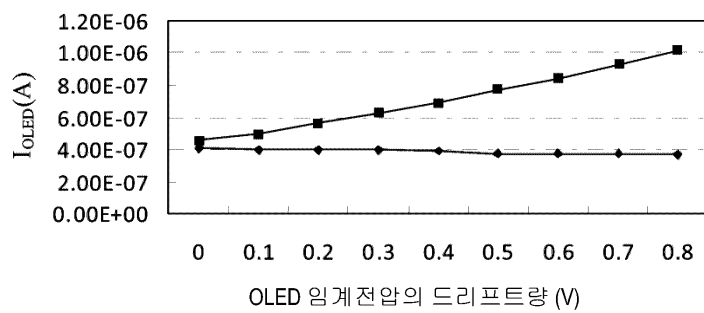
도면12



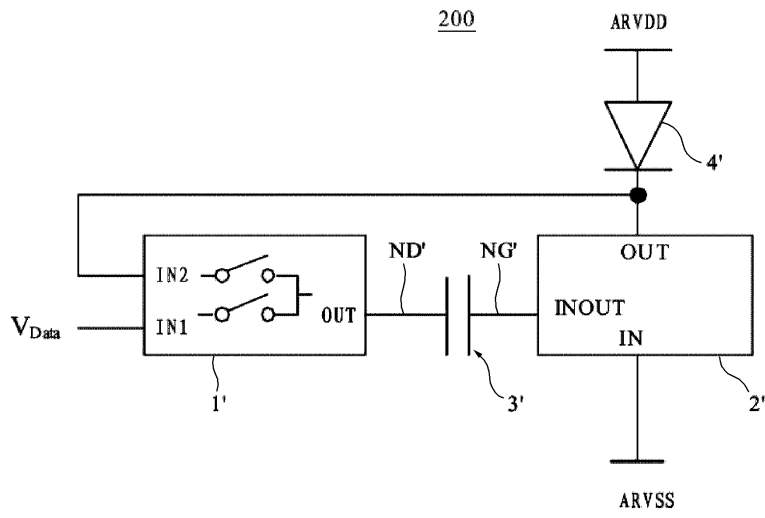
도면13



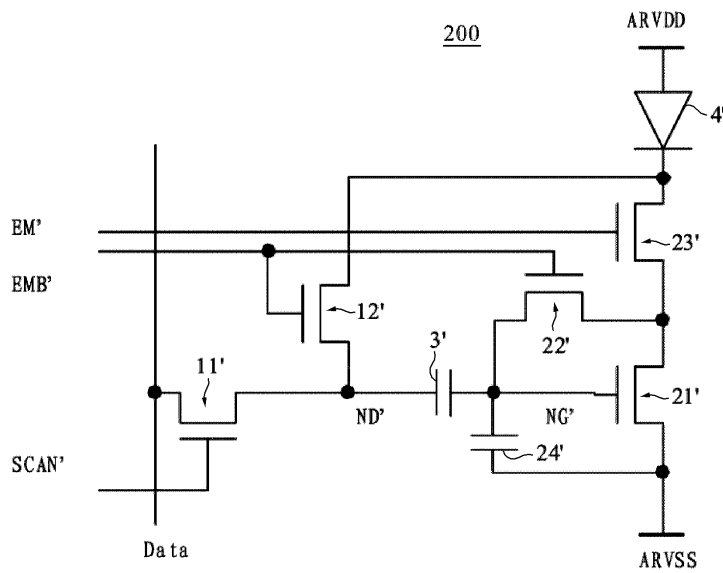
도면14



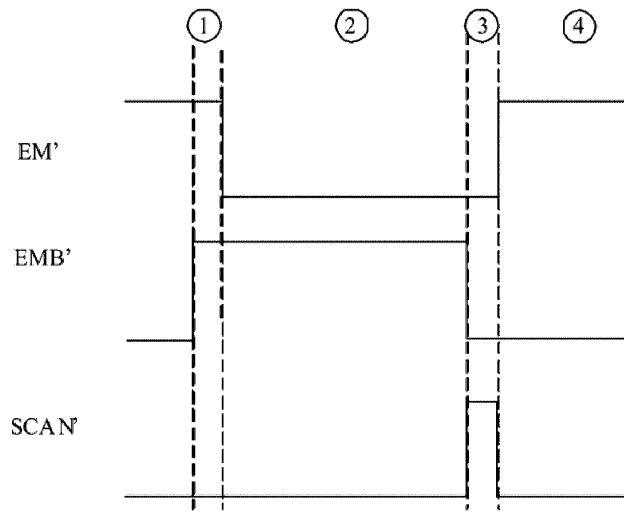
도면15



도면16



도면17



专利名称(译)	标题：像素单元电路和OLED显示设备		
公开(公告)号	KR101382001B1	公开(公告)日	2014-04-04
申请号	KR1020120053042	申请日	2012-05-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	博科技集团股份有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司		
[标]发明人	WU ZHONGYUAN 우중위엔 DUAN LIYE 두안리이에 WANG GANG 왕강 XIAO TIAN 샤오티엔		
发明人	우중위엔 두안리이에 왕강 샤오티엔		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 G09G2320/043 G09G2300/0861 G09G2300/0852 G09G2320/045 G09G2300/0819		
代理人(译)	CHANG, SOO KIL 金诚WOON		
优先权	201110129681.8 2011-05-18 CN		
其他公开文献	KR1020120129823A		
外部链接	Espacenet		

摘要(译)

本公开公开了一种像素单元电路和OLED显示装置。像素单元电路包括第一子电路模块(11和12)，第二子电路模块(21,22,23和24)，第一电容器(3)和OLED(4)。第一子电路模块的输入连接到数据线(Data)；第一子电路模块的另一输入端连接到第二子电路模块的输出端和OLED的第一端子；第一子电路模块的输出端通过第一电容器连接到第二子电路模块的输入/输出端；在第二子电路模块的输入和OLED的第二端子之间施加背板的正电源(ARVDD)和负电源(ARVSS)之间的电压差。像素单元电路可以补偿OLED器件的老化，TFT驱动晶体管的阈值电压的不均匀性以及背板的电源的驱动电流IR Drop的下降。

