



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0077197
(43) 공개일자 2020년06월30일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01) G09G 3/32 (2016.01)
(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 3/32 (2013.01)
(21) 출원번호 10-2018-0166478
(22) 출원일자 2018년12월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장성욱
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

전체 청구항 수 : 총 20 항

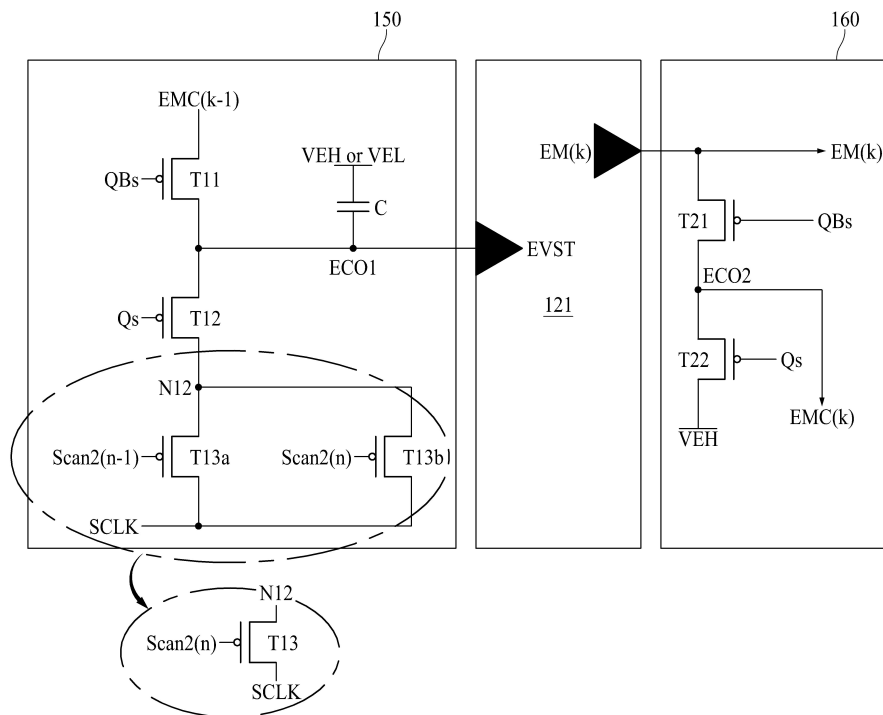
(54) 발명의 명칭 게이트 구동부를 포함한 전계발광 표시장치

(57) 요약

본 명세서의 실시예에 따른 전계발광 표시장치에 있어서, 복수의 스테이지들로 구성된 게이트 구동부는, n번째 화소행에 에미션 신호를 제공하는 k번째 스테이지, k번째 스테이지에 연결되어 입력 신호를 제공하는 제1 제어부, 및 k번째 스테이지와 연결되어 k번째 스테이지의 출력 신호를 입력 신호로 받는 제2 제어부를 포함한다.

(뒷면에 계속)

대표도



제1 제어부는 n번째 화소행을 센싱하기 위한 제어 신호를 생성하도록 구현되고, 제2 제어부는 k번째 스테이지의 출력 신호가 에미션 신호가 인가되는 에미션 라인에 제공되도록 에미션 라인에 연결되고, k번째 스테이지의 출력 신호가 에미션 캐리 신호로 변환되어 (k+1)번째 스테이지의 제1 제어부에 제공되도록 (k+1)번째 스테이지의 제1 제어부에 연결된다. 이 경우, k 및 n은 자연수이고, $1 \leq k \leq n$ 이다. 이에 따라, 특정 화소행에 선택적으로 임의의 게이트 신호를 인가하여 특정 화소행을 센싱하고 보상할 수 있다. 따라서, 표시패널의 휘도 불균일을 실시간으로 보상하여 전계발광 표시장치의 화질을 향상시키고 수명을 연장시킬 수 있다.

(52) CPC특허분류

G09G 2310/0267 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/029 (2013.01)

G09G 2320/041 (2013.01)

명세서

청구범위

청구항 1

복수의 스테이지들로 구성된 게이트 구동부는,

n번째 화소행에 에미션 신호를 제공하는 k번째 스테이지($1 \leq k \leq n$, n 및 k는 자연수);

상기 k번째 스테이지에 연결되어 입력 신호를 제공하는 제1 제어부; 및

상기 k번째 스테이지와 연결되어 상기 k번째 스테이지의 출력 신호를 입력 신호로 받는 제2 제어부를 포함하고,

상기 제1 제어부는 상기 n번째 화소행을 센싱하기 위한 제어 신호를 생성하도록 구현되며,

상기 제2 제어부는 상기 k번째 스테이지의 출력 신호가 상기 에미션 신호가 인가되는 에미션 라인에 제공되도록 상기 에미션 라인에 연결되고, 상기 k번째 스테이지의 출력 신호가 에미션 캐리 신호로 변환되어 (k+1)번째 스테이지의 제1 제어부에 제공되도록 상기 (k+1)번째 스테이지의 제1 제어부에 연결된, 전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 k번째 스테이지는 홀수번째 및 짝수번째 화소행을 포함하는 두 개의 화소행에 에미션 신호를 제공하고,

k는 n을 2로 나눈 자연수인, 전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 게이트 구동부를 구성하는 복수의 스테이지들은 쉬프트 레지스터로 구현된, 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 n번째 화소행에는 복수의 서브 화소들이 배치되고,

상기 복수의 서브 화소들 각각은 발광 소자 및 화소 회로를 포함하며,

상기 화소 회로는 구동 트랜지스터, 스위칭 트랜지스터, 에미션 트랜지스터, 및 센싱 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 5

제1항에 있어서,

상기 게이트 구동부는 상기 센싱 트랜지스터를 제어하기 위한 센싱 신호를 제공하는 센싱 스캔 구동부를 더 포함하는, 전계발광 표시장치.

청구항 6

제5항에 있어서,

상기 센싱 스캔 구동부는 Qsp 노드에 의해 제어되어 게이트 클럭을 출력하는 풀다운 트랜지스터 및 QBs 노드에 의해 제어되어 게이트 하이 전압을 출력하는 풀업 트랜지스터를 포함하고,

상기 n번째 화소행에 제공되는 센싱 신호는 상기 게이트 클럭이 조절된 신호인, 전계발광 표시장치.

청구항 7

제6항에 있어서,

상기 제1 제어부는,

상기 QBs 노드에 의해 제어되어 (k-1)번째 스테이지의 에미션 캐리 신호를 상기 제1 제어부의 출력 노드에 인가하는 제11 트랜지스터;

상기 Qs 노드에 의해 제어되고 일전극이 상기 제1 제어부의 출력 노드에 연결된 제12 트랜지스터;

상기 센싱 스캔 구동부의 출력 신호에 의해 제어되어 상기 n번째 화소행을 선택하는 센싱 클럭을 상기 제12 트랜지스터의 일전극에 인가하는 제13 트랜지스터; 및

상기 출력 노드와 에미션 하이 전압 또는 에미션 로우 전압이 인가되는 라인에 연결된 커패시터를 포함하고,

상기 제1 제어부의 출력 노드에 제공된 신호는 상기 k번째 스테이지의 입력 신호로 제공되는, 전계발광 표시장치.

청구항 8

제7항에 있어서,

상기 제1 제어부는,

상기 제1 제어부의 출력 노드에 연결된 제14 트랜지스터 및 제1 보조 커패시터를 더 포함하고,

상기 제14 트랜지스터는 상기 에미션 로우 전압에 의해 제어되어 상기 Qs 노드의 신호를 상기 제1 제어부의 출력 노드로 인가하며,

상기 제1 보조 커패시터는 상기 출력 노드와 상기 센싱 클럭이 입력되는 노드에 연결된, 전계발광 표시장치.

청구항 9

제7항에 있어서,

상기 제13 트랜지스터는 홀수번째 화소행에 신호를 제공하는 센싱 스캔 구동부의 출력 신호에 의해 제어되는 제13a 트랜지스터 및 짝수번째 화소행에 신호를 제공하는 센싱 스캔 구동부의 출력 신호에 의해 제어되는 제13b 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 10

제6항에 있어서,

상기 제2 제어부는,

상기 QBs 노드에 의해 제어되어 상기 k번째 스테이지의 출력 신호를 제2 제어부의 출력 노드에 인가하는 제21 트랜지스터; 및

상기 Qs 노드에 의해 제어되어 에미션 하이 전압을 상기 제2 제어부의 출력 노드에 인가하는 제22 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 11

제10항에 있어서,

상기 제2 제어부는,

상기 QBs 노드 및 상기 k번째 스테이지의 출력 신호가 인가되는 노드 사이에 제2 보조 커패시터를 더 포함하는, 전계발광 표시장치.

청구항 12

제1항에 있어서,

상기 제2 제어부의 출력 노드는 상기 n번째 화소행에 포함된 에미션 트랜지스터의 게이트에 연결된, 전계발광 표시장치.

청구항 13

제1항에 있어서,

상기 k번째 스테이지는 Qe 노드 제어부, QBe 노드 제어부, 출력부, 및 안정화부를 포함하는, 전계발광 표시장치.

청구항 14

제1항에 있어서,

상기 게이트 구동부는 상기 n번째 화소행에 스캔 신호를 제공하는 센싱 스캔 구동부를 더 포함하고,

상기 제1 제어부 및 상기 제2 제어부는 상기 센싱 스캔 구동부와 동기되어 동작하는, 전계발광 표시장치.

청구항 15

특정 화소행에 센싱 신호를 인가하는 복수의 스테이지들을 포함하는 센싱 스캔 구동부;

상기 특정 화소행에 에미션 신호를 인가하는 복수의 스테이지들을 포함하는 에미션 구동부;

에미션 구동부에 입력 신호를 제공하는 제1 제어부; 및

상기 에미션 구동부의 출력 신호를 입력 신호로 받는 제2 제어부를 포함하고,

상기 특정 화소행은 센싱 기간을 통해 상기 특정 화소행에 포함된 구동 소자의 전기적 특성이 센싱되며,

상기 센싱 기간 동안 상기 센싱 스캔 구동부 및 상기 에미션 구동부를 통해 게이트 온 전압이 출력되는, 전계발광 표시장치.

청구항 16

제15항에 있어서,

상기 특정 화소행 이전의 화소행 및 이후의 화소행은 화소들을 발광시키기 위해 일반 구동되는, 전계발광 표시장치.

청구항 17

제15항에 있어서,

상기 제1 제어부는 복수의 트랜지스터들 및 커패시터를 포함하고,

상기 복수의 트랜지스터들은 상기 센싱 스캔 구동부를 구성하는 노드 및 상기 센싱 신호에 의해 제어되어 상기 제1 제어부의 출력 노드에 출력 신호를 인가하는, 전계발광 표시장치.

청구항 18

제15항에 있어서,

상기 제2 제어부는 복수의 트랜지스터들을 포함하고,

상기 복수의 트랜지스터들은 상기 센싱 스캔 구동부를 구성하는 노드에 의해 제어되어 상기 제2 제어부의 출력 노드에 출력 신호를 인가하는, 전계발광 표시장치.

청구항 19

제15항에 있어서,

상기 특정 화소행은 상기 센싱 기간 이전에 데이터 프로그램 기간 동안 상기 특정 화소행의 센싱을 위한 센싱 데이터 전압이 인가되는, 전계발광 표시장치.

청구항 20

제19항에 있어서,

상기 에미션 구동부는 복수의 스테이지들을 포함하고,

상기 복수의 스테이지들은 각각 상기 특정 화소행 및 상기 특정 화소행 이전의 화소행에 상기 에미션 신호를 인가하며,

상기 데이터 프로그램 기간 동안 상기 화소행에는 블랙 데이터 전압이 인가되는, 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 특정 화소행에 선택적으로 임의의 신호를 출력시킬 수 있는 게이트 구동부를 포함한 전계발광 표시 장치에 관한 것이다.

배경 기술

[0002] 전계발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 구분할 수 있다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(organic light emitting diode, OLED)를 포함하고, 응답속도가 빠르고 발광효율, 휘도, 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시장치는 OLED와 같은 자발광 소자를 이용하여 입력 영상을 표시한다. OLED는 애노드 전극 및 캐소드 전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(hole injection layer, HIL), 정공수송층(hole transport layer, HTL), 발광층(emission layer, EML), 전자수송층(electron transport layer, ETL), 및 전자주입층(electron injection layer, EIL)으로 이루어진다. 애노드 전극과 캐소드 전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생한다.

[0004] 전계발광 표시장치의 구동 회로는 데이터 신호를 데이터 라인들에 공급하는 데이터 구동부, 게이트 신호를 게이트 라인들에 공급하는 게이트 구동부 등을 포함한다. 게이트 구동부는 화면을 구성하는 표시 영역의 회로 소자들과 함께 동일 기판 상에 직접 형성될 수 있다. 표시 영역의 회로 소자들과 함께 표시패널의 기판 상에 직접 형성되는 게이트 구동부를 GIP 회로(gate in panel circuit)라고 일컫을 수도 있다. 표시 영역의 회로 소자들은 화소 어레이의 데이터 라인들과 게이트 라인들에 의해 매트릭스 형태로 정의된 화소들 각각에 형성된 화소 회로를 구성한다. 표시 영역의 회로 소자들과 게이트 구동부 각각은 복수의 트랜지스터들을 포함한다.

[0005] 표시 영역에는 게이트 신호 및 데이터 신호가 공급되고, 게이트 신호는 스캔 신호 및 에미션 신호를 포함한다. 표시 영역에 있는 화소들은 에미션 신호와 하나 이상의 스캔 신호를 이용하여 구동된다. 일반적으로 스캔 신호를 생성하는 게이트 구동부는 게이트 신호를 순차적으로 출력하기 위한 쉬프트 레지스터(shift register)를 포함할 수 있다.

[0006] GIP 형태의 게이트 구동부는 게이트 라인의 개수에 대응하여 복수의 스테이지들을 구비하고, 각 스테이지는 일대일로 대응하는 게이트 라인에 공급되는 게이트 신호를 출력한다. 게이트 라인은 표시 영역에 배치된 화소 어레이에 게이트 신호를 공급하여, 발광 소자가 발광할 수 있도록 한다.

[0007] 발광 소자는 발광하면서 빛뿐만 아니라 열을 발생시키고 발광 소자로부터 발생된 열은 표시패널의 표면 온도를 높이게 되므로 휘도 불균일이 발생할 수 있다. 따라서, 표시패널의 휘도 불균일을 보상하여 화상의 질을 높이기 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0008] 디지털 표시장치는 대부분 순차 주사(progressive scan) 방법으로 데이터를 화소들에 기입한다. 순차 주사 방법은 1 프레임 기간(frame period)의 수직 표시(vertical active) 구간 동안 표시 영역의 모든 라인들에 순차적으로 데이터를 기입한다. 예를 들어, 제1 화소행의 화소들에 데이터를 동시에 기입한 후에 제2 화소행의 화소들에 데이터를 동시에 기입한 다음, 제3 화소행의 화소들에 데이터를 동시에 기입한다. 이와 같은 방법으로 표시패널의 1 라인씩 데이터가 모든 화소행들의 화소들에 순차적으로 기입된다. 이러한 순차 주사 방법을 구현하기 위하여 게이트 구동부는 쉬프트 레지스터(shift register)를 이용하여 출력을 쉬프트(shift)하여 게이트 라인들에

게이트 신호를 순차적으로 공급할 수 있다.

- [0009] 화소들 각각은 컬러 구현을 위하여 컬러가 서로 다른 복수의 서브 화소들로 나뉘어지고, 서브 화소들 각각은 스위칭 소자 또는 구동 소자로 이용되는 트랜지스터를 포함한다. 이러한 트랜지스터는 박막 트랜지스터(thin film transistor, TFT)로 구현될 수 있다. 게이트 구동부는 화소들 각각에 형성된 트랜지스터의 게이트에 게이트 신호를 공급하여 트랜지스터의 온/오프를 제어한다.
- [0010] 표시 영역의 화소 회로들 각각은 복수의 트랜지스터들을 포함한다. 이러한 트랜지스터들에 파형이 다른 게이트 신호가 인가될 수 있다. 화소 회로에 인가되는 게이트 신호들의 개수만큼 게이트 구동부가 필요하다. 게이트 구동부는 쉬프트 레지스터를 포함하고, 쉬프트 레지스터를 제어하기 위한 스타트 신호, 클럭 등이 전송되는 라인들이 필요하다.
- [0011] 앞에서 언급한 바와 같이, 표시패널의 휘도 불균일을 보상하기 위해서 표시 영역에 있는 화소들의 상태를 센싱하고 보상하는 경우를 포함하여 화소들의 구동 방법에 따라 수직 표시 구간 내에서 게이트 신호의 쉬프트가 불규칙하게 변경될 필요가 있다. 이 경우, 기존의 게이트 구동부의 쉬프트 레지스터는 일정한 주기를 갖는 클럭 타이밍에 맞춰 출력을 발생하기 때문에 클럭 타이밍과 무관하게 수직 표시 구간 내에 표시패널의 임의의 화소행에 순차 주사 방법과 다른 출력 방법으로 게이트 신호를 출력하기가 어렵다.
- [0012] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하여, 표시패널의 임의의 라인에 인가되는 게이트 신호를 변경할 수 있는 게이트 구동부를 포함한 전계발광 표시장치를 발명하였다.
- [0013] 본 명세서의 실시예에 따른 해결 과제는 순차 주사 과정 내에서 표시패널의 임의의 화소행에 제공되는 게이트 신호를 변경할 수 있는 게이트 구동부를 포함한 전계발광 표시장치를 제공하는 것이다.
- [0014] 본 명세서의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0015] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 복수의 스테이지들로 구성된 게이트 구동부는, n번째 화소행에 에미션 신호를 제공하는 k번째 스테이지, k번째 스테이지에 연결되어 입력 신호를 제공하는 제1 제어부, 및 k번째 스테이지와 연결되어 k번째 스테이지의 출력 신호를 입력 신호로 받는 제2 제어부를 포함한다. 제1 제어부는 n번째 화소행을 센싱하기 위한 제어 신호를 생성하도록 구현되고, 제2 제어부는 k번째 스테이지의 출력 신호가 에미션 신호가 인가되는 에미션 라인에 제공되도록 에미션 라인에 연결되고, k번째 스테이지의 출력 신호가 에미션 캐리 신호로 변환되어 (k+1)번째 스테이지의 제1 제어부에 제공되도록 (k+1)번째 스테이지의 제1 제어부에 연결된다. 이 경우, k 및 n은 자연수이고, $1 \leq k \leq n$ 이다. 이에 따라, 특정 화소행에 선택적으로 임의의 게이트 신호를 인가하여 특정 화소행을 센싱하고 보상할 수 있다. 따라서, 표시패널의 휘도 불균일을 실시간으로 보상하여 전계발광 표시장치의 화질을 향상시키고 수명을 연장시킬 수 있다.
- [0016] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 특정 화소행에 센싱 신호를 인가하는 복수의 스테이지들을 포함하는 센싱 스캔 구동부, 특정 화소행에 에미션 신호를 인가하는 복수의 스테이지들을 포함하는 에미션 구동부, 에미션 구동부에 입력 신호를 제공하는 제1 제어부, 및 에미션 구동부의 출력 신호를 입력 신호로 받는 제2 제어부를 포함하고, 특정 화소행은 센싱 기간을 통해 특정 화소행에 포함된 구동 소자의 전기적 특성이 센싱되며, 센싱 기간 동안 센싱 스캔 구동부 및 에미션 구동부를 통해 게이트 온 전압이 출력된다. 이에 따라, 특정 화소행에 선택적으로 임의의 게이트 신호를 인가하여 특정 화소행을 센싱하고 보상할 수 있다. 따라서, 표시패널의 휘도 불균일을 실시간으로 보상하여 전계발광 표시장치의 화질을 향상시키고 수명을 연장시킬 수 있다.
- [0017] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0018] 본 명세서의 실시예들에 따르면, 에미션 구동부에 입력 신호를 제공하는 제1 제어부 및 에미션 구동부의 출력 신호를 제공받는 제2 제어부를 구비함으로써, 특정 화소행의 게이트 라인에 임의의 신호를 제공할 수 있다.
- [0019] 그리고, 본 명세서의 실시예들에 따르면, 제1 제어부는 제1 제어부의 출력 노드에 연결된 트랜지스터 및 제1 보조 커패시터를 더 포함하고 제2 제어부는 제2 제어부의 출력 노드에 연결된 제2 보조 커패시터를 더 포함함으로써

써, IFS용 에미션 구동부의 안정성 및 신뢰성을 향상시킬 수 있다.

[0020] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0021] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 회로 구성을 나타낸 도면이다.
- 도 3a 및 도 3b는 서브 화소에 연결된 센싱 경로를 보여주는 도면이다.
- 도 4a는 본 명세서의 일 실시예에 따른 서브 화소의 화소 회로도이다.
- 도 4b는 도 4a의 과형도이다.
- 도 5a는 본 명세서의 일 실시예에 따른 센싱 스캔 구동부의 회로도이다.
- 도 5b는 본 명세서의 일 실시예에 따른 센싱 스캔 구동부의 과형도이다.
- 도 6은 본 명세서의 일 실시예에 따른 IFS용 에미션 구동부를 나타낸 도면이다.
- 도 7은 본 명세서의 일 실시예에 따른 제1 제어부의 과형도이다.
- 도 8은 본 명세서의 일 실시예에 따른 에미션 구동부의 과형도이다.
- 도 9는 본 명세서의 일 실시예에 따른 제2 제어부의 과형도이다.
- 도 10은 본 명세서의 다른 실시예에 따른 IFS용 에미션 구동부를 나타낸 도면이다.
- 도 11은 본 명세서의 일 실시예에 따른 에미션 구동부를 나타낸 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0026] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0027] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0028] 본 명세서에서 표시패널의 기관 상에 형성되는 게이트 구동부는 n타입 또는 p타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터

로 구현될 수 있다. 트랜지스터는 게이트, 소스, 및 드레인을 포함한 3전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급한다. 트랜지스터 내에서 캐리어는 소스로부터 이동하기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다.

- [0029] 예를 들어, 트랜지스터에서 캐리어는 소스로부터 드레인으로 이동한다. n타입 트랜지스터의 경우, 캐리어가 전자이기 때문에 소스에서 드레인으로 이동할 수 있도록 소스의 전압이 드레인의 전압보다 낮은 전압을 가진다. n타입 트랜지스터에서 전자가 소스로부터 드레인 쪽으로 이동하기 때문에 전류의 방향은 반대로 드레인으로 소스 쪽이다. p타입 트랜지스터의 경우, 캐리어가 정공이기 때문에 소스로부터 드레인으로 정공이 이동할 수 있도록 소스의 전압이 드레인의 전압보다 높다. p타입 트랜지스터의 정공이 소스로부터 드레인 쪽으로 이동하기 때문에 전류의 방향은 소스로부터 드레인 쪽이다. 트랜지스터의 소스와 드레인은 고정된 것이 아니고, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 소스 및 드레인은 각각 제1 전극 및 제2 전극 또는 제2 전극 및 제1 전극으로 언급될 수 있다.
- [0030] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압이고, 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압이다. 예를 들어, p타입 트랜지스터에서 게이트 온 전압은 로직로우 전압일 수 있고, 게이트 오프 전압은 로직하이 전압일 수 있다. n타입 트랜지스터에서 게이트 온 전압은 게이트 하이 전압일 수 있고, 게이트 오프 전압은 게이트 로우 전압일 수 있다. 그리고, 게이트 하이 전압은 에미션 하이 전압과 동일하고, 게이트 로우 전압은 에미션 로우 전압과 동일할 수 있다.
- [0031] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 게이트 구동부 및 이를 이용한 전계발광 표시장치에 대하여 설명하기로 한다.
- [0032] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- [0033] 도 1을 참조하면, 본 명세서의 실시예에 따른 전계발광 표시장치는 표시패널(100)과 표시패널 구동 회로를 포함한다.
- [0034] 표시패널(100)은 입력 영상의 데이터를 표시하는 표시 영역(DA)을 포함한다. 표시 영역(DA)에는 화소 어레이가 배치된다. 그리고, 화소 어레이는 복수의 데이터 라인(DL), 데이터 라인(DL)과 교차하는 게이트 라인(GL), 및 데이터 라인(DL)과 게이트 라인(GL)에 의해 정의된 영역에 있는 화소들을 포함한다. 화소들의 배치 형태는 매트릭스 형태, 동일한 색을 발광하는 화소를 공유하는 형태, 스트라이프 형태, 다이아몬드 형태 등 발광 영역에 따라 다양하게 형성될 수 있다.
- [0035] 화소들 각각은 컬러 구현을 위해 적색 서브 화소, 녹색 서브 화소, 청색 서브 화소로 나뉘어질 수 있다. 또는 화소들 각각은 백색 서브 화소를 더 포함할 수도 있고, 동일한 색을 구현하는 서브 화소를 복수개 포함할 수도 있다. 서브 화소(101)는 화소 회로를 포함한다. 전계발광 표시장치의 경우에 화소 회로는 발광 소자, 복수의 트랜지스터들, 및 커패시터를 포함한다. 화소 회로는 데이터 라인(DL)과 게이트 라인(GL)에 연결된다. 도 1에서 원 안에 표시된 "DL(m-2), DL(m-1), DL(m)"은 데이터 라인들이고, "GL(n-2), GL(n-1), GL(n)"은 게이트 라인들이다.
- [0036] 그리고, 표시패널(100) 상에는 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 화소들을 통해 센싱될 수도 있다. 터치 센서들은 온-셀 타입(on-cell type) 또는 애드 온 타입(add on type)으로 표시패널의 화면 상에 배치되거나 화소 어레이에 내장되는 인-셀 타입(in-cell type) 터치 센서들로 구현될 수 있다.
- [0037] 표시패널 구동 회로는 데이터 구동부(110)와 GIP 형태의 게이트 구동부(120)를 구비한다. 표시패널 구동 회로는 타이밍 컨트롤러(timing controller, TCON)(130)의 제어하에 입력 영상의 데이터를 표시패널(100)의 화소들에 기입한다. 그리고, 표시패널 구동 회로는 타이밍 컨트롤러(130)의 제어 하에 구동되는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다.
- [0038] 데이터 구동부(110)는 수직 표시 구간(VA) 내에서 표시패널(100)의 모든 화소행들의 화소들에 공급될 데이터 전압을 출력한다. 표시패널(100)의 화소 어레이가 n*m개의 화소들을 포함할 때, 표시패널(100)은 m개의 데이터 라인(DL)을 포함하고, n개의 게이트 라인(GL)을 포함한다. 따라서, 수직 표시 구간(VA)은 n*m개의 화소들을 포함한다.
- [0039] 데이터 전압은 디스플레이용 비디오 데이터 전압과 센싱용 데이터 전압으로 나뉘어질 수 있다. 디스플레이용 데

이터 전압은 입력 영상의 데이터 전압이다. 센싱용 데이터 전압은 서브 화소의 전기적 특성을 센싱하기 위한 데이터 전압으로, 입력 영상의 데이터와 무관하게 미리 설정된 특정 전압이다.

- [0040] 게이트 구동부(120)는 표시패널(100)에서 영상이 표시되지 않는 베젤 영역(BZ)에 형성될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 출력하여 게이트 라인(GL)을 통해 데이터 전압이 충전되는 화소들을 선택한다. 게이트 구동부(120)는 하나 이상의 쉬프트 레지스터(shift register)를 이용하여 게이트 신호를 출력하고 쉬프트한다. 게이트 구동부(120)는 수직 표시 구간(VA) 내에서 미리 설정된 특정 게이트 라인까지 일정한 쉬프트 타이밍으로 게이트 라인들에 공급되는 게이트 신호를 쉬프트한 후 센싱용 제어 신호에 응답하여 게이트 구동부(120)는 특정 게이트 라인에 특정 전압의 게이트 신호를 공급한 다음, 일정한 쉬프트 타이밍으로 나머지 게이트 라인들에 공급되는 게이트 신호를 쉬프트한다.
- [0041] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호, 수평 동기신호, 클럭 신호, 및 데이터 인에이블신호 등을 포함한다. 호스트 시스템은 TV(television), 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터, 모바일 기기, 웨어러블 기기 중 어느 하나일 수 있다. 모바일 기기와 웨어러블 기기에서 데이터 구동부(110), 타이밍 컨트롤러(130), 레벨 쉬프터(level shifter, 140) 등은 하나의 드라이브 IC에 집적될 수 있다.
- [0042] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC), 및 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 발생한다.
- [0043] 레벨 쉬프터(140)는 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어 신호(GDC)의 전압을 게이트 온 전압과 게이트 오프 전압으로 변환하여 게이트 구동부(120)에 공급한다. 게이트 타이밍 제어 신호(GDC)의 로우 레벨 전압(low level voltage)은 게이트 온 전압(gate on voltage)으로 변환되고, 게이트 타이밍 제어 신호(GDC)의 하이 레벨 전압(high level voltage)은 게이트 오프 전압(gate off voltage)으로 변환된다.
- [0044] 게이트 타이밍 제어신호(GDC)는 스타트 신호, 클럭 등을 포함한다. 스타트 신호는 매 프레임 기간마다 프레임 기간의 초기에 1회 발생되어 게이트 구동부(120)에 입력된다. 스타트 신호는 매 프레임 기간마다 게이트 구동부(120)의 스타트 타이밍을 제어한다. 클럭은 게이트 구동부(120)로부터 출력되는 게이트 신호의 쉬프트 타이밍을 제어한다.
- [0045] 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 회로 구성을 나타낸 도면이다. 구체적으로, 도 2는 게이트 구동부(120)에서 쉬프트 레지스터의 회로 구성을 개략적으로 보여 주는 도면이다.
- [0046] 게이트 구동부(120)의 쉬프트 레지스터는 종속적으로 연결된 스테이지들(ST(n-1) 내지 ST(n+2))을 포함한다. 쉬프트 레지스터는 게이트 스타트 신호(GVST) 또는 이전 스테이지로부터 수신된 캐리 신호(CAR1 내지 CAR4)를 스타트 신호로서 입력받고 클럭(CLK)의 타이밍에 맞추어 출력(Gout(n-1) 내지 Gout(n+1))을 발생한다. 이하에서, 스타트 신호는 게이트 스타트 신호(GVST) 또는 이전 스테이지로부터 발생되어 그 다음 스테이지의 스타트 신호 입력 단자에 인가되는 캐리 신호(CAR1 내지 CAR4)를 의미한다.
- [0047] 게이트 구동부(120)는 스캔 구동부 및 에미션 구동부를 포함하고, 스캔 구동부는 스캔 신호의 종류에 따라 복수개 존재할 수 있다. 그리고, 스캔 구동부 및 에미션 구동부는 각각 도 2에 도시된 바와 마찬가지로 복수개의 스테이지들로 구성된다. 스캔 구동부 및 에미션 구동부를 구성하는 복수의 스테이지들은 각각 한 개의 화소행에 스캔 신호 또는 에미션 신호를 인가할 수 있다. 또는, 스캔 구동부 및 에미션 구동부를 구성하는 복수의 스테이지들은 각각 홀수 및 짝수번째로 구성된 두 개의 화소행에 스캔 신호 또는 에미션 신호를 인가할 수도 있다. 스캔 구동부를 구성하는 복수의 스테이지들은 각각 도 5a의 회로로 구현될 수 있고, 에미션 구동부를 구성하는 복수의 스테이지들은 각각 도 11의 회로로 구현될 수 있지만, 이에 한정되지는 않는다.
- [0048] 전계발광 표시장치의 경우에 서브 화소들의 열화를 줄이고 수명을 연장하기 위하여 내부 보상 방법 또는 외부 보상 방법이 적용될 수 있다. 구동 소자의 문턱 전압, 구동 소자의 전자 이동도, 및 OLED의 문턱 전압 등과 같은 화소의 전기적 특성은 구동 전류를 결정하는 요소가 되므로 모든 화소들에서 동일해야 한다. 하지만, 공정 편차, 경시 변화 등 다양한 원인에 의해 화소들 간에 전기적 특성이 달라질 수 있다. 또한, 발광 소자에서 발생한 열에 의한 표시패널의 휘도 불균일이 발생할 수 있다. 이러한 화소의 전기적 특성 편차 및 휘도 불균일은 표시패널의 화질 저하와 수명 단축을 초래할 수 있다. 예를 들어, 구동 소자는 구동 트랜지스터를 의미한다.
- [0049] 내부 보상 방법은 화소 회로 내에 배치된 보상 회로를 이용하여 구동 소자의 게이트-소스 간 전압을 샘플링하여, 구동 소자의 문턱 전압을 센싱하고 문턱 전압만큼 데이터 전압을 보상한다. 외부 보상 방법은 서브

화소에 연결된 센싱 경로를 통해 구동 소자의 전기적 특성에 따라 변하는 화소의 전압을 센싱하고, 센싱된 전압을 바탕으로 화소 어레이 밖의 외부 회로에서 입력 영상의 데이터를 변조함으로써 구동 소자의 전기적 특성 변화를 보상한다.

- [0050] 외부 보상 방법과 같이 구동 소자의 전기적 특성을 센싱하고 보상하기 위해서는 화면 구동 전이나 후에 화면 구동이 없는 상태에서 어느 정도 센싱 시간을 확보할 수 있을 때 진행할 수 있다. 이는, 1 화소행의 센싱을 진행하는데 필요로 하는 시간이 대략 40 수평기간 내지 100 수평기간이기 때문에 구동 중에는 모든 화소행을 센싱할 수 있는 시간 확보가 어렵다.
- [0051] 본 명세서의 일 실시예에 따른 전계발광 표시장치는 서브 화소의 전기적 특성 편차 및 휘도 불균일을 실시간으로 보상해주기 위해서 1 프레임 단위로 1 화소행 또는 복수개의 화소행을 센싱할 수 있다. 예를 들어, 1 화소행에 배치된 화소 회로에 구현된 센싱 라인을 통해 센싱 데이터를 추출하고 연산을 통해 보상계수를 산출하여 보상된 데이터 전압을 해당 화소 회로에 인가해주는 과정을 매 프레임마다 반복하여 수행할 수 있다. 이러한 센싱 방법을 인프레임센싱(in frame sensing, IFS)이라고 정의할 수 있다.
- [0052] 예를 들어, k번째 화소행을 센싱하고 나머지 화소행이 일반 구동되도록 1 프레임을 수행한 후, 다음 프레임에서는 (k+1)번째 화소행을 센싱하고 k번째 화소행에는 센싱하여 산출한 보상된 데이터 전압을 인가하여 일반 구동하도록하며 나머지 화소행들도 일반 구동하도록 1 프레임을 수행하는 방식으로 모든 화소행에 대해 센싱 및 보상 후 일반 구동하는 과정을 실시간으로 수행할 수 있다.
- [0053] 도 3a 및 도 3b는 서브 화소에 연결된 센싱 경로를 보여주는 도면이다.
- [0054] 도 3a를 참조하면, 1 프레임 내에서 실시간으로 진행되는 센싱 모드에서, 데이터 구동부(110)는 센싱용 데이터 전압을 발생하고, 그 센싱용 데이터 전압을 데이터 라인들(DL)을 통해 표시패널(100)의 센싱 대상 서브 화소(101)들에 공급한다. 데이터 구동부(110)는 센싱 경로에 연결된 센싱부(22)와 데이터 전압 발생부(23)를 포함한다. 센싱부(22)는 서브 화소(101)에 연결된 데이터 라인(DL1 또는 DL2), 스위칭 소자(SW1, SW2), 샘플 앤 홀드 회로(sample & hold circuit, SH), 아날로그-디지털 변환기(analog to digital convertor, ADC) 등을 포함하고, 데이터 전압 발생부(23)는 디지털-아날로그 변환기(digital to analog convertor, DAC)를 포함한다.
- [0055] 데이터 전압 발생부(23)는 디지털-아날로그 변환기를 통해 데이터 전압을 발생하여 제1 데이터 라인(DL1)에 공급한다. 이 데이터 전압에 동기되는 게이트 신호가 게이트 라인(GL)에 공급될 때 서브 화소(101)에 데이터 전압이 공급된다. 데이터 전압은 디스플레이용 데이터 전압과 센싱용 데이터 전압을 포함한다.
- [0056] 센싱부(22)는 제2 데이터 라인(DL2)을 통해 서브 화소(101)에 연결된다. 센싱부(22)는 샘플 앤 홀드 회로(SH), 아날로그-디지털 변환기, 제1 스위칭 소자(SW1), 및 제2 스위칭 소자(SW2)를 포함한다. 센싱부(22)는 구동 소자의 전류에 따라 변하는 제2 데이터 라인(DL2)의 전압을 샘플링하여 구동 소자의 전기적 특성을 센싱할 수 있다. 제1 스위칭 소자(SW1)는 서브 화소(101)와 제2 데이터 라인(DL2)에 인가된 전압을 초기화하기 위해 기준 전압(Vref)을 제2 데이터 라인(DL2)에 공급한다. 제2 스위칭 소자(SW2)는 특정 게이트 라인의 센싱 기간 동안 턴-온되어 제2 데이터 라인(DL2)을 샘플 앤 홀드 회로(SH)에 연결한다. 표시패널(100) 내의 모든 서브 화소들이 센싱될 수 있도록 특정 게이트 라인의 위치는 매 프레임 기간마다 혹은 소정의 시간 마다 변경될 수 있다.
- [0057] 샘플 앤 홀드 회로(SH)는 제2 데이터 라인(DL2)에 충전된 서브 화소(101)의 아날로그 센싱 전압을 샘플링하고 홀드한다. 아날로그-디지털 변환기는 샘플 앤 홀드 회로(SH)에서 샘플링된 서브 화소(101)의 아날로그 센싱 전압을 디지털 센싱 데이터(S-DATA)로 변환한다. 센싱부(22)는 공지된 전압 센싱 회로 또는 전류 센싱 회로로 구현될 수 있다. 센싱부(22)로부터 출력된 디지털 센싱 데이터(S-DATA)는 보상부(26)로 전송된다. 보상부(26)는 타이밍 컨트롤러(130)가 포함한다.
- [0058] 보상부(26)는 서브 화소(101)의 센싱값에 따라 룩업 테이블(look up table)에 설정된 보상값을 입력 영상의 비디오 데이터(V-DATA)와 연산함으로써 비디오 데이터(V-DATA)를 변조하여 서브 화소(101)의 전기적 특성 변화를 보상한다. 룩업 테이블은 디지털 센싱 데이터(S-DATA)와 입력 영상의 비디오 데이터(V-DATA)를 메모리 어드레스(memory address)로 입력 받아 그 어드레스에 저장된 보상값을 출력한다. 보상부(26)에 의해 변조된 비디오 데이터(V-DATA)는 데이터 전압 생성부(23)로 전송된다. 변조된 비디오 데이터(V-DATA)는 데이터 전압 생성부(23)에 의해 디스플레이용 데이터 전압으로 변환되어 제1 데이터 라인(DL1)에 공급된다.
- [0059] 그리고, 도 3b에 도시된 바와 같이, 센싱부(22)가 디지털-아날로그 변환기를 포함하도록 함으로써 제2 데이터 라인(DL2)에 입력 영상의 비디오 데이터 전압(V-DATA)을 공급하고, 센싱부(22)와 별도로 기준 전압(Vref)은 제1

데이터 라인(DL1)을 통해 서브화소(101)에 인가될 수도 있다.

- [0060] 도 4a는 본 명세서의 일 실시예에 따른 서브 화소의 화소 회로도이다.
- [0061] 도 4a를 참조하면, 본 명세서의 일 실시예에 따른 화소 회로는 발광 소자(EL), 복수의 트랜지스터들(DT, ST1~ST4), 스토리지 커패시터(Cst) 등을 구비한다. 이 경우, 구동 트랜지스터(DT) 및 제1 트랜지스터(ST1)는 n타입 트랜지스터이고, 제2 트랜지스터(ST2), 제3 트랜지스터(ST3), 및 제4 트랜지스터(ST4)는 p타입 트랜지스터로 구현된다.
- [0062] n타입 트랜지스터인 구동 트랜지스터(DT) 및 제1 트랜지스터(ST1) 각각은 산화물 트랜지스터로 구현된다. 산화물 트랜지스터는 오프 전류(off current)가 낮은 산화물 반도체를 포함한 NMOS로 구현될 수 있다. 오프 전류는 트랜지스터의 오프 상태에서 트랜지스터의 소스와 드레인 사이에 흐르는 누설 전류이다. 오프 전류가 낮은 트랜지스터 소자는 오프 상태가 길더라도 누설 전류가 적기 때문에 화소들의 휘도 변화를 최소화할 수 있다. 따라서, 오프 상태가 긴 구동 트랜지스터(DT)와 제1 트랜지스터(ST1)를 산화물 반도체를 포함한 n타입 트랜지스터로 구현함으로써 구동 트랜지스터(DT)와 제1 트랜지스터(ST1)에 발생할 수 있는 누설 전류를 줄일 수 있다.
- [0063] p타입 트랜지스터인 제2 트랜지스터(ST2), 제3 트랜지스터(ST3), 및 제4 트랜지스터(ST4)는 폴리 실리콘 트랜지스터로 구현된다. 폴리 실리콘 트랜지스터는 이동도가 높은 저온 폴리 실리콘(low temperature poly silicon, LTPS) 반도체를 포함한 PMOS로 구현될 수 있다.
- [0064] 본 명세서의 일 실시예에 따른 에미션 구동부 및 제3 스캔 구동부를 구성하는 복수의 스테이지들은 각각 홀수 및 짝수번째로 구성된 두 개의 화소행에 에미션 신호 및 제3 스캔 신호를 인가할 수 있고, 제1 스캔 구동부 및 제2 스캔 구동부를 구성하는 복수의 스테이지들은 각각 한 개의 화소행에 제1 스캔 신호 및 제2 스캔 신호를 인가할 수 있다. 제1 스캔 구동부는 제1 스캔 신호를 공급하고, 제2 스캔 구동부는 제2 스캔 신호를 공급하며, 제3 스캔 구동부는 제3 스캔 신호를 공급한다.
- [0065] 도 4a의 화소 회로는 n번째 화소행에 있는 서브 화소로서 n번째 제1 스캔 신호(Scan1(n)), n번째 제2 스캔 신호(Scan2(n)), k번째 제3 스캔 신호(Scan3(k)), k번째 에미션 신호(Em(k))가 인가된다. 이 신호들(Scan1(n), Scan2(n), Scan3(k), Em(k)) 각각은 로직하이 전압과 로직로우 전압 사이에서 스위칭하며 각각의 트랜지스터들의 온/오프를 제어한다. 이 경우, n은 짝수인 자연수이고, k는 n/2인 자연수이다.
- [0066] 구동 트랜지스터(DT)는 게이트-소스 간 전압에 따라 발광 소자(EL)에 흐르는 전류를 조절하는 구동 소자이다. 구동 트랜지스터(DT)는 제1 노드(N1)에 연결된 게이트, 제2 노드(N2)에 연결된 소스, 및 제3 노드(N3)에 연결된 드레인을 포함한다. 구동 트랜지스터(DT)는 발광 소자(EL)에 구동 전류를 제공하여 발광 소자(EL)가 발광할 수 있도록 한다.
- [0067] 제1 트랜지스터(ST1)는 스위칭 트랜지스터로서 n번째 제1 스캔 신호(Scan1(n))에 따라 턴-온되어 기준 전압(Vref)을 제1 노드(N1)에 공급하여 구동 트랜지스터(DT)의 게이트를 초기화시킨다. 제1 트랜지스터(ST1)는 n번째 제1 스캔 신호(Scan1(n))가 인가되는 n번째 제1 스캔 신호 라인에 연결된 게이트, 기준 전압(Vref)이 인가되는 기준 전압 라인에 연결된 드레인, 및 제1 노드(N1)를 통해 구동 트랜지스터(DT)의 게이트에 연결된 소스를 포함한다.
- [0068] 제2 트랜지스터(ST2)는 일반 구동시에 n번째 제2 스캔 신호(Scan2(n))에 따라 턴-온되어 데이터 전압(Vdata)을 제2 노드(N2)에 공급하고, 센싱시에 n번째 제2 스캔 신호(Scan2(n))에 따라 턴-온되어 센싱용 데이터 전압을 제2 노드(N2)에 공급하고 구동 소자의 전기적 특성을 센싱한다. 따라서, 제2 트랜지스터(ST2)는 센싱 트랜지스터라고 일컫을 수도 있다. 제2 트랜지스터(ST2)는 n번째 제2 스캔 신호(Scan2(n))가 인가되는 n번째 제2 스캔 신호 라인에 연결된 게이트, 데이터 전압(Vdata)이 인가되는 데이터 라인에 연결된 소스, 및 제2 노드(N2)를 통해 구동 트랜지스터(DT)의 소스에 연결된 드레인을 포함한다.
- [0069] 제3 트랜지스터(ST3)는 스위칭 트랜지스터로서 k번째 제3 스캔 신호(Scan3(k))에 따라 턴-온되어 기준 전압(Vref)을 제2 노드(N2)에 공급하여 발광 소자(EL)의 애노드를 리셋시킨다. 제3 트랜지스터(ST3)는 k번째 제3 스캔 신호(Scan3(k))가 인가되는 k번째 제3 스캔 신호 라인에 연결된 게이트, 기준 전압 라인에 연결된 소스, 및 제2 노드(N2)를 통해 구동 트랜지스터(DT)의 소스에 연결된 드레인을 포함한다.
- [0070] 제4 트랜지스터(ST4)는 k번째 에미션 신호(Em(k))에 따라 턴-온되어 고전위 전원 전압(VDD)을 제3 노드(N3)에 공급한다. k번째 에미션 신호(Em(k))는 발광 기간에만 턴-온되어 발광 소자(EL)가 발광 기간이 아닌 기간에서 발광하는 것을 방지할 수 있다. 따라서, 제4 트랜지스터(ST4)는 에미션 트랜지스터라고 일컫을 수도 있다. 제4

트랜지스터(ST4)는 k번째 에미션 신호($Em(k)$)가 인가되는 k번째 에미션 라인에 연결된 게이트, 고전위 전원 전압(VDD)이 인가되는 고전위 전원 전압 라인에 연결된 소스, 및 제3 노드(N3)를 통해 구동 트랜지스터(DT)의 드레인에 연결된 드레인을 포함한다.

- [0071] 스토리지 커패시터(Cst)는 제1 노드(N1)를 통해 구동 트랜지스터(DT)의 게이트에 연결된 일측 전극 및 제2 노드(N2)를 통해 구동 트랜지스터(DT)의 소스에 연결된 타측 전극을 포함한다. 스토리지 커패시터(Cst)는 발광 소자가 발광하는 동안 구동 트랜지스터(DT)의 게이트-소스 전압을 일정하게 유지시킨다.
- [0072] 발광 소자(EL)는 제2 노드(N2)를 통해 구동 트랜지스터(DT)의 소스에 연결된 애노드 및 저전위 전원(VSS)을 제공하는 캐소드를 포함한다. 발광 소자(EL)는 애노드 및 캐소드에 인가된 전압에 따라 발광한다.
- [0073] 도 4b는 도 4a의 파형도이다. 도 4a에서 설명한 바와 같이, k번째 에미션 구동부의 스테이지 및 제3 스캔 구동부의 스테이지는 (n-1)번째 화소행 및 n번째 화소행에 신호를 제공한다. 따라서, 도 4b에서는 (n-1)번째 화소행 및 n번째 화소행에 인가되는 신호 파형에 대해서 설명한다. 그리고, (n-1)번째 화소행은 홀수번째 화소행이고, n번째 화소행은 짝수번째 화소행인 경우를 예로 들어 설명한다.
- [0074] 본 명세서의 일 실시예에 따라 센싱하고자 하는 화소 회로는 일반 구동하는 구동 기간(DRIV) 이전에 인프레임센싱 기간(IFS)을 갖는다. 이하에서는 구동 기간(DRIV) 동안의 동작을 먼저 설명하고, 인프레임센싱 기간(IFS)은 후술한다.
- [0075] 도 4b를 참조하면, (n-1)번째 제1 스캔 신호(Scan1(n-1))가 게이트 온 전압으로 전환되면서 구동을 위한 데이터 프로그램 기간(Data Program(Regular))이 시작된다. 구동을 위한 데이터 프로그램 기간 동안, (n-1)번째 제1 스캔 신호(Scan1(n-1))의 게이트 온 전압에 의해 제1 트랜지스터(ST1)가 턴-온되어 구동 트랜지스터(DT)의 게이트를 기준 전압(Vref)으로 초기화시킨다. 이어서, (n-1)번째 제2 스캔 신호(Scan2(n-1))가 게이트 온 전압으로 전환되어 제2 트랜지스터(ST2)가 턴-온된다. 턴-온된 제2 트랜지스터(ST2)는 데이터 전압(Vdata)을 제2 노드(N2)에 인가한다. 따라서, 스토리지 커패시터(Cst)의 일측 전극은 기준 전압(Vref)으로, 타측 전극은 데이터 전압(Vdata)으로 충전된다. 스토리지 커패시터(Cst)의 일측 및 타측 전극을 충전시킨 후, 제1 트랜지스터(ST1) 및 제2 트랜지스터(ST2)는 게이트 오프 전압으로 전환된다.
- [0076] 그리고, k번째 제3 스캔 신호(Scan3(k))가 게이트 온 전압으로 전환되면서 애노드 리셋 기간(Anode Reset)이 시작된다. 애노드 리셋 기간 동안, 제3 트랜지스터(ST3)는 턴-온되어 발광 소자(EL)의 애노드를 기준 전압(Vref)으로 리셋(reset)시킨다. 이에 따라, 발광 소자(EL)의 애노드에 연결된 커패시터(Cst)의 타측 전극의 전압이 데이터 전압(Vdata)에서 기준 전압(Vref)으로 변화하면서 커패시터의 커플링 현상에 의해 스토리지 커패시터(Cst)의 일측 전극의 전압은 기준 전압(Vref)과 데이터 전압(Vdata)의 차이만큼 변화된다.
- [0077] 구동을 위한 데이터 프로그램 기간 및 애노드 리셋 기간 동안 k번째 에미션 신호($Em(k)$)는 게이트 오프 전압을 유지한다. 그리고, 발광 기간(Emission) 동안 k번째 에미션 신호($Em(k)$)는 게이트 온 전압으로 전환되면서 고전위 전원 전압(VDD)을 구동 트랜지스터(DT)의 드레인에 제공한다. 따라서, 발광 기간(Emission) 동안 구동 트랜지스터(DT)는 턴-온되어 발광 소자(EL)의 애노드에 구동 전류를 제공한다.
- [0078] 앞에서 설명한 바와 같이, 에미션 구동부는 두 개의 화소행에 에미션 신호를 제공한다. 따라서, 홀수번째 행인 (n-1)번째 화소행이 데이터 프로그램을 시작하기 이전에 시간 차이를 두고 짝수번째 행인 n번째 화소행도 데이터 프로그램을 수행한다.
- [0079] (n-1)번째 제2 스캔 신호(Scan2(n-1)) 및 n번째 제2 스캔 신호(Scan2(n))는 각각 2 수평기간(2 H) 동안 게이트 온 전압을 유지한다. 그리고, (n-1)번째 제1 스캔 신호(Scan1(n-1)) 및 n번째 제1 스캔 신호(Scan1(n))는 각각 2 수평기간(2 H) 보다 긴 기간동안 게이트 온 전압을 유지한다. 그리고, n번째 제1 스캔 신호(Scan1(n))는 (n-1)번째 제1 스캔 신호(Scan1(n-1))에서 1 수평기간(1 H) 보다 짧은 기간만큼 쉬프트된다.
- [0080] 본 명세서의 일 실시예에 따른 n번째 화소행에 포함된 화소 회로의 인프레임센싱 기간(IFS) 동안의 동작을 설명한다. 도 4b를 참조하면, 인프레임센싱 기간(IFS)은 크게 센싱을 위한 데이터 프로그램 기간(Data Program(IFS))과 센싱 기간(Sensing)으로 구분될 수 있다.
- [0081] 구동 기간(DRIV) 중 구동을 위한 데이터 프로그램 기간(Data Program(Regular))에서 제1 스캔 신호(Scan1(n-1), Scan1(n)) 및 제2 스캔 신호(Scan2(n-1), Scan2(n))의 파형은, 인프레임센싱 기간(IFS)에서 센싱을 위한 데이터 프로그램 기간(Data Program(IFS))에서도 동일하게 수행된다. 다만, 센싱을 위한 데이터 프로그램 기간(Data Program(IFS))에서 입력되는 데이터 전압은 구동을 위한 데이터 프로그램 기간(Data Program(Regular))

에서 입력되는 데이터 전압과 다르다.

- [0082] 센싱을 위한 데이터 프로그램 기간(Data Program(IFS)) 동안 n번째 제1 스캔 신호(Scan1(n)) 및 n번째 제2 스캔 신호(Scan2(n))에 의해 제1 트랜지스터(ST1) 및 제2 트랜지스터(ST2)가 턴-온되어 스토리지 커패시터(Cst)의 일측 전극은 기준 전압(Vref)으로, 타측 전극은 데이터 전압(Vdata)으로 충전된다. 그리고, 제1 트랜지스터(ST1) 및 제2 트랜지스터(ST2)는 동시에 턴-오프된다.
- [0083] n번째 화소행에 포함된 화소 회로의 제1 트랜지스터(ST1) 및 제2 트랜지스터(ST2)가 턴-온되기 전에 (n-1)번째 화소행에 포함된 화소 회로의 제1 트랜지스터 및 제2 트랜지스터가 턴-온되고, (n-1)번째 및 n번째 화소행의 화소 회로 각각에 포함된 제1 트랜지스터 및 제2 트랜지스터가 턴-온되는 기간은 서로 중첩된다.
- [0084] 센싱용 데이터 프로그램 기간 이후에 센싱 기간(Sensing)이 이어진다. 센싱 기간(Sensing)에서 n번째 화소행의 화소 회로를 센싱하기 위한 k번째 에미션 신호(Em(k))는 게이트 온 전압이다. 이 경우, (n-1)번째 화소행의 화소 회로가 발광하게되므로 (n-1)번째 화소 회로가 발광하지 않도록 해야한다.
- [0085] 이를 위해서 n번째 화소행의 화소 회로의 센싱을 위한 데이터 프로그램 기간에서 입력되는 데이터 전압을 조절할 수 있다. 구체적으로, n번째 제2 스캔 신호(Scan2(n))가 게이트 온 전압으로 전환되고 (n-1)번째 제2 스캔 신호(Scan2(n-1))가 게이트 온 전압에서 게이트 오프 전압으로 전환되는 구간에서 데이터 전압(Vdata)에 블랙 데이터 전압(Bdata)이 제공된다. 블랙 데이터 전압(Bdata)은 표시패널의 화상에 검은 화면을 표시할 수 있는 데이터 전압으로 (n-1)번째 화소행이 발광하지 않게한다. 블랙 데이터 전압(Bdata)이 제공되는 구간은 대략 1 수평기간(1 H)일 수 있고, 해당 구간은 발광 소자(EL)가 발광할 수 있도록 전압이 결정되는 구간에 해당된다. 블랙 데이터 전압(Bdata)은 제2 트랜지스터(ST1)를 통해 제공된다.
- [0086] 이어서, (n-1)번째 제1 스캔 신호(Scan1(n-1)) 및 (n-1)번째 제2 스캔 신호(Scan2(n-1))가 게이트 오프 전압으로 전환되고, n번째 제1 스캔 신호(Scan1(n)) 및 n번째 제2 스캔 신호(Scan2(n))가 게이트 오프 전압으로 전환되기 전 구간에서 데이터 전압(Vdata)에 센싱 데이터 전압(Sdata)이 제공된다. 센싱 데이터 전압(Sdata)은 n번째 화소 회로의 전기적 특성을 센싱하기 위해 제공되는 전압이다. 센싱 데이터 전압(Sdata)이 제공되는 구간은 1 수평기간(1 H)에 해당한다. 해당 구간에서 센싱 데이터 전압(Sdata)을 제공함으로써 제2 트랜지스터(ST2)가 센싱 데이터 전압(Sdata)을 구동 트랜지스터(DT)의 소스에 인가시킨다. 이 경우, 화소 회로의 전기적 특성은 구동 소자에서 제공하는 구동 전류량일 수 있으며, 이를 센싱하여 구동 소자의 상태를 판단함으로써 보상을 수행할 수 있다.
- [0087] 상술한 바와 같이, 짝수번째 화소행을 센싱하는 경우, 센싱용 데이터 프로그램 기간(Data Program(IFS))에서 데이터 전압(Vdata)에는 블랙 데이터 전압(Bdata)이 인가된 후 센싱 데이터 전압(Sdata)이 인가된다. 반대로, 홀수번째 화소행을 센싱하는 경우에는 센싱 데이터 전압(Sdata)이 인가된 후 블랙 데이터 전압(Bdata)이 인가되어, 홀수번째 화소행이 발광하지 않도록 할 수 있다.
- [0088] 센싱용 데이터 프로그램 기간(Data Program(IFS))에 이어서, k번째 에미션 신호(Em(k))가 게이트 온 전압으로 전환되면서 센싱 기간(Sensing)이 시작된다. 센싱 기간(Sensing) 동안, 에미션 신호(Em(k))는 게이트 온 전압을 유지하고, 제2 트랜지스터(ST2)를 통해 구동 소자의 전기적 특성을 센싱하기 위해 제2 스캔 신호를 제공하는 제2 스캔 구동부는 n번째 제2 스캔 신호(Scan2(n))에 게이트 온 전압을 제공한다. 따라서, 제4 트랜지스터(ST4), 구동 트랜지스터(DT), 및 제2 트랜지스터(ST2)는 턴-온되어 데이터 라인(또는 센싱 라인)을 통해 구동 소자의 전기적 특성을 센싱한다.
- [0089] 인프레임센싱 기간(IFS) 동안 데이터를 인가하고 센싱하는 과정에 포함되지 않는 k번째 제3 스캔 신호(Scan3(k))는 게이트 오프 전압을 유지한다.
- [0090] 센싱용 데이터 프로그램 기간(Data Program(IFS))에서 제1 트랜지스터(ST1)가 턴-온되어 제1 노드(N1)에는 기준 전압(Vref)이 인가되고, 제2 트랜지스터(ST2)가 턴-온되어 제2 노드(N2)에는 센싱 데이터 전압(Sdata)이 인가된다. 이에 따라, 구동 트랜지스터(DT)의 게이트-소스 전압(Vgs)이 스토리지 커패시터(Cst)에 저장된다. 이어서, 제1 트랜지스터(ST1) 및 제2 트랜지스터(ST2)가 턴-오프되면서 구동 트랜지스터(DT)의 게이트-소스 전압(Vgs)을 유지하다가, 센싱 기간(Sensing)에서 제2 트랜지스터(ST2) 및 제4 트랜지스터(ST4)가 턴-온되면서 고전위 전원 전압 라인부터 데이터 라인까지 전류 패스(current path)가 형성된다. 이 전류 패스를 따라 데이터 라인을 통해 흘러나오는 전류의 양을 센싱하여 구동 트랜지스터(DT)의 전기적 특성을 판단한다. 센싱 기간(Sensing) 동안 데이터 라인을 통해 흘러나오는 전류의 양을 센싱함으로써, 이 후 일반 구동을 위한 데이터 프로그램 기간(Data Program(Regular))에서 데이터 라인을 통해 인가할 데이터 전압(Vdata)을 결정할 수 있다. 예를 들어, 구동 트

랜지스터(DT)의 전기적 특성이 저하되어 센싱하는 동안 데이터 라인을 통해 흘러나오는 전류가 작으면 구동을 위한 데이터 프로그램 기간(Data Program(Regular))에서 원래 데이터 전압보다 더 낮은 데이터 전압을 인가한다. 따라서, 구동 트랜지스터(DT)의 전기적 특성이 저하됨에 따라 더 큰 게이트-소스 전압(V_{gs})을 인가하게 되므로 발광 소자(EL)로 흐르는 전류를 일정하게 유지할 수 있다.

- [0091] 앞에서 n번째 화소행의 화소 회로들의 구동 기간(DRIV)과 인프레임센싱 기간(IFS)을 설명하였는데, 실질적으로는 센싱하고자하는 화소행에서 인프레임센싱 기간(IFS) 후 구동 기간(DRVI)을 두어 이어지는 화소행에서 순차적으로 구동이 수행될 수 있도록 한다.
- [0092] 앞에서 설명한 바에 따라, n번째 제2 스캔 신호 및 k번째 에미션 신호는 n번째 화소행을 센싱하기 위하여 화소 회로의 구동 기간(DRIV)이 아닌 구간에서 게이트 온 전압이어야 한다. 따라서, 제2 스캔 신호를 제공하는 제2 스캔 구동부 및 에미션 신호를 제공하는 에미션 구동부는 특정 화소행에 선택적으로 임의의 게이트 신호를 출력할 수 있어야 한다. 이에 대한 방법으로, 제2 스캔 구동부는 제2 스캔 구동부에 입력되는 클럭의 신호를 조절함으로써 구현할 수 있고, 에미션 구동부는 에미션 구동부의 출력을 제어할 수 있는 별도의 제어부들을 구비함으로써 구현할 수 있다.
- [0093] 이하에서는 제2 스캔 구동부 및 에미션 구동부에 대해 설명한다. 제2 스캔 구동부는 센싱 스캔 구동부라고 일컫을 수도 있다.
- [0094] 도 5a는 본 명세서의 일 실시예에 따른 센싱 스캔 구동부의 회로도이고, 도 5b는 본 명세서의 일 실시예에 따른 센싱 스캔 구동부의 파형도이다. 또한, 도 5b는 n번째 화소행을 센싱하는 경우의 파형도이다.
- [0095] 도 5a 및 도 5b를 참조하면, 본 명세서의 일 실시예에 따른 센싱 스캔 구동부는 8개의 트랜지스터 및 2개의 커패시터로 구현되고, 트랜지스터들은 모두 p타입의 트랜지스터이다. 제1 스캔 트랜지스터(Ts_1)와 제2 스캔 트랜지스터(Ts_2)의 게이트는 각각 Q_{sp} 노드 및 QBs 노드와 연결된다. Q_{sp} 노드는 제1 스캔 트랜지스터(Ts_1)의 게이트를 충전시키고, QBs 노드는 제2 스캔 트랜지스터(Ts_2)의 게이트를 방전시킨다. 이 경우, 센싱 스캔 구동부를 구성하는 트랜지스터들의 충전은 트랜지스터의 게이트 온 전압을 의미하고, 방전은 트랜지스터의 게이트 오프 전압을 의미한다. 따라서, 제1 스캔 트랜지스터(Ts_1)는 풀다운 트랜지스터, 제2 스캔 트랜지스터(Ts_2)는 풀업 트랜지스터라고 일컫을 수 있다.
- [0096] Q_{sp} 노드 및 QBs 노드에 따라 제1 스캔 트랜지스터(Ts_1) 또는 제2 스캔 트랜지스터(Ts_2)가 턴-온되어 제1 게이트 클럭(GCLK1) 또는 게이트 오프 전압(VGH)이 n번째 제2 스캔 신호(Scan2(n))로 출력된다. 센싱 스캔 구동부의 출력 신호가 입력되는 화소 회로의 제2 스캔 트랜지스터(ST2)는 p타입 트랜지스터이므로 제1 게이트 클럭(GCLK1)의 게이트 온 전압에 따라서 제2 스캔 트랜지스터(ST2)는 턴-온된다. 이 경우, 제2 스캔 신호는 센싱 신호로 일컫을 수 있고, 센싱 스캔 구동부는 후술할 제1 제어부 및 제2 제어부와 동기되어 동작한다.
- [0097] 특정 화소행에 있는 게이트 라인에 임의의 신호를 제공하여 화소 회로의 제2 트랜지스터(ST2)를 턴-온시키기 위해서는 제1 게이트 클럭(GCLK1)을 조절함으로써 구현할 수 있다.
- [0098] 제1 게이트 클럭(GCLK1) 뿐만 아니라 제2 게이트 클럭(GCLK2) 등 클럭 신호는 데이터 구동부(110)에서 발생시킨다. 데이터 구동부(110)에서는 센싱하고자 하는 화소행에 대응되도록 제1 게이트 클럭(GCLK1) 및 제2 게이트 클럭(GCLK2)을 제어하여 n번째 제2 스캔 신호(Scan2(n))의 파형을 조절한다. 앞에서 설명한 바와 같이, 본 명세서의 에미션 구동부를 구성하는 복수개의 스테이지들 각각은 두 개의 화소행에 에미션 신호를 인가하므로, n번째 화소행을 센싱하고자 할 때, 데이터 구동부(110)는 n번째뿐만 아니라 (n-1)번째의 에미션 신호가 함께 턴-온되므로, (n-1)번째 화소행의 발광을 막기 위해서는 (n-1)번째 화소행에는 블랙 데이터 전압이 인가되어야 한다.
- [0099] 도 5b의 제2 스캔 신호(Scan2)를 참조하면, (n-1)번째 제2 스캔 구동부는 블랙 데이터 전압을 인가하기 위해 첫 번째 출력 신호(①)를 출력하고, 구동을 위한 데이터 전압을 인가하기 위해 두 번째 출력 신호(②)를 출력한다. 그리고, n번째 제2 스캔 구동부는 센싱 데이터 전압을 인가하기 위해 첫 번째 출력 신호(③)를 출력하고, 센싱을 위한 두 번째 출력 신호(④)를 출력하고, 구동을 위한 데이터 전압을 인가하기 위해 세 번째 출력 신호(⑤)를 출력한다. 그리고, (n+1)번째 화소행 이후부터 제2 스캔 구동부는 구동을 위한 데이터 전압을 인가하기 위한 출력 신호만 출력한다. 이 경우, 예를 들어 게이트 온 전압은 -4V이고, 게이트 오프 전압은 9V이다.
- [0100] 도 6은 본 명세서의 일 실시예에 따른 IFS용 에미션 구동부를 나타낸 도면이다. n번째 화소행을 센싱하기 위하여 게이트 구동부는 에미션 구동부(121), 에미션 구동부(121)에 입력 신호를 제공하는 제1 제어부(150), 및 에미션 구동부(121)의 출력 신호를 조절하는 제2 제어부(160)를 포함한다. 이 경우, 제1 제어부(150), 에미션 구동부(121), 및 제2 제어부(160)를 포함하여 IFS용 에미션 구동부라고 정의한다. 도 7은 본 명세서의 일 실시예

에 따른 제1 제어부(150)의 파형도이고, 도 8은 본 명세서의 일 실시예에 따른 에미션 구동부(121)의 파형도이며, 도 9는 본 명세서의 일 실시예에 따른 제2 제어부(160)의 파형도이다. 이하에서는 도 6 내지 도 9에 대해 설명한다.

- [0101] 에미션 구동부(121), 제1 제어부(150), 및 제2 제어부(160) 각각은 복수의 스테이지들을 포함한다. 에미션 구동부(121)를 구성하는 복수의 스테이지들은 두 개의 화소행에 에미션 신호를 인가하므로 에미션 구동부(121)를 구성하는 복수의 스테이지들의 개수는 표시패널의 화소행 수의 절반에 해당된다.
- [0102] 앞에서 설명한 바와 같이, n번째 화소행을 센싱하기 위한 k번째 에미션 신호($Em(k)$)는 인프레임센싱 기간(IFS) 중 센싱 기간(Sensing) 동안 게이트 온 전압이어야 한다. 센싱 기간(Sensing) 동안 발생된 k번째 에미션 신호($Em(k)$)의 게이트 온 전압은 센싱을 위해 임의로 발생된 전압이다. 따라서, n번째 화소행을 센싱하기 위한 신호를 발생시키는 제1 제어부(150)를 배치하여 제1 제어부(150)에서 출력되는 출력 신호가 에미션 구동부(150)의 입력 신호로 인가될 수 있게 한다. 그리고, 에미션 구동부(121)는 제1 제어부(150)로부터 받은 신호를 쉬프트하여 출력시킨다. 에미션 구동부(121)로부터 쉬프트된 출력 신호는 제2 제어부(160)에 입력된다. 제2 제어부(160)는 에미션 구동부(121)를 통해 출력된 출력 신호를 n번째 화소행에는 그대로 제공하고, (n+1)번째 화소행에는 에미션 구동부(121)를 통해 출력된 출력 신호를 변환하여 (k+1)번째 제1 제어부의 스테이지에 제공한다. 에미션 구동부(121)로부터 출력된 출력 신호는 n번째 화소행의 센싱을 위해 임의로 발생된 신호이기 때문에, (n+1)번째 화소행부터는 다시 일반 구동을 위한 신호를 제공하기 위하여 제2 제어부(160)를 통해 임의로 발생된 신호를 재변환시킨다. 이 경우, k번째 제2 제어부(160)의 스테이지에서 출력되어 (k+1)번째 제1 제어부의 스테이지에 입력되는 신호를 캐리 신호라고 정의한다.
- [0103] 도 6, 도 7, 및 도 5b를 참조하면, 제1 제어부(150)는 게이트 온 전압을 발생시키기 위하여 센싱 클럭(SCLK), 제2 스캔 구동부의 n번째 제2 스캔 신호(Scan2(n)), 제2 스캔 구동부의 Qs 노드 및 QBs 노드의 전압을 사용한다. 제1 제어부(150)는 제11 트랜지스터(T11), 제12 트랜지스터(T12), 제13a 트랜지스터(T13a), 제13b 트랜지스터(T13b), 및 커패시터(C)를 포함한다.
- [0104] 제11 트랜지스터(11)는 QBs 노드에 의해 제어되어 (k-1)번째 에미션 캐리 신호($EMC(k-1)$)를 제1 제어부(150)의 출력 노드(ECO1)에 인가한다.
- [0105] 커패시터(C)는 제1 제어부(150)의 출력 노드(ECO1)에 연결된 일측 단자와 에미션 하이 전압(VEH) 또는 에미션 로우 전압(VEL)이 제공되는 라인에 연결된 타측 단자를 포함한다. 커패시터(C)는 제1 제어부(150)의 출력 노드(ECO1)의 전압을 안정화시킨다. 도 5b를 참조하면, n번째 화소행을 센싱하기 위한 인프레임센싱 기간(IFS) 동안 파형에 변화가 있는 화소행은 (n-1)번째, (n)번째, (n+1)번째, (n+2)번째 화소행이다. 해당 화소행들에서 n번째 제2 스캔 신호(Scan2(n))와 제2 스캔 구동부의 Qs 노드 및 QBs 노드의 파형을 살펴보면, Qs 노드가 게이트 온 전압이고 QBs 노드가 게이트 오프 전압이면서 n번째 제2 스캔 신호(Scan(n))가 게이트 오프 전압인 구간이 있다. 이는, 센싱을 위해 변형된 제1 게이트 클럭(GCLK1)에 의한 것으로, 해당 구간에서 제1 제어부(150)의 출력 노드(ECO1)는 플로팅(floating) 상태이다. 따라서, 커패시터(C)를 제1 제어부(150)의 출력 노드(ECO1)에 연결시킴으로써, 제1 제어부(150)의 출력 노드(ECO1)를 안정화시킬 수 있다.
- [0106] 제12 트랜지스터(T12)는 Qs 노드에 의해 제어되어 제12 노드(N12)의 전압을 제1 제어부(150)의 출력 노드(ECO1)에 인가한다.
- [0107] 제13a 트랜지스터(T13a) 및 제13b 트랜지스터(T13b)는 서로 다른 신호에 의해 제어되고 병렬로 연결된다. 제13a 트랜지스터(T13a)는 홀수번째 화소행인 (n-1)번째 제2 스캔 신호(Scan2(n-1))에 의해 제어되어 센싱 클럭(SCLK)을 제12 노드(N12)에 인가하고, 제13b 트랜지스터(T13b)는 짝수번째 화소행인 n번째 제2 스캔 신호(Scan2(n))에 의해 제어되어 센싱 클럭(SCLK)을 제12 노드(N12)에 인가한다. 예를 들어, 에미션 구동부가 한 개의 화소행에 에미션 신호를 제공하는 경우, 제13a 트랜지스터(T13a) 및 제13b 트랜지스터(T13b)는 제13 트랜지스터(T13) 한 개로 구현될 수 있다. 제13 트랜지스터(T13)는 n번째 제2 스캔 신호(Scan2(n))에 의해 제어되어 센싱 클럭(SCLK)을 제12 노드(N12)에 인가한다.
- [0108] (k-1)번째 에미션 캐리 신호($EMC(k-1)$)는 센싱하고자 하는 화소행이 아닌 일반 구동하는 화소행에 에미션 신호를 제공하는 제2 제어부로부터 제공받은 캐리 신호이다. 반면에 센싱 클럭(SCLK)은 센싱하고자 하는 화소행을 선택하기 위한 클럭 신호로 게이트 클럭과 마찬가지로 데이터 구동부(110)에서 발생된다. 에미션 캐리 신호($EMC(k-1)$)는 제11 트랜지스터(T11)를 통해 제1 제어부(150)의 출력 노드(ECO1)에 인가되고, 센싱 클럭(SCLK)은 제13a 트랜지스터(T13a) 또는 제13b 트랜지스터(T13b), 그리고 제12 트랜지스터(T12)에 의해 제1 제어부

(150)의 출력 노드(ECO1)에 인가된다.

- [0109] 인프레임센싱 기간(IFS) 중 센싱 기간(Sensing)에서 센싱 클럭(SCLK)은 게이트 온 전압이고, n번째 제2 스캔 신호(Scan2(n))도 게이트 온 전압이므로 제13b 트랜지스터(T13b)는 턴-온되어 제12 노드(N12)에 센싱 클럭(SCLK)의 게이트 온 전압을 인가한다. 이 경우, (n-1)번째 제2 스캔 신호(Scan2(n-1))는 게이트 오프 전압이므로 제13a 트랜지스터(T13a)는 턴-오프된다. 그리고, Qs 노드에는 게이트 온 전압이 인가되므로 제12 트랜지스터(T12)는 턴-온되어 제12 노드(N12)의 전압인 게이트 온 전압을 제1 제어부(150)의 출력 노드(ECO1)에 인가한다. Qs 노드에 게이트 온 전압이 인가되는 동안 QBs 노드에는 게이트 오프 전압이 인가되므로 제11 트랜지스터(T11)는 턴-오프된다. 따라서, 제1 제어부(150)는 센싱 기간(Sensing)에서 게이트 온 전압의 센싱 클럭(SCLK)을 출력 노드(ECO1)에 인가한다. 즉, 제1 제어부(150)는 센싱 기간(Sensing)에서 (k-1)번째 에미션 캐리 신호(EMC(k-1))를 변형시킨 변형된 에미션 캐리 신호(EMC(k-1)')를 출력한다. 이 경우, 변형된 에미션 캐리 신호(EM(k-1)')는 제1 제어부(150)의 출력 신호 또는 제어 신호라고 일컫을 수 있다.
- [0110] 도 6 및 도 8을 참조하면, 제1 제어부(150)로부터 출력된 제어 신호는 에미션 구동부(121)의 에미션 스타트 신호(EVST)로 입력된다. 에미션 구동부(121)는 에미션 신호를 순차적으로 쉬프트 할 수 있는 쉬프트 레지스터로 구현될 수 있다. 에미션 구동부(121)는 제1 제어부(150)로부터 출력된 변형된 에미션 캐리 신호(EMC(k-1)')를 쉬프트하여 k번째 에미션 신호(EM(k))를 출력한다. 에미션 구동부를 구성하는 스테이지들은 각각 두 개의 화소 행에 에미션 신호를 제공하므로, 에미션 구동부는 k번째 변형된 에미션 캐리 신호(EMC(k-1)')를 2 수평기간(2H) 만큼 쉬프트하여 에미션 신호(EM(k))를 출력한다.
- [0111] 도 6, 도 9, 및 도 5b를 참조하면, 에미션 구동부(121)로부터 출력된 k번째 에미션 신호(EM(k))는 n번째 화소행의 에미션 라인에 제공된다. k번째 에미션 신호(EM(k))는 n번째 화소행을 센싱하기 위해 변형된 에미션 신호이고 (k+1)번째 화소행은 센싱이 아닌 일반 구동을 수행해야하기 때문에, 제2 제어부(160)는 (n+1)번째 화소행에 에미션 신호를 제공하는 에미션 구동부의 (k+1)번째 스테이지에 일반 구동을 위해 재변환된 에미션 신호를 제공한다. 제2 제어부(160)는 k번째 에미션 신호(EM(k))를 입력 신호로하여 에미션 구동부의 (k+1)번째 스테이지에 제공하는 k번째 에미션 캐리 신호(EMC(k))를 출력한다.
- [0112] 제2 제어부(160)는 k번째 에미션 신호(EM(k)), 제2 스캔 구동부의 Qs 노드 및 QBs 노드의 전압을 사용한다. 제2 제어부(160)는 제21 트랜지스터(T21) 및 제22 트랜지스터(T22)를 포함한다. 제21 트랜지스터(T21)는 QBs 노드에 의해 제어되어 k번째 에미션 신호(EM(k))를 제2 제어부(160)의 출력 노드(ECO2)에 인가한다. 제22 트랜지스터(T22)는 Qs 노드에 의해 제어되어 에미션 하이 전압(VEH)을 제2 제어부(160)의 출력 노드(ECO2)에 인가한다.
- [0113] n번째 화소행을 센싱하기 위해 센싱 기간(Sensing)에서 n번째 제2 스캔 신호(Scan2(n)) 및 k번째 에미션 신호(EM(k))는 에미션 로우 전압이므로, 제2 제어부(160)로부터 출력되는 k번째 에미션 캐리 신호(EMC(k))는 센싱 기간(Sensing)에서 에미션 하이 전압이어야 한다. 제2 제어부(160)에서 Qs 노드는 n번째 제2 스캔 신호(Scan2(n))가 게이트 온 전압이 되도록 도 5의 제1 스캔 트랜지스터(Ts1)를 턴-온시켜주므로, 제2 제어부(160)에서는 제22 트랜지스터(T22)를 제어하도록 구현함으로써 에미션 하이 전압(VEH)이 출력되도록 한다. 따라서, 제2 제어부(160)는 n번째 제2 스캔 신호(Scan(n))가 게이트 온 전압인 경우에는 에미션 하이 전압(VEH)을 출력하고, n번째 제2 스캔 신호(Scan(n))가 게이트 오프 전압인 경우에는 k번째 에미션 신호(EM(k))를 출력한다. 즉, 제2 제어부(160)는 게이트 로우 전압으로 변형된 k번째 에미션 신호(EM(k))를 게이트 하이 전압으로 재변환하여 k번째 에미션 캐리 신호(EMC(k))를 출력시킴으로써, (n+1)번째 화소행의 화소 회로가 일반 구동될 수 있게 한다.
- [0114] 도 10은 본 명세서의 다른 실시예에 따른 IFS용 에미션 구동부를 나타낸 도면이다.
- [0115] 도 1에서 설명한 바와 같이 게이트 구동부(120)는 표시패널(100)의 좌/우측에 GIP 형태로 배치될 수 있다. 마찬가지로, 에미션 구동부(121)도 표시패널(100)의 좌/우측에 GIP 형태로 배치되어 홀수번째 화소행과 짝수번째 화소행에 각각 에미션 신호를 전달할 수 있다. 이 경우, 홀수번째 화소행인 (n-1)번째 화소행에 제공되는 에미션 신호와 짝수번째 화소행인 n번째 화소행에 제공되는 에미션 신호의 파형에 차이가 발생할 수 있다. 이는, IFS용 에미션 구동부를 구성하는 제1 제어부(151)가 제2 스캔 구동부의 Qs 노드, QBs 노드, 및 제2 스캔 구동부의 출력 신호에 의해 제어되기 때문이다. Qs 노드 및 QBs 노드의 신호는 편측의 제2 스캔 구동부로부터 신호를 제공받지만, 제2 스캔 구동부의 출력 신호는 양측으로부터 제공받을 수 있다. 타이밍적으로 편측에서 제공받는 신호와 양측으로부터 제공받는 신호는 차이가 발생할 수 있다. 화소 회로에 포함된 구동 트랜지스터는 매우 예민한 소자이므로 센싱하는 타이밍에 따라 구동 트랜지스터의 전기적 특성이 다르게 나타날 수 있다. 따라서, 본 명세서의 다른 실시예에 따른 제1 제어부(151)를 구현함으로써 에미션 신호 파형의 균일성을 확보할 수 있다. 제1

제어부(151)가 제2 스캔 구동부로부터 편측 또는 양측으로부터 제공받는 신호 및 제공받는 노드에 대해서는 상기 내용에 한정되지는 않는다. 이는, 제2 스캔 구동부의 스테이지들의 배치에 따라 변경될 수 있고, 제1 제어부(151)에 입력되는 신호의 차이는 다른 설계 구조에서도 발생할 수 있다.

- [0116] 본 명세서의 다른 실시예에 따른 제1 제어부(151)는 에미션 신호 파형의 균일성을 확보하기 위해서 도 6의 제1 제어부(150)에 제14 트랜지스터(T14) 및 제1 보조 커패시터(Ca)를 추가한다. 따라서, 본 명세서의 다른 실시예에 따른 제1 제어부(151)는 도 6의 제1 제어부(150)와 중복되는 구성요소에 대해서는 설명을 생략하거나 간략하게 할 수 있다.
- [0117] 제1 제어부(151)는 제11 트랜지스터(T11), 제12 트랜지스터(T12), 제13a 트랜지스터, 제13b 트랜지스터, 및 커패시터(C)뿐만 아니라 제14 트랜지스터(T14) 및 제1 보조 커패시터(Ca)를 포함한다.
- [0118] 제14 트랜지스터(T14)는 에미션 로우 전압(VEL)에 의해 제어되어 Qs 노드의 전압을 제1 제어부(151)의 출력 노드(ECO1)에 인가한다. 제1 보조 커패시터(Ca)는 제1 제어부(151)의 출력 노드(ECO1)에 연결된 일측 단자와 센싱 클럭(SCLK)에 연결된 타측 단자를 포함한다. 제1 제어부(151)의 출력 노드(ECO1)에는 에미션 로우 전압(VEL)에 의해 제어되는 제14 트랜지스터(T14)가 추가됨으로써, 제1 제어부(151)의 출력 노드(ECO1)에 Qs 노드의 전압을 인가시켜 n번째 제2 스캔 신호(Scan2(n))와 Qs 노드의 타이밍 차이로 인한 제1 제어부(151)의 출력 노드(ECO1)의 파형을 균일하게 확보할 수 있다. 그리고, 제1 보조 커패시터(Ca)의 일측 단자는 제1 제어부(151)의 출력 노드(ECO1)에 연결되고 타측 단자는 센싱 클럭(SCLK)이 입력되는 센싱 클럭 입력 라인에 연결된다. 본 명세서의 다른 실시예에 따른 제1 제어부(151)는 센싱하는 화소행이 홀수번째 또는 짝수번째인지에 따라 제12 트랜지스터(T12)의 저항 성분이 달라진다. 예를 들어, 홀수번째 화소행을 센싱하는 경우 제12 트랜지스터(T12)의 게이트는 이전 화소행의 구동시 미리 충전된 전압이고, 짝수번째 화소행을 센싱하는 경우 제12 트랜지스터(T12)의 게이트는 스캔 구동부의 부트 스트랩 커패시터(CBs)에 의해 부트 스트랩(boot strap)되어 게이트 로우 전압이 된다. 따라서, 센싱하는 화소행에 따라 출력되는 에미션 신호의 파형이 달라질 수 있으므로, 제1 보조 커패시터(Ca)를 배치하여 센싱 클럭(SCLK)이 로직로우 전압일 때 커패시터의 커플링 효과를 이용하여 출력되는 에미션 신호의 파형을 동일하게 할 수 있다.
- [0119] 에미션 구동부(121)로부터 출력된 k번째 에미션 신호(EM(k))는 제2 제어부(161)를 거쳐서 (k+1)번째 제1 제어부의 스테이지로 입력된다. 구체적으로, k번째 에미션 신호(EM(k))는 QBs 노드에 의해 제어되는 제21 트랜지스터(T21) 또는 Qs 노드에 의해 제어되는 제22 트랜지스터(T22)를 거친 후 제1 제어부의 다음 스테이지로 입력된다. 제21 트랜지스터(T21) 또는 제22 트랜지스터(T22)를 통해 제공되는 출력 신호는 제21 트랜지스터(T21) 또는 제22 트랜지스터(T22)의 열화로 인해 쉬프트된 문턱전압값이 반영된다. 이에, 제21 트랜지스터(T21) 또는 제22 트랜지스터(T22)의 문턱전압에 대한 네거티브 쉬프트 마진에 불리할 수 있다.
- [0120] 본 명세서의 다른 실시예에 따른 제2 제어부(161)는 제21 트랜지스터(T21) 또는 제22 트랜지스터(T22)의 문턱전압의 쉬프트 마진을 확보하기 위해 도 6의 제2 제어부(160)에 제2 보조 커패시터(Cb)가 추가된다. 따라서, 본 명세서의 다른 실시예에 따른 제2 제어부(161)는 도 6의 제2 제어부(160)와 중복되는 구성요소에 대해서는 설명을 생략하거나 간략하게 할 수 있다.
- [0121] 제2 제어부(161)는 제21 트랜지스터(T21) 및 제22 트랜지스터(T22)뿐만 아니라 제2 보조 커패시터(Cb)를 더 포함한다. 제2 보조 커패시터(Cb)의 일측 단자는 k번째 에미션 신호(EM(k))가 출력되는 노드에 연결되고 타측 단자는 QBs 노드에 연결된다. k번째 에미션 캐리 신호(EMC(k))는 k번째 에미션 신호(EM(k))가 제21 트랜지스터(T21)를 거친 신호이다. k번째 에미션 신호(EM(k))와 QBs 노드가 게이트 온 전압일 때 k번째 에미션 캐리 신호(EMC(k))는 게이트 온 전압이 되지 못하고 QBs 노드와 제21 트랜지스터(T21)의 문턱전압의 차이만큼의 신호로 출력된다. 이 경우, 제21 트랜지스터(T21)의 문턱전압이 높아지면서 불량을 야기할 수 있다. 따라서, 제2 보조 커패시터(Cb)를 k번째 에미션 신호(EM(k))가 출력되는 노드와 QBs 노드 사이에 연결함으로써, k번째 에미션 신호(EM(k))가 게이트 온 전압일 때 발생하는 커패시터의 커플링 효과를 이용하여 제21 트랜지스터(T21)의 게이트 전압을 낮춤으로써 제21 트랜지스터(T21)의 문턱전압 마진을 확보할 수 있다.
- [0122] 본 명세서의 다른 실시예에 따른 제1 제어부는 제1 제어부의 출력 노드에 연결된 트랜지스터 및 제1 보조 커패시터를 더 포함하고 제2 제어부는 제2 제어부의 출력 노드에 연결된 제2 보조 커패시터를 더 포함함으로써, IFS 용 에미션 구동부의 안정성 및 신뢰성을 향상시킬 수 있다.
- [0123] 도 11은 본 명세서의 일 실시예에 따른 에미션 구동부를 나타낸 회로도이다. 구체적으로, 에미션 구동부를 구성하는 복수의 스테이지 중 n번째 화소행에 에미션 신호를 제공하는 k번째 스테이지를 구현한 회로도이다.

- [0124] 도 11을 참고하면, 에미션 구동부(121)는 Qe 노드가 게이트 오프 전압으로 비활성화되고 QBe 노드가 게이트 온 전압으로 활성화 되는 동안에 에미션 하이 전압(VEH)의 에미션 신호(EM(k))를 출력한다. 그리고, 에미션 구동부(121)는 Qe 노드가 게이트 온 전압으로 활성화되고 QBe 노드가 게이트 오프 전압으로 비활성화 되는 동안에 에미션 로우 전압(VEL)의 에미션 신호(EM(k))를 출력한다. 다시 말해서, 에미션 구동부(121)는 Qe 노드가 활성화 되는 타이밍에 동기하여 Qe1 노드가 부트 스트랩될 때 에미션 로우 전압(VEL)의 에미션 신호(EM(k))를 출력한다. 이를 위해, 에미션 구동부(121)는 Qe 노드 제어부, QBe 노드 제어부, 출력부, 및 안정화부를 포함할 수 있다.
- [0125] Qe 노드 제어부는 제1 트랜지스터(Te1)로 구현될 수 있다. 제1 트랜지스터(T1)는 에미션 클럭 신호(ECLK)에 따라 Qe 노드에 에미션 스타트 신호(EVST) 또는 (k-1)번째 에미션 캐리 신호(EMC(k-1))를 인가하여 Qe 노드를 활성화시킨다.
- [0126] QBe 노드 제어부는 에미션 클럭 신호(ECLK), 에미션 스타트 신호(EVST) 또는 (k-1)번째 에미션 캐리 신호(EMC(k-1)), 및 Qe 노드의 전위에 따라 QBe 노드를 Qe 노드와 반대로 활성화시킨다. QBe 제어부는 제1 커패시터(CQ2), 제2 트랜지스터(Te2), 제3 트랜지스터(Te3), 제4 트랜지스터(Te4), 및 제2 커패시터(CQBe)로 구현될 수 있다.
- [0127] 제1 커패시터(CQ2)는 에미션 클럭 신호(ECLK)의 입력단과 Qe2 노드 사이에 연결된다. 제2 트랜지스터(Te2)는 Qe2 노드의 전위에 따라 에미션 클럭 신호(ECLK)를 QBe 노드에 공급한다. 제3 트랜지스터(Te3)는 에미션 스타트 신호(EVST) 또는 (k-1)번째 에미션 캐리 신호(EMC(k-1))에 따라 Qe2 노드에 에미션 하이 전압(VEH)을 공급한다. 이에 따라, Qe2 노드의 전위는 에미션 스타트 신호(EVST) 또는 (k-1)번째 에미션 캐리 신호(EMC(k-1))가 게이트 오프 전압으로 유지되는 동안에 에미션 클럭 신호(ECLK)에 동기되어 변한다. 또한, Qe2 노드의 전위는 에미션 스타트 신호(EVST) 또는 (k-1)번째 에미션 캐리 신호(EMC(k-1))가 게이트 온 전압으로 유지되는 동안에 에미션 하이 전압(VEH)이 된다.
- [0128] 제4 트랜지스터(Te4)는 Qe 노드의 전위에 따라 QBe 노드에 에미션 하이 전압(VEH)을 공급한다. 제2 커패시터(CQBe)는 QBe 노드와 에미션 하이 전압(VEH) 사이에 연결되어 QBe의 전위를 안정화시킨다.
- [0129] 출력부는 풀다운 소자인 제6 트랜지스터(Te6), 풀업 소자인 제7 트랜지스터(Te7), 및 제3 커패시터(CBe)를 포함한다.
- [0130] 제6 트랜지스터(Te6)는 Qe 노드가 활성화되는 타이밍에 동기하여 Qe1 노드가 부트 스트랩될 때부터 에미션 로우 전압(VEL)의 에미션 신호(EM(k))를 출력 노드(E0)에 공급한다. 제3 커패시터(CBe)는 Qe1 노드와 에미션 출력 노드(E0) 사이에 연결되어, 에미션 신호(EM(k))가 에미션 하이 전압(VEH)에서 에미션 로우 전압(VEL)으로 변할 때, 에미션 출력 노드(E0)의 전위 변화를 Qe1 노드의 전위에 반영하여 Qe1 노드를 부트 스트랩핑 시키는 역할을 한다. 제7 트랜지스터(Te7)는 Qe 노드에 앞서 QBe 노드가 활성화되는 동안 에미션 하이 전압(VEH)의 에미션 신호(EM(k))를 에미션 출력 노드(E0)에 공급한다.
- [0131] 안정화부는 제5 트랜지스터(Te5)로 구현될 수 있다. 제5 트랜지스터(Te5)의 게이트는 에미션 로우 전압(VEL)의 입력단에 접속되고, 제5 트랜지스터(Te5)의 제1 전극과 제2 전극은 각각 Qe 노드와 Qe1 노드에 연결된다. 제5 트랜지스터(Te5)의 제1 전극 및 제2 전극 간 채널 전류는 Qe1 노드가 부트 스트랩될 때 제로가 된다. 다시 말해서, 제5 트랜지스터(Te5)는 Qe1 노드가 부트 스트랩될 때 턴-오프됨으로써, Qe 노드와 Qe1 노드간의 전기적 연결을 차단한다. 그리고, Qe1 노드가 부트 스트랩되지 않는 동안에 제5 트랜지스터(Te5)는 턴-온 상태를 유지한다.
- [0132] 제5 트랜지스터(Te5)는 턴-온 상태를 유지하다가 Qe1 노드가 부트 스트랩 될 때에만 턴-오프되어 Qe 노드와 Qe1 노드 사이의 전류 흐름을 차단한다. 따라서, Qe1 노드가 부트 스트랩 될 때 Qe 노드의 전위는 Qe1 노드의 전위와 달라진다. 부트 스트랩 순간에 Qe1 노드의 전위가 변하더라도 Qe 노드의 전위는 변하지 않기 때문에, Qe 노드에 연결된 제1 트랜지스터(Te1) 및 제4 트랜지스터(Te4)에는 부트 스트랩 순간에 과부하가 걸리지 않게 된다. 만약, 제5 트랜지스터(Te5)가 없다면, 제1 트랜지스터(Te1)의 드레인-소스 간 전압 및 제4 트랜지스터(Te4)의 게이트-소스 간 전압은 부트 스트랩으로 인해 임계치 이상으로 증가될 수 있고, 이러한 과부하 현상이 지속되면 소자 파괴 현상인 브레이크 다운(break down) 현상이 생길 수 있다. 제6 트랜지스터(Te6)는 Qe1 노드의 부트 스트랩 순간에 Qe 노드에 연결된 제1 트랜지스터(Te1) 및 제4 트랜지스터(Te4)가 브레이크 다운되지 않도록 한다.
- [0133] 따라서, 본 명세서의 일 실시예에 따른 에미션 구동부는 (k-1)번째 에미션 캐리 신호(EMC(k-1))를 쉬프트하여 n 번째 화소행에 k번째 에미션 신호(EM(k))를 출력한다.

- [0134] 본 명세서의 실시예에 따른 게이트 구동부를 포함한 전계발광 표시장치는 다음과 같이 설명될 수 있다.
- [0135] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 복수의 스테이지들로 구성된 게이트 구동부는, n 번째 화소행에 에미션 신호를 제공하는 k 번째 스테이지, k 번째 스테이지에 연결되어 입력 신호를 제공하는 제1 제어부, 및 k 번째 스테이지와 연결되어 k 번째 스테이지의 출력 신호를 입력 신호로 받는 제2 제어부를 포함한다. 제1 제어부는 n 번째 화소행을 센싱하기 위한 제어 신호를 생성하도록 구현되고, 제2 제어부는 k 번째 스테이지의 출력 신호가 에미션 신호가 인가되는 에미션 라인에 제공되도록 에미션 라인에 연결되고, k 번째 스테이지의 출력 신호가 에미션 캐리 신호로 변환되어 $(k+1)$ 번째 스테이지의 제1 제어부에 제공되도록 $(k+1)$ 번째 스테이지의 제1 제어부에 연결된다. 이 경우, k 및 n 은 자연수이고, $1 \leq k \leq n$ 이다. 이에 따라, 특정 화소행에 선택적으로 임의의 게이트 신호를 인가하여 특정 화소행을 센싱하고 보상할 수 있다. 따라서, 표시패널의 휘도 불균일을 실시간으로 보상하여 전계발광 표시장치의 화질을 향상시키고 수명을 연장시킬 수 있다.
- [0136] 본 명세서의 다른 특징에 따르면, k 번째 스테이지는 홀수번째 및 짝수번째 화소행에 에미션 신호를 제공하고, k 는 n 을 2로 나눈 자연수일 수 있다.
- [0137] 본 명세서의 다른 특징에 따르면, 게이트 구동부를 구성하는 복수의 스테이지들은 쉬프트 레지스터로 구현될 수 있다.
- [0138] 본 명세서의 다른 특징에 따르면, n 번째 화소행에는 복수의 서브 화소들이 배치되고, 복수의 서브 화소들 각각은 발광 소자 및 화소 회로를 포함하며, 화소 회로는 구동 트랜지스터, 스위칭 트랜지스터, 에미션 트랜지스터, 및 센싱 트랜지스터를 포함할 수 있다.
- [0139] 본 명세서의 다른 특징에 따르면, 게이트 구동부는 센싱 트랜지스터를 제어하기 위한 센싱 신호를 제공하는 센싱 스캔 구동부를 더 포함할 수 있다.
- [0140] 본 명세서의 다른 특징에 따르면, 센싱 스캔 구동부는 Q_{sp} 노드에 의해 제어되어 게이트 클럭을 출력하는 풀다운 트랜지스터 및 Q_B s 노드에 의해 제어되어 게이트 하이 전압을 출력하는 풀업 트랜지스터를 포함하고, n 번째 화소행에 제공되는 센싱 신호는 게이트 클럭이 조절된 신호일 수 있다.
- [0141] 본 명세서의 다른 특징에 따르면, 제1 제어부는 Q_B s 노드에 의해 제어되어 $(k-1)$ 번째 스테이지의 에미션 캐리 신호를 제1 제어부의 출력 노드에 인가하는 제11 트랜지스터, Q_s 노드에 의해 제어되고 일전극이 제1 제어부의 출력 노드에 연결된 제12 트랜지스터, 센싱 스캔 구동부의 출력 신호에 의해 제어되어 n 번째 화소행을 선택하는 센싱 클럭을 제12 트랜지스터의 일전극에 인가하는 제13 트랜지스터, 및 출력 노드와 에미션 하이 전압 또는 에미션 로우 전압이 인가되는 라인에 연결된 커패시터를 포함하고, 제1 제어부의 출력 노드에 제공된 신호는 k 번째 스테이지의 입력 신호로 제공될 수 있다.
- [0142] 본 명세서의 다른 특징에 따르면, 제1 제어부는 제1 제어부의 출력 노드에 연결된 제14 트랜지스터 및 제1 보조 커패시터를 더 포함하고, 제14 트랜지스터는 에미션 로우 전압에 의해 제어되어 Q_s 노드의 신호를 제1 제어부의 출력 노드로 인가하며, 제1 보조 커패시터는 출력 노드와 센싱 클럭이 입력되는 노드에 연결될 수 있다.
- [0143] 본 명세서의 다른 특징에 따르면, 제13 트랜지스터는 홀수번째 화소행에 신호를 제공하는 센싱 스캔 구동부의 출력 신호에 의해 제어되는 제13a 트랜지스터 및 짝수번째 화소행에 신호를 제공하는 센싱 스캔 구동부의 출력 신호에 의해 제어되는 제13b 트랜지스터를 포함할 수 있다.
- [0144] 본 명세서의 다른 특징에 따르면, 제2 제어부는 Q_B s 노드에 의해 제어되어 k 번째 스테이지의 출력 신호를 제2 제어부의 출력 노드에 인가하는 제21 트랜지스터, 및 Q_s 노드에 의해 제어되어 에미션 하이 전압을 제2 제어부의 출력 노드에 인가하는 제22 트랜지스터를 포함할 수 있다.
- [0145] 본 명세서의 다른 특징에 따르면, 제2 제어부는 Q_B s 노드 및 k 번째 스테이지의 출력 신호가 인가되는 노드 사이에 제2 보조 커패시터를 더 포함할 수 있다.
- [0146] 본 명세서의 다른 특징에 따르면, 제2 제어부의 출력 노드는 n 번째 화소행에 포함된 에미션 트랜지스터의 게이트에 연결될 수 있다.
- [0147] 본 명세서의 다른 특징에 따르면, k 번째 스테이지는 Q_e 노드 제어부, Q_{Be} 노드 제어부, 출력부, 및 안정화부를 포함할 수 있다.
- [0148] 본 명세서의 다른 특징에 따르면, 게이트 구동부는 n 번째 화소행에 스캔 신호를 제공하는 센싱 스캔 구동부를

더 포함하고, 제1 제어부 및 제2 제어부는 센싱 스캔 구동부와 동기되어 동작할 수 있다.

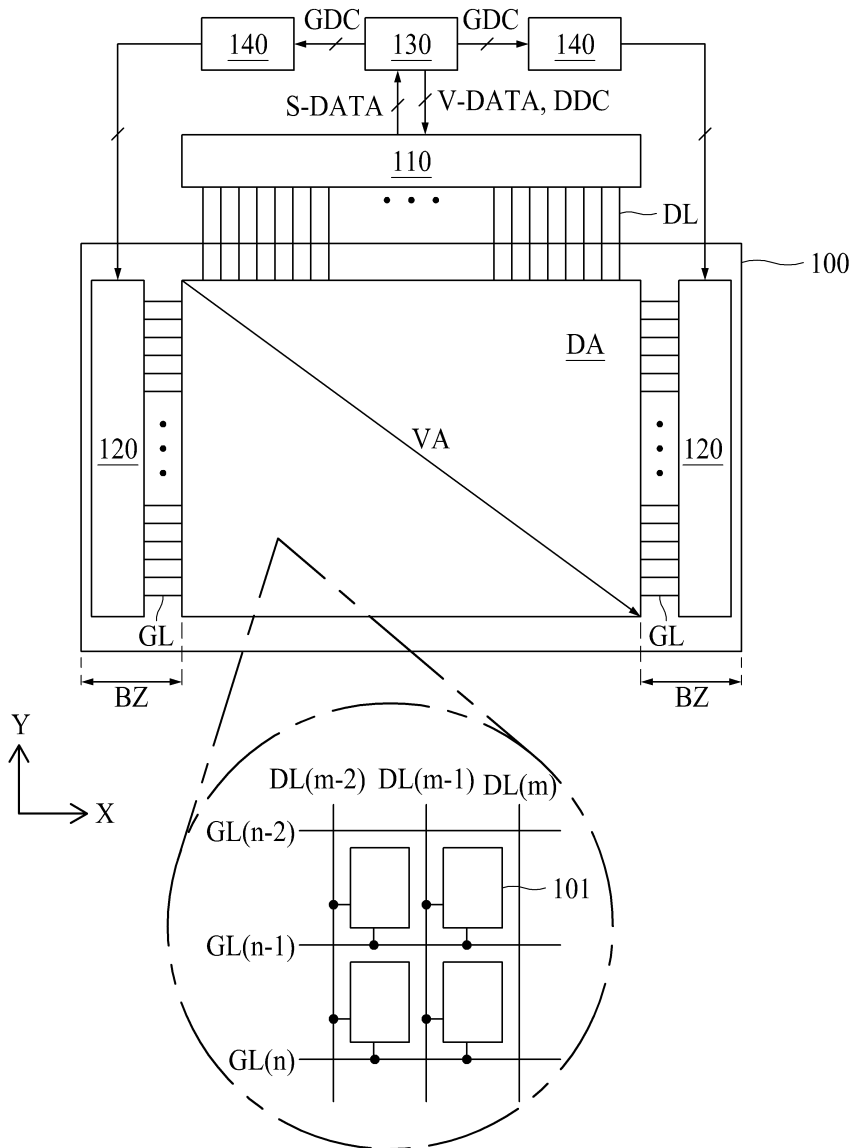
- [0149] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 특정 화소행에 센싱 신호를 인가하는 복수의 스테이지들을 포함하는 센싱 스캔 구동부, 특정 화소행에 에미션 신호를 인가하는 복수의 스테이지들을 포함하는 에미션 구동부, 에미션 구동부에 입력 신호를 제공하는 제1 제어부, 및 에미션 구동부의 출력 신호를 입력 신호로 받는 제2 제어부를 포함하고, 특정 화소행은 센싱 기간을 통해 특정 화소행에 포함된 구동 소자의 전기적 특성이 센싱되며, 센싱 기간 동안 센싱 스캔 구동부 및 에미션 구동부를 통해 게이트 온 전압이 출력된다. 이에 따라, 특정 화소행에 선택적으로 임의의 게이트 신호를 인가하여 특정 화소행을 센싱하고 보상할 수 있다. 따라서, 표시패널의 휘도 불균일을 실시간으로 보상하여 전계발광 표시장치의 화질을 향상시키고 수명을 연장시킬 수 있다.
- [0150] 본 명세서의 다른 특징에 따르면, 특정 화소행 이전의 화소행 및 이후의 화소행은 화소들을 발광시키기 위해 일반 구동될 수 있다.
- [0151] 본 명세서의 다른 특징에 따르면, 제1 제어부는 복수의 트랜지스터들 및 커패시터를 포함하고, 복수의 트랜지스터들은 센싱 스캔 구동부를 구성하는 노드 및 센싱 신호에 의해 제어되어 제1 제어부의 출력 노드에 출력 신호를 인가할 수 있다.
- [0152] 본 명세서의 다른 특징에 따르면, 제2 제어부는 복수의 트랜지스터들을 포함하고, 복수의 트랜지스터들은 센싱 스캔 구동부를 구성하는 노드에 의해 제어되어 제2 제어부의 출력 노드에 출력 신호를 인가할 수 있다.
- [0153] 본 명세서의 다른 특징에 따르면, 특정 화소행은 센싱 기간 이전에 데이터 프로그램 기간 동안 특정 화소행의 센싱을 위한 센싱 데이터 전압이 인가될 수 있다.
- [0154] 본 명세서의 다른 특징에 따르면, 에미션 구동부는 복수의 스테이지들을 포함하고, 복수의 스테이지들은 각각 특정 화소행 및 특정 화소행 이전의 화소행에 에미션 신호를 인가하며, 데이터 프로그램 기간 동안 화소행에는 블랙 데이터 전압이 인가될 수 있다.
- [0155] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0156] 22 : 센싱부
- 23 : 데이터 전압 발생부
- 26 : 보상부
- 100 : 표시패널
- 101 : 서브 화소
- 110 : 데이터 구동부
- 120 : 게이트 구동부
- 121 : 에미션 구동부
- 130 : 타이밍 컨트롤러
- 140 : 레벨 쉬프터
- 150, 151 : 제1 제어부
- 160, 161 : 제2 제어부

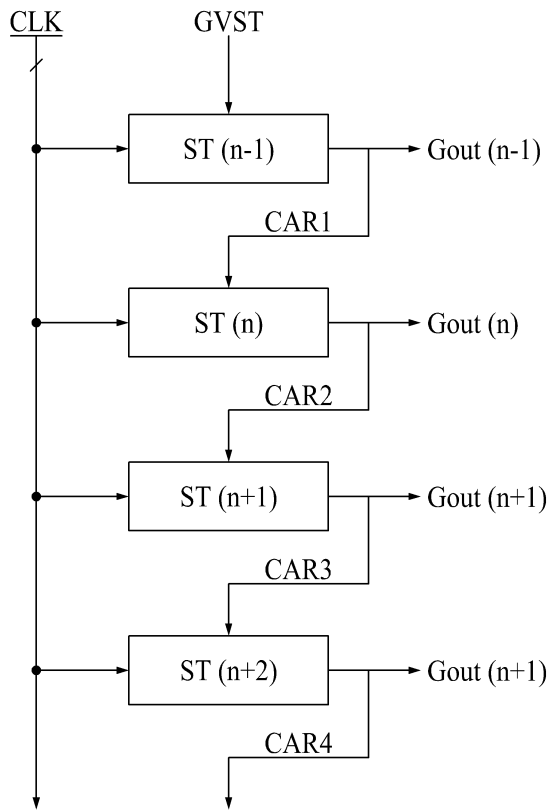
도면

도면1

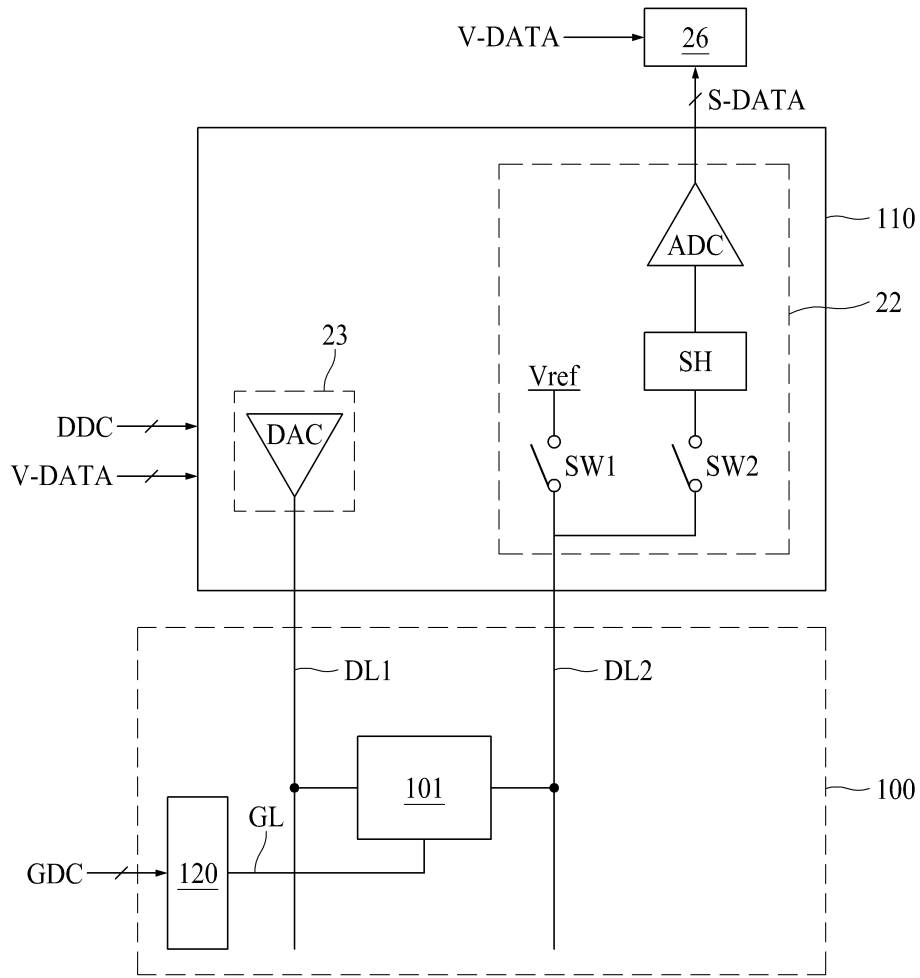


도면2

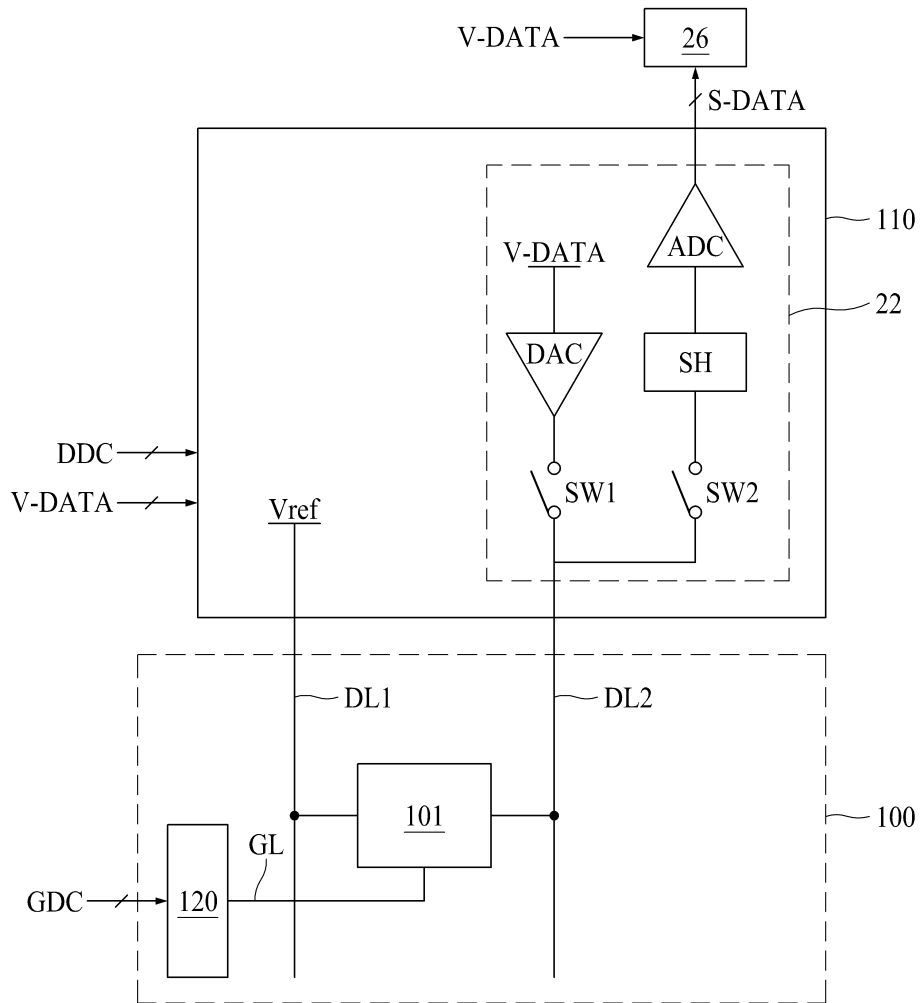
120



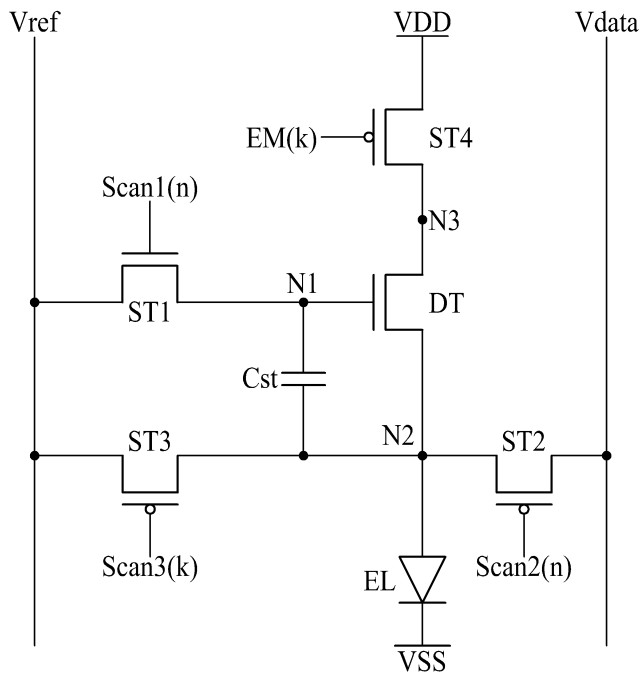
도면3a



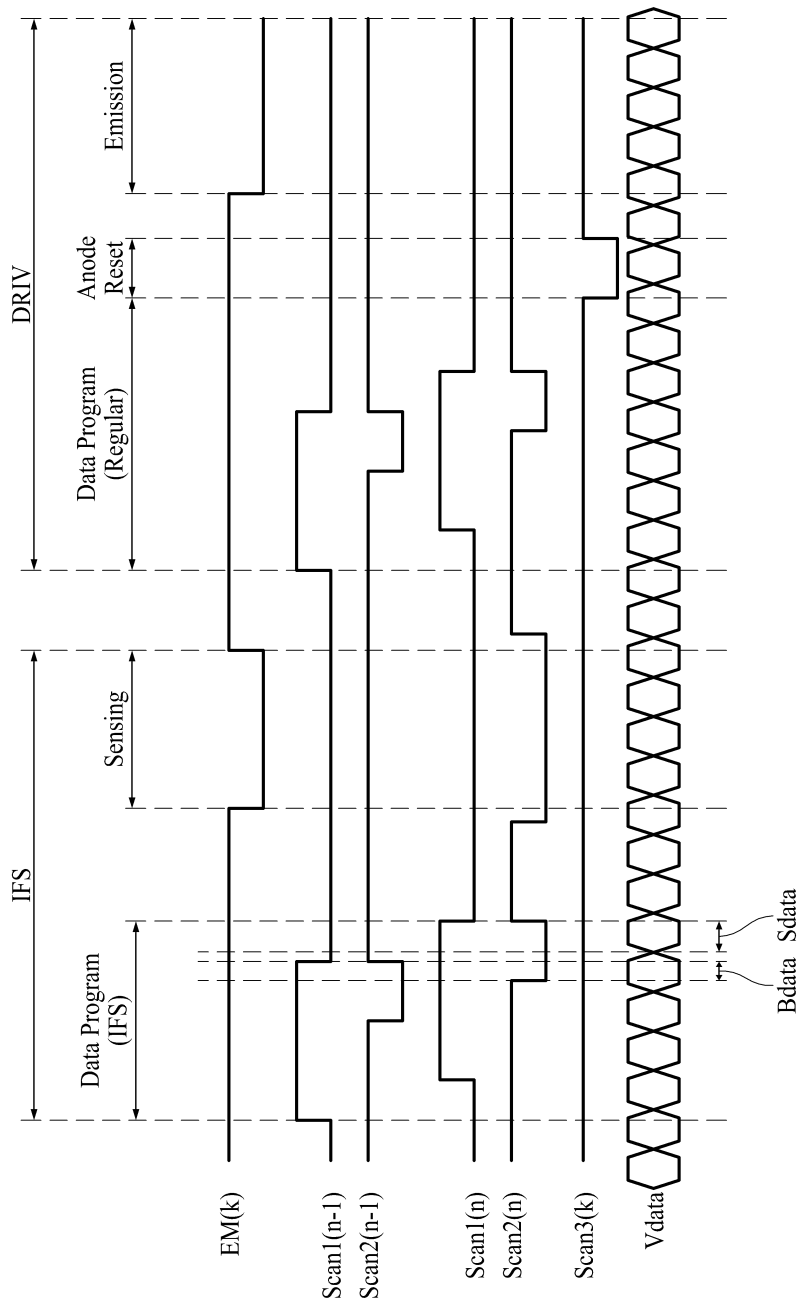
도면 3b



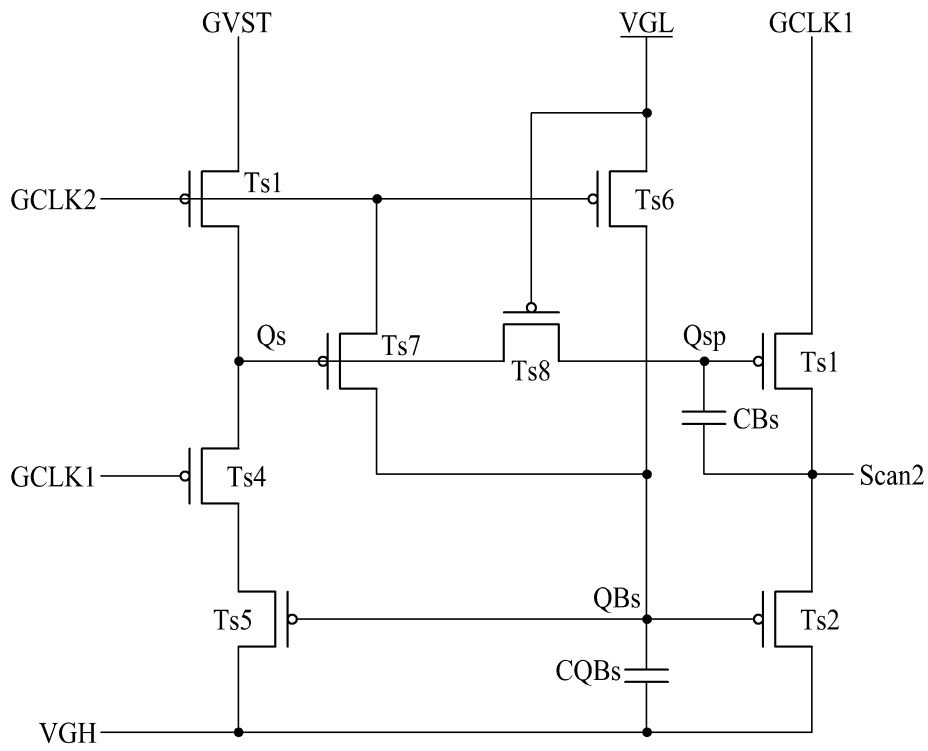
도면4a



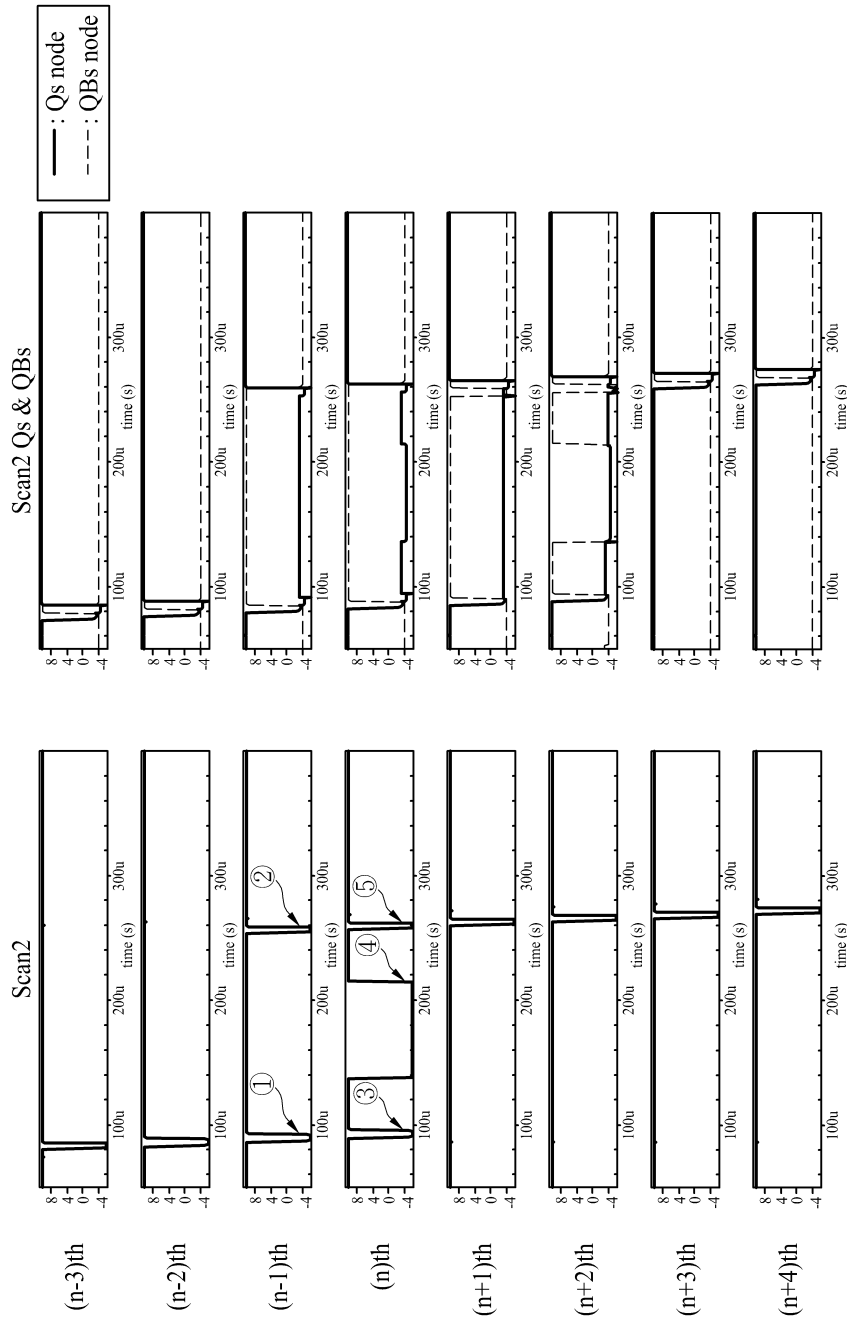
도면4b



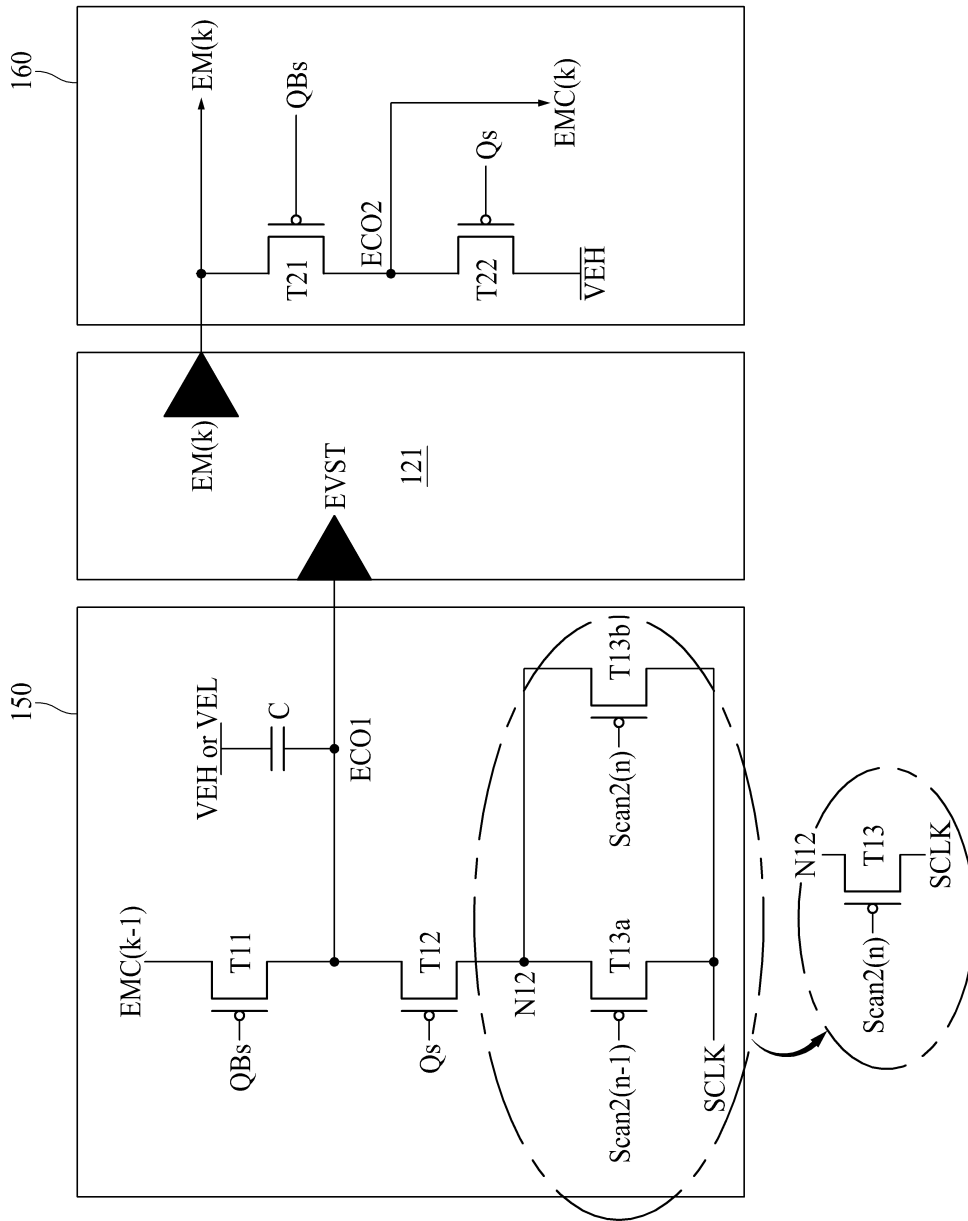
도면5a



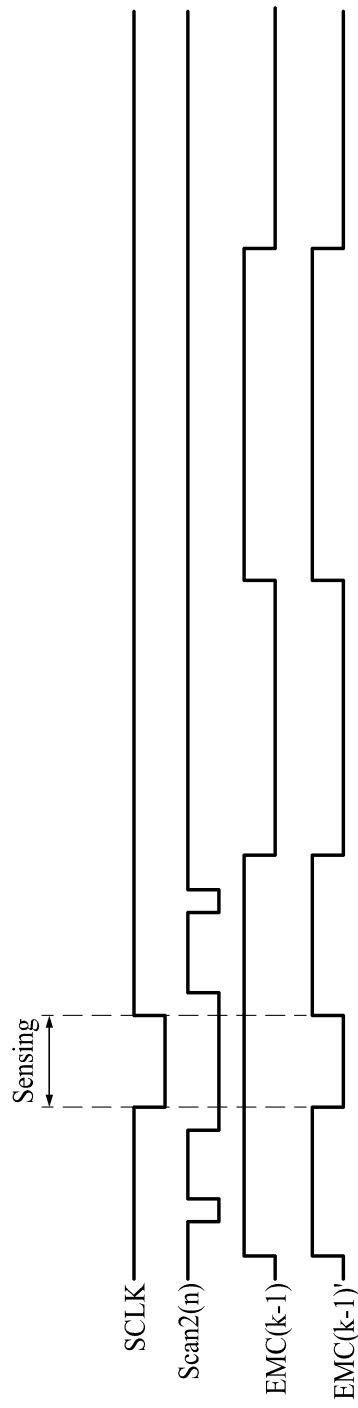
도면5b



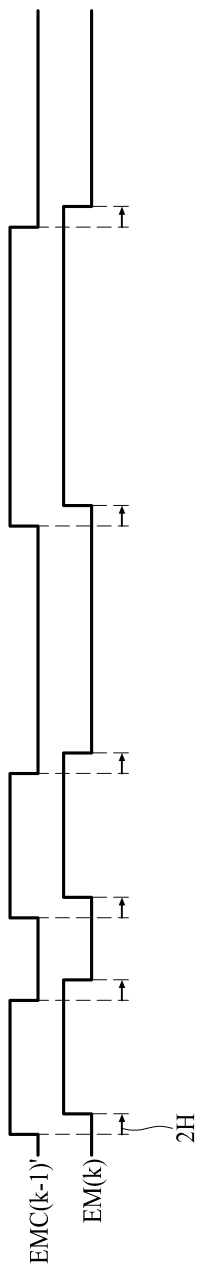
도면6



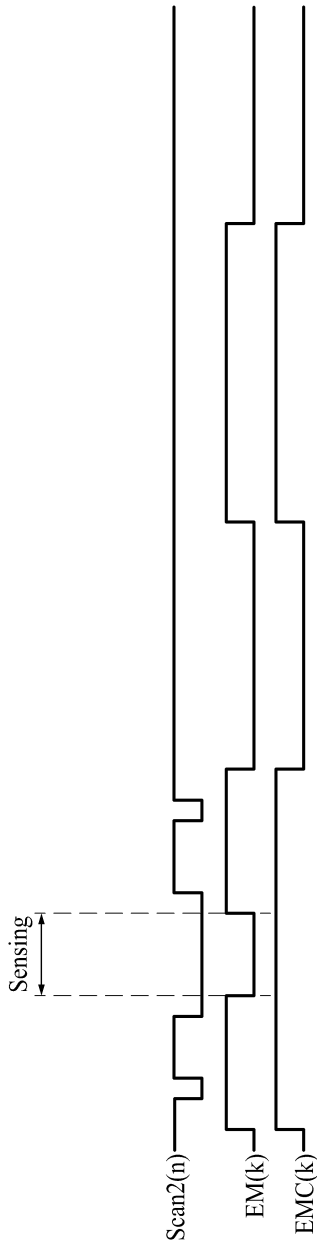
도면7



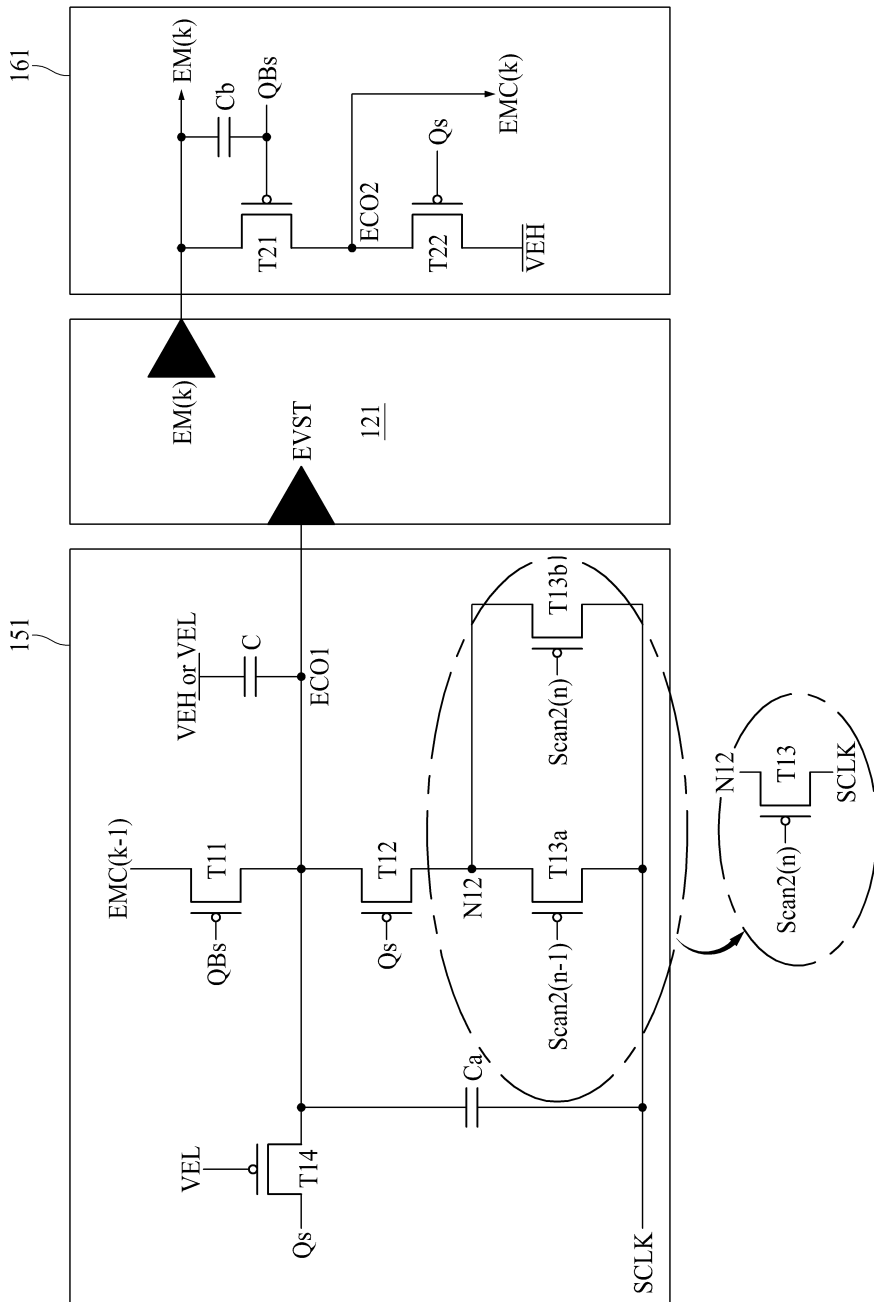
도면8



도면9

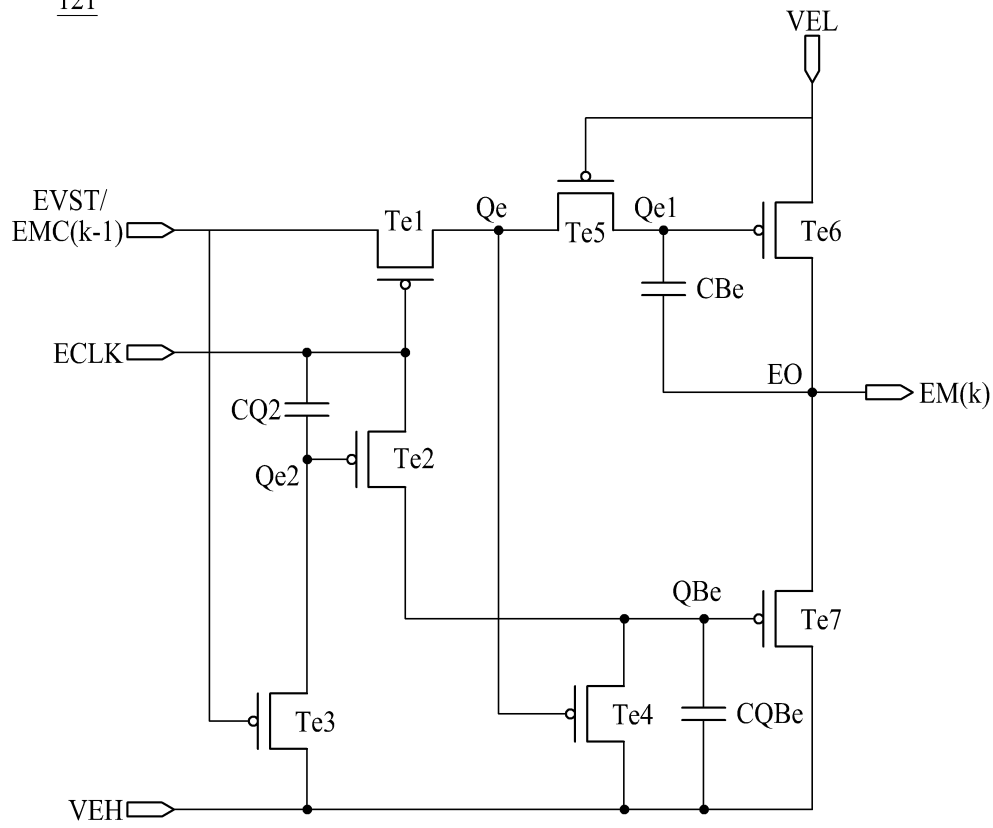


도면10



도면11

121



专利名称(译)	包括栅极驱动器的电致发光显示装置		
公开(公告)号	KR1020200077197A	公开(公告)日	2020-06-30
申请号	KR1020180166478	申请日	2018-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장성욱		
发明人	장성욱		
IPC分类号	G09G3/3266 G09G3/32		
CPC分类号	G09G3/3266 G09G3/32 G09G2310/0267 G09G2310/0286 G09G2320/0233 G09G2320/029 G09G2320/041 G09G3/3233		
外部链接	Espacenet		

摘要(译)

一种电致发光显示装置,包括由多级构成的栅极驱动器,该栅极驱动器包括第k级,用于向第n个像素行(其中n和k为自然数且 $1 \leq k \leq n$)提供发射信号。第k级的第一控制器,其连接到第k级并提供输入信号;第k级的第二控制器,其连接到第k级并接收第k级的输出信号作为输入信号,其中,第一控制器被实现为产生用于感测第n个像素行的控制信号,其中第二控制器连接到施加有发射信号的发射线,以将第k级的输出信号提供给发射线,第二控制器连接到第(k+1)级的第一控制器,将第k级的输出信号转换为发射进位信号给第(k+1)级的第一控制器。

