



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0061657
(43) 공개일자 2020년06월03일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2310/08 (2013.01)

(21) 출원번호 10-2018-0147214

(22) 출원일자 2018년11월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

신승환

경기도 파주시 월롱면 엘지로 245

상우규

경기도 파주시 월롱면 엘지로 245

박용화

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인 정안

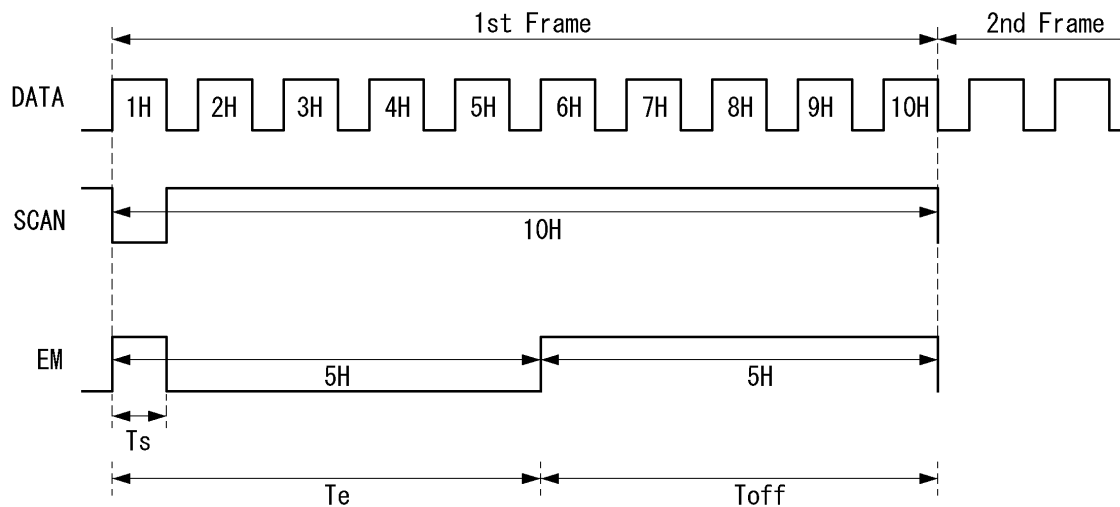
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 따른 유기발광 표시장치는 표시패널, 구동회로부 및 타이밍 컨트롤러를 포함한다. 표시패널은 발광소자를 포함한 픽셀이 다수 배치되고, n (n 은 자연수)개의 픽셀라인으로 이루어진다. 구동회로부는 다수의 픽셀을 구동하여 발광소자를 발광시키되, 휘도에 따라 한 프레임 내에서 발광소자의 발광 기간 및 비발광 기간을 조절한다. 타이밍 컨트롤러는 입력 타이밍 제어신호를 바탕으로 구동회로부의 동작 타이밍을 제어하고, 한 프레임 내에서 상기 발광기간 및 비발광 기간의 합을 $n \times 1$ 수평기간(H)으로 설정한다.

대표도 - 도4



(52) CPC특허분류
G09G 2320/064 (2013.01)

명세서

청구범위

청구항 1

발광소자를 포함한 픽셀이 다수 배치되고, n (n 은 자연수)개의 픽셀라인으로 이루어진 표시패널;

다수의 상기 픽셀을 구동하여 상기 발광소자를 발광시키되, 휘도에 따라 한 프레임 내에서 발광소자의 발광 기간 및 비발광 기간을 조절하는 구동회로부; 및

입력 타이밍 제어신호를 바탕으로 상기 구동회로부의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함하고, 상기 타이밍 컨트롤러는

한 프레임 내에서 상기 발광기간 및 비발광 기간의 합을 $n \times 1$ 수평기간(H)으로 설정하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 구동회로부는 입력 영상데이터를 바탕으로 데이터전압을 생성하고, 1수평기간 마다 하나의 픽셀라인에 상기 데이터전압을 기입하고,

상기 타이밍 컨트롤러는

버티컬 블랭크없이, 한 프레임을 제1 내지 제 n 수평기간으로 분할하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 타이밍 컨트롤러는

한 프레임 내에서, 액티브 기간 동안 제1 로직과 제2 로직이 주기적으로 교번되고, 버티컬 블랭크 동안 제2 로직을 유지하는 입력 DE 신호를 제공받고,

한 프레임 내에서, 버티컬 블랭크없이 제1 로직과 제2 로직이 주기적으로 교번되는 출력 DE 신호를 생성하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 타이밍 컨트롤러는

상기 출력 DE 신호의 상기 제1 로직의 개수를 상기 입력 DE 신호의 상기 제1 로직과 동일하게 생성하는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

제1 프레임에서 상기 출력 DE 신호의 마지막 제1 로직과 제2 프레임에서 상기 출력 DE 신호의 첫 번째 제1 로직 간의 간격은 제1 수평기간 미만인 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 버티컬 블랭크가 j (j 는 자연수) 수평기간일 때,

상기 타이밍 컨트롤러는 j 개의 라인 메모리를 더 포함하고,

각각의 라인 메모리는 서로 중복되지 않는 상기 입력 DE 신호들의 상기 제1 로직 신호를 저장하고, 소정 기간 지연시켜서 출력하는 유기발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 각각의 라인 메모리는

상기 출력 DE 신호들의 수평 블랭크가 상기 입력 DE 신호들의 수평 블랭크에 대비하여 $(j/n) \times 1$ 수평기간 만큼 길게 설정되도록, 상기 입력 DE 신호들의 상기 제1 로직을 지연시키는 유기발광 표시장치.

청구항 8

제 3 항에 있어서,

상기 타이밍 컨트롤러는

상기 출력 DE 신호의 상기 제1 로직에 동기되어, 상기 픽셀들에 데이터를 기입하도록 상기 구동회로부의 동작 타이밍을 제어하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 듀티 구동이 가능한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 유기발광 표시장치(Organic Light-Emitting Diode Display) 등이 있다. 특히, 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light-Emitting Diode: 이하, OLED라 함)를 포함하며, 응답속도가 빠르고 발광효율, 콘트라스트 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 사용자의 선택 또는 미리 설정된 조건에 따라서 휘도를 조절하기도 한다. 유기발광 표시장치는 휘도 조절의 일환으로 발광소자인 유기발광 다이오드의 발광 기간과 비발광 기간을 조절하는 듀티 구동 방법을 이용하기도 한다. 듀티 구동에서 각 수평기간들마다 발광라인의 개수가 다른 경우가 발생하기도 하며, 이에 따라 고전위전압의 전압 편차로 인한 휘도 불균형 문제가 드러나기도 한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 듀티 구동에서 수평기간들에 따라 발광 라인의 개수가 달라지는 현상으로 인해서 발생하는 휘도 불균형을 개선하기 위한 것이다.

과제의 해결 수단

[0005] 본 발명에 따른 유기발광 표시장치는 표시패널, 구동회로부 및 타이밍 컨트롤러를 포함한다. 표시패널은 발광소자를 포함한 픽셀이 다수 배치되고, n (n 은 자연수)개의 픽셀라인으로 이루어진다. 구동회로부는 다수의 픽셀을 구동하여 발광소자를 발광시키되, 휘도에 따라 한 프레임 내에서 발광소자의 발광 기간 및 비발광 기간을 조절한다. 타이밍 컨트롤러는 입력 타이밍 제어신호를 바탕으로 구동회로부의 동작 타이밍을 제어하고, 한 프레임 내에서 상기 발광기간 및 비발광 기간의 합을 $n \times 1$ 수평기간(H)으로 설정한다.

발명의 효과

[0006] 본 발명은 모든 수평기간들에서 발광하는 픽셀라인들의 개수가 동일하기 때문에 고전위전압의 편차가 발생하지

않는다. 그 결과, 수평기간들에 따라 고전위전압 편차로 인한 휘도 불균형이 발생하는 것을 개선할 수 있다.

도면의 간단한 설명

- [0007] 도 1은 본 발명에 의한 유기발광 표시장치를 나타내는 도면이다.
- 도 2는 픽셀 구조를 모식화한 도면이다.
- 도 3은 본 발명에 따른 듀티 구동을 설명하는 도면이다.
- 도 4 및 도 5는 본 발명에 따른 듀티 구동의 타이밍을 설명하는 도면들이다.
- 도 6 및 도 7은 비교예에 따른 듀티 구동의 타이밍을 설명하는 도면들이다.
- 도 8은 IR 편차에 따른 고전위전압의 편차를 설명하는 도면이다.
- 도 9는 본 발명의 타이밍 컨트롤러에 의한 DE 신호의 변조를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0009] 본 명세서에서 표시패널의 기판 상에 형성되는 픽셀 회로와 게이트 드라이버는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.

[0010] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 명세서의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있음에 주의하여야 한다.

[0011] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0012] 도 1은 유기발광 표시장치를 개략적으로 나타낸 블록도이다.

[0013] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀(P)들이 형성된 표시패널(100)과, 타이밍 제어신호를 생성하는 타이밍 컨트롤러(200), 및 구동회로부를 포함한다. 구동회로부는 게이트라인들(GL1~GLn)을 구동시키기 위한 게이트 구동부(400,500), 데이터라인들(DL1~DLm)을 구동시키기 위한 데이터 구동부(300)를 포함한다.

[0014] 표시패널(100)은 픽셀(P)들이 배치되어 영상을 표시하는 표시영역(AA) 및 영상 표시를 하지 않는 비표시영역(NAA)을 포함한다. 비표시영역(NAA)에는 시프트레지스터(500)가 배치될 수 있다. 도면에서 비표시영역(NAA)은 시프트레지스터(500)가 배치된 영역을 표시하고 있지만, 비표시영역(NAA)은 픽셀 어레이의 가장자리를 둘러싸는 베젤(bezel)을 통칭한다.

[0015] 표시패널(100)의 표시영역(AA)에는 다수의 데이터라인들(DL1~DLm)과 다수의 게이트라인들(GL1~GLn)이 교차되고,

이 교차영역마다 픽셀(P)들이 매트릭스 형태로 배치된다. 각 픽셀라인들(HL1~HLn)은 동일한 행에 배치된 픽셀들을 포함한다. 표시영역(AA)에 배치된 픽셀(P)들이 $m \times n$ 개일 때, 표시영역(AA)은 n개의 픽셀라인들을 포함한다.

- [0016] 제1 픽셀라인(HL1)에 배치된 픽셀(P)들은 제1 게이트라인(GL1)과 접속되고, 제n 픽셀라인(HLn)에 배치된 픽셀(P)들은 제n 게이트라인(GLn)과 접속된다. 픽셀(P)의 구조에 따라, 게이트라인(GL1~GLn)들은 각각은 게이트신호들을 제공하는 다수의 라인들을 포함할 수 있다. 예컨대, 제1 게이트라인은 스캔신호를 제공하는 스캔라인 및 발광제어신호를 제공하는 에미션라인들을 포함할 수 있다.
- [0017] 타이밍 컨트롤러(200)는 호스트(100)로부터 제공받는 입력 영상데이터(DATA)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(300)에 공급한다. 또한, 타이밍 컨트롤러(200)는 수직 동기신호(Vsync), 수평 동기신호(Hsync) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(300)의 동작 타이밍을 제어하기 위한 데이터 제어신호를 생성한다.
- [0018] 본 발명은 휘도에 따라 한 프레임 내에서 발광소자의 발광 기간 및 비발광 기간을 조절하는 듀티 구동을 하고, 타이밍 컨트롤러(200)는 듀티 구동을 위한 타이밍 제어신호들을 생성한다. 특히, 타이밍 컨트롤러(200)는 한 프레임 내에서 발광 기간과 비발광 기간의 합을 $n \times 1$ 수평기간(H)으로 설정한다. 이때, n은 픽셀라인의 개수에 해당한다. 즉, 1수평기간은 하나의 픽셀라인에 데이터전압을 기입하는 기간에 해당한다. 즉, 타이밍 컨트롤러(200)는 발광 기간과 비발광 기간의 합이 한 프레임의 영상기입 기간과 동일하도록 설정한다. 이는 듀티 구동 과정에서, 수평기간들마다 발광라인들의 개수가 동일하도록 설정하기 위한 것이며, 이에 대한 구체적인 설명은 후술하기로 한다.
- [0019] 데이터 구동부(300)는 데이터 제어신호를 기반으로 타이밍 컨트롤러(200)로부터 제공받는 입력 영상데이터(DATA)를 아날로그 데이터전압으로 변환한다.
- [0020] 게이트 구동부(400,500)는 레벨 쉬프터(400) 및 시프트레지스터(400)를 포함한다. 레벨 쉬프터(400)는 타이밍 컨트롤러(200)로부터 제공받는 게이트 제어신호를 바탕으로 게이트클럭들을 생성한다. 시프트레지스터(500)는 레벨 쉬프터(400)가 출력하는 게이트클럭들을 순차적으 쉬프트시키면서 게이트신호들을 생성한다. 게이트클럭들의 구체적인 타이밍은 후술하는 픽셀들의 실시 예를 바탕으로 설명하기로 한다. 시프트레지스터(500)는 GIP(Gate-driver In Panel) 공정을 이용하여 표시패널(100)의 비표시영역(NAA) 상에 직접 형성될 수 있다.
- [0021] 도 2의 (a) 및 (b)는 각각 실시 예에 따른 픽셀 구조를 나타내는 도면이다.
- [0022] 도 2의 (a) 및 (b)를 참조하면, 픽셀은 유기발광 다이오드(OLED), 구동 트랜지스터(DT), 스캔 트랜지스터(Ts), 및 보상 회로(PC)를 포함한다.
- [0023] 유기발광 다이오드(OLED)는 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함하고, 캐소드전극은 저전위전압(EVSS)의 입력단에 접속된다. 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광 다이오드(OLED)에 인가되는 구동전류를 제어한다. 스캔 트랜지스터(ST)는 스캔신호(SCAN)에 응답하여, 데이터라인(DL)으로부터의 데이터전압(Vdata)을 보상회로(PC)에 기입한다. 스캔 트랜지스터(ST)는 데이터라인(DL)을 구동 트랜지스터(DT)의 게이트전극 또는 소스전극 또는 드레인전극을 직접 연결시킬 수 있다. 보상 회로(PC)는 구동 트랜지스터(DT)의 문턱전압을 샘플링하고, 이를 바탕으로 유기발광 다이오드(OLED)가 구동 트랜지스터(DT)의 문턱전압 영향을 배제한 상태에서 발광하도록 구현될 수 있다. 발광제어 트랜지스터(ET)는 구동 트랜지스터(DT)의 소스전극과 고전위전압(EVDD)의 입력단 사이에 접속되거나, 구동 트랜지스터(DT)의 드레인전극과 저전위전압(EVSS)의 입력단 사이에 접속될 수 있다. 발광제어신호(EM)는 발광 기간 동안 턴-온 전압을 유지하여, 고전위전압(EVDD)의 입력단으로부터 구동 트랜지스터(DT)를 경유하는 구동전류는 유기발광 다이오드(OLED)의 애노드전극에 유입될 수 있다. 발광제어신호(EM)는 듀티 구동에서 비발광 기간 동안 턴-오프 전압을 유지한다.
- [0024] 도 3은 본 발명에 따른 발광 듀티 구동을 설명하는 도면이다.
- [0025] 도 3을 참조하면, 휘도 조절을 위해서 본 발명은 발광 듀티 구동을 수행한다. 듀티 구동은 사용자의 설정 또는 표시장치에 미리 설정된 조건에 따라 동작할 수 있다.
- [0026] 듀티 구동에서, 듀티비(duty ratio)는 1프레임 기간에 대한 발광 기간의 비율로 정의할 수 있다. 따라서, 듀티비가 100%일 때, 픽셀(P)들은 1 프레임 동안 지속적으로 발광된 상태를 유지한다. 그리고, 듀티비가 50%일 때 픽셀(P)들의 발광기간과 비발광 기간은 1:1이 되고, 듀티비가 20%일 때 픽셀(P)들의 발광기간과 비발광 기간

은 1:4가 된다.

- [0027] 본 발명은 듀티 구동에서 각 수평기간마다 발광 픽셀들의 불균형을 방지하기 위해서, 버티컬 블랭크까지 액티브 기간으로 활용한다. 이를 구체적으로 살펴보면 다음과 같다.
- [0028] 도 4는 1 프레임내에서 본 발명의 구동신호의 타이밍을 나타내는 도면이다. 설명의 편의를 위해서, 도 4 및 도 5는 표시패널을 구성하는 픽셀라인(HL)의 개수를 10개로 간소화하였다. 도 4 및 도 5는 50%의 듀티비로 구동되는 발광 듀티 구동을 도시하고 있다.
- [0029] 도 4 및 도 5를 참조하면, 본 발명에 따른 영상가입 기간(DW)은 버티컬 블랭크없이 한 프레임 내에서 진행된다. 그리고, 발광 듀티 주기는 액티브 기간(AT)의 주기와 동일하게 설정된다.
- [0030] 영상가입 기간(DW)은 한 프레임의 영상데이터를 기입하는데에 소요되는 시간을 지칭한다. 표시패널(100)이 n (n 는 자연수) 개의 픽셀라인으로 구성될 때, 영상가입 기간(DW)은 n 수평기간(H)을 포함한다. k (k 는 n 이하의 자연수) 수평기간은 k 번째 픽셀라인(HL[k])에 데이터전압을 기입하는 기간으로 정의될 수 있다.
- [0031] 발광 듀티 주기는 발광 기간(Te) 및 비발광 기간(Toff)을 포함한다. 발광 기간(Te)은 스캔 기간(Ts)과 발광 제어신호가 턴-온 전압(ON)을 유지하는 기간을 포함한다. 스캔 기간(Ts)은 영상데이터를 기입하는 기간으로 실질적으로 유기발광 다이오드(OLED)는 비발광 상태일 수 있다. 발광 듀티 주기는 영상가입 기간(DW)의 주기와 동일하다. 즉, 발광 듀티 주기는 영상가입 기간(DW)에 속하는 수평기간을 기준으로 산출되고, $a\%$ 의 듀티비로 구동될 경우에 발광 기간(Te)은 " $n \times (a/100)$ "의 수평기간으로 설정된다.
- [0032] 본 발명에서 영상가입 기간(DW)은 버티컬 블랭크없이 1 프레임을 전체 이용하기 때문에, 영상가입 기간(DW)의 주기와 발광 듀티 주기는 동일하게 설정될 수 있다. 그 결과, 매 수평기간마다 발광픽셀들의 개수가 동일하게 된다. 이를 살펴보면 다음과 같다.
- [0033] 도 5는 1 프레임 내에서 본 발명의 발광 듀티 구동에 따른 발광 픽셀들을 나타내는 도면이다.
- [0034] 도 4 및 도 5를 참조하면, 제1 프레임(1st Frame)에서 제1 픽셀라인(HL1)의 스캔 기간(Ts)은 제1 수평기간(1H)에 해당한다.
- [0035] 영상가입 기간(DW)은 버티컬 블랭크없이 한 프레임 전체를 이용한다. 따라서, 한 프레임의 수평기간은 제1 내지 제10 픽셀라인들(HL1~HL10)을 구동하기 위한 제1 내지 제10 수평기간들(1H~10H)로 이루어진다.
- [0036] 발광 기간(Te)의 주기는 1 프레임 전체의 수평기간을 기준으로 산정된다. 예컨대, 1 프레임이 제1 내지 제10 수평기간들(1H~10H)로 이루어진다면, 50%의 듀티비로 구동하기 위해서 발광 기간(Te)은 " $10 \times (50/100) = 5$ " 수평기간으로 산정된다.
- [0037] 그 결과, 제1 픽셀라인(HL1)은 제1 수평기간(1H)부터 제5 수평기간(5H)까지 발광 기간(Te)이 되고, 제6 수평기간(6H)부터 제10 수평기간(10H)까지 비발광 기간(Te)이 된다. 제1 수평기간(1H)은 제1 픽셀라인(HL1)의 스캔 기간(Ts)에 해당한다. 이와 유사하게, 제2 픽셀라인(HL2)은 제2 수평기간(2H)부터 제6 수평기간(6H)까지 발광 기간(Te)이 되고, 제6 수평기간(6H)부터 제11 수평기간(11H)까지 비발광 기간(Te)이 된다. 제2 수평기간(2H)은 제2 픽셀라인(HL2)의 스캔 기간(Ts)에 해당한다. 제11 수평기간(11H)은 제2 프레임(2nd Frame)에서 제1 픽셀라인(HL1)의 스캔 기간(Ts)에 해당한다. 이러한 방법으로 순차구동하여 제10 픽셀라인(HL10)은 제10 수평기간(10H)부터 제14 수평기간(14H)까지 발광 기간(Te)으로 구동하고, 제15 수평기간(15H)부터 제19 수평기간(19H)까지 비발광 기간(Te)으로 구동한다.
- [0038] 이에 따라, 각 수평기간들에서 5개의 픽셀라인은 발광 기간에 해당하고, 5개의 픽셀라인은 비발광 기간에 해당한다. 예컨대, 제1 수평기간(1H)에서 제1 픽셀라인(HL1)과 제7 내지 제10 픽셀라인들(HL7~HL10)은 발광 라인에 해당하고, 제2 내지 제6 픽셀라인들(HL2~HL6)은 비발광 라인에 해당한다. 그리고, 제10 수평기간(10H)에서 제6 내지 제10 픽셀라인들(HL6~HL10)은 발광 라인에 해당하고, 제1 내지 제5 픽셀라인들(HL1~HL5)은 비발광 라인에 해당한다.
- [0039] 각 수평기간들은 하나의 스캔 기간(Ts)을 포함하기 때문에, 수평기간들마다 발광 픽셀들은 4개가 될 수 있다.
- [0040] 이렇듯, 본 발명에 따른 듀티 구동은 모든 수평기간들에서 발광 라인들의 개수가 동일하다. 따라서, 모든 수평기간들에서 고전위전압(EVDD)을 제공받는 픽셀(P)들의 개수는 동일하고, 그 결과 각 수평기간들에서 고전위전압(EVDD)의 입력단의 IR 편차는 달라지지 않는다. 이를 비교예와 더불어 설명하면 다음과 같다.

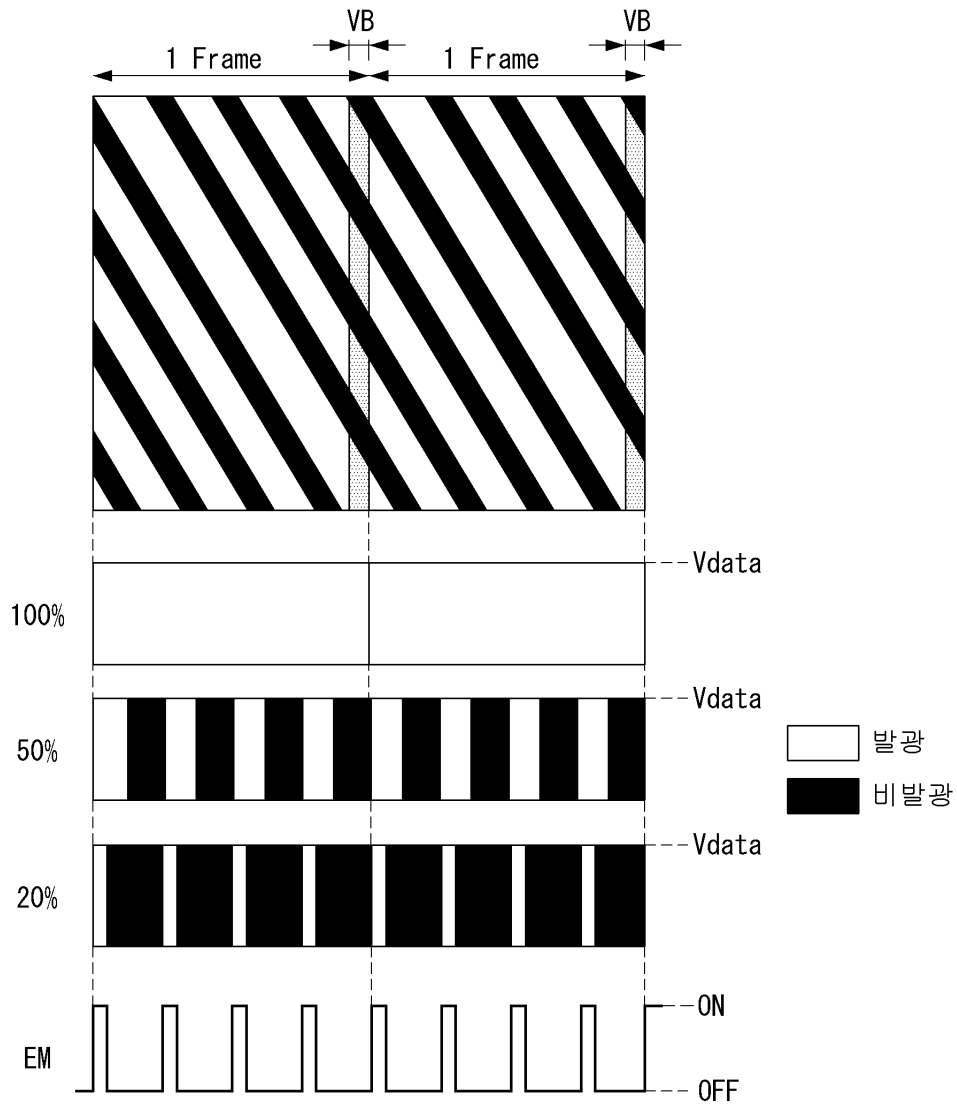
- [0041] 도 6은 비교예에 따른 1프레임 동안의 구동신호를 나타내는 도면이다. 도 7은 1 프레임 내에서 비교예의 발광 듀티 구동에 따른 발광 픽셀들을 나타내는 도면이다.
- [0042] 도 6 및 도 7을 참조하면, 비교예의 듀티 구동에서 한 프레임은 영상기입 기간(DW) 및 버티컬 블랭크(VB)를 포함한다. 도 6 및 도 7은 설명을 간소하게 하기 위해서 버티컬 블랭크(VB)의 수평기간을 4 수평기간(4H)으로 도시하고 있다.
- [0043] 듀티 구동은 한 프레임의 전체 수평기간을 기준으로 산정된다. 따라서, 듀티 구동의 기준은 14 수평기간이 된다. 즉, 비교예에서 50%의 듀티비로 구동하기 위한 발광 기간(T_e)은 " $14 \times (50/100) = 7$ " 수평기간으로 산정된다.
- [0044] 그 결과 비교예에서, 제1 픽셀라인(HL1)은 제1 수평기간(1H)부터 제7 수평기간(7H)까지 발광 기간(T_e)이 되고, 제8 수평기간(8H)부터 제14 수평기간(14H)까지 비발광 기간(T_e)이 된다. 제1 수평기간(1H)은 제1 픽셀라인(HL1)의 스캔 기간(T_s)에 해당한다.
- [0045] 제1 내지 제10 픽셀라인들(HL1~HL10)은 순차구동하고, 제10 픽셀라인(HL10)은 제10 수평기간(10H)부터 다음 프레임의 제2 수평기간(2H)까지 발광 기간(T_e)으로 구동하고, 다음 프레임의 제3 수평기간(3H)부터 제9 수평기간(9H)까지 비발광 기간(T_e)으로 구동한다.
- [0046] 도 7에서와 같이, 비교예는 제1 내지 제3 수평기간들(1H~3H) 각각은 2개의 발광 라인을 포함한다. 이에 반해서, 제4 수평기간(4H)은 3개의 발광 라인을 포함하고, 제6 내지 제10 수평기간들(6H~10H)은 6개의 발광 라인을 포함한다.
- [0047] 비교예에서 영상기입 기간(DW)과 발광 듀티 주기는 상이하기 때문에 각 수평기간들에서 발광 라인의 개수가 상이하다. 수평기간들에서 발광 라인의 개수가 상이하면 고전위전압(EVDD)의 IR 편차가 발생한다.
- [0048] 도 8은 발광 라인의 편차로 인한 IR 편차를 설명하는 도면이다. 도 8은 각 픽셀라인들 중에서 하나의 픽셀들만을 모식화하고 있다.
- [0049] 도 2 및 도 8을 참조하면, 턴-온 전압의 발광제어신호(EM)를 제공받는 픽셀들, 즉 발광 픽셀들에 한해서 고전위전압(EVDD)이 제공된다. 즉, 제3 수평기간(3H)에서 제1 및 제2 픽셀라인들(HL1~HL2)에 배치된 픽셀들에 고전위전압(EVDD)이 제공되고, 제4 수평기간(4H)에서 제1 내지 제3 픽셀라인들(HL1~HL3)에 배치된 픽셀들에 고전위전압(EVDD)이 제공된다. 제3 수평기간(3H)에서 제1 및 제2 픽셀라인들(HL1~HL2)에 배치된 픽셀들에 인가되는 고전위전압(EVDD)은 고전위전압(EVDD)의 입력단에 대비하여 " $2 \times IR$ " 만큼의 편차를 갖는다. 이에 반해서, 제4 수평기간(4H)에서 제1 내지 제3 픽셀라인들(HL1~HL3)에 배치된 픽셀들에 인가되는 고전위전압(EVDD)은 고전위전압(EVDD)의 입력단에 대비하여 " $3 \times IR$ " 만큼의 편차를 갖는다. 즉, 3 수평기간(3H)과 제4 수평기간(4H)에서 픽셀들에 인가되는 고전위전압(EVDD)은 상이하기 때문에 동일한 휘도 편차를 야기한다.
- [0050] 이에 반해서, 전술한 본 발명은 모든 수평기간들에서 발광하는 픽셀라인들의 개수가 동일하기 때문에 고전위전압(EVDD)의 편차가 발생하지 않는다. 그 결과, 수평기간들에 따라 고전위전압(EVDD) 편차로 인한 휘도 불균형이 발생하는 것을 개선할 수 있다.
- [0051] 이하, 한 프레임 전체를 영상기입 기간으로 활용하기 위한 실시 예를 살펴보면 다음과 같다.
- [0052] 도 9는 본 발명에 따른 타이밍 컨트롤러의 데이터 인에이블(Data Enable; 이하, DE) 신호 변조를 나타내는 도면이다.
- [0053] 도 9를 참조하면, 타이밍 컨트롤러(200)는 액티브 기간(AT) 동안 제1 로직(이하, 하이로직)과 제2 로직(이하, 로우로직)이 주기적으로 교번되는 입력 DE 신호를 수신한다. 그리고, 타이밍 컨트롤러(200)는 액티브 기간(AT)에 이어지는 버티컬 블랭크(VB) 동안 로우로직을 유지하는 입력 DE 신호를 수신한다.
- [0054] 타이밍 컨트롤러(200)는 액티브 기간(AT) 내에서 전송되는 입력 DE 신호의 하이로직들을 지연시켜서 출력 DE 신호의 하이로직이 버티컬 블랭크(VB) 없이 한 프레임에 걸쳐서 출력되도록 한다. 출력 DE 신호의 하이로직이 버티컬 블랭크(VB)가 없이 출력된다는 의미는 제1 프레임에서 출력 DE 신호의 마지막 하이로직과 제2 프레임에서 출력 DE 신호의 첫 번째 하이로직 간의 간격은 1 수평기간(1H) 미만이라는 것을 의미한다.
- [0055] 타이밍 컨트롤러(200)는 라인 메모리들을 이용하여 액티브 기간(AT) 내에서 전송되는 입력 DE 신호의 하이로직들을 지연시킬 수 있다.

- [0056] 라인 메모리는 버티컬 블랭크(VB)의 수평기간에 해당하는 개수를 포함할 수 있다. 예컨대, 버티컬 블랭크(VB)가 4수평라인(4H)이라면, 라인 메모리는 4개가 요구된다.
- [0057] 제1 라인 메모리는 입력 DE 중에서 $4i-3$ (i 는 $4i < n$ 인 조건을 만족하는 자연수) 번째 수평기간(H)의 하이로직들을 저장한다. 그리고, 하이로직의 DE 신호를 지연시켜서 출력한다. 제2 라인 메모리는 입력 DE 중에서 $4i-2$ 번째 수평기간(H)의 하이로직들을 저장한다. 그리고, 하이로직의 DE 신호를 지연시켜서 출력한다. 제3 라인 메모리는 입력 DE 중에서 $4i-1$ 번째 수평기간(H)의 하이로직들을 저장한다. 그리고, 하이로직의 DE 신호를 지연시켜서 출력한다. 제4 라인 메모리는 입력 DE 중에서 $4i$ 번째 수평기간(H)의 하이로직들을 저장한다. 그리고, 하이로직의 DE 신호를 지연시켜서 출력한다.
- [0058] 라인 메모리들은 입력 DE 신호의 하이로직들을 지연시키되, 출력 DE 신호들의 수평 블랭크가 동일하도록 입력 DE 신호의 하이로직들을 지연시킨다. 수평 블랭크는 입력 DE 신호 및 출력 DE 신호들에서 서로 인접하는 하이로직들 간의 간격에 해당한다.
- [0059] 만약 버티컬 블랭크가 j 수평라인이라면, 각각의 라인 메모리들은 출력 DE 신호들의 수평 블랭크가 입력 DE 신호들의 수평 블랭크에 대비하여 $(j/n) \times 1$ 수평기간 만큼 길게 설정되도록, 입력 DE 신호들의 하이로직을 지연시킬 수 있다. 예컨대, 본 명세서의 실시 예에서 라인 메모리들은 입력 DE 신호들의 수평 블랭크에 대비하여, 출력 DE 신호들의 수평 블랭크가 $(4/10)$ 수평기간 만큼 더 길게 설정되도록 입력 DE 신호들을 지연시킬 수 있다.
- [0060] 이와 같이, 출력 DE 신호를 생성한 타이밍 콘트롤러(200)는 출력 DE 신호를 바탕으로 타이밍 제어신호를 생성한다. 그리고, 타이밍 콘트롤러(200)는 입력 영상데이터(DATA)를 출력 DE 신호에 동기되어 데이터 구동부(300)에 제공한다. 또한, 타이밍 콘트롤러(200)는 출력 DE 신호에 동기되도록 게이트 타이밍 제어신호를 생성하여, 이를 레벨슈프터(400)에 제공한다.
- [0061] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

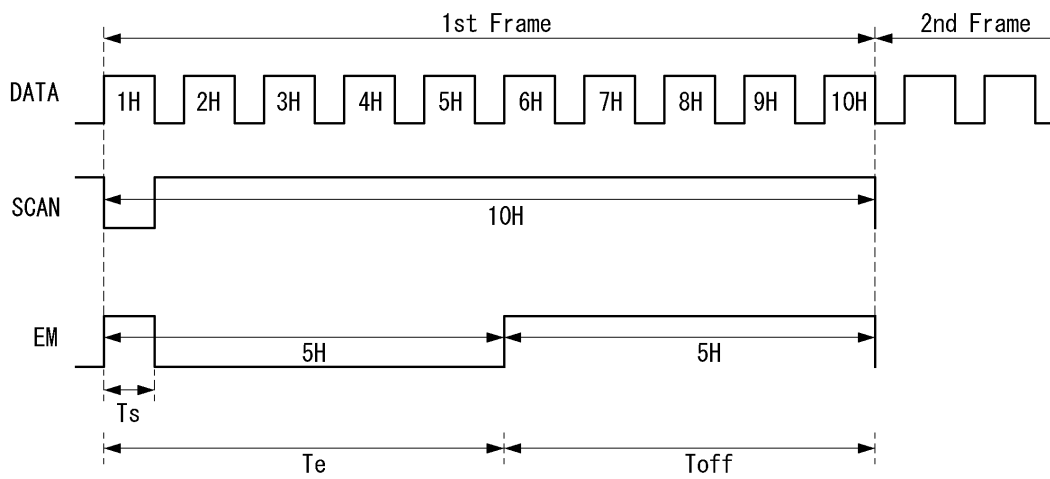
부호의 설명

- [0062] 100: 표시패널 200: 타이밍 콘트롤러
300: 데이터 구동부 400: 레벨 시프터
500: 시프트레지스터

도면3



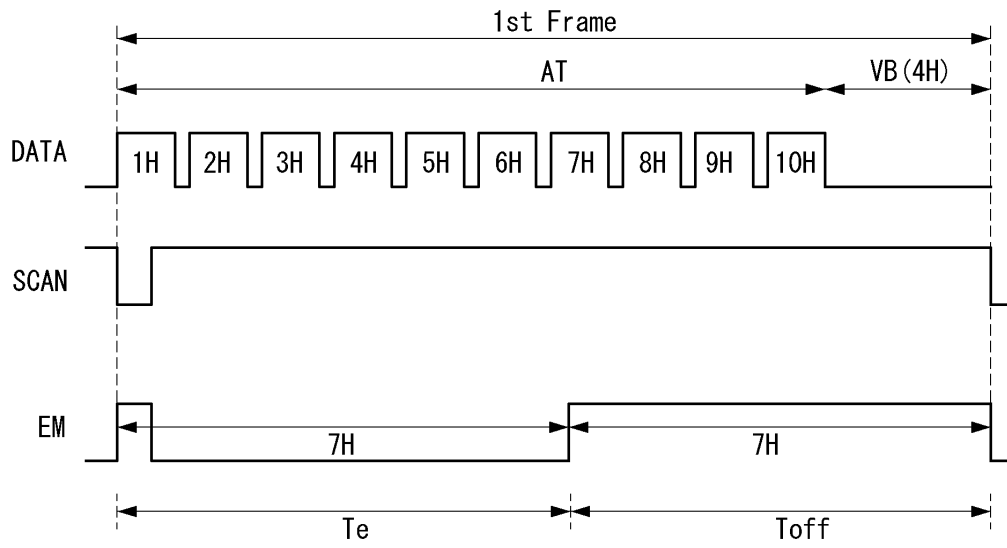
도면4



도면5

Frame Time →	1st Frame										2nd Frame									
	1H	2H	3H	4H	5H	6H	7H	8H	9H	10H	11H	12H	13H	14H	15H	16H	17H	18H	19H	20H
HL1	Ts	1	1	1	1	1	1	1	1	1	Ts	1	1	1	1	1	1	1	1	1
HL2		Ts	1	1	1	1	1	1	1	1		Ts	1	1	1	1	1	1	1	1
HL3			Ts	1	1	1	1	1	1	1			Ts	1	1	1	1	1	1	1
HL4				Ts	1	1	1	1	1	1				Ts	1	1	1	1	1	1
HL5					Ts	1	1	1	1	1					Ts	1	1	1	1	1
HL6						Ts	1	1	1	1						Ts	1	1	1	1
HL7	1						Ts	1	1	1	1	1	1	1	1	1	1	1	1	1
HL8	1	1						Ts	1	1	1	1	1	1	1	1	1	1	1	1
HL9	1	1	1						Ts	1	1	1	1	1	1	1	1	1	1	1
HL10	1	1	1	1						Ts	1	1	1	1	1	1	1	1	1	1
On Line 수	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4

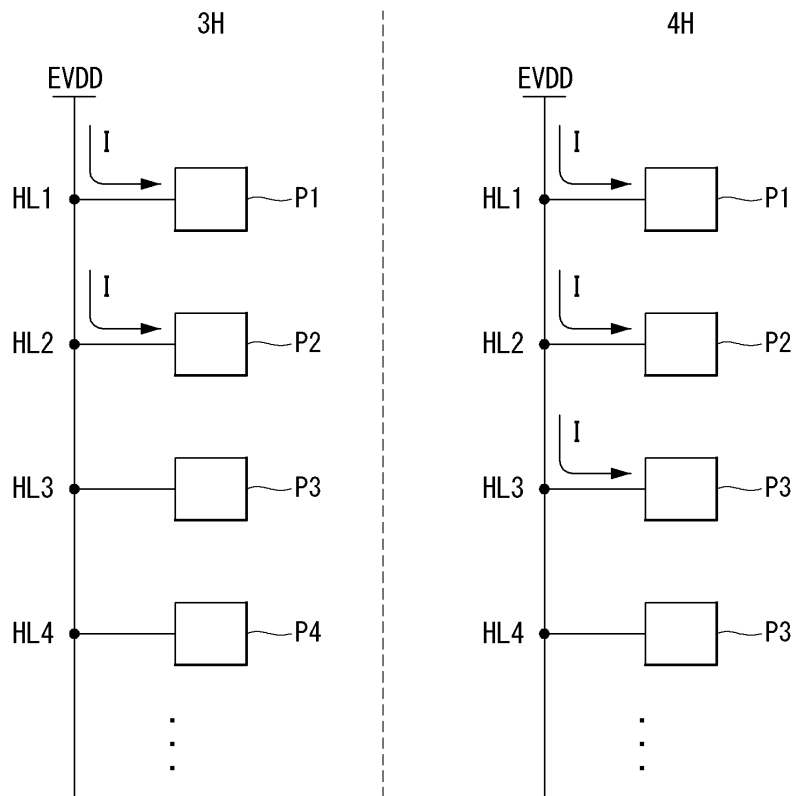
도면6



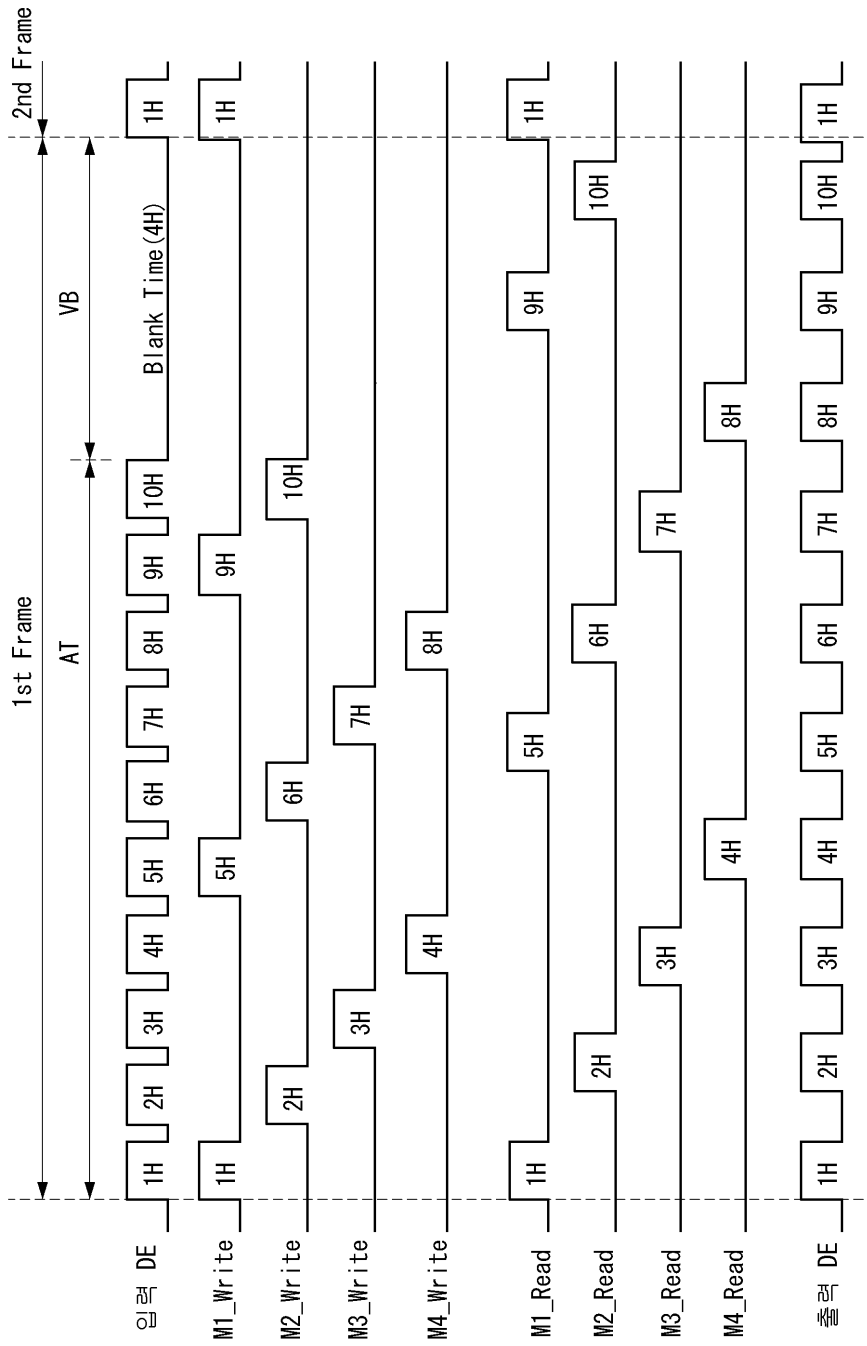
도면7

Frame	1st Frame													
Time →	1H	2H	3H	4H	5H	6H	7H	8H	9H	10H	11H	12H	13H	14H
HL1	Ts	1	1	1	1	1	1	1	1	1	1	1	1	1
HL2		Ts	1	1	1	1	1	1	1	1	1	1	1	1
HL3			Ts	1	1	1	1	1	1	1	1	1	1	1
HL4				Ts	1	1	1	1	1	1	1	1	1	1
HL5					Ts	1	1	1	1	1	1	1	1	1
HL6						Ts	1	1	1	1	1	1	1	1
HL7							Ts	1	1	1	1	1	1	1
HL8								Ts	1	1	1	1	1	1
HL9	1								Ts	1	1	1	1	1
HL10	1	1								Ts	1	1	1	1
On Line 수	2	2	2	3	4	5	6	6	6	6	6	5	4	3

도면8



도면9



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200061657A	公开(公告)日	2020-06-03
申请号	KR1020180147214	申请日	2018-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	신승환 상우규 박용화		
发明人	신승환 상우규 박용화		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/08 G09G2320/064		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示装置包括显示面板，驱动电路单元和时序控制器。包括发光元件的多个像素设置在显示面板上，并且 n (n 是自然数)个像素线。驱动电路单元驱动多个像素发光，但是根据亮度调节一帧内的发光元件的发光时段和非发光时段。时序控制器基于输入的时序控制信号来控制驱动电路单元的操作时序，并将一帧内的发光时段和非发光时段之和设置为 $n \times 1$ 水平时段 (H)。

