



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0019308  
(43) 공개일자 2020년02월24일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 29/786 (2006.01)  
H01L 51/50 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/3213 (2013.01)  
(21) 출원번호 10-2018-0094569  
(22) 출원일자 2018년08월13일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
박준석  
경기도 용인시 수지구 용구대로 2720, 205동 140  
6호  
문연건  
경기도 화성시 영통로50번길 14, 203동 202호  
(뒷면에 계속)  
(74) 대리인  
박영우

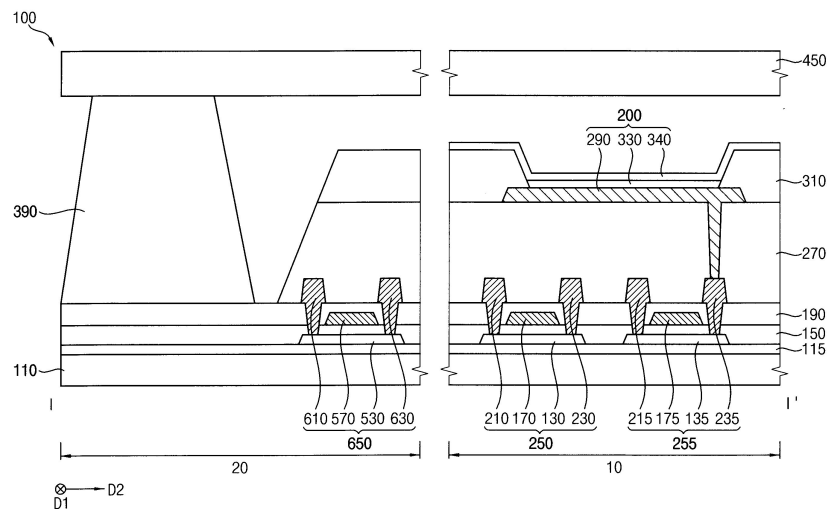
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 복수의 서브 화소 영역들을 포함하는 표시 영역 및 표시 영역의 일 측에 위치하는 주변 영역을 갖는 기판, 기판 상의 주변 영역에 배치되고, 주석을 포함하는 제1 산화물 반도체 패턴을 포함하는 제1 산화물 트랜지스터, 기판 상의 서브 화소 영역들 각각에 배치되고, 제2 산화물 반도체 패턴을 포함하는 제2 산화물 트랜지스터 및 제2 산화물 트랜지스터 상에 배치되는 서브 화소 구조물을 포함할 수 있다. 유기 발광 표시 장치는 상대적으로 높은 전자 이동도를 갖는 제1 산화물 트랜지스터를 포함함으로써, 게이트 구동부가 상대적으로 적은 개수의 트랜지스터를 포함할 수 있다. 이에 따라, 유기 발광 표시 장치의 데드 스페이스가 줄어들 수 있다.

대표도



(52) CPC특허분류

*H01L 27/3276* (2013.01)

*H01L 29/78645* (2013.01)

*H01L 29/7869* (2013.01)

*H01L 51/50* (2013.01)

(72) 발명자

**김광숙**

경기도 수원시 영통구 덕영대로1555번길 20, 941동  
804호

**김태상**

서울특별시 송파구 동남로 225, 108동 1103호

**박근철**

경기도 수원시 영통구 청명북로 83, 402동 2001호

**전경진**

인천광역시 남동구 석산로 138, 102동 404호

## 명세서

### 청구범위

#### 청구항 1

복수의 서브 화소 영역들을 포함하는 표시 영역 및 상기 표시 영역의 일 측에 위치하는 주변 영역을 갖는 기관;  
상기 기관 상의 상기 주변 영역에 배치되고, 주석(Sn)을 포함하는 제1 산화물 반도체 패턴을 포함하는 제1 산화물 트랜지스터;

상기 기관 상의 상기 서브 화소 영역들 각각에 배치되고, 제2 산화물 반도체 패턴을 포함하는 제2 산화물 트랜지스터; 및

상기 제2 산화물 트랜지스터 상에 배치되는 서브 화소 구조물을 포함하는 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서, 상기 제2 산화물 반도체 패턴은 상기 주석을 포함하지 않는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 3

제 1 항에 있어서, 상기 제1 산화물 트랜지스터와 상기 제2 산화물 트랜지스터는 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 4

제 1 항에 있어서, 상기 제1 산화물 트랜지스터는,

상기 제1 산화물 반도체 패턴 상에 배치되는 제1 게이트 전극; 및

상기 제1 게이트 전극 상에 배치되는 제1 소스 및 제1 드레인 전극들을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 5

제 1 항에 있어서,

게이트 신호를 생성하고, 상기 기관 상의 상기 주변 영역에 배치되며, 트랜지스터를 포함하는 게이트 구동부를 더 포함하고,

상기 게이트 구동부에 포함된 상기 트랜지스터가 상기 제1 산화물 트랜지스터에 해당되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 6

제 1 항에 있어서,

상기 기관 상의 상기 서브 화소 영역들 각각에 배치되고, 상기 주석을 포함하는 제3 산화물 반도체 패턴을 포함하는 제3 산화물 트랜지스터를 더 포함하고,

상기 제2 산화물 트랜지스터는 구동 트랜지스터에 해당되고, 상기 제3 산화물 트랜지스터는 스위칭 트랜지스터에 해당되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 7

제 6 항에 있어서, 상기 제1 산화물 반도체 패턴, 상기 제2 산화물 반도체 패턴 및 상기 제3 산화물 반도체 패턴은 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 8

제 7 항에 있어서, 상기 제1 산화물 반도체 패턴과 상기 제3 산화물 반도체 패턴은 동일한 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 9

제 1 항에 있어서, 상기 제1 산화물 반도체 패턴은 주석 산화물( $\text{SnO}_x$ ), 인듐-주석 산화물(ITO), 아연-주석 산화물(ZTO), 인듐-아연-주석 산화물(IZTO) 주석-알루미늄-아연 산화물(TAZO), 인듐-갈륨-주석 산화물(IGTO), 인듐-주석-갈륨-아연 산화물(ITGZO) 등을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 10

제 1 항에 있어서, 상기 제2 산화물 반도체 패턴은 아연 산화물( $\text{ZnO}_x$ ), 갈륨 산화물( $\text{GaO}_x$ ), 티타늄 산화물( $\text{TiO}_x$ ), 인듐 산화물( $\text{InO}_x$ ), 인듐-갈륨 산화물(IGO), 인듐-아연 산화물(IZO), 갈륨-아연 산화물(GZO), 아연-마그네슘 산화물(ZMO), 아연-지르코늄 산화물( $\text{ZnZr}_x\text{O}_y$ ), 인듐-갈륨-아연 산화물(IGZO), 인듐-갈륨-하프늄 산화물(IGHO) 등을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 11

복수의 서브 화소 영역들을 포함하는 표시 영역 및 상기 표시 영역의 일 측에 위치하는 주변 영역을 갖는 기판을 제공하는 단계;

상기 기판 상에 제1 예비 산화물 반도체막을 형성하는 단계;

상기 제1 예비 산화물 반도체막을 제1 식각액을 사용하여 패터닝한 후, 상기 기판의 상기 주변 영역에 주석을 포함하는 제1 산화물 반도체 패턴을 형성하는 단계;

상기 기판 상의 상기 제1 산화물 반도체 패턴 상에 제2 예비 산화물 반도체막을 형성하는 단계;

상기 제2 예비 산화물 반도체막을 제2 식각액을 사용하여 패터닝한 후, 상기 기판 상의 서브 화소 영역들 각각에 제2 산화물 반도체 패턴을 형성하는 단계; 및

상기 제2 산화물 반도체 패턴 상에 서브 화소 구조물을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 12

제 11 항에 있어서, 상기 제2 산화물 반도체 패턴은 상기 주석을 포함하지 않는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 13

제 11 항에 있어서, 상기 제1 산화물 반도체 패턴 상에 제2 예비 산화물 반도체막을 형성하는 경우, 상기 제2 예비 산화물 반도체막이 상기 제1 산화물 반도체 패턴과 직접적으로 접촉하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 14

제 13 항에 있어서, 상기 제2 예비 산화물 반도체막을 제2 식각액을 사용하여 패터닝하는 경우, 상기 제2 식각액이 상기 제1 산화물 반도체 패턴과 직접적으로 접촉하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 15

제 11 항에 있어서, 상기 제1 식각액과 상기 제2 식각액은 다르고, 상기 제2 식각액에 의해 상기 제1 산화물 반도체 패턴은 식각되지 않는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 16

제 11 항에 있어서, 상기 제1 식각액은 불소(F)를 포함하는 화합물을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

## 청구항 17

제 11 항에 있어서, 상기 제2 식각액은 인질초산(phosphoric acetic nitric acid)으로 구성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

## 청구항 18

제 11 항에 있어서,

상기 기판 상의 상기 서브 화소 영역들 각각에 상기 주석을 포함하는 제3 산화물 반도체 패턴을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

## 청구항 19

제 18 항에 있어서, 상기 제1 산화물 반도체 패턴, 상기 제2 산화물 반도체 패턴 및 상기 제3 산화물 반도체 패턴은 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

## 청구항 20

제 19 항에 있어서, 상기 제1 산화물 반도체 패턴과 상기 제3 산화물 반도체 패턴은 동일한 물질을 사용하여 동시에 형성되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 게이트 구동부를 포함하는 유기 발광 표시 장치에 관한 것이다.

### 배경 기술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로서 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다. 이 중, 유기 발광 표시 장치는 액정 표시 장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트 유닛을 필요로 하지 않아 초박형으로 구현할 수 있다는 장점이 있다. 이러한 유기 발광 표시 장치는 유기 박막에 음극과 양극을 통하여 주입된 전자와 정공이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생되는 현상을 이용한다.

[0003] 상기 유기 발광 표시 장치는 영상이 표시되는 표시 영역 및 게이트 구동부, 데이터 구동부, 복수의 배선들이 배치되며 상기 표시 영역을 둘러싸는 주변 영역을 포함할 수 있다. 상기 게이트 구동부에는 복수의 트랜지스터가 배치될 수 있고, 상기 표시 영역에도 복수의 트랜지스터가 배치될 수 있다. 상기 유기 발광 표시 장치가 대형화되며 고해상도를 가짐으로써 상기 주변 영역(예를 들어, 데드 스페이스)에 배치되는 상기 게이트 구동부에 포함된 상기 트랜지스터의 개수가 상대적으로 증가될 수 있다. 이러한 경우, 상기 주변 영역의 면적이 증가될 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명의 일 목적은 게이트 구동부를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 게이트 구동부를 포함하는 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

[0006] 그러나, 본 발명이 상술한 목적들에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

#### 과제의 해결 수단

[0007] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 복

수의 서브 화소 영역들을 포함하는 표시 영역 및 상기 표시 영역의 일 측에 위치하는 주변 영역을 갖는 기관, 상기 기관 상의 상기 주변 영역에 배치되고, 주석(Sn)을 포함하는 제1 산화물 반도체 패턴을 포함하는 제1 산화물 트랜지스터, 상기 기관 상의 상기 서브 화소 영역들 각각에 배치되고, 제2 산화물 반도체 패턴을 포함하는 제2 산화물 트랜지스터 및 상기 제2 산화물 트랜지스터 상에 배치되는 서브 화소 구조물을 포함할 수 있다.

- [0008] 예시적인 실시예들에 있어서, 상기 제2 산화물 반도체 패턴은 상기 주석을 포함하지 않을 수 있다.
- [0009] 예시적인 실시예들에 있어서, 상기 제1 산화물 트랜지스터와 상기 제2 산화물 트랜지스터는 동일한 층에 위치할 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 제1 산화물 트랜지스터는 상기 제1 산화물 반도체 패턴 상에 배치되는 제1 게이트 전극 및 상기 제1 게이트 전극 상에 배치되는 제1 소스 및 제1 드레인 전극들을 더 포함할 수 있다.
- [0011] 예시적인 실시예들에 있어서, 게이트 신호를 생성하고, 상기 기관 상의 상기 주변 영역에 배치되며, 트랜지스터를 포함하는 게이트 구동부를 더 포함하고, 상기 게이트 구동부에 포함된 상기 트랜지스터가 상기 제1 산화물 트랜지스터에 해당될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 기관 상의 상기 서브 화소 영역들 각각에 배치되고, 상기 주석을 포함하는 제3 산화물 반도체 패턴을 포함하는 제3 산화물 트랜지스터를 더 포함하고, 상기 제2 산화물 트랜지스터는 구동 트랜지스터에 해당되고, 상기 제3 산화물 트랜지스터는 스위칭 트랜지스터에 해당될 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 제1 산화물 반도체 패턴, 상기 제2 산화물 반도체 패턴 및 상기 제3 산화물 반도체 패턴은 동일한 층에 위치할 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 제1 산화물 반도체 패턴과 상기 제3 산화물 반도체 패턴은 동일한 물질을 포함할 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 제1 산화물 반도체 패턴은 주석 산화물( $\text{SnO}_x$ ), 인듐-주석 산화물(ITO), 아연-주석 산화물(ZTO), 인듐-아연-주석 산화물(IZTO) 주석-알루미늄-아연 산화물(TAZO), 인듐-갈륨-주석 산화물(IGTO), 인듐-주석-갈륨-아연 산화물(ITGZO) 등을 포함할 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 제2 산화물 반도체 패턴은 아연 산화물( $\text{ZnO}_x$ ), 갈륨 산화물( $\text{GaO}_x$ ), 티타늄 산화물( $\text{TiO}_x$ ), 인듐 산화물( $\text{InO}_x$ ), 인듐-갈륨 산화물(IGO), 인듐-아연 산화물(IZO), 갈륨-아연 산화물(GZO), 아연-마그네슘 산화물(ZMO), 아연-지르코늄 산화물( $\text{ZnZr}_x\text{O}_y$ ), 인듐-갈륨-아연 산화물(IGZO), 인듐-갈륨-하프늄 산화물(IGHO) 등을 포함할 수 있다.
- [0017] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법은 복수의 서브 화소 영역들을 포함하는 표시 영역 및 상기 표시 영역의 일 측에 위치하는 주변 영역을 갖는 기관을 제공하는 단계, 상기 기관 상에 제1 예비 산화물 반도체막을 형성하는 단계, 상기 제1 예비 산화물 반도체막을 제1 식각액을 사용하여 패터닝한 후, 상기 기관의 상기 주변 영역에 주석을 포함하는 제1 산화물 반도체 패턴을 형성하는 단계, 상기 기관 상의 상기 제1 산화물 반도체 패턴 상에 제2 예비 산화물 반도체막을 형성하는 단계, 상기 제2 예비 산화물 반도체막을 제2 식각액을 사용하여 패터닝한 후, 상기 기관 상의 서브 화소 영역들 각각에 제2 산화물 반도체 패턴을 형성하는 단계 및 상기 제2 산화물 반도체 패턴 상에 서브 화소 구조물을 형성하는 단계를 포함할 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 제2 산화물 반도체 패턴은 상기 주석을 포함하지 않을 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 제1 산화물 반도체 패턴 상에 제2 예비 산화물 반도체막을 형성하는 경우, 상기 제2 예비 산화물 반도체막이 상기 제1 산화물 반도체 패턴과 직접적으로 접촉할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 제2 예비 산화물 반도체막을 제2 식각액을 사용하여 패터닝하는 경우, 상기 제2 식각액이 상기 제1 산화물 반도체 패턴과 직접적으로 접촉할 수 있다.
- [0021] 예시적인 실시예들에 있어서, 상기 제1 식각액과 상기 제2 식각액은 다르고, 상기 제2 식각액에 의해 상기 제1 산화물 반도체 패턴은 식각되지 않을 수 있다.
- [0022] 예시적인 실시예들에 있어서, 상기 제1 식각액은 불소(F)를 포함하는 화합물을 포함할 수 있다.
- [0023] 예시적인 실시예들에 있어서, 상기 제2 식각액은 인질초산(phosphoric acetic nitric acid)으로 구성될 수 있다.

- [0024] 예시적인 실시예들에 있어서, 상기 기관 상의 상기 서브 화소 영역들 각각에 상기 주석을 포함하는 제3 산화물 반도체 패턴을 형성하는 단계를 더 포함할 수 있다.
- [0025] 예시적인 실시예들에 있어서, 상기 제1 산화물 반도체 패턴, 상기 제2 산화물 반도체 패턴 및 상기 제3 산화물 반도체 패턴은 동일한 층에 위치할 수 있다.
- [0026] 예시적인 실시예들에 있어서, 상기 제1 산화물 반도체 패턴과 상기 제3 산화물 반도체 패턴은 동일한 물질을 사용하여 동시에 형성될 수 있다.

### 발명의 효과

- [0027] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 상대적으로 높은 전자 이동도를 갖는 제1 산화물 트랜지스터를 포함함으로써, 게이트 구동부가 상대적으로 적은 개수의 트랜지스터를 포함할 수 있다. 이에 따라, 유기 발광 표시 장치의 데드 스페이스가 줄어들 수 있다. 또한, 게이트 구동부가 상대적으로 적은 개수의 트랜지스터를 포함함으로써, 유기 발광 표시 장치의 제조 비용이 감소될 수 있다. 더욱이, 제2 산화물 트랜지스터가 주석을 포함하지 않는 제2 산화물 반도체 패턴을 포함함으로써, 상대적으로 넓은 구동 범위를 가질 수 있다.
- [0028] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 있어서, 제1 식각액 및 제2 식각액을 사용하여 마스크 추가 없이 서로 다른 특성을 갖는 산화물 반도체 트랜지스터들이 동일한 층에 제조됨으로써, 유기 발광 표시 장치의 제조 비용이 상대적으로 감소될 수 있다.
- [0029] 다만, 본 발명의 효과들이 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

### 도면의 간단한 설명

- [0030] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 2는 도 1의 유기 발광 표시 장치와 전기적으로 연결된 외부 장치를 설명하기 위한 블록도이다.
- 도 3은 도 1의 서브 화소 영역에 배치된 서브 화소 회로 및 상기 서브 화소 회로 상에 배치되는 유기 발광 다이오드를 나타내는 회로도이다.
- 도 4는 도 1의 유기 발광 표시 장치를 I-I'라인을 따라 절단한 단면도이다.
- 도 5 내지 도 11은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.
- 도 12는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0032] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이고, 도 2는 도 1의 유기 발광 표시 장치와 전기적으로 연결된 외부 장치를 설명하기 위한 블록도이다.
- [0033] 도 1 및 2를 참조하면, 유기 발광 표시 장치(100)는 표시 영역(10) 및 표시 영역(10)을 둘러싸는 주변 영역(20)을 포함할 수 있다. 여기서, 표시 영역(10)은 복수의 서브 화소 영역들(30)을 포함할 수 있다. 복수의 서브 화소 영역들(30)은 매트릭스 형태로 표시 영역(10)에 전체적으로 배열될 수 있다. 예를 들면, 유기 발광 표시 장치(100)의 상면에 평행한 제1 방향(D1) 및 제1 방향(D1)과 직교하는 제2 방향(D2)을 따라 반복적으로 배열될 수 있다. 주변 영역(20)의 일측(예를 들어, 표시 영역(10)의 좌측부)에는 게이트 구동부(300)가 배치될 수 있고, 주변 영역(20)의 타측(예를 들어, 표시 영역(10)의 하부)에는 복수의 패드 전극들(470)이 배치될 수 있다. 선택적으로, 게이트 구동부(300)는 표시 영역(10)의 우측부 또는 상부에 배치될 수도 있다. 다른 예시적인 실시예들에 있어서, 유기 발광 표시 장치(100)는 데이터 구동부, 타이밍 제어부, 발광 제어 구동부 등을 더 포함할 수 있고, 이들은 주변 영역(20)에 배치될 수 있다.



- [0034] 표시 영역(10)의 서브 화소 영역들(30) 각각에는 서브 화소 회로(예를 들어, 도 3의 서브 화소 회로(SUB-PIXEL CIRCUIT))가 배치될 수 있고, 상기 서브 화소 회로 상에 유기 발광 다이오드들(예를 들어, 도 3의 유기 발광 다이오드(OLED))이 배치될 수 있다. 상기 서브 화소 회로 및 상기 유기 발광 다이오드를 통해 표시 영역(10)에 영상이 표시될 수 있다.
- [0035] 서브 화소 영역들(30)에는 제1, 제2 및 제3 서브 화소 회로들이 배치될 수 있다. 예를 들면, 상기 제1 서브 화소 회로는 적색 광을 방출할 수 있는 제1 유기 발광 다이오드와 연결될 수 있고, 상기 제2 서브 화소 회로는 녹색 광을 방출할 수 있는 제2 유기 발광 다이오드와 연결될 수 있으며, 상기 제3 서브 화소 회로는 청색 광을 방출할 수 있는 제3 유기 발광 다이오드와 연결될 수 있다.
- [0036] 예시적인 실시예들에 있어서, 상기 제1 유기 발광 다이오드는 제1 서브 화소 회로와 중첩하여 배치될 수 있고, 상기 제2 유기 발광 다이오드는 제2 서브 화소 회로와 중첩하여 배치될 수 있으며, 상기 제3 유기 발광 다이오드는 제3 서브 화소 회로와 중첩하여 배치될 수 있다. 선택적으로, 상기 제1 유기 발광 다이오드가 상기 제1 서브 화소 회로의 일부 및 상기 제1 서브 화소 회로와 다른 서브 화소 회로의 일부와 중첩하여 배치될 수도 있고, 상기 제2 유기 발광 다이오드가 상기 제2 서브 화소 회로의 일부 및 상기 제2 서브 화소 회로와 다른 서브 화소 회로의 일부와 중첩하여 배치될 수도 있으며, 상기 제3 유기 발광 다이오드가 상기 제3 서브 화소 회로의 일부 및 상기 제3 서브 화소 회로와 다른 서브 화소 회로의 일부와 중첩하여 배치될 수도 있다.
- [0037] 예를 들면, 상기 제1 내지 제3 유기 발광 다이오드들은 같은 크기의 직사각형이 차례로 배열되는 RGB 스트라이프(RGB stripe) 방식, 상대적으로 넓은 면적을 갖는 청색 유기 발광 다이오드를 포함하는 S-스트라이프(s-stripe) 방식, 백색 유기 발광 다이오드를 더 포함하는 WRGB 방식, RG-GB 반복 형태로 나열된 펜타일 방식 등을 이용하여 배열될 수 있다.
- [0038] 또한, 복수의 서브 화소 영역들(30) 각각에는 적어도 하나의 구동 트랜지스터, 적어도 하나의 스위칭 트랜지스터, 적어도 하나의 커패시터 등이 배치될 수 있다. 예시적인 실시예들에 있어서, 서브 화소 영역들(30) 각각에 하나의 구동 트랜지스터(예를 들어, 도 3의 제1 트랜지스터(TR1)) 및 5개의 스위칭 트랜지스터들(예를 들어, 도 3의 제2 내지 제7 트랜지스터들(TR2, TR3, TR4, TR5, TR6, TR7)), 하나의 스토리지 커패시터(예를 들어, 스토리지 커패시터(CST)) 등이 배치될 수 있다. 예시적인 실시예들에 있어서, 상기 구동 트랜지스터의 채널은 산화물 반도체로 구성될 수 있고, 상기 스위칭 트랜지스터의 채널은 주석(Sn)을 포함하는 산화물 반도체로 구성될 수 있다. 다시 말하면, 상기 구동 트랜지스터의 채널은 상기 주석을 포함하지 않는다. 선택적으로 상기 스위칭 트랜지스터의 채널이 상기 주석을 포함하지 않는 산화물 반도체로 구성될 수도 있다.
- [0039] 다만, 본 발명의 서브 화소 영역(30)의 형상이 사각형의 평면 형상을 갖는 것으로 설명하였지만, 상기 형상이 이에 한정되는 것은 아니다. 예를 들면, 서브 화소 영역(30)의 형상은 삼각형의 평면 형상, 마름모의 평면 형상, 다각형의 평면 형상, 원형의 평면 형상, 트랙형의 평면 형상 또는 타원형의 평면 형상을 가질 수도 있다.
- [0040] 외부 장치(101)는 유기 발광 표시 장치(100)와 연성 인쇄 회로 기판을 통해 전기적으로 연결될 수 있다. 예를 들면, 상기 연성 인쇄 회로 기판의 일측은 패드 전극들(470)과 직접적으로 접촉할 수 있고, 상기 연성 인쇄 회로 기판의 타측은 외부 장치(101)와 직접적으로 접촉할 수 있다. 외부 장치(101)는 데이터 신호, 게이트 신호, 발광 제어 신호, 게이트 초기화 신호, 초기화 전압, 전원 전압 등을 유기 발광 표시 장치(100)에 제공할 수 있다. 또한, 상기 연성 인쇄 회로 기판에는 구동 집적 회로가 실장될 수 있다. 다른 예시적인 실시예들에 있어서, 상기 구동 집적 회로가 패드 전극들(470)과 인접하여 유기 발광 표시 장치(100)에 실장될 수도 있다. 선택적으로, 유기 발광 표시 장치(100)가 상기 벤딩 영역을 포함하는 경우, 인쇄 회로 기판을 통해 패드 전극들(470)과 외부 장치(101)가 전기적으로 연결될 수도 있다.
- [0041] 게이트 구동부(300)는 외부 장치(101)로부터 상기 게이트 신호 및 상기 게이트 초기화 신호를 수신할 수 있고, 상기 게이트 신호 및 상기 게이트 초기화 신호를 상기 서브 화소 회로들에 제공할 수 있다. 예시적인 실시예들에 있어서, 게이트 구동부(300)는 복수의 트랜지스터들(예를 들어, 도 4의 제1 산화물 트랜지스터(650))을 포함할 수 있고, 상기 트랜지스터들 각각의 채널은 상기 주석을 포함하는 산화물 반도체로 구성될 수 있다. 게이트 구동부(300)가 상기 주석을 포함하는 산화물 반도체를 포함하는 트랜지스터들을 포함하는 경우, 게이트 구동부(300)는 상대적으로 높은 전자 이동도를 갖는 트랜지스터 가질 수 있다. 이러한 경우, 게이트 구동부(300)가 상대적으로 적은 개수의 트랜지스터를 포함할 수 있고, 유기 발광 표시 장치(100)는 상대적으로 줄어든 면적을 갖는 주변 영역(20)을 가질 수 있다. 즉, 유기 발광 표시 장치(100)의 데드 스페이스가 줄어들 수 있다.
- [0042] 도 3은 도 1의 서브 화소 영역에 배치된 서브 화소 회로 및 상기 서브 화소 회로 상에 배치되는 유기 발광 다이



오드를 나타내는 회로도이다.

- [0043] 도 3을 참조하면, 유기 발광 표시 장치(100)의 서브 화소 영역들(30) 각각에는 서브 화소들(SUB-PIXEL CIRCUIT) 및 유기 발광 다이오드(OLED)가 배치될 수 있고, 하나의 서브 화소(SUB-PIXEL CIRCUIT)는 유기 발광 다이오드(OLED)(예를 들어, 도 4의 서브 화소 구조물(200)), 제1 내지 제7 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6, TR7) 및 스토리지 커패시터(CST), 고전원 전압(ELVDD) 배선, 저전원 전압(ELVSS) 배선, 초기화 전압(VINT) 배선, 데이터 신호(DATA) 배선, 게이트 신호(GW) 배선, 게이트 초기화 신호(GI) 배선, 발광 제어 신호(EM) 배선, 다이오드 초기화 신호(GB) 배선 등을 포함할 수 있다.
- [0044] 유기 발광 다이오드(OLED)는 구동 전류(ID)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED)는 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 제2 단자는 저전원 전압(ELVSS)을 공급받을 수 있다. 예를 들면, 유기 발광 다이오드(OLED)의 제1 단자는 애노드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 캐소드 단자일 수 있다. 선택적으로, 유기 발광 다이오드(OLED)의 제1 단자는 캐소드 단자이고, 유기 발광 다이오드(OLED)의 제2 단자는 애노드 단자일 수도 있다. 예시적인 실시예들에 있어서, 유기 발광 다이오드(OLED)의 상기 애노드 단자는 도 4의 하부 전극(290)에 해당될 수 있고, 유기 발광 다이오드(OLED)의 상기 캐소드 단자는 도 4의 상부 전극(340)에 해당될 수 있다.
- [0045] 제1 트랜지스터(TR1)(예를 들어, 도 4의 제2 산화물 트랜지스터(250)에 대응)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)의 제1 단자는 소스 단자이고, 제1 트랜지스터(TR1)의 제2 단자는 드레인 단자일 수 있다. 선택적으로, 제1 트랜지스터(TR1)의 제1 단자는 드레인 단자이고, 제1 트랜지스터(TR1)의 제2 단자는 소스 단자일 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)의 채널은 주석을 포함하지 않는 산화물 반도체로 구성될 수 있다.
- [0046] 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 예시적인 실시예들에 있어서, 제1 트랜지스터(TR1)는 포화 영역에서 동작할 수 있다. 이러한 경우, 제1 트랜지스터(TR1)는 게이트 단자와 소스 단자 사이의 전압 차에 기초하여 구동 전류(ID)를 생성할 수 있다. 또한, 유기 발광 다이오드(OLED)에 공급되는 구동 전류(ID)의 크기에 기초하여 계조가 표현될 수 있다. 선택적으로, 제1 트랜지스터(TR1)는 선형 영역에서 동작할 수도 있다. 이러한 경우, 일 프레임 내에서 유기 발광 다이오드에 구동 전류가 공급되는 시간의 합에 기초하여 계조가 표현될 수 있다.
- [0047] 제2 트랜지스터(TR2)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 제2 트랜지스터(TR2)의 게이트 단자는 게이트 신호(GW)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제1 단자는 데이터 신호(DATA)를 공급받을 수 있다. 제2 트랜지스터(TR2)의 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예를 들면, 도 1의 게이트 구동부(300)로부터 게이트 신호(GW)가 생성될 수 있고, 게이트 신호(GW)가 게이트 신호(GW) 배선을 통해 제2 트랜지스터(TR2)의 게이트 단자에 인가될 수 있다. 예시적인 실시예들에 있어서, 제2 트랜지스터(TR2)의 제1 단자는 소스 단자이고, 제2 트랜지스터(TR2)의 제2 단자는 드레인 단자일 수 있다. 또한, 제2 트랜지스터(TR2)의 채널은 주석을 포함하는 산화물 반도체로 구성될 수 있다. 선택적으로, 제2 트랜지스터(TR2)의 제1 단자는 드레인 단자이고, 제2 트랜지스터(TR2)의 제2 단자는 소스 단자일 수 있다.
- [0048] 제2 트랜지스터(TR2)는 게이트 신호(GW)의 활성화 구간 동안 데이터 신호(DATA)를 제1 트랜지스터(TR1)의 제1 단자로 공급할 수 있다. 이러한 경우, 제2 트랜지스터(TR2)는 선형 영역에서 동작할 수 있다.
- [0049] 제3 트랜지스터(TR3)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 제3 트랜지스터(TR3)의 게이트 단자는 게이트 신호(GW)를 공급받을 수 있다. 제3 트랜지스터(TR3)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 제3 트랜지스터(TR3)의 제2 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 예를 들면, 도 1의 게이트 구동부(300)로부터 게이트 신호(GW)가 생성될 수 있고, 게이트 신호(GW)가 게이트 신호(GW) 배선을 통해 제3 트랜지스터(TR3)의 게이트 단자에 인가될 수 있다. 예시적인 실시예들에 있어서, 제3 트랜지스터(TR3)의 제1 단자는 소스 단자이고, 제3 트랜지스터(TR3)의 제2 단자는 드레인 단자일 수 있다. 또한, 제3 트랜지스터(TR3)의 채널은 주석을 포함하는 산화물 반도체로 구성될 수 있다. 선택적으로, 제3 트랜지스터(TR3)의 제1 단자는 드레인 단자이고, 제3 트랜지스터(TR3)의 제2 단자는 소스 단자일 수 있다.
- [0050] 제3 트랜지스터(TR3)는 게이트 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자와 제1 트랜지스터(TR1)의 제2 단자를 연결할 수 있다. 이러한 경우, 제3 트랜지스터(TR3)는 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3)는 게이트 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1)가 다이오드 연결되므로, 제1 트랜지스터(TR1)의 제1 단자와 제1 트랜지스터(TR1)의

게이트 단자 사이에 제1 트랜지스터(TR1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 게이트 신호(GW)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(DATA)는 제1 트랜지스터(TR1)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0051] 초기화 전압(VINT)이 제공되는 초기화 전압 배선의 입력단은 제4 트랜지스터(TR4)의 제1 단자 및 제7 트랜지스터(TR7)의 제1 단자와 연결될 수 있고, 상기 초기화 전압 배선의 출력단은 제4 트랜지스터(TR4)의 제2 단자 및 스토리지 커패시터(CST)의 제1 단자와 연결될 수 있다.

[0052] 제4 트랜지스터(TR4)는 게이트 단자, 제1 단자 및 제2 단자를 포함할 수 있다. 제4 트랜지스터(TR4)의 게이트 단자는 게이트 초기화 신호(GI)를 공급받을 수 있다. 예를 들면, 도 1의 게이트 구동부(300)로부터 게이트 초기화 신호(GI)가 생성될 수 있고, 게이트 초기화 신호(GI)가 게이트 초기화 신호(GI)배선을 통해 제4 트랜지스터(TR4)의 게이트 단자에 인가될 수 있다. 제4 트랜지스터(TR4)의 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제4 트랜지스터(TR4)의 제2 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제4 트랜지스터(TR4)의 제1 단자는 소스 단자일 수 있고, 제4 트랜지스터(TR4)의 제2 단자는 드레인 단자일 수 있다. 또한, 제4 트랜지스터(TR4)의 채널은 주석을 포함하는 산화물 반도체로 구성될 수 있다. 선택적으로, 제4 트랜지스터(TR4)의 제1 단자는 드레인 단자이고, 제4 트랜지스터(TR4)의 제2 단자는 소스 단자일 수 있다.

[0053] 제4 트랜지스터(TR4)는 게이트 초기화 신호(GI)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1)의 게이트 단자에 공급할 수 있다. 이러한 경우, 제4 트랜지스터(TR4)는 선행 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4)는 게이트 초기화 신호(GI)의 활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 예시적인 실시예들에 있어서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST)에 의해 유지된 데이터 신호(DATA)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1)의 게이트 단자에 공급될 수 있다. 다른 예시적인 실시예들에 있어서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터 신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.

[0054] 예시적인 실시예들에 있어서, 게이트 초기화 신호(GI)는 일 수평 시간 전의 게이트 신호(GW)와 실질적으로 동일한 신호일 수 있다. 예를 들면, 유기 발광 표시 장치(100)가 포함하는 복수의 서브 화소 회로들 중 제n(단, n은 2이상의 정수)행의 서브 화소 회로에 공급되는 게이트 초기화 신호(GI)는 상기 서브 화소 회로들 중 (n-1)행의 서브 화소 회로에 공급되는 게이트 신호(GW)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 서브 화소 회로들 중 (n-1)행의 서브 화소 회로에 활성화된 게이트 신호(GW)를 공급함으로써, 서브 화소 회로들 중 n행의 서브 화소 회로에 활성화된 게이트 초기화 신호(GI)를 공급할 수 있다. 그 결과, 서브 화소 회로들 중 (n-1)행의 서브 화소 회로에 데이터 신호(DATA)를 공급함과 동시에 서브 화소 회로들 중 n행의 서브 화소 회로가 포함하는 제1 트랜지스터(TR1)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0055] 제5 트랜지스터(TR5)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 고전원 전압(ELVDD) 배선에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제5 트랜지스터(TR5)의 제1 단자는 소스 단자이고, 제5 트랜지스터(TR5)의 제2 단자는 드레인 단자일 수 있다. 또한, 또한, 제5 트랜지스터(TR5)의 채널은 주석을 포함하는 산화물 반도체로 구성될 수 있다. 선택적으로, 제5 트랜지스터(TR5)의 제1 단자는 드레인 단자이고, 제5 트랜지스터(TR5)의 제2 단자는 소스 단자일 수 있다.

[0056] 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 고전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5)는 발광 제어 신호(EM)의 비활성화 구간 동안 고전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이러한 경우, 제5 트랜지스터(TR5)는 선행 영역에서 동작할 수 있다. 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)의 제1 단자에 고전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5)가 발광 제어 신호(EM)의 비활성화 구간 동안 고전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스

터(TR1)의 제1 단자에 공급된 데이터 신호(DATA)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0057] 제6 트랜지스터(TR6)(예를 들어, 도 4의 제3 산화물 트랜지스터(255)에 대응)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 제어 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제6 트랜지스터(TR6)의 제1 단자는 소스 단자이고, 제6 트랜지스터(TR6)의 제2 단자는 드레인 단자일 수 있다. 또한, 또한, 제6 트랜지스터(TR6)의 채널은 주석을 포함하는 산화물 반도체로 구성될 수 있다. 선택적으로, 제6 트랜지스터(TR6)의 제1 단자는 드레인 단자이고, 제6 트랜지스터(TR6)의 제2 단자는 소스 단자일 수 있다.

[0058] 제6 트랜지스터(TR6)는 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급할 수 있다. 이러한 경우, 제6 트랜지스터(TR6)는 선행 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6)가 발광 제어 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1)와 유기 발광 다이오드(OLED)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1)의 제2 단자에 공급된 데이터 신호(DATA)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1)의 게이트 단자로 공급될 수 있다.

[0059] 제7 트랜지스터(TR7)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 다이오드 초기화 신호(GB)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 예시적인 실시예들에 있어서, 제7 트랜지스터(TR7)의 제1 단자는 소스 단자이고, 제7 트랜지스터(TR7)의 제2 단자는 드레인 단자일 수 있다. 또한, 제7 트랜지스터(TR7)의 채널은 주석을 포함하는 산화물 반도체로 구성될 수 있다. 선택적으로, 제7 트랜지스터(TR7)의 제1 단자는 드레인 단자이고, 제7 트랜지스터(TR7)의 제2 단자는 소스 단자일 수 있다.

[0060] 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED)의 제1 단자에 공급할 수 있다. 이러한 경우, 제7 트랜지스터(TR7)는 선행 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7)는 다이오드 초기화 신호(GB)의 활성화 구간 동안 유기 발광 다이오드(OLED)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.

[0061] 선택적으로, 게이트 초기화 신호(GI)와 다이오드 초기화 신호(GB)는 실질적으로 동일한 신호일 수 있다. 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 영향을 미치지 않을 수 있다. 즉, 제1 트랜지스터(TR1)의 게이트 단자를 초기화 시키는 동작과 유기 발광 다이오드(OLED)의 제1 단자를 초기화 시키는 동작은 서로 독립적일 수 있다. 이에 따라, 다이오드 초기화 신호(GB)를 별도로 생성하지 않음으로써, 공정의 경제성이 향상될 수 있다.

[0062] 스토리지 커패시터(CST)는 제1 단자 및 제2 단자를 포함할 수 있다. 스토리지 커패시터(CST)는 고전원 전압(ELVDD) 배선과 제1 트랜지스터(TR1)의 게이트 단자 사이에 연결될 수 있다. 예를 들면, 스토리지 커패시터(CST)의 제1 단자는 제1 트랜지스터(TR1)의 게이트 단자에 연결될 수 있고, 스토리지 커패시터(CST)의 제2 단자는 고전원 전압(ELVDD) 배선에 연결될 수 있다. 스토리지 커패시터(CST)는 스캔 신호(GW)의 비활성화 구간 동안 제1 트랜지스터(TR1)의 게이트 단자의 전압 레벨을 유지할 수 있다. 스캔 신호(GW)의 비활성화 구간은 발광 제어 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 제어 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)는 유기 발광 다이오드(OLED)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1)가 생성한 구동 전류(ID)가 유기 발광 다이오드(OLED)에 공급될 수 있다.

[0063] 도 4는 도 1의 유기 발광 표시 장치를 I-I'라인을 따라 절단한 단면도이다.

[0064] 도 4를 참조하면, 유기 발광 표시 장치(100), 기관(110), 버퍼층(115), 제1 산화물 트랜지스터(650), 제2 산화물 트랜지스터(250), 제3 산화물 트랜지스터(255), 게이트 절연층(150), 층간 절연층(190), 평탄화층(270), 서브 화소 구조물(200), 화소 정의막(310), 실링 부재(390), 봉지 기관(450) 등을 포함할 수 있다. 제1 산화물 트랜지스터(650)는 제1 산화물 반도체 패턴(530), 제1 게이트 전극(570), 제1 소스 전극(610) 및 제1 드레인 전극(630)을 포함할 수 있고, 제2 산화물 트랜지스터(250)는 제2 산화물 반도체 패턴(130), 제2 게이트 전극(170), 제2 소스 전극(210) 및 제2 드레인 전극(230)을 포함할 수 있다. 또한, 제3 산화물 트랜지스터(255)는 제3 산화물 반도체 패턴(135), 제3 게이트 전극(175), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 포함할 수 있다.

더욱이, 서브 화소 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있다. 유기 발광 표시 장치(100)가 표시 영역(10) 및 주변 영역(20)을 가짐에 따라, 기판(110)도 표시 영역(10) 및 주변 영역(20)으로 구분될 수 있다.

[0065] 투명한 또는 불투명한 재료를 포함하는 기판(110)이 제공될 수 있다. 기판(110)은 석영(quartz) 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘(calcium fluoride) 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(soda-lime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수 있다.

[0066] 선택적으로, 기판(110)은 연성을 갖는 투명 수지 기판으로 이루어질 수도 있다. 기판(110)으로 이용될 수 있는 투명 수지 기판의 예로는 폴리이미드 기판을 들 수 있다. 이러한 경우, 상기 폴리이미드 기판은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 예를 들면, 상기 폴리이미드 기판은 경질의 유리 기판 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 순서대로 적층된 구성을 가질 수 있다. 유기 발광 표시 장치(100)의 제조 방법에 있어서, 상기 폴리이미드 기판의 제2 폴리이미드층 상에 절연층(예를 들어, 버퍼층(115))을 배치한 후, 상기 절연층 상에 상부 구조물(예를 들어, 제1 산화물 트랜지스터(650), 제2 산화물 트랜지스터(250), 제3 산화물 트랜지스터(255) 및 서브 화소 구조물(200) 등)이 배치될 수 있다. 이러한 상부 구조물의 형성 후, 상기 경질의 유리 기판이 제거될 수 있다. 즉, 상기 폴리이미드 기판은 얇고 플렉서블하기 때문에, 상기 폴리이미드 기판 상에 상기 상부 구조물을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 상기 경질의 유리 기판을 이용하여 상부 구조물을 형성한 다음, 상기 유리 기판을 제거함으로써, 상기 폴리이미드 기판이 기판(110)으로 이용될 수 있다.

[0067] 기판(110) 상에 버퍼층(115)이 배치될 수 있다. 버퍼층(115)은 기판(110) 상에 전체적으로 배치될 수 있다. 버퍼층(115)은 기판(110)으로부터 금속 원자들이나 불순물들이 제1 산화물 트랜지스터(650), 제2 산화물 트랜지스터(250), 제3 산화물 트랜지스터(255) 및 화소 구조물(200)로 확산되는 현상을 방지할 수 있다. 또한, 버퍼층(115)은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층(115)이 제공될 수 있거나 버퍼층(115)이 배치되지 않을 수 있다. 예를 들면, 버퍼층(115)은 유기 물질 또는 무기 물질을 포함할 수 있다.

[0068] 버퍼층(115) 상의 주변 영역(20)에 제1 산화물 반도체 패턴(530)이 배치될 수 있다. 제1 산화물 반도체 패턴(530)은 주석(Sn)을 포함하는 산화물 반도체를 포함할 수 있다. 다시 말하면, 제1 산화물 반도체 패턴(530)은 주석(Sn)과 함께 인듐(In), 아연(Zn), 갈륨(Ga), 티타늄(Ti), 알루미늄(Al), 하프늄(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy), 사성분계 화합물(ABxCyDz) 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제1 산화물 반도체 패턴(530)은 주석 산화물(SnOx), 인듐-주석 산화물(ITO), 아연-주석 산화물(ZTO), 인듐-아연-주석 산화물(IZTO), 주석-알루미늄-아연 산화물(TAZO), 인듐-갈륨-주석 산화물(IGTO), 인듐-주석-갈륨-아연 산화물(ITGZO) 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 산화물 반도체 패턴(530)은 인듐-주석-갈륨-아연 산화물(ITGZO)로 구성될 수 있다.

[0069] 버퍼층(115) 상의 표시 영역(10)(또는 서브 화소 영역(30))에 제2 산화물 반도체 패턴(130)이 배치될 수 있다. 제2 산화물 반도체 패턴(130)은 주석(Sn)을 포함하지 않는 산화물 반도체를 포함할 수 있다. 다시 말하면, 제2 산화물 반도체 패턴(130)은 인듐, 아연, 갈륨, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제2 액티브층(135)은 아연 산화물, 갈륨 산화물, 티타늄 산화물, 인듐 산화물, 인듐-갈륨 산화물, 인듐-아연 산화물, 갈륨-아연 산화물, 아연-마그네슘 산화물, 아연-지르코늄 산화물, 인듐-갈륨-아연 산화물, 인듐-갈륨-하프늄 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 산화물 반도체 패턴(130)은 인듐-갈륨-아연 산화물(IGZO)로 구성될 수 있다.

[0070] 버퍼층(115) 상의 표시 영역(10)에 제3 산화물 반도체 패턴(135)이 배치될 수 있다. 제3 산화물 반도체 패턴(135)은 제2 산화물 반도체 패턴(130)으로부터 제2 방향(D2)으로 이격될 수 있다. 제3 산화물 반도체 패턴(135)은 주석(Sn)을 포함하는 산화물 반도체를 포함할 수 있다. 다시 말하면, 제3 산화물 반도체 패턴(135)은 주석과 함께 인듐, 아연, 갈륨, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제3 산화물 반도체 패턴(135)은 주석 산화물, 인듐-주석 산화물, 아연-주석 산화물, 인듐-아연-주석 산화물, 주석-알루미늄-아연 산화물, 인듐-갈륨-주석 산화물, 인듐-주석-갈륨-아연 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제3 산화물 반도체 패턴(135)은 인듐-주석-갈륨-아연 산화물로 구성될 수 있다.

[0071] 예를 들면, 유기 발광 표시 장치(100)의 제조 공정에 있어서, 제1 산화물 반도체 패턴(530)과 제3 산화물 반도체



체 패턴(135)은 동일한 물질을 포함할 수 있고, 동시에 형성될 수 있다. 한편, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135)이 형성된 후 제2 산화물 반도체 패턴(130)이 형성될 수 있다. 제2 산화물 반도체 패턴(130)이 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135)보다 나중에 형성되더라도, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)은 버퍼층(115) 상에 배치될 수 있다. 즉, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)은 동일한 층에 위치할 수 있다.

[0072] 버퍼층(115), 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135) 상에 게이트 절연층(150)이 배치될 수 있다. 게이트 절연층(150)은 버퍼층(115) 상의 주변 영역(20)에서 제1 산화물 반도체 패턴(530)을 덮을 수 있고, 버퍼층(115) 상에서 제2 방향(D2)으로 연장할 수 있다. 또한, 게이트 절연층(150)은 버퍼층(115) 상의 표시 영역(10)에서 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)을 덮을 수 있고, 버퍼층(115) 상에서 제2 방향(D2)으로 연장할 수 있다. 즉, 게이트 절연층(150)은 버퍼층(115) 상에 전체적으로 배치될 수 있다. 예를 들면, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)을 충분히 덮을 수 있으며, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)을 덮으며, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수도 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층(150)은 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ), 실리콘 산질화물( $\text{SiO}_x\text{N}_y$ ), 실리콘 산탄화물( $\text{SiO}_x\text{C}_y$ ), 실리콘 탄질화물( $\text{SiC}_x\text{N}_y$ ), 알루미늄 산화물( $\text{AlO}_x$ ), 알루미늄 질화물( $\text{AlN}_x$ ), 탄탈륨 산화물( $\text{TaO}_x$ ), 하프늄 산화물( $\text{HfO}_x$ ), 지르코늄 산화물( $\text{ZrO}_x$ ), 티타늄 산화물( $\text{TiO}_x$ ) 등을 포함할 수 있다.

[0073] 제1 게이트 전극(570)은 게이트 절연층(150) 상의 주변 영역(20)에 배치될 수 있다. 제1 게이트 전극(570)은 게이트 절연층(150) 중에서 하부에 제1 산화물 반도체 패턴(530)이 위치하는 부분 상에 배치될 수 있다. 제1 게이트 전극(570)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(570)은 금(Au), 은(Ag), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 텅스텐(W), 팔라듐(Pd), 마그네슘(Mg), 칼슘(Ca), 리튬(Li), 크롬(Cr), 탄탈륨(Ta), 몰리브덴(Mo), 스칸듐(Sc), 네오디뮴(Nd), 이리듐(Ir), 알루미늄을 함유하는 합금, 알루미늄 질화물( $\text{AlN}_x$ ), 은을 함유하는 합금, 텅스텐 질화물( $\text{WN}_x$ ), 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물( $\text{TiN}_x$ ), 탄탈륨 질화물( $\text{Ta}_x\text{N}_x$ ), 스트론튬 루테튬 산화물( $\text{SrRu}_x\text{O}_y$ ), 아연 산화물( $\text{ZnO}_x$ ), 인듐 주석 산화물(ITO), 주석 산화물( $\text{SnO}_x$ ), 인듐 산화물( $\text{InO}_x$ ), 갈륨 산화물( $\text{GaO}_x$ ), 인듐 아연 산화물(IZO) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극(570)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0074] 제2 게이트 전극(170)은 게이트 절연층(150) 상의 표시 영역(10)에 배치될 수 있다. 제2 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제2 산화물 반도체 패턴(130)이 위치하는 부분 상에 배치될 수 있다. 제2 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극(170)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0075] 제3 게이트 전극(175)은 게이트 절연층(150) 상의 표시 영역(10)에서 제2 게이트 전극(170)으로부터 제2 방향(D2)으로 이격하여 배치될 수 있다. 제3 게이트 전극(175)은 게이트 절연층(150) 중에서 하부에 제3 산화물 반도체 패턴(135)이 위치하는 부분 상에 배치될 수 있다. 제3 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제3 게이트 전극(175)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0076] 예를 들면, 유기 발광 표시 장치(100)의 제조 공정에 있어서, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)은 동일한 물질을 사용하여 게이트 절연층(150) 상에서 동시에 형성될 수 있다. 다시 말하면, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)은 동일한 층에 위치할 수 있다.

[0077] 게이트 절연층(150), 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175) 상에 층간 절연층(190)이 배치될 수 있다. 층간 절연층(190)은 게이트 절연층(150) 상의 주변 영역(20)에서 제1 게이트 전극(570)을 덮을 수 있고, 게이트 절연층(150) 상에서 제2 방향(D2)으로 연장할 수 있다. 또한, 층간 절연층(190)은 게이트 절연층(150) 상의 표시 영역(10)에서 제2 게이트 전극(170) 및 제3 게이트 전극(175)을 덮을 수

있고, 게이트 절연층(150) 상에서 제2 방향(D2)으로 연장할 수 있다. 즉, 층간 절연층(190)은 게이트 절연층(150) 상에 전체적으로 배치될 수 있다. 예를 들면, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)을 충분히 덮을 수 있으며, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)을 덮으며, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수도 있다. 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0078] 제1 소스 전극(610) 및 제1 드레인 전극(630)이 층간 절연층(190) 상의 주변 영역(20)에 배치될 수 있다. 제1 소스 전극(610)은 게이트 절연층(150) 및 층간 절연층(190)의 제1 부분을 제거하여 형성된 제1 콘택홀을 통해 제1 산화물 반도체 패턴(530)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(630)은 게이트 절연층(150) 및 층간 절연층(190)의 제2 부분을 제거하여 형성된 제2 콘택홀을 통해 제1 산화물 반도체 패턴(530)의 드레인 영역에 접속될 수 있다. 제1 소스 전극(610) 및 제1 드레인 전극(630) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(610) 및 제1 드레인 전극(630) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제1 산화물 반도체 패턴(530), 제1 게이트 전극(570), 제1 소스 전극(610) 및 제1 드레인 전극(630)을 포함하는 제1 산화물 트랜지스터(650)가 구성될 수 있다. 여기서, 제1 산화물 트랜지스터(650)는 주석(Sn)을 포함하는 제1 산화물 반도체 패턴(530)을 포함하는 게이트 구동부(300)의 트랜지스터로 기능할 수 있다. 이러한 트랜지스터는 상대적으로 높은 전자 이동도를 가질 수 있다. 또한, 제1 산화물 트랜지스터(650)는 상부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다. 다른 예시적인 실시예들에 있어서, 제1 산화물 트랜지스터(650)가 실링 부재(390)와 중첩하여 배치될 수도 있다.

[0079] 다만, 유기 발광 표시 장치(100)의 게이트 구동부(300)가 1개의 트랜지스터(예를 들어, 제1 산화물 트랜지스터(650))를 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 게이트 구동부(300)는 적어도 2개의 트랜지스터들 및 적어도 하나의 커패시터를 포함하는 구성을 가질 수도 있다.

[0080] 또한, 게이트 구동부(300)의 제1 산화물 트랜지스터(650)가 상부 게이트 구조를 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제1 산화물 트랜지스터(650)는 하부 게이트 구조 또는 이중 게이트 구조를 포함할 수도 있다.

[0081] 더욱이, 제1 산화물 트랜지스터(650)의 구성이 제1 산화물 반도체 패턴(530), 제1 게이트 전극(570), 제1 소스 전극(610) 및 제1 드레인 전극(630)을 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제1 산화물 트랜지스터(650)는 제1 산화물 반도체 패턴(530), 게이트 절연층(150), 제1 게이트 전극(570), 층간 절연층(190), 제1 소스 전극(610) 및 제1 드레인 전극(630)을 포함하는 구성을 포함할 수도 있다.

[0082] 제2 소스 전극(210) 및 제2 드레인 전극(230)이 층간 절연층(190) 상의 표시 영역(10)에 배치될 수 있다. 제2 소스 전극(210)은 게이트 절연층(150) 및 층간 절연층(190)의 제3 부분을 제거하여 형성된 제3 콘택홀을 통해 제2 산화물 반도체 패턴(130)의 소스 영역에 접속될 수 있고, 제2 드레인 전극(230)은 게이트 절연층(150) 및 층간 절연층(190)의 제4 부분을 제거하여 형성된 제4 콘택홀을 통해 제2 산화물 반도체 패턴(130)의 드레인 영역에 접속될 수 있다. 제2 소스 전극(210) 및 제2 드레인 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(210) 및 제2 드레인 전극(230) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제2 산화물 반도체 패턴(130), 제2 게이트 전극(170), 제2 소스 전극(210) 및 제2 드레인 전극(230)을 포함하는 제2 산화물 트랜지스터(250)가 구성될 수 있다. 여기서, 제2 산화물 트랜지스터(250)는 주석(Sn)을 포함하지 않는 제2 산화물 반도체 패턴(130)을 포함하는 서브 화소 회로(SUB-PIXEL CIRCUIT)의 구동 트랜지스터로 기능할 수 있다. 이러한 트랜지스터는 상대적으로 넓은 구동 범위(driving range)를 가질 수 있다. 또한, 제2 산화물 트랜지스터(250)는 상부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다.

[0083] 다만, 제2 산화물 트랜지스터(250)가 상부 게이트 구조를 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제2 산화물 트랜지스터(250)는 하부 게이트 구조 또는 이중 게이트 구조를 포

함할 수도 있다.

- [0084] 또한, 제2 산화물 트랜지스터(250)의 구성이 제2 산화물 반도체 패턴(130), 제2 게이트 전극(170), 제2 소스 전극(210) 및 제2 드레인 전극(230)을 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제2 산화물 트랜지스터(250)는 제2 산화물 반도체 패턴(130), 게이트 절연층(150), 제2 게이트 전극(170), 층간 절연층(190), 제2 소스 전극(210) 및 제2 드레인 전극(230)을 포함하는 구성을 포함할 수도 있다.
- [0085] 제3 소스 전극(215) 및 제3 드레인 전극(235)이 층간 절연층(190) 상의 표시 영역(10)에 배치될 수 있다. 제3 소스 전극(215)은 게이트 절연층(150) 및 층간 절연층(190)의 제5 부분을 제거하여 형성된 제5 콘택홀을 통해 제3 산화물 반도체 패턴(135)의 소스 영역에 접속될 수 있고, 제3 드레인 전극(235)은 게이트 절연층(150) 및 층간 절연층(190)의 제6 부분을 제거하여 형성된 제6 콘택홀을 통해 제3 산화물 반도체 패턴(135)의 드레인 영역에 접속될 수 있다. 제3 소스 전극(215) 및 제3 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제3 소스 전극(215) 및 제3 드레인 전극(235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제3 산화물 반도체 패턴(135), 제3 게이트 전극(175), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 포함하는 제3 산화물 트랜지스터(255)가 구성될 수 있다. 여기서, 제3 산화물 트랜지스터(255)는 주석(Sn)을 포함하는 제3 산화물 반도체 패턴(135)을 포함하는 서브 화소 회로(SUB-PIXEL CIRCUIT)의 스위칭 트랜지스터로 기능할 수 있다. 이러한 트랜지스터는 상대적으로 높은 전자 이동도를 가질 수 있다. 또한, 제3 산화물 트랜지스터(255)는 상부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다.
- [0086] 다만, 유기 발광 표시 장치(100)가 2개의 트랜지스터들(예를 들어, 제2 산화물 트랜지스터(250) 및 제3 산화물 트랜지스터(255))을 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 유기 발광 표시 장치(100)는 적어도 3개의 트랜지스터들 및 적어도 하나의 커패시터를 포함하는 구성을 가질 수도 있다.
- [0087] 또한, 제3 산화물 트랜지스터(255)가 상부 게이트 구조를 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제3 산화물 트랜지스터(255)는 하부 게이트 구조 또는 이중 게이트 구조를 포함할 수도 있다.
- [0088] 더욱이, 제3 산화물 트랜지스터(255)의 구성이 제3 산화물 반도체 패턴(135), 제3 게이트 전극(175), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제3 산화물 트랜지스터(255)는 제3 산화물 반도체 패턴(135), 게이트 절연층(150), 제3 게이트 전극(175), 층간 절연층(190), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 포함하는 구성을 포함할 수도 있다.
- [0089] 층간 절연층(190), 제1 소스 전극(610), 제1 드레인 전극(630), 제2 소스 전극(210), 제2 드레인 전극(230), 제3 소스 전극(215) 및 제3 드레인 전극(235) 상에 평탄화층(270)이 배치될 수 있다. 예를 들면, 평탄화층(270)은 제1 소스 전극(610), 제1 드레인 전극(630), 제2 소스 전극(210), 제2 드레인 전극(230), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)의 일부를 제거하여 형성된 콘택홀을 통해 제3 드레인 전극(235)의 상면의 일부가 노출될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 포함할 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리이미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등을 포함할 수 있다.
- [0090] 하부 전극(290)은 평탄화층(270) 상의 표시 영역(10)에 배치될 수 있다. 하부 전극(290)은 평탄화층(270)의 상부 콘택홀을 통해 제3 드레인 전극(235)과 접속할 수 있다. 또한, 하부 전극(290)은 제3 산화물 트랜지스터(255)와 전기적으로 연결될 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.
- [0091] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 배치될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시킬 수 있다. 화소 정의막(310)은



유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 포함할 수 있다.

[0092] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 배치될 수 있다. 발광층(330)은 제1 내지 제3 유기 발광 다이오드들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 방출시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 배치(예를 들어, 봉지 기판(450)의 저면 또는 상면에 발광층(330)과 중첩되도록 배치)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색(Yellow) 컬러 필터, 청남색(Cyan) 컬러 필터 및 자주색(Magenta) 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지, 컬러 포토레지스트 등을 포함할 수 있다.

[0093] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 배치될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 배치될 수 있다. 다른 예시적인 실시예들에 있어서, 상부 전극(340)이 주변 영역(20)에 배치될 수도 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 서브 화소 구조물(200)이 구성될 수 있다.

[0094] 기판(110) 상의 주변 영역(20)의 최외곽에 실링 부재(390)가 배치될 수 있다. 다시 말하면, 실링 부재(390)는 하부 기판(110)과 상부 기판(410) 사이의 주변 영역(20)의 최외곽에 배치될 수 있다. 실링 부재(390)의 상면은 봉지 기판(450)의 저면과 직접적으로 접촉할 수 있고, 실링 부재(390)의 저면은 층간 절연층(190)과 직접적으로 접촉할 수 있다. 선택적으로, 실링 부재(390) 아래에 위치하는 버퍼층(115), 게이트 절연층(150) 및 층간 절연층(190)이 배치되지 않을 수 있고, 실링 부재(390)의 저면이 기판(110)의 상면과 직접적으로 접촉할 수도 있다. 실링 부재(390)는 프리트(frit) 등을 포함할 수 있다. 또한, 실링 부재(390)는 광 경화성 물질을 추가적으로 포함할 수 있다. 예를 들면, 실링 부재(390)는 유기 물질 및 광 경화성 물질의 혼합물을 포함할 수 있으며, 상기 혼합물에 자외선(UV), 레이저 광, 가시광선 등을 조사하여 경화시켜 실링 부재(390)를 수득할 수 있다. 실링 부재(390)에 포함되는 상기 광 경화성 물질은 에폭시 아크릴레이트(epoxy acrylate)계 수지, 폴리에스테르 아크릴레이트(polyester acrylate)계 수지, 우레탄 아크릴레이트(urethane acrylate)계 수지, 폴리부타디엔 아크릴레이트(polybutadiene acrylate)계 수지, 실리콘 아크릴레이트(silicon acrylate)계 수지, 알킬 아크릴레이트(alkyl acrylate)계 수지 등을 포함할 수 있다.

[0095] 예를 들면, 상기 유기 물질 및 광 경화성 물질의 혼합물에 레이저 광이 조사될 수 있다. 이러한 레이저 광의 조사에 따라, 상기 혼합물이 고체 상태에서 액체 상태로 변화될 수 있고, 소정의 시간이 후에 액체 상태의 상기 혼합물은 다시 고체 상태로 경화될 수 있다. 상기 혼합물의 상태 변화에 따라 봉지 기판(450)이 기판(110)에 대해 밀봉되면서 결합될 수 있다.

[0096] 다만, 실링 부재(390)가 상면의 폭이 저면의 폭보다 작은 사각형의 형상을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 실링 부재(390)는 상면의 폭이 저면의 폭보다 큰 사각형의 형상, 사다리꼴의 형상, 직사각형의 형상, 정사각형의 형상 등을 가질 수도 있다.

[0097] 실링 부재(390) 및 상부 전극(340) 상에 봉지 기판(450)이 배치될 수 있다. 봉지 기판(450)은 실질적으로 기판(110)과 동일한 재료를 포함할 수 있다. 예를 들면, 봉지 기판(450)은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다 라임 유리 기판, 무알칼리 유리 기판 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 봉지 기판(450)은 투명 무기 물질 또는 플렉서블 플라스틱을 포함할 수도 있다. 예를 들면, 봉지 기판(450)은 연성을 갖는 투명 수지 기판을 포함할 수 있다. 이러한 경우, 유기 발광 표시 장치(100)의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다. 상기 적층 구조는 제1 무기층, 유기층 및 제2 무기층으로 구성될 수 있다. 예를 들면, 상부 전극(340)의 프로파일을 따라 가요성을 갖는 제1 무기층이 배치될 수 있고, 상기 제1 무기층 상에 가요성을 갖는 유기층이 배치될 수 있으며, 상기 유기층 상에 가요성을 갖는 제2 무기층이 배치될 수 있다. 즉, 상기 적층 구조는 상기 상부 전극(340)과 직접적으로 접촉하는 박막 봉지 구조물에 해당될 수 있다.

[0098] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 상대적으로 높은 전자 이동도를 갖는 제1 산화물 트랜지스터(650)를 포함함으로써, 게이트 구동부(300)가 상대적으로 적은 개수의 트랜지스터를 포함할 수

있다. 이에 따라, 유기 발광 표시 장치(100)의 데드 스페이스가 줄어들 수 있다. 또한, 게이트 구동부(300)가 상대적으로 적은 개수의 트랜지스터를 포함함으로써, 유기 발광 표시 장치(100)의 제조 비용이 감소될 수 있다. 더욱이, 제2 산화물 트랜지스터(250)가 주석을 포함하지 않는 제2 산화물 반도체 패턴(130)을 포함함으로써, 상대적으로 넓은 구동 범위를 가질 수 있다.

[0099] 도 5 내지 도 11은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

[0100] 도 5를 참조하면, 투명한 또는 불투명한 재료를 포함하는 기판(110)이 제공될 수 있다. 기판(110)은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다라임 유리 기판, 무알칼리 유리 기판 등을 사용하여 형성될 수 있다.

[0101] 기판(110) 상에 버퍼층(115)이 형성될 수 있다. 버퍼층(115)은 기판(110) 상에 전체적으로 형성될 수 있다. 버퍼층(115)은 기판(110)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있다. 또한, 버퍼층(115)은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층(115)이 제공될 수 있거나 버퍼층(115)이 형성되지 않을 수 있다. 예를 들면, 버퍼층(115)은 유기 물질 또는 무기 물질을 사용하여 형성될 수 있다. 선택적으로, 기판(110)은 연성을 갖는 투명 수지 기판으로 이루어질 수도 있다. 기판(110)으로 이용될 수 있는 투명 수지 기판의 예로는 폴리이미드 기판을 들 수 있다. 이러한 경우, 상기 폴리이미드 기판은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 예를 들면, 상기 폴리이미드 기판은 경질의 유리 기판 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 순서대로 적층된 구성을 가질 수 있다.

[0102] 버퍼층(115) 상에 제1 예비 산화물 반도체막(531)이 형성될 수 있다. 제1 예비 산화물 반도체막(531)은 버퍼층(115) 상의 표시 영역(10) 및 주변 영역(20)에 전체적으로 형성될 수 있다. 제1 예비 산화물 반도체막(531)을 버퍼층(115) 상에 전체적으로 형성한 후, 제1 예비 산화물 반도체막(531)을 부분적으로 식각할 수 있다. 예를 들면, 제1 습식 식각 공정을 통해 제1 예비 산화물 반도체막(531)이 식각될 수 있다. 상기 제1 습식 식각 공정에서 사용되는 제1 식각액은 불소(F)를 포함하는 화합물일 수 있다. 예를 들면, 상기 제1 식각액은 불화나트륨(NaF), 불화수소나트륨(NaHF<sub>2</sub>), 불화암모늄(NH<sub>4</sub>F), 불화수소암모늄(NH<sub>4</sub>HF<sub>2</sub>), 붕불화암모늄(NH<sub>4</sub>BF<sub>4</sub>), 불화칼륨(KF), 불화수소칼륨(KHF<sub>2</sub>), 불화알루미늄(AlF<sub>3</sub>), 불화붕소산(HBF<sub>4</sub>), 불화리튬(LiF), 붕불화칼륨(KBF<sub>4</sub>), 불화칼슘(CaF<sub>2</sub>) 등을 포함할 수 있다.

[0103] 도 6을 참조하면, 상기 제1 식각 공정을 통해 제1 예비 산화물 반도체막(531)을 패터닝한 후, 버퍼층(115) 상의 주변 영역(20)에 제1 산화물 반도체 패턴(530) 및 표시 영역(10)에 제3 산화물 반도체 패턴(135)이 형성될 수 있다. 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 각각은 주석을 포함하는 산화물 반도체를 사용하여 형성될 수 있다. 다시 말하면, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 각각은 주석과 함께 인듐, 아연, 갈륨, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 각각은 주석 산화물, 인듐-주석 산화물, 아연-주석 산화물, 인듐-아연-주석 산화물, 주석-알루미늄-아연 산화물, 인듐-갈륨-주석 산화물, 인듐-주석-갈륨-아연 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 각각은 인듐-주석-갈륨-아연 산화물로 구성될 수 있다.

[0104] 도 7을 참조하면, 버퍼층(115), 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 상에 제2 예비 산화물 반도체막(131)이 형성될 수 있다. 제2 예비 산화물 반도체막(131)은 버퍼층(115), 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 상의 표시 영역(10) 및 주변 영역(20)에 전체적으로 형성될 수 있다. 여기서, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 상에 제2 예비 산화물 반도체막(131)이 형성되는 경우, 제2 예비 산화물 반도체막(131)의 저면이 제1 산화물 반도체 패턴(530)의 상면 및 제3 산화물 반도체 패턴(135)의 상면과 직접적으로 접촉할 수 있다. 제2 예비 산화물 반도체막(131)을 버퍼층(115), 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 상에 전체적으로 형성한 후, 제2 예비 산화물 반도체막(131)을 부분적으로 식각할 수 있다. 예를 들면, 제2 습식 식각 공정을 통해 제2 예비 산화물 반도체막(131)이 식각될 수 있다. 다만, 제2 습식 식각 공정에서는 상기 제1 식각액과 다른 제2 식각액이 사용될 수 있다. 예를 들면, 상기 제2 습식 식각 공정에 사용되는 제2 식각액은 제2 예비 산화물 반도체막(131)을 식각하면서 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135)이 식각되지 않는 식각액을 포함할 수 있다. 예를 들면, 상기 제2 식각액은 인산, 아세트산 및 질산 등을 포함하는 혼합 용액일 수 있다. 예시적인 실시예들에 있어서,

상기 제2 식각액은 인질초산(phosphoric acetic nitric acid)으로 구성될 수 있다. 또한, 상기 제2 식각액은 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135)과 직접적으로 접촉할 수 있다. 다만, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 각각이 주석(Sn)을 포함함으로써 상기 제2 식각액과 반응하지 않을 수 있다. 다시 말하면, 제1 산화물 반도체 패턴(530) 및 제3 산화물 반도체 패턴(135) 각각은 상기 제2 식각액으로부터 식각되지 않을 수 있다.

[0105] 도 8을 참조하면, 상기 제2 식각 공정을 통해 제2 예비 산화물 반도체막(131)을 패터닝한 후, 버퍼층(115) 상의 표시 영역(10)에 제2 산화물 반도체 패턴(130)이 형성될 수 있다. 제2 산화물 반도체 패턴(130)은 제3 산화물 반도체 패턴(135)으로부터 이격되어 형성될 수 있다. 제2 산화물 반도체 패턴(130)은 주석을 포함하지 않는 산화물 반도체를 사용하여 형성될 수 있다. 다시 말하면, 제2 산화물 반도체 패턴(130)은 인듐, 아연, 갈륨, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제2 액티브층(135)은 아연 산화물, 갈륨 산화물, 티타늄 산화물, 인듐 산화물, 인듐-갈륨 산화물, 인듐-아연 산화물, 갈륨-아연 산화물, 아연-마그네슘 산화물, 아연-지르코늄 산화물, 인듐-갈륨-아연 산화물, 인듐-갈륨-하프늄 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 산화물 반도체 패턴(130)은 인듐-갈륨-아연 산화물로 구성될 수 있다. 예시적인 실시예들에 있어서, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)이 다른 공정 단계에서 형성되었지만, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)은 동일한 층(예를 들어, 버퍼층(115) 상에 위치)에 위치할 수 있다.

[0106] 도 9를 참조하면, 버퍼층(115), 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135) 상에 게이트 절연층(150)이 형성될 수 있다. 게이트 절연층(150)은 버퍼층(115) 상의 주변 영역(20)에서 제1 산화물 반도체 패턴(530)을 덮을 수 있고, 버퍼층(115) 상에서 제2 방향(D2)으로 연장할 수 있다. 또한, 게이트 절연층(150)은 버퍼층(115) 상의 표시 영역(10)에서 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)을 덮을 수 있고, 버퍼층(115) 상에서 제2 방향(D2)으로 연장할 수 있다. 즉, 게이트 절연층(150)은 버퍼층(115) 상에 전체적으로 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)을 충분히 덮을 수 있으며, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 게이트 절연층(150)은 버퍼층(115) 상에서 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)을 덮으며, 제1 산화물 반도체 패턴(530), 제2 산화물 반도체 패턴(130) 및 제3 산화물 반도체 패턴(135)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수도 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 알루미늄 산화물, 알루미늄 질화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다.

[0107] 제1 게이트 전극(570)은 게이트 절연층(150) 상의 주변 영역(20)에 형성될 수 있다. 제1 게이트 전극(570)은 게이트 절연층(150) 중에서 하부에 제1 산화물 반도체 패턴(530)이 위치하는 부분 상에 형성될 수 있다. 제1 게이트 전극(570)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예를 들면, 제1 게이트 전극(570)은 금, 은, 알루미늄, 백금, 니켈, 티타늄, 텅스텐, 팔라듐, 마그네슘, 칼슘, 리튬, 크롬, 탄탈륨, 몰리브덴, 스칸듐, 네오디뮴, 이리듐, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은을 함유하는 합금, 텅스텐 질화물, 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극(570)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0108] 제2 게이트 전극(170)은 게이트 절연층(150) 상의 표시 영역(10)에 형성될 수 있다. 제2 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제2 산화물 반도체 패턴(130)이 위치하는 부분 상에 형성될 수 있다. 제2 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극(170)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0109] 제3 게이트 전극(175)은 게이트 절연층(150) 상의 표시 영역(10)에서 제2 게이트 전극(170)으로부터 제2 방향(D2)으로 이격하여 형성될 수 있다. 제3 게이트 전극(175)은 게이트 절연층(150) 중에서 하부에 제3 산화물 반도체 패턴(135)이 위치하는 부분 상에 형성될 수 있다. 제3 게이트 전극(175)은 금속, 금속 합금, 금속 질화물,



도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제3 게이트 전극(175)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0110] 예를 들면, 게이트 절연층(150) 상에 전체적으로 제1 예비 전극막이 전체적으로 형성된 후, 상기 제1 예비 전극막을 선택적으로 식각하여 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)이 동시에 형성될 수 있다. 다시 말하면, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)은 동일한 물질을 사용하여 동일한 층(예를 들어, 게이트 절연층(150) 상에 위치)에 형성될 수 있다.

[0111] 게이트 절연층(150), 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175) 상에 층간 절연층(190)이 형성될 수 있다. 층간 절연층(190)은 게이트 절연층(150) 상의 주변 영역(20)에서 제1 게이트 전극(570)을 덮을 수 있고, 게이트 절연층(150) 상에서 제2 방향(D2)으로 연장할 수 있다. 또한, 층간 절연층(190)은 게이트 절연층(150) 상의 표시 영역(10)에서 제2 게이트 전극(170) 및 제3 게이트 전극(175)을 덮을 수 있고, 게이트 절연층(150) 상에서 제2 방향(D2)으로 연장할 수 있다. 즉, 층간 절연층(190)은 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예를 들면, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)을 충분히 덮을 수 있으며, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 이와는 달리, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)을 덮으며, 제1 게이트 전극(570), 제2 게이트 전극(170) 및 제3 게이트 전극(175)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수도 있다. 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.

[0112] 제1 소스 전극(610) 및 제1 드레인 전극(630)이 층간 절연층(190) 상의 주변 영역(20)에 형성될 수 있다. 제1 소스 전극(610)은 게이트 절연층(150) 및 층간 절연층(190)의 제1 부분을 제거하여 형성된 제1 콘택홀을 통해 제1 산화물 반도체 패턴(530)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(630)은 게이트 절연층(150) 및 층간 절연층(190)의 제2 부분을 제거하여 형성된 제2 콘택홀을 통해 제1 산화물 반도체 패턴(530)의 드레인 영역에 접속될 수 있다. 제1 소스 전극(610) 및 제1 드레인 전극(630) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(610) 및 제1 드레인 전극(630) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제1 산화물 반도체 패턴(530), 제1 게이트 전극(570), 제1 소스 전극(610) 및 제1 드레인 전극(630)을 포함하는 제1 산화물 트랜지스터(650)가 형성될 수 있다.

[0113] 제2 소스 전극(210) 및 제2 드레인 전극(230)이 층간 절연층(190) 상의 표시 영역(10)에 형성될 수 있다. 제2 소스 전극(210)은 게이트 절연층(150) 및 층간 절연층(190)의 제3 부분을 제거하여 형성된 제3 콘택홀을 통해 제2 산화물 반도체 패턴(130)의 소스 영역에 접속될 수 있고, 제2 드레인 전극(230)은 게이트 절연층(150) 및 층간 절연층(190)의 제4 부분을 제거하여 형성된 제4 콘택홀을 통해 제2 산화물 반도체 패턴(130)의 드레인 영역에 접속될 수 있다. 제2 소스 전극(210) 및 제2 드레인 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(210) 및 제2 드레인 전극(230) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제2 산화물 반도체 패턴(130), 제2 게이트 전극(170), 제2 소스 전극(210) 및 제2 드레인 전극(230)을 포함하는 제2 산화물 트랜지스터(250)가 형성될 수 있다.

[0114] 제3 소스 전극(215) 및 제3 드레인 전극(235)이 층간 절연층(190) 상의 표시 영역(10)에 형성될 수 있다. 제3 소스 전극(215)은 게이트 절연층(150) 및 층간 절연층(190)의 제5 부분을 제거하여 형성된 제5 콘택홀을 통해 제3 산화물 반도체 패턴(135)의 소스 영역에 접속될 수 있고, 제3 드레인 전극(235)은 게이트 절연층(150) 및 층간 절연층(190)의 제6 부분을 제거하여 형성된 제6 콘택홀을 통해 제3 산화물 반도체 패턴(135)의 드레인 영역에 접속될 수 있다. 제3 소스 전극(215) 및 제3 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제3 소스 전극(215) 및 제3 드레인 전극(235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제3 산화물 반도체 패턴(135), 제3 게이트 전극(175), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 포함하는 제3 산화물 트랜지스터(255)가 형성될 수 있다.

[0115] 예를 들면, 층간 절연층(190) 상에 제2 예비 전극막이 전체적으로 형성된 후, 상기 제2 예비 전극막을 선택적으로 식각하여 제1 소스 전극(610), 제1 드레인 전극(630), 제2 소스 전극(210), 제2 드레인 전극(230), 제3 소스 전극(215) 및 제3 드레인 전극(235)이 동시에 형성될 수 있다. 다시 말하면, 제1 소스 전극(610), 제1 드레인

전극(630), 제2 소스 전극(210), 제2 드레인 전극(230), 제3 소스 전극(215) 및 제3 드레인 전극(235)은 동일한 물질을 사용하여 동일한 층(예를 들어, 층간 절연층(190) 상에 위치)에 형성될 수 있다.

[0116] 도 10을 참조하면, 층간 절연층(190), 제1 소스 전극(610), 제1 드레인 전극(630), 제2 소스 전극(210), 제2 드레인 전극(230), 제3 소스 전극(215) 및 제3 드레인 전극(235) 상에 평탄화층(270)이 형성될 수 있다. 예를 들면, 평탄화층(270)은 제1 소스 전극(610), 제1 드레인 전극(630), 제2 소스 전극(210), 제2 드레인 전극(230), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 충분히 덮도록 상대적으로 두꺼운 두께로 형성될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)의 일부를 제거하여 형성된 콘택홀을 통해 제3 드레인 전극(235)의 상면의 일부가 노출될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 사용하여 형성될 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등을 포함할 수 있다.

[0117] 하부 전극(290)은 평탄화층(270) 상의 표시 영역(10) 형성될 수 있다. 하부 전극(290)은 평탄화층(270)의 상기 콘택홀을 통해 제3 드레인 전극(235)과 접속할 수 있다. 또한, 하부 전극(290)은 제3 산화물 트랜지스터(255)와 전기적으로 연결될 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0118] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 형성될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시킬 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 사용하여 형성될 수 있다.

[0119] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 형성될 수 있다. 발광층(330)은 제1 내지 제3 유기 발광 다이오드들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 발생시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 형성될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색 컬러 필터, 청남색 컬러 필터 및 자주색 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지, 컬러 포토레지스트 등을 사용하여 형성될 수 있다.

[0120] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 형성될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 상부 전극(340)이 주변 영역(20)에 배치될 수도 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 서브 화소 구조물(200)이 형성될 수 있다.

[0121] 도 11을 참조하면, 기판(110) 상의 주변 영역(20)의 최외곽에 실링 부재(390)가 형성될 수 있다. 다시 말하면, 실링 부재(390)는 하부 기판(110) 상의 주변 영역(20)의 최외곽에 형성될 수 있다. 실링 부재(390)의 저면은 층간 절연층(190)과 직접적으로 접촉할 수 있다. 선택적으로, 실링 부재(390) 아래에 위치하는 버퍼층(115), 게이트 절연층(150) 및 층간 절연층(190)이 배치되지 않을 수 있고, 실링 부재(390)의 저면이 기판(110)의 상면과 직접적으로 접촉할 수도 있다. 실링 부재(390)는 프릿 등을 사용하여 형성될 수 있다. 또한, 실링 부재(390)는 광 경화성 물질을 추가적으로 포함할 수 있다. 예를 들면, 실링 부재(390)는 유기 물질 및 광 경화성 물질의 혼합물을 포함할 수 있으며, 상기 혼합물에 자외선(UV), 레이저 광, 가시광선 등을 조사하여 경화시켜 실링 부재(390)를 수득할 수 있다. 실링 부재(390)에 포함되는 상기 광 경화성 물질은 에폭시 아크릴레이트계 수지, 폴리 에스테르 아크릴레이트계 수지, 우레탄 아크릴레이트계 수지, 폴리부타디엔 아크릴레이트계 수지, 실리콘 아크릴레이트계 수지, 알킬 아크릴레이트계 수지 등을 포함할 수 있다.

[0122] 실링 부재(390) 및 상부 전극(340) 상에 봉지 기판(450)이 형성될 수 있다. 봉지 기판(450)은 실질적으로 기판(110)과 동일한 재료를 포함할 수 있다. 예를 들면, 봉지 기판(450)은 석영 기판, 합성 석영 기판, 불화칼슘 기



판, 불소가 도핑된 석영 기판, 소다 라임 유리 기판, 무알칼리 유리 기판 등을 사용하여 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 봉지 기판(450)은 투명 무기 물질 또는 플렉서블 플라스틱을 포함할 수도 있다. 예를 들면, 봉지 기판(450)은 연성을 갖는 투명 수지 기판을 포함할 수 있다. 이러한 경우, 유기 발광 표시 장치의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다. 상기 적층 구조는 제1 무기층, 유기층 및 제2 무기층으로 구성될 수 있다. 예를 들면, 상부 전극(340)의 프로파일을 따라 가요성을 갖는 제1 무기층이 형성될 수 있고, 상기 제1 무기층 상에 가요성을 갖는 유기층이 형성될 수 있으며, 상기 유기층 상에 가요성을 갖는 제2 무기층이 형성될 수 있다. 즉, 상기 적층 구조는 상기 상부 전극(340)과 직접적으로 접촉하는 박막 봉지 구조물에 해당될 수 있다.

[0123] 봉지 기판(450)이 형성된 후, 봉지 기판(450)의 상면 중 실링 부재(390)와 중첩하는 부분에 레이저 광이 조사될 수 있다. 이러한 레이저 광의 조사에 따라, 상기 혼합물이 고체 상태에서 액체 상태로 변화될 수 있고, 소정의 시간이 후에 액체 상태의 상기 혼합물은 다시 고체 상태로 경화될 수 있다. 상기 혼합물의 상태 변화에 따라 봉지 기판(450)이 기판(110)에 대해 밀봉되면서 결합될 수 있다. 이에 따라, 도 4에 도시된 유기 발광 표시 장치(100)가 제조될 수 있다.

[0124] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 있어서, 제1 식각액 및 제2 식각액을 사용하여 마스크 추가 없이 서로 다른 특성을 갖는 산화물 반도체 트랜지스터들이 동일한 층에 제조됨으로써, 유기 발광 표시 장치의 제조 비용이 상대적으로 감소될 수 있다.

[0125] 도 12는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 12에 예시한 유기 발광 표시 장치(500)는 제1 하부 금속 패턴(510) 및 제2 하부 금속 패턴(530)을 제외하면 도 1 내지 도 4를 참조하여 설명한 유기 발광 표시 장치(100)와 유사한 구성을 가질 수 있다. 도 12에 있어서, 도 1 내지 도 4를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0126] 도 12를 참조하면, 유기 발광 표시 장치(500), 기판(110), 제1 하부 금속 패턴(510), 제2 하부 금속 패턴(530), 버퍼층(115), 제1 산화물 트랜지스터(650), 제2 산화물 트랜지스터(250), 제3 산화물 트랜지스터(255), 게이트 절연층(150), 층간 절연층(190), 평탄화층(270), 서브 화소 구조물(200), 화소 정의막(310), 실링 부재(390), 봉지 기판(450) 등을 포함할 수 있다. 제1 산화물 트랜지스터(650)는 제1 산화물 반도체 패턴(530), 제1 게이트 전극(570), 제1 소스 전극(610) 및 제1 드레인 전극(630)을 포함할 수 있고, 제2 산화물 트랜지스터(250)는 제2 산화물 반도체 패턴(130), 제2 게이트 전극(170), 제2 소스 전극(210) 및 제2 드레인 전극(230)을 포함할 수 있다. 또한, 제3 산화물 트랜지스터(255)는 제3 산화물 반도체 패턴(135), 제3 게이트 전극(175), 제3 소스 전극(215) 및 제3 드레인 전극(235)을 포함할 수 있다. 더욱이, 서브 화소 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있다. 유기 발광 표시 장치(500)가 표시 영역(10) 및 주변 영역(20)을 가짐에 따라, 기판(110)도 표시 영역(10) 및 주변 영역(20)으로 구분될 수 있다.

[0127] 기판(110)과 버퍼층(115) 사이의 주변 영역(20)에 제1 하부 금속 패턴(510)이 배치될 수 있다. 제1 하부 금속 패턴(510)은 제1 산화물 트랜지스터(650) 아래에 위치할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 표시 장치(500)의 다른 단면도에서 제1 하부 금속 패턴(510)은 제1 게이트 전극(570)과 전기적으로 연결될 수 있다. 이러한 경우, 제1 산화물 트랜지스터(650)는 이중 게이트 구조를 갖는 트랜지스터로 기능할 수 있다. 이에 따라, 제1 산화물 트랜지스터(650)는 고전류를 이용하여 구동되는 게이트 구동부(300)의 트랜지스터로 동작할 수 있다.

[0128] 기판(110)과 버퍼층(115) 사이의 표시 영역(10)에 제2 하부 금속 패턴(530)이 배치될 수 있다. 제2 하부 금속 패턴(530)은 제2 산화물 트랜지스터(250) 아래에 위치할 수 있다. 예시적인 실시예들에 있어서, 유기 발광 표시 장치(500)의 다른 단면도에서 제2 하부 금속 패턴(530)은 제2 소스 전극(210)과 전기적으로 연결될 수 있다. 이러한 경우, 제2 산화물 트랜지스터(250)의 출력 포화(output saturation) 특성을 향상시킬 수 있고, 제2 산화물 트랜지스터(250)의 구동 범위(driving range)를 확보할 수 있다.

[0129] 다른 예시적인 실시예들에 있어서, 유기 발광 표시 장치(500)는 제3 산화물 트랜지스터(255) 아래에 배치되는 제3 하부 금속 패턴을 더 포함할 수도 있다. 또 다른 예시적인 실시예들에 있어서, 유기 발광 표시 장치(500)는 제1 하부 금속 패턴(510) 및 제2 하부 금속 패턴(530) 아래에 배치되는 절연층을 더 포함할 수도 있다.

[0130] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

## 산업상 이용가능성

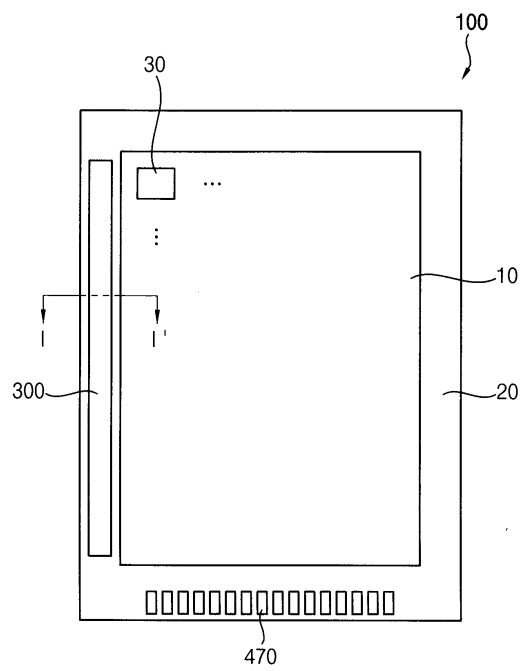
[0131] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전시용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

## 부호의 설명

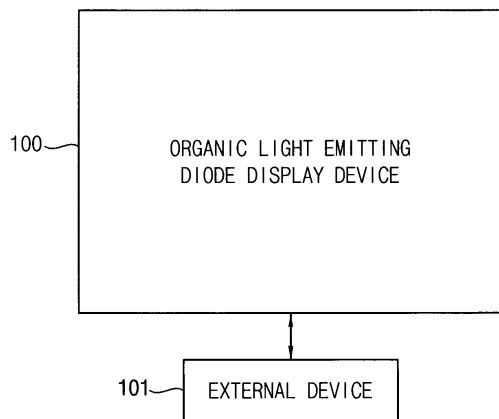
[0132] 10: 표시 영역    20: 주변 영역  
 30: 서브 화소 영역    100, 500: 유기 발광 표시 장치  
 101: 외부 장치    110: 기관  
 115: 버퍼층    130: 제2 산화물 반도체 패턴  
 131: 제2 예비 산화물 반도체막    135: 제3 산화물 반도체 패턴  
 150: 게이트 절연층    170: 제2 게이트 전극  
 175: 제3 게이트 전극    190: 층간 절연층  
 200: 서브 화소 구조물    210: 제2 소스 전극  
 215: 제3 소스 전극    230: 제2 드레인 전극  
 235: 제3 드레인 전극    250: 제2 산화물 트랜지스터  
 255: 제3 산화물 트랜지스터    270: 평탄화층  
 290: 하부 전극    300: 게이트 구동부  
 310: 화소 정의막    330: 발광층  
 340: 상부 전극    390: 실링 부재  
 450: 봉지 기관    470: 패드 전극들  
 510: 제1 하부 금속 패턴    530: 제2 하부 금속 패턴  
 530: 제1 산화물 반도체 패턴    531: 제1 예비 산화물 반도체막  
 570: 제1 게이트 전극    610: 제1 소스 전극  
 630: 제1 드레인 전극    650: 제1 산화물 트랜지스터

도면

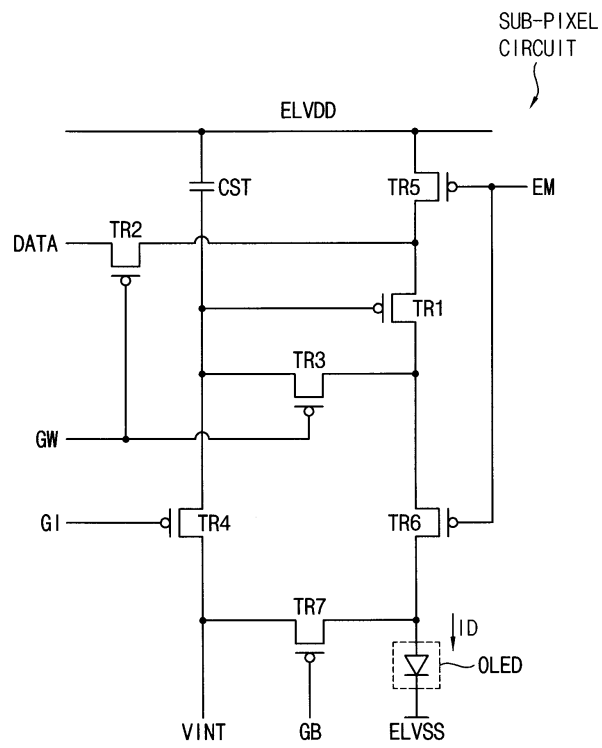
도면1



도면2

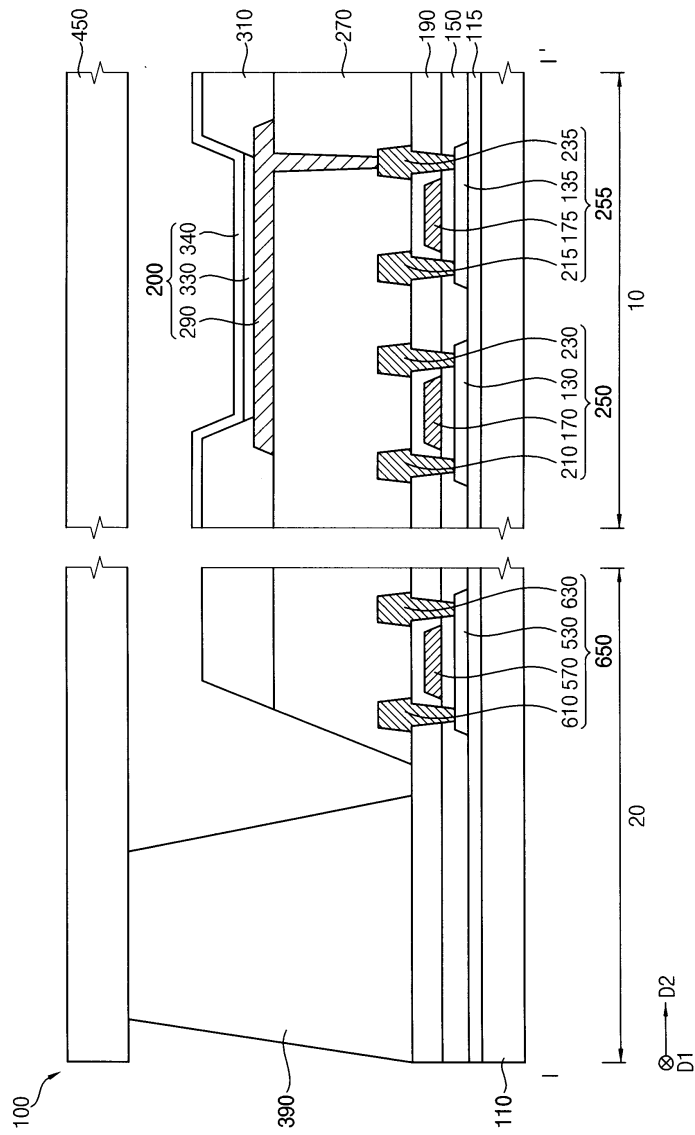


도면3

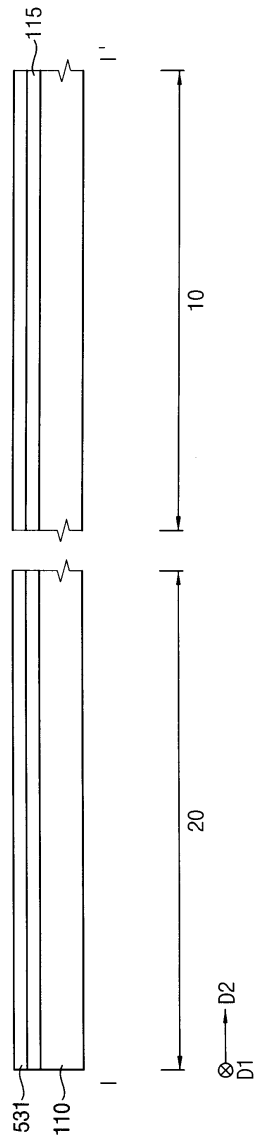




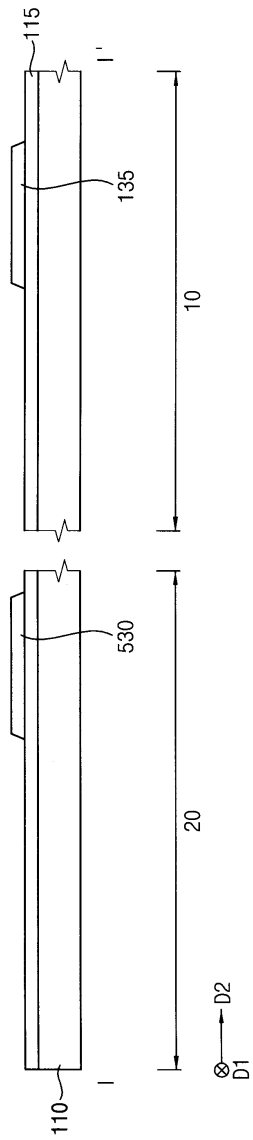
도면4



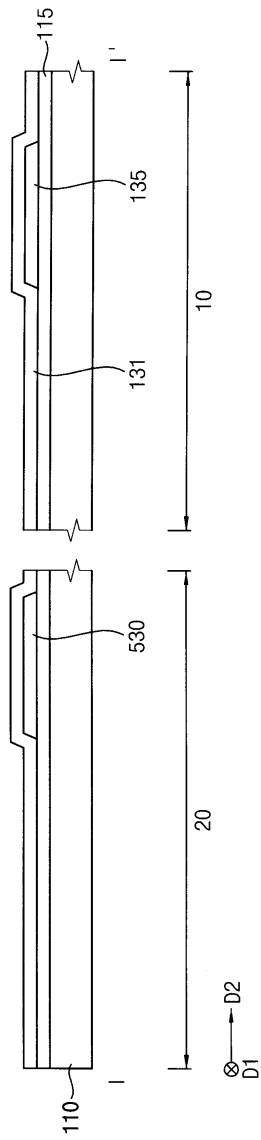
도면5



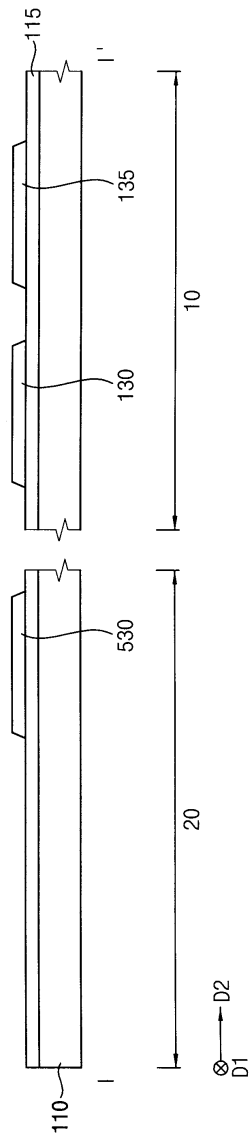
도면6



도면7

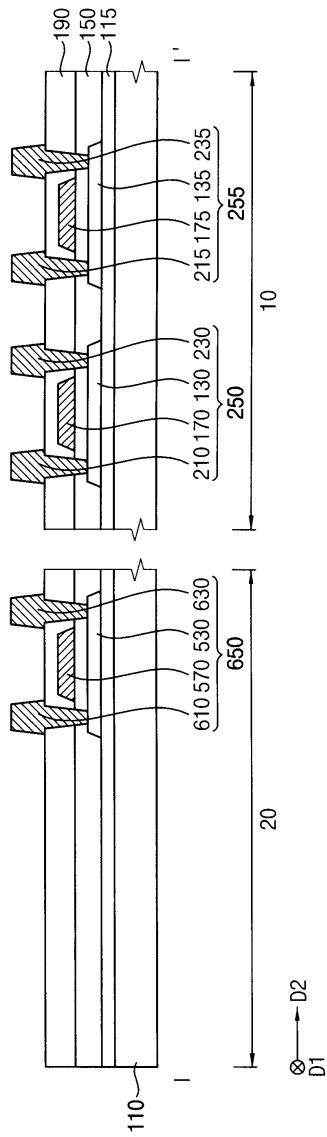


도면8

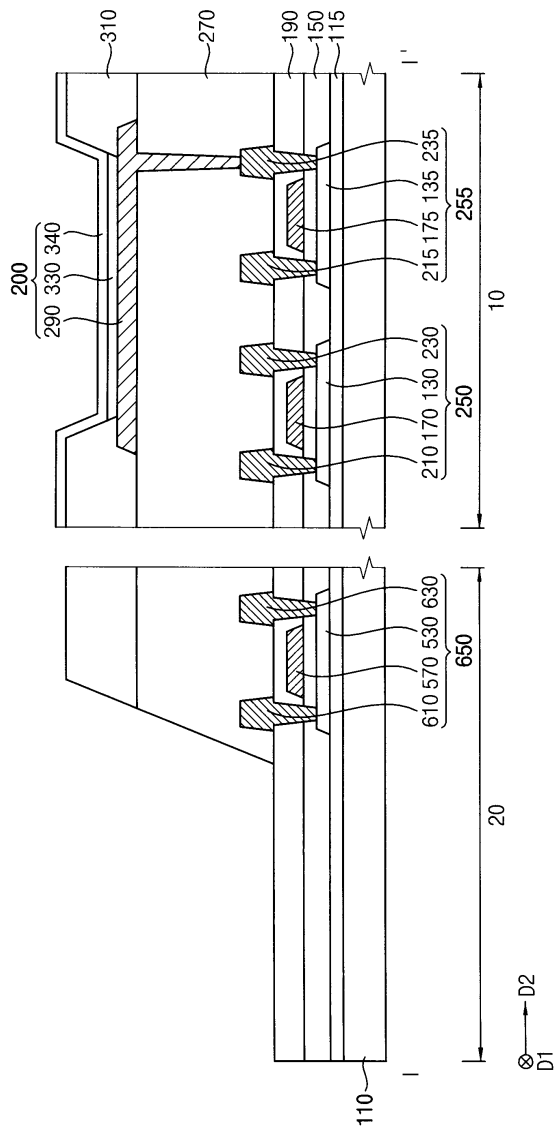




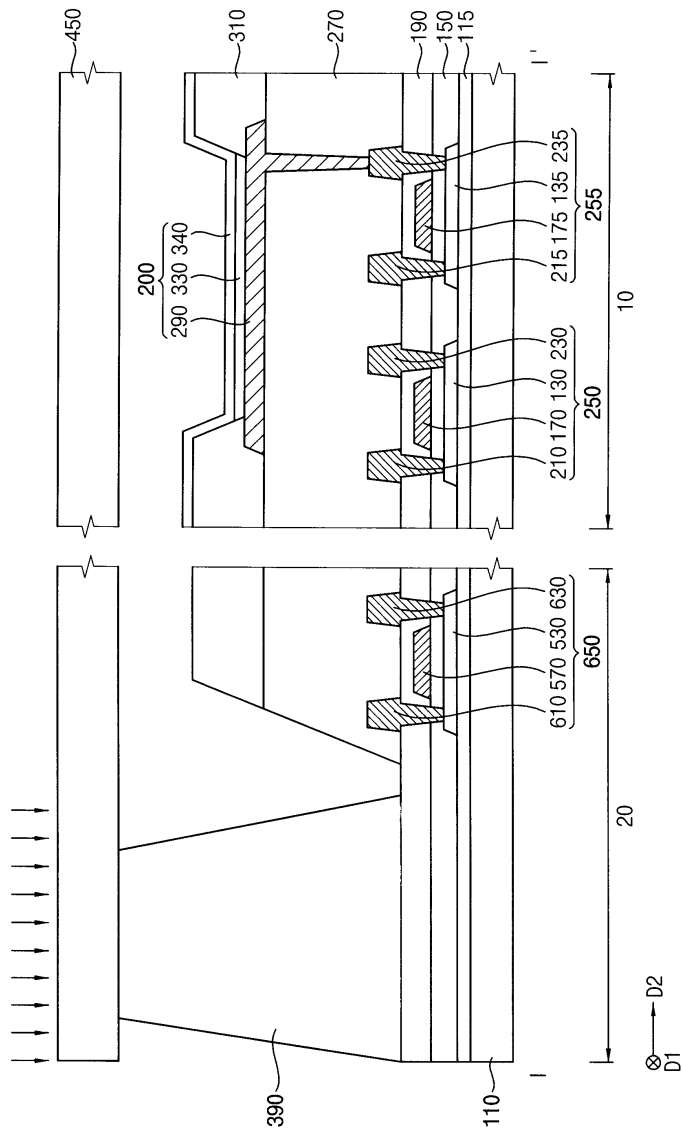
도면9



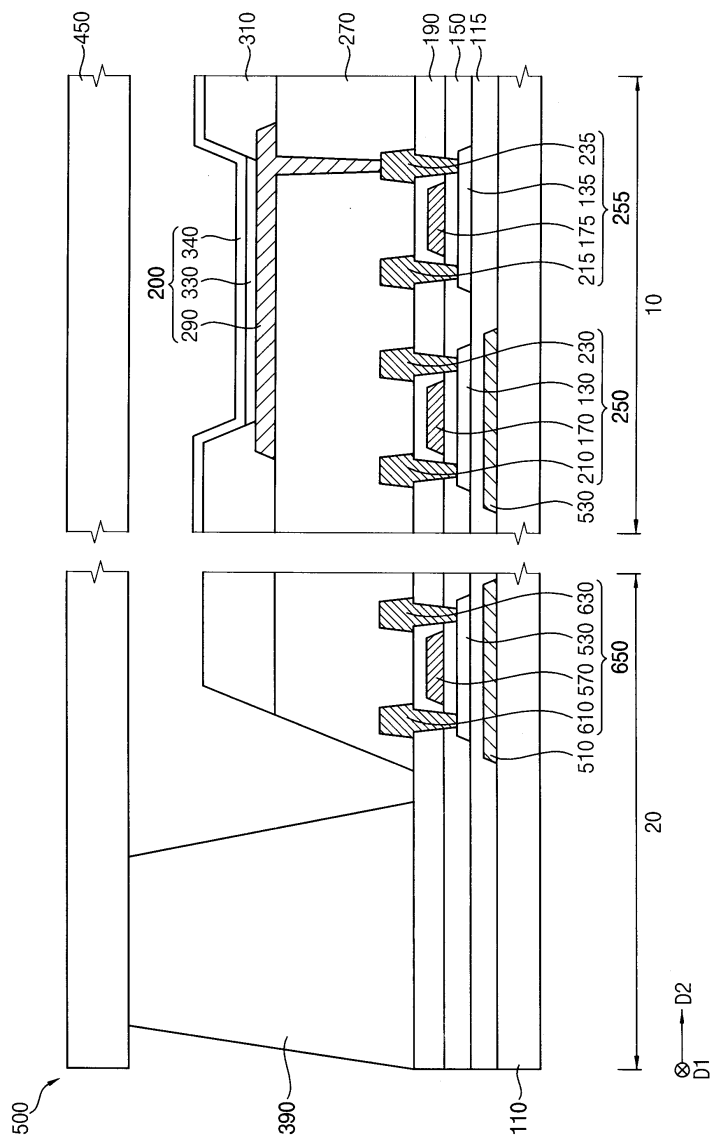
도면10



도면11



도면12



|                |                                                                                                                                                                                                                 |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有机发光二极管显示装置                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">KR1020200019308A</a>                                                                                                                                                                                | 公开(公告)日 | 2020-02-24 |
| 申请号            | KR1020180094569                                                                                                                                                                                                 | 申请日     | 2018-08-13 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                                                                                        |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                                                                                       |         |            |
| [标]发明人         | 박준석<br>문연건<br>김광속<br>김태상<br>박근철<br>전경진                                                                                                                                                                          |         |            |
| 发明人            | 박준석<br>문연건<br>김광속<br>김태상<br>박근철<br>전경진                                                                                                                                                                          |         |            |
| IPC分类号         | H01L27/32 H01L29/786 H01L51/50                                                                                                                                                                                  |         |            |
| CPC分类号         | H01L27/3262 H01L27/3213 H01L27/3276 H01L29/78645 H01L29/7869 H01L51/50 H01L27/1225<br>H01L27/1229 H01L27/127 H01L2227/323 H01L27/1259 H01L29/78648 H01L27/12 H01L51/56<br>H01L2227/32 H01L2251/306 H01L2251/308 |         |            |
| 代理人(译)         | 英西湖公园                                                                                                                                                                                                           |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                       |         |            |

#### 摘要(译)

一种有机发光显示装置可以包括：基板，其具有包括多个子像素区域的显示区域；和位于显示区域的一侧的外围区域；以及设置在显示区域上的外围区域。第一氧化物晶体管，其设置在基板上的外围区域上，并且包括包含锡的第一氧化物半导体图案；第二氧化物晶体管，设置在基板上的每个子像素区域上，并包括第二氧化物半导体图案；子像素结构，设置在第二氧化物晶体管上。有机发光显示装置包括具有相对高的电子迁移率的第一氧化物晶体管，使得栅极驱动部分可以包括相对少量的晶体管。因此，可以减少有机发光显示装置的死空间。

