



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0116597
(43) 공개일자 2019년10월15일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2018-0038782
(22) 출원일자 2018년04월03일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
왕성민
경기도 성남시 분당구 판교역로 98, 707동 1603호
(백현동, 백현마을7단지아파트)
양용호
경기도 수원시 영통구 매탄로126번길 66, 202동 1605호 (매탄동, 주공그린빌아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

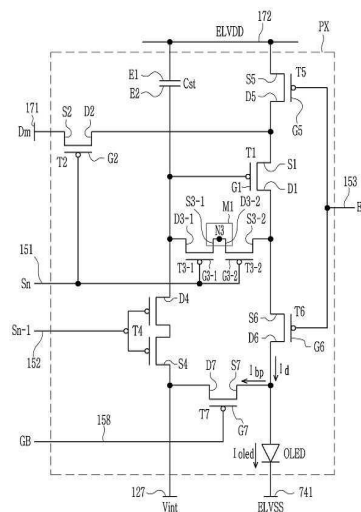
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

실시예들은 플렉서블 기판의 위에 트랜지스터를 형성하여도 트랜지스터의 킥백 전압의 변동이 줄어 표시 품질이 저하되지 않는 플렉서블한 유기 발광 표시 장치를 제공하기 위한 것으로, 제3 트랜지스터와 중첩하는 중첩층을 형성하여 킥백 전압을 줄인다. 실시예에 따라서는 제3 트랜지스터의 반도체층에 추가 용량부를 더 형성할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 27/3297 (2013.01)

H01L 51/50 (2013.01)

(72) 발명자

김성호

경기도 수원시 영통구 영통로514번길 53, 224동
104호 (영통동, 황골마을주공2단지아파트)

황영인

경기도 수원시 권선구 동수원로145번길 73, 301동
305호 (권선동, 수원아이파크시티3단지)

명세서

청구범위

청구항 1

플렉서블 기판;

상기 플렉서블 기판 위에 위치하며, 트랜지스터의 채널, 제1 전극 및 제2 전극이 형성되어 있는 반도체층; 및
중첩층을 포함하며,

상기 트랜지스터는

유기 발광 소자에 전류를 인가하는 구동 트랜지스터;

스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 입력측 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및

상기 스캔선에 연결되어 있는 게이트 전극, 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및
상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터를 포함하며,

상기 제3 트랜지스터는 직렬 연결되어 있으며, 제3 노드에서 서로 연결되어 있는 두 트랜지스터를 포함하며,

상기 제3 노드는 상기 반도체층에 형성되며,

상기 제3 노드 부근의 상기 반도체층에는 추가 용량부가 더 형성되어 있으며,

상기 중첩층은 상기 반도체층 중 상기 제3 노드 및 상기 추가 용량부와 중첩하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 반도체층은 상기 제3 트랜지스터(T3)의 내에서 제1 방향으로 연장되다가 제2 방향으로 꺾이면서 연장되는 구조를 가지는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제3 노드는 상기 반도체층이 꺾이는 부분에 위치하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 추가 용량부는 상기 꺾이는 부분에서 윗 방향으로 돌출된 부분인 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 추가 용량부는 상기 꺾이는 부분에서 상기 제1 방향으로 돌출된 부분인 유기 발광 표시 장치.

청구항 6

제3항에서,

상기 추가 용량부는 상기 꺾이는 부분에서 상기 제1 방향 및 윗 방향으로 돌출된 부분인 유기 발광 표시 장치.

청구항 7

제3항에서,

상기 추가 용량부는 상기 꺾이는 부분에서 상기 반도체층과 일정 거리 떨어져 위치하는 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 증착층은 단면도상 상기 플렉서블 기판 및 상기 반도체층의 사이에 위치하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 증착층은 플로팅 되어 있는 유기 발광 표시 장치.

청구항 10

제8항에서,

상기 증착층은 구동 전압(ELVDD)을 인가받는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 플렉서블 기판 위이며, 상기 증착층 아래에 위치하는 차단층;

상기 증착층 위이며, 상기 반도체층의 아래에 위치하는 버퍼층;

상기 반도체층을 덮는 제1 게이트 절연막;

상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체;

상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막;

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체;

상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막;

상기 층간 절연막 위에 위치하는 데이터 도전체; 및

상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 더 포함하며,

상기 데이터 도전체는 상기 구동 전압(ELVDD)을 인가하는 구동 전압선을 포함하고,

상기 층간 절연막에 위치한 오프닝을 통하여 상기 구동 전압선과 상기 제2 게이트 도전체가 전기적으로 연결되어 있으며,

상기 제2 게이트 도전체는 상기 버퍼층, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막에 위치하는 오프닝을 통하여 상기 증착층과 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 제2 게이트 도전체는 기생 축전기 제어 패턴인 유기 발광 표시 장치.

청구항 13

제11항에서,

상기 제2 게이트 도전체는 연결 부재인 유기 발광 표시 장치.

청구항 14

제1항에서,

상기 증착층은 단면도상 상기 반도체층보다 위에 위치하는 유기 발광 표시 장치.

청구항 15

제1항에서,

상기 플렉서블 기관 위이며, 상기 중첩층 아래에 위치하는 차단층;

상기 중첩층 위이며, 상기 반도체층의 아래에 위치하는 버퍼층;

상기 반도체층을 덮는 제1 게이트 절연막;

상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체;

상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막;

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체;

상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막;

상기 층간 절연막 위에 위치하는 데이터 도전체; 및

상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 더 포함하며,

상기 중첩층은 상기 게이트 도전체와 동일한 층에 위치하는

유기 발광 표시 장치.

청구항 16

제15항에서,

상기 데이터 도전체는 상기 구동 전압(ELVDD)을 인가하는 구동 전압선을 포함하고,

상기 층간 절연막에 위치한 오프닝을 통하여 상기 구동 전압선과 상기 중첩층은 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 17

제16항에서,

상기 중첩층은 기생 축전기 제어 패턴과 일체로 형성되는 유기 발광 표시 장치.

청구항 18

플렉서블 기관;

상기 플렉서블 기관 위에 위치하며, 트랜지스터의 채널, 제1 전극 및 제2 전극이 형성되어 있는 반도체층;

상기 반도체층과 상기 플렉서블 기관의 사이에 위치하는 중첩층; 및

상기 플렉서블 기관으로부터 상기 반도체층보다 높게 위치하는 기생 축전기 제어 패턴을 포함하며,

상기 트랜지스터는

유기 발광 소자에 전류를 인가하는 구동 트랜지스터;

스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 입력측 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및

상기 스캔선에 연결되어 있는 게이트 전극, 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터를 포함하며,

상기 제3 트랜지스터는 직렬 연결되어 있으며, 제3 노드에서 서로 연결되어 있는 두 트랜지스터를 포함하며,

상기 제3 노드는 상기 반도체층에 형성되며,

상기 중첩층, 상기 기생 축전기 제어 패턴, 및 상기 반도체층 중 상기 제3 노드는 순차적으로 중첩하는 유기 발광 표시 장치.

청구항 19

제18항에서,

상기 기생 축전기 제어 패턴은 구동 전압(ELVDD)을 인가 받는 유기 발광 표시 장치.

청구항 20

제18항에서,

상기 제3 노드 부근의 상기 반도체층에는 추가 용량부가 더 형성되어 있으며,

상기 중첩층은 상기 반도체층 중 상기 제3 노드 및 상기 추가 용량부와 중첩하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로 플렉서블 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판, 기판 상에 위치하는 복수의 박막 트랜지스터, 박막 트랜지스터를 구성하는 배선들 사이에 배치되는 복수의 절연층 및 박막 트랜지스터에 연결된 유기 발광 소자를 포함한다.

[0005] 최근, 기판으로서 폴리머 재료를 포함하는 플렉서블(flexible) 기판을 포함하여 전체적으로 휘어지는 플렉서블 유기 발광 표시 장치가 개발되었다.

[0006] 유기 발광 표시 장치는 복수의 화소를 포함하며, 각 화소에는 복수의 트랜지스터가 포함되어 있다. 트랜지스터는 다결정 반도체나 산화물 반도체를 포함한다.

발명의 내용

해결하려는 과제

[0007] 실시예들은 플렉서블 기판의 위에 트랜지스터를 형성하여도 트랜지스터의 킥백 전압의 변동이 줄어 표시 품질이 저하되지 않는 플렉서블한 유기 발광 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0008] 일 실시예에 따른 유기 발광 표시 장치는 플렉서블 기판; 상기 플렉서블 기판 위에 위치하며, 트랜지스터의 채널, 제1 전극 및 제2 전극이 형성되어 있는 반도체층; 및 중첩층을 포함하며, 상기 트랜지스터는 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 입력 측 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및 상기 스캔선에 연결되어 있는 게이트 전극, 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터를 포함하며, 상기 제3 트랜지스터는 직렬 연결되어 있으며, 제3 노드에서 서로 연결되어 있는 두 트랜지스터를 포함하며, 상기 제3 노드는 상기 반도체층에 형성되며, 상기 제3 노드 부근의 상기 반도체층에는 추가 용량부가 더 형성되어 있으며, 상기 중첩층은 상기 반도체층 중 상기 제3 노드 및 상기 추가 용량부와 중첩한다.

[0009] 상기 반도체층은 상기 제3 트랜지스터(T3)의 내에서 제1 방향으로 연장되다가 제2 방향으로 꺾이면서 연장되는

구조를 가질 수 있다.

- [0010] 상기 제3 노드는 상기 반도체층이 꺾이는 부분에 위치할 수 있다.
- [0011] 상기 추가 용량부는 상기 꺾이는 부분에서 윗 방향으로 돌출된 부분일 수 있다.
- [0012] 상기 추가 용량부는 상기 꺾이는 부분에서 상기 제1 방향으로 돌출된 부분일 수 있다.
- [0013] 상기 추가 용량부는 상기 꺾이는 부분에서 상기 제1 방향 및 윗 방향으로 돌출된 부분일 수 있다.
- [0014] 상기 추가 용량부는 상기 꺾이는 부분에서 상기 반도체층과 일정 거리 떨어져 위치할 수 있다.
- [0015] 상기 중첩층은 단면도상 상기 플렉서블 기판 및 상기 반도체층의 사이에 위치할 수 있다.
- [0016] 상기 중첩층은 플로팅 되어 있을 수 있다.
- [0017] 상기 중첩층은 구동 전압(ELVDD)을 인가받을 수 있다.
- [0018] 상기 플렉서블 기판 위이며, 상기 중첩층 아래에 위치하는 차단층; 상기 중첩층 위이며, 상기 반도체층의 아래에 위치하는 버퍼층; 상기 반도체층을 덮는 제1 게이트 절연막; 상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체; 상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막; 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체; 상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막; 상기 층간 절연막 위에 위치하는 데이터 도전체; 및 상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 더 포함하며, 상기 데이터 도전체는 상기 구동 전압(ELVDD)을 인가하는 구동 전압선을 포함하고, 상기 층간 절연막에 위치한 오프닝을 통하여 상기 구동 전압선과 상기 제2 게이트 도전체가 전기적으로 연결되어 있을 수 있으며, 상기 제2 게이트 도전체는 상기 버퍼층, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막에 위치하는 오프닝을 통하여 상기 중첩층과 전기적으로 연결되어 있을 수 있다.
- [0019] 상기 제2 게이트 도전체는 기생 축전기 제어 패턴일 수 있다.
- [0020] 상기 제2 게이트 도전체는 연결 부재일 수 있다.
- [0021] 상기 중첩층은 단면도상 상기 반도체층보다 위에 위치할 수 있다.
- [0022] 상기 플렉서블 기판 위이며, 상기 중첩층 아래에 위치하는 차단층; 상기 중첩층 위이며, 상기 반도체층의 아래에 위치하는 버퍼층; 상기 반도체층을 덮는 제1 게이트 절연막; 상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체; 상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막; 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체; 상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막; 상기 층간 절연막 위에 위치하는 데이터 도전체; 및 상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 더 포함하며, 상기 중첩층은 상기 게이트 도전체와 동일한 층에 위치할 수 있다.
- [0023] 상기 데이터 도전체는 상기 구동 전압(ELVDD)을 인가하는 구동 전압선을 포함하고, 상기 층간 절연막에 위치한 오프닝을 통하여 상기 구동 전압선과 상기 중첩층은 전기적으로 연결되어 있을 수 있다.
- [0024] 상기 중첩층은 기생 축전기 제어 패턴과 일체로 형성될 수 있다.
- [0025] 본 발명의 실시예에 따른 유기 발광 표시 장치는 플렉서블 기판; 상기 플렉서블 기판 위에 위치하며, 트랜지스터의 채널, 제1 전극 및 제2 전극이 형성되어 있는 반도체층; 상기 반도체층과 상기 플렉서블 기판의 사이에 위치하는 중첩층; 및 상기 플렉서블 기판으로부터 상기 반도체층보다 높게 위치하는 기생 축전기 제어 패턴을 포함하며, 상기 트랜지스터는 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 스캔선 및 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 입력측 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및 상기 스캔선에 연결되어 있는 게이트 전극, 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터를 포함하며, 상기 제3 트랜지스터는 직렬 연결되어 있으며, 제3 노드에서 서로 연결되어 있는 두 트랜지스터를 포함하며, 상기 제3 노드는 상기 반도체층에 형성되며, 상기 중첩층, 상기 기생 축전기 제어 패턴, 및 상기 반도체층 중 상기 제3 노드는 순차적으로 중첩한다.
- [0026] 상기 기생 축전기 제어 패턴은 구동 전압(ELVDD)을 인가 받을 수 있다.
- [0027] 상기 제3 노드 부근의 상기 반도체층에는 추가 용량부가 더 형성되어 있으며, 상기 중첩층은 상기 반도체층 중 상기 제3 노드 및 상기 추가 용량부와 중첩할 수 있다.

[0028] 상기 반도체층은 상기 제3 트랜지스터(T3)의 내에서 제1 방향으로 연장되다가 제2 방향으로 꺾이면서 연장되는 구조를 가지며, 상기 제3 노드는 상기 반도체층이 꺾이는 부분에 위치하고, 상기 추가 용량부는 상기 꺾이는 부분에서 일측으로 돌출된 부분일 수 있다.

[0029] 상기 반도체층은 상기 제3 트랜지스터(T3)의 내에서 제1 방향으로 연장되다가 제2 방향으로 꺾이면서 연장되는 구조를 가지며, 상기 제3 노드는 상기 반도체층이 꺾이는 부분에 위치하고, 상기 추가 용량부는 상기 꺾이는 부분에서 상기 반도체층과 일정 거리 떨어져 위치할 수 있다.

발명의 효과

[0030] 실시예들에 따르면, 특정 트랜지스터의 유지 용량을 증가시켜 해당 트랜지스터의 특성(예를 들면, 킥백 전압)의 변화를 줄여 화이트와 블랙을 교대로 표시하는 경우 잔상이 남지 않도록 하여 표시 품질을 향상시킨다.

도면의 간단한 설명

[0031] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.

도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.

도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 4는 도 3의 화소 중 일부를 확대 도시한 확대도이다.

도 5는 도 4에서 V-V선을 따라 자른 단면도이다.

도 6은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 7은 도 6의 화소 중 일부를 확대 도시한 확대도이다.

도 8은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 9은 도 8의 화소 중 일부를 확대 도시한 확대도이다.

도 10은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 11은 도 10의 화소 중 일부를 확대 도시한 확대도이다.

도 12는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 13은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.

도 14는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 15는 도 14에서 XV-XV선을 따라 자른 단면도이다.

도 16은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 17은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 18은 도 17에서 XVIII-XVIII선을 따라 자른 단면도이다.

도 19는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 20은 도 19에서 XX-XX선을 따라 자른 단면도이다.

도 21은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 22는 도 13의 회로도의 일부를 회로 관점에서 도시한 회로도이다.

도 23은 휘도 감소의 개선 여부를 실험한 결과이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

- [0033] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0034] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0035] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0036] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0037] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0038] 이하에서는 도 1 및 도 2를 통하여 일 실시예에 따른 유기 발광 표시 장치를 살펴본다.
- [0039] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- [0040] 먼저 도 1을 참고하면, 유기 발광 표시 장치의 화소(PX)는 여러 신호선들(127, 151, 152, 153, 158, 171, 172, 741)에 연결되어 있는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)를 포함한다.
- [0041] 여기서 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 서로 직렬 연결된 두 트랜지스터를 포함하는 구조로 도시하였다. 여기서 직렬 연결된 구조는 두 트랜지스터(T3-1, T3-2)의 게이트 전극이 연결되어 동일한 신호를 인가 받으며, 일 트랜지스터의 출력이 타 트랜지스터의 입력으로 인가되는 구조를 의미한다.
- [0042] 제3 트랜지스터(T3)는 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)가 직렬 연결된 구조를 가진다. 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)과 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)은 서로 연결되어 있으며, 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)도 서로 연결되어 있다. 제4 트랜지스터(T4)도 직렬 연결되어 있으나, 실시예에 따라서는 단일 트랜지스터로 형성될 수도 있다.
- [0043] 또한, 일실시예인 도 1에서 도시하고 있는 화소에는 중첩층(M1)이 더 포함되어 있다. 중첩층(M1)은 제3 트랜지스터(T3) 중 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)가 서로 연결되어 있는 노드(N3; 이하 '제3 노드'라고 함)와 중첩한다.
- [0044] 중첩층(M1)은 기판을 기준으로 이와 중첩하는 제3 노드보다 위에 위치할 수도 있으며, 그 아래에 위치할 수도 있다.
- [0045] 뿐만 아니라, 도 1의 실시예에 따른 중첩층(M1)은 별도의 전압을 인가받지 않아 플로팅(floating) 상태를 가진다. 하지만, 실시예에 따라서는 중첩층(M1)이 다른 부분과 전기적으로 연결되어 전압을 인가받을 수 있으며, 인가될 수 있는 전압도 다양할 수 있다. 전압을 인가받는 중첩층(M1)의 실시예는 도 13 이하에서 살펴본다.
- [0046] 이와 같은 중첩층(M1)은 제3 노드(N3)와 중첩층(M1)사이에서 추가적인 커패시턴스(capacitance)를 생성하며, 추가적인 커패시턴스로 인하여 제3 노드(N3)에서의 전압 변화를 완충하는 역할을 한다.
- [0047] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 구동 트랜지스터(T1)를 포함하며, 스캔선(151)에 연결되어 있는 스위칭 트랜지스터, 즉, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 포함하고, 그 외의 트랜지스터는 유기 발광 다이오드(OLED)를 동작시키는데 필요한 동작을 하기 위한 트랜지스터(이하 '보상 트랜지스터'라 함)이다. 이러한 보상 트랜지스터(T4, T5, T6, T7)는 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)를 포함할 수 있다.
- [0048] 복수의 신호선(127, 151, 152, 153, 158, 171, 172, 741)은 스캔선(151), 전단 스캔선(152), 발광 제어선

(153), 바이패스 제어선(158), 데이터선(171), 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)을 포함할 수 있다. 바이패스 제어선(158)은 전단 스캔선(152)의 일부이거나 전기적으로 연결되어 있을 수 있다.

[0049] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 스위칭 트랜지스터, 즉, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 전달한다. 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 전단 스캔 신호(Sn-1)를 제4 트랜지스터(T4)에 전달한다. 제4 트랜지스터(T4)는 직렬 연결된 두 트랜지스터를 포함하므로, 전단 스캔 신호(Sn-1)는 제4 트랜지스터(T4)에 포함되는 직렬 연결된 두 트랜지스터의 게이트 전극 모두에 인가된다. 발광 제어선(153)은 발광 제어부(도시되지 않음)에 연결되어 있으며, 유기 발광 다이오드(OLED)가 발광하는 시간을 제어하는 발광 제어 신호(EM)를 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 전달한다. 바이패스 제어선(158)은 바이패스 신호(GB)를 제7 트랜지스터(T7)에 전달하며, 실시예에 따라서는 전단 스캔 신호(Sn-1)와 동일한 신호를 전달할 수 있다.

[0050] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(Dm)을 전달하는 배선으로 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED; '유기 발광 소자'라고도 함)가 발광하는 휘도가 변한다. 구동 전압선(172)은 구동 전압(ELVDD)을 인가하며, 초기화 전압선(127)은 구동 트랜지스터(T1)를 초기화시키는 초기화 전압(Vint)을 전달하며, 공통 전압선(741)은 공통 전압(ELVSS)을 인가한다. 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)에 인가되는 전압은 각각 일정한 전압이 인가될 수 있다.

[0051] 이하에서는 복수의 트랜지스터에 대하여 살펴본다.

[0052] 먼저, 구동 트랜지스터(T1)는 인가되는 데이터 전압(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 다이오드(OLED)로 인가되어 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED)의 밝기가 조절된다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(S1)은 구동 전압(ELVDD)을 인가받을 수 있도록 배치되어, 제5 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 제1 전극(S1)은 제2 트랜지스터(T2)의 제2 전극(D2)과도 연결되어 데이터 전압(Dm)도 인가받는다. 제2 전극(D1; 출력측 전극)은 유기 발광 다이오드(OLED)를 향하여 전류를 출력할 수 있도록 배치되어, 제6 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다. 한편, 게이트 전극(G1)은 유지 축전기(Cst)의 일 전극(제2 유지 전극(E2))과 연결되어 있다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 게이트 전극(G1)의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경된다.

[0053] 제2 트랜지스터(T2)는 데이터 전압(Dm)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 제1 전극(S2)은 데이터선(171)과 연결되어 있다. 제2 트랜지스터(T2)의 제2 전극(D2)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(Dm)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 전달된다.

[0054] 제3 트랜지스터(T3)는 데이터 전압(Dm)이 구동 트랜지스터(T1)를 거치면서 변화된 보상 전압(Dm + Vth의 전압)이 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달되도록 하는 트랜지스터이다. 제3 트랜지스터(T3)는 직렬 연결된 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)를 포함한다. 두 트랜지스터(T3-1, T3-2)의 게이트 전극(G3-1, G3-2)는 모두 스캔선(151)과 연결되어 있다. 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 또한, 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)은 제3 노드(N3)에서 서로 연결되어 있다. 제3 트랜지스터(T3)를 하나의 트랜지스터로 기술하는 경우에는 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)이 제3 트랜지스터(T3)의 제1 전극이 되고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)이 제3 트랜지스터(T3)의 제2 전극이 된다. 제3 트랜지스터(T3)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 켜져서 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D1)을 연결시키고, 구동 트랜지스터(T1)의 제2 전극(D1)과 유지 축전기(Cst)의 제2 유지 전극(E2)도 연결시킨다.

[0055] 제4 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)을 초기화시키는 역할을 한다. 게이트 전극(G4)은 전단 스캔선(152)과 연결되어 있고, 제1 전극(S4)은 초기화 전압선(127)과 연결되어 있다. 제4 트랜지스터(T4)의 제2 전극(D4)은 제3 트랜지스터(T3)의 제2 전극(D3)을 경유하여 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)도 직렬 연결된 두 개의 트랜지스터를 포함하는 구조를 가진다. 제4 트랜지스터(T4)는 전단 스캔선(152)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극

(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달한다. 이에 따라 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)은 저전압값을 가져 구동 트랜지스터(T1)를 턴 온 시킬 수 있는 전압일 수 있다.

[0056] 제5 트랜지스터(T5)는 구동 전압(ELVDD)을 구동 트랜지스터(T1)에 전달시키는 역할을 한다. 게이트 전극(G5)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S5)은 구동 전압선(172)과 연결되어 있다. 제5 트랜지스터(T5)의 제2 전극(D5)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.

[0057] 제6 트랜지스터(T6)는 구동 트랜지스터(T1)에서 출력되는 구동 전류(Id)를 유기 발광 다이오드(OLED)로 전달하는 역할을 한다. 게이트 전극(G6)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S6)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제6 트랜지스터(T6)의 제2 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다.

[0058] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 발광 제어선(153)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 제5 트랜지스터(T5)를 통하여 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 제1 전극(S1)에 인가되면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(즉, 유지 축전기(Cst)의 제2 유지 전극(E2)의 전압)에 따라서 구동 트랜지스터(T1)가 구동 전류(Id)를 출력한다. 출력된 구동 전류(Id)는 제6 트랜지스터(T6)를 통하여 유기 발광 다이오드(OLED)에 전달된다. 유기 발광 다이오드(OLED)에 전류(Ioled)가 흐르게 되면서 유기 발광 다이오드(OLED)가 빛을 방출한다.

[0059] 제7 트랜지스터(T7)는 유기 발광 다이오드(OLED)의 애노드를 초기화시키는 역할을 한다. 게이트 전극(G7)은 바이패스 제어선(158)과 연결되어 있고, 제1 전극(S7)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있고, 제2 전극(D7)은 초기화 전압선(127)과 연결되어 있다. 바이패스 제어선(158)은 전단 스캔선(152)에 연결되어 있을 수 있으며, 바이패스 신호(GB)는 전단 스캔 신호(Sn-1)와 동일한 타이밍의 신호가 인가된다. 바이패스 제어선(158)은 전단 스캔선(152)에 연결되지 않고 전단 스캔 신호(Sn-1)와 별개의 신호를 전달할 수도 있다. 바이패스 신호(GB)에 따라 제7 트랜지스터(T7)가 턴 온 되면 초기화 전압(Vint)이 유기 발광 다이오드(OLED)의 애노드로 인가되어 초기화된다.

[0060] 유지 축전기(Cst)의 제1 유지 전극(E1)은 구동 전압선(172)과 연결되어 있으며, 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1), 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다. 그 결과 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 결정하며, 제3 트랜지스터(T3)의 제2 전극(D3)을 통하여 데이터 전압(Dm)을 인가 받거나, 제4 트랜지스터(T4)의 제2 전극(D4)을 통하여 초기화 전압(Vint)을 인가 받는다.

[0061] 또한, 도 1의 실시예에서는 제3 트랜지스터(T3)내의 제3 노드(N3)와 중첩층(M1)에 의하여 추가 유지 축전기가 형성된다. 이를 통하여 제3 노드(N3)에서의 신호 변화가 줄어들게 되고, 제3 트랜지스터(T3) 전체적으로도 특성이 향상된다.

[0062] 한편, 유기 발광 다이오드(OLED)의 애노드는 제6 트랜지스터(T6)의 제2 전극(D6) 및 제7 트랜지스터(T7)의 제1 전극(S7)과 연결되어 있으며, 캐소드는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.

[0063] 도 1의 실시예에서 화소 회로는 7개의 트랜지스터(T1-T7)와 1개의 축전기(Cst)를 포함하지만 이에 제한되지 않으며, 트랜지스터의 수와 축전기의 수, 그리고 이들의 연결은 다양하게 변경 가능하다.

[0064] 도시되지 않았지만, 유기 발광 표시 장치는 영상이 표시되는 표시 영역을 포함하고, 표시 영역에는 이러한 화소(PX)가 행렬 등 다양한 방식으로 배열되어 있다.

[0065] 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 도 1 및 도 2를 참고하여 설명한다.

[0066] 초기화 구간 동안 로우 레벨의 전단 스캔 신호(Sn-1)가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제4 트랜지스터(T4)가 켜져, 초기화 전압(Vint)이 제4 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 인가된다. 그 결과 구동 트랜지스터(T1) 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)의 전압이 저전압을 가져 구동 트랜지스터(T1)이 턴 온 될 수 있다.

[0067] 한편, 초기화 구간 동안에는 로우 레벨의 바이패스 신호(GB)도 제7 트랜지스터(T7)로 인가된다. 이를 인가 받은 제7 트랜지스터(T7)가 턴 온 되어 초기화 전압(Vint)이 제7 트랜지스터(T7)를 통해 유기 발광 다이오드(OLED)의

애노드로 인가된다. 그 결과 유기 발광 다이오드(OLED)의 애노드도 초기화된다.

- [0068] 이후, 데이터 기입 구간 동안 스캔선(S1)을 통해 로우 레벨의 스캔 신호(Sn)가 화소(PX)로 공급된다. 로우 레벨의 스캔 신호(Sn)에 의하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 켜진다.
- [0069] 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(Dm)이 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력된다.
- [0070] 또한, 데이터 기입 구간 동안 제3 트랜지스터(T3)가 턴 온 되고, 그 결과 구동 트랜지스터(T1)의 제2 전극(D2)은 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)과 전기적으로 연결된다. 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D2)이 연결되어 다이오드 연결된다. 또한, 구동 트랜지스터(T1)는 초기화 구간 동안 게이트 전극(G1)에 저전압(초기화 전압(Vint))이 인가되어 있어 턴 온 된 상태이다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력되는 데이터 전압(Dm)은 구동 트랜지스터(T1)의 채널을 지나 제2 전극(D1)에서 출력된 후 제3 트랜지스터(T3)를 거쳐 유지 축전기(Cst)의 제2 유지 전극(E2)에 저장된다.
- [0071] 이 때, 제2 유지 전극(E2)에 인가되는 전압은 구동 트랜지스터(T1)의 문턱전압(Vth)에 따라 변경되며, 구동 트랜지스터(T1)의 제1 전극(S1)에 데이터 전압(Dm)이 걸리고, 구동 트랜지스터(T1)의 게이트 전극(G1)에 초기화 전압(Vint)이 걸리는 경우, 제2 전극(D1)으로 출력되는 전압은 $V_{gs} + V_{th}$ 를 가질 수 있다. 여기서 V_{gs} 는 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압의 차이이므로 $Dm - V_{int}$ 값을 가질 수 있다. 그러므로 제2 전극(D1)에서 출력되어 제2 유지 전극(E2)에 저장되는 전압은 $Dm - V_{int} + V_{th}$ 값을 가질 수 있다.
- [0072] 한편, 제3 트랜지스터(T3)의 킥백 전압은 가요성(flexible) 기판에 형성되는 경우에 유리 등의 비 가요성(rigid) 기판에 형성되는 경우에 비하여 증가하는 문제가 있다. 이러한 킥백 전압의 증가는 블랙을 표시할 때 두드러지며, 화이트와 블랙을 교대로 표현하는 경우 회색 잔상이 남게 된다. 체크판 모양으로 화이트와 블랙은 교대로 표시하는 경우에 회색의 잔상이 남아 이를 체스 잔상이라고도 한다. 이와 같은 문제점은 제3 트랜지스터(T3)의 킥백 전압을 줄이는 것으로 극복될 수 있다. 이를 위하여 본 발명에서는 제3 트랜지스터(T3)와 연결되는 추가 유지 축전기를 더 형성하며, 이를 위하여 제3 노드(N3)와 중첩하는 중첩층(M1)을 더 포함하고 있다.
- [0073] 그 후, 발광 구간 동안, 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 로우 레벨의 값을 가져, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 켜진다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)에는 구동 전압(ELVDD)이 인가되며, 구동 트랜지스터(T1)의 제2 전극(D1)은 유기 발광 다이오드(OLED)와 연결된다. 구동 트랜지스터(T1)는 게이트 전극(G1)의 전압과 제1 전극(S1)의 전압(즉, 구동 전압(ELVDD)) 간의 전압 차에 따라 구동 전류(Id)가 발생한다. 구동 트랜지스터(T1)의 구동 전류(Id)는 $V_{gs} - V_{th}$ 의 제곱값에 비례한 값을 가질 수 있다. 여기서 V_{gs} 의 값은 유지 축전기(Cst)의 양단에 걸리는 전압차와 같으며, V_{gs} 값은 $V_g - V_s$ 의 값이므로 $Dm - V_{int} + V_{th} - ELVDD$ 값을 가진다. 여기서 V_{th} 값을 빼서 $V_{gs} - V_{th}$ 의 값을 구하면, $Dm - V_{int} - ELVDD$ 값을 가진다. 즉, 구동 트랜지스터(T1)의 구동 전류(Id)는 구동 트랜지스터(T1)의 문턱 전압(Vth)에 무관한 전류를 출력으로 가진다.
- [0074] 그러므로, 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압(Vth)을 가지더라도 구동 트랜지스터(T1)의 출력 전류를 일정하게 할 수 있어, 특성의 불균일성을 개선할 수 있다.
- [0075] 이상의 계산식에서 V_{th} 값은 다결정 반도체를 사용하는 P형 트랜지스터인 경우 0보다 약간 큰 값이나 또는 음의 값을 가질 수 있다. 또한, 전압을 계산하는 방향에 따라 + 및 -의 표현이 변경될 수 있다. 하지만, 구동 트랜지스터(T1)의 출력 전류인 구동 전류(Id)를 문턱 전압(Vth)에 무관한 값을 가지도록 할 수 있다는 점에는 변함이 없다.
- [0076] 이상과 같은 발광 구간이 종료하면 다시 초기화 구간이 위치하여 처음부터 다시 같은 동작을 반복하게 된다.
- [0077] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극은 전압 또는 전류가 인가되는 방향에 따라서 하나는 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다.
- [0078] 한편, 실시예에 따라서는 초기화 구간에서의 제7 트랜지스터(T7)가 유기 발광 다이오드(OLED)의 애노드를 초기화시키면서, 구동 트랜지스터(T1)가 실제 턴 온 되지 않는 조건에서 방출하는 소량의 전류도 유기 발광 다이오드(OLED)쪽으로 흐르지 못하도록 할 수 있다. 이때 소량의 전류는 바이패스 전류(Ibp)로 제7 트랜지스터(T7)를 통해 초기화 전압(Vint)단으로 방출된다. 그 결과 유기 발광 다이오드(OLED)가 불필요한 빛을 방출하지 않게 되어, 블랙 계조를 더욱 명확하게 표시하고, 대비비(contrast ratio)도 향상시키도록 할 수 있다. 이러한 경우 바

이패스 신호(GB)가 전단 스캔 신호(Sn-1)와 다른 타이밍의 신호일 수도 있다. 실시예에 따라서는 제7 트랜지스터(T7)가 생략될 수도 있다.

[0079] 이상과 같이 동작하는 화소(PX)에서 중첩층(M1)은 특별히 동작하지 않으며 플로팅(floating)된 상태를 유지한다. 하지만, 중첩층(M1)에 의하여 제3 트랜지스터(T3)의 제3 노드(N3)와의 사이에 추가 유지 축전기가 형성되어 제3 노드(N3)의 전압 변동을 안정화시킨다. 그 결과 잔상이 남지 않는 효과를 가진다. 또한, 중첩층(M1)이 제3 트랜지스터(T3)와 중첩하면서 기판과 제3 트랜지스터(T3)의 사이에 위치함으로 인하여 제3 트랜지스터(T3)를 제작할 때 플라스틱이나 폴리 이미드(PI)로 이루어진 플렉서블 기판에서 올라오는 불순물을 막아 제3 트랜지스터(T3)가 원하는 특성을 가지도록 할 수 있다.

[0080] 이하에서는 도 3 내지 도 5를 통하여 일 실시예에 따른 유기 발광 표시 장치의 화소 및 중첩층(M1)의 배치에 대해서 살펴본다.

[0081] 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 4는 도 3의 화소 중 일부를 확대 도시한 확대도이고, 도 5는 도 4에서 V-V선을 따라 자른 단면도이다.

[0082] 도 3 내지 도 5를 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 주로 제1 방향을 따라 연장하며 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 초기화 전압(Vint)을 각각 전달하는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(127)을 포함한다. 바이패스 신호(GB)는 전단 스캔선(152)을 통해 전달된다. 유기 발광 표시 장치는 제1 방향과 교차하는 제2 방향을 따라 연장하며 데이터 전압(Dm) 및 구동 전압(ELVDD)을 각각 전달하는 데이터선(171) 및 구동 전압선(172)을 포함한다.

[0083] 유기 발광 표시 장치는 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 유지 축전기(Cst), 및 유기 발광 다이오드(OLED)를 포함한다. 또한, 본 실시예에서는 중첩층(M1)과 제3 트랜지스터(T3)에서 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 부분(제3 노드)이 중첩하면서 추가 유지 축전기가 형성되어 있다.

[0084] 중첩층(M1)은 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성될 수 있다. 도 3의 실시예에 따른 중첩층(M1)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다. 중첩층(M1)은 다른 부분과 전기적으로 연결되지 않아 플로팅(floating)한 상태를 가진다. 도 3에서는 중첩층(M1)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.

[0085] 한편, 중첩층(M1)과 중첩하는 두 트랜지스터(T3-1, T3-2)가 연결 부분은 반도체층 상에 위치하며, 해당 반도체층은 추가 용량부를 더 포함한다. 추가 용량부에 대해서는 도 4 및 도 5를 참고하여 설명한다.

[0086] 도 4는 제3 트랜지스터(T3)의 주변 구조만을 확대하여 도시한 도면으로, 스캔선(151), 중첩층(M1) 및 그 주변의 반도체층(ACTIVE)을 도시하고 있으며, 도 5는 도 4의 V-V선을 자른 단면도이다.

[0087] 스캔선(151)은 제1 방향으로 연장되어 있으며, 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)이 상 방향으로 돌출되어 있다. 또한, 스캔선(151)이 반도체층(ACTIVE)과 중첩되는 부분은 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)이며, 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)과 달리 돌출되는 구조가 아니고 제1 방향으로 연장된 스캔선(151)의 일 부분이다.

[0088] 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아래쪽으로 연장되는 구조를 가진다. 제2 방향으로 꺾이는 부분에서 반도체층(ACTIVE)은 위 방향으로 돌출된 구조(추가 용량부)를 가진다. 그 결과 추가 용량부는 제1 방향으로 연장되는 반도체층(ACTIVE)의 폭보다 더 큰 폭을 가진다. (도 4의 화살표 참고) 반도체층(ACTIVE)이 꺾이는 부분은 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 제3 노드(N3)에 대응한다. 그러므로 추가 용량부는 제3 노드(N3)의 부근에 위치한다.

[0089] 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부는 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다. 본 실시예에서는 평면도 상 중첩층(M1)이 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부 전부와 중첩할 수 있을 정도로 크게 형성되어 있다. 도 3 내지 도 5의 실시예에서는 중첩층(M1)을 사용하여 추가 유지 축전기를 형성하지만, 이 추가 유지 축전기만으로도 커패시턴스가 모자른 경우에 추가 유지 축전기의 커패시턴스를 늘리기 위하여 반도체층(ACTIVE)에 돌출된 구조를 추가하여 추가 유지 축전기의 커패시턴스를 늘리는 실시예이다. 이는 중첩층

(M1)과 반도체층(ACTIVE; 추가 용량부 포함)이 중첩하는 면적이 늘어나고, 그 결과 추가 유지 축전기의 커패시턴스가 늘어난다.

- [0090] 도 3 내지 도 5의 실시예에서 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하며, 중첩층(M1)은 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다.
- [0091] 다시 도 3으로 돌아오면, 유기 발광 다이오드(OLED)는 화소 전극, 유기 발광층 및 공통 전극으로 이루어진다.
- [0092] 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)의 각각의 채널(channel)은 길게 연장되어 있는 반도체층(130) 내에 위치한다. 뿐만 아니라 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극 중 적어도 일부도 반도체층(130)에 위치한다. 반도체층(130)은 도 3에서 음영이 추가하여 다른 층과 구분이 용이하게 도시하였다. 반도체층(130)은 도 3의 구조와 달리 다양한 형상으로 굴곡되어 형성될 수 있다. 반도체층(130)은 폴리 실리콘 같은 다결정 반도체 또는 산화물 반도체를 포함할 수 있다.
- [0093] 반도체층(130)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널과, 채널의 양측에 위치하며 채널에 도핑된 불순물보다 도핑 농도가 높은 제1 도핑 영역 및 제2 도핑 영역을 포함한다. 제1 도핑 영역 및 제2 도핑 영역은 각각 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극에 대응되며, 제1 도핑 영역 및 제2 도핑 영역 중 하나가 소스 영역이면, 나머지 하나는 드레인 영역에 해당한다. 또한, 반도체층(130)에서 서로 다른 트랜지스터의 제1 전극과 제2 전극의 사이 영역도 도핑되어 두 트랜지스터가 서로 전기적으로 연결될 수 있다.
- [0094] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널 각각은 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극과 중첩하고, 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극과 제2 전극 사이에 위치한다. 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 실질적으로 동일한 적층 구조를 가질 수 있다. 이하에서는 구동 트랜지스터(T1)를 위주로 상세하게 설명하고, 나머지 트랜지스터(T2, T3, T4, T5, T6, T7)는 간략하게 설명한다.
- [0095] 구동 트랜지스터(T1)는 채널, 게이트 전극(155), 제1 전극(S1) 및 제2 전극(D1)을 포함한다. 구동 트랜지스터(T1)의 채널은 제1 전극(S1)과 제2 전극(D1) 사이이며, 게이트 전극(155)과 평면상 중첩한다. 채널은 굴곡되어 있는데, 이는 제한된 영역내에서 채널의 길이를 길게 형성하기 위함이다. 채널의 길이가 길어짐에 따라 구동 트랜지스터(T1)의 게이트 전극(155)에 인가되는 게이트 전압(Vg)의 구동 범위(driving range)가 넓어지며, 게이트 전압(Vg)에 따라 구동 전류(Id)가 일정하게 증가하게 된다. 그 결과, 게이트 전압(Vg)의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 광의 계조를 보다 세밀하게 제어할 수 있으며, 유기 발광 표시 장치의 표시 품질도 향상시킬 수 있다. 또한, 채널이 한 방향으로 연장되지 않고 여러 방향으로 연장되므로, 제조 공정에서 방향성에 따른 영향이 상쇄되어 공정 산포 영향이 줄어드는 장점도 있다. 따라서 공정 산포로 인해 구동 트랜지스터(T1)의 특성이 표시 장치의 영역에 따라 달라짐으로 인해 발생할 수 있는 얼룩 불량(예컨대, 동일한 데이터 전압(Dm)이 인가되더라도 화소에 따라 휘도 차가 발생) 같은 화질 저하를 방지할 수 있다. 이러한 채널의 형상은 도시된 요형에 제한되지 않고 다양할 수 있다.
- [0096] 게이트 전극(155)은 채널과 평면상 중첩한다. 제1 전극(S1) 및 제2 전극(D2)은 채널의 양측에 각각 위치한다. 게이트 전극(155)의 위에는 유지선(126)의 확장된 부분이 절연되어 위치한다. 유지선(126)의 확장된 부분은 게이트 전극(155)과 제2 게이트 절연막을 사이에 두고 평면상 중첩하여 유지 축전기(Cst)를 구성한다. 유지선(126)의 확장된 부분은 유지 축전기(Cst)의 제1 전극(도 1의 E1)이며, 게이트 전극(155)은 제2 유지 전극(도 1의 E2)을 이룬다. 유지선(126)의 확장된 부분은 게이트 전극(155)이 제1 데이터 연결 부재(71)와 연결될 수 있도록 개구(56)가 형성되어 있다. 개구(56)의 내에서 게이트 전극(155)의 상부면과 제1 데이터 연결 부재(71)가 오프닝(61)을 통하여 전기적으로 연결된다. 제1 데이터 연결 부재(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되어 구동 트랜지스터(T1)의 게이트 전극(155)과 제3 트랜지스터(T3)의 제2 전극(D3)을 연결시킨다.
- [0097] 제2 트랜지스터(T2)의 게이트 전극은 스캔선(151)의 일부일 수 있다. 제2 트랜지스터(T2)의 제1 전극에는 데이터선(171)이 오프닝(62)을 통해 연결되어 있으며, 제1 전극(S2) 및 제2 전극(D2)이 반도체층(130) 상에 위치할 수 있다.
- [0098] 제3 트랜지스터(T3)는 서로 인접하며 직렬로 연결된 두 개의 트랜지스터(T3-1, T3-2)로 구성되어 있다. 제3 트랜지스터(T3)는 직렬 연결되어 누설 전류가 흐르는 것을 차단하는 역할을 수행할 수 있다. 두 개의 트랜지스터가 직렬 연결된 구조를 간단하게 하나의 제3 트랜지스터(T3)로 설명하면, 제3 트랜지스터(T3)의 제1 전극(S3;

제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)에 대응)은 제6 트랜지스터(T6)의 제1 전극(S6) 및 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다고 설명할 수 있다. 또한, 제3 트랜지스터(T3)의 제2 전극(D3; 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)에 대응)은 제1 데이터 연결 부재(71)가 오프닝(63)을 통해 연결되어 있다.

- [0099] 제4 트랜지스터(T4)도 직렬 연결된 두 개의 제4 트랜지스터(T4)로 이루어져 있으며, 두 개의 제4 트랜지스터(T4)는 전단 스캔선(152)과 반도체층(130)이 만나는 부분에 형성되어 있다. 제4 트랜지스터(T4)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 하나의 제4 트랜지스터(T4)의 제1 전극이 다른 하나의 제3 트랜지스터(T3)의 제2 전극과 연결되는 구조를 가진다. 이와 같이 직렬 연결된 구조는 누설 전류를 차단하는 역할을 수행할 수 있다. 제4 트랜지스터(T4)의 제1 전극(S4)에는 제2 데이터 연결 부재(72)가 오프닝(65)을 통해 연결되어 있으며, 제4 트랜지스터(T4)의 제2 전극(D2)에는 제1 데이터 연결 부재(71)가 오프닝(63)을 통해 연결되어 있다.
- [0100] 제5 트랜지스터(T5)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제5 트랜지스터(T5)의 제1 전극(S5)에는 구동 전압선(172)이 오프닝(67)을 통해 연결되어 있으며, 제2 전극(D5)는 반도체층(130)을 통하여 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.
- [0101] 제6 트랜지스터(T6)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제6 트랜지스터(T6)의 제2 전극(D6)에는 제3 데이터 연결 부재(73)가 오프닝(69)을 통해 연결되어 있으며, 제1 전극(S6)은 반도체층(130)을 통하여 구동 트랜지스터의 제2 전극(D1)과 연결되어 있다.
- [0102] 제7 트랜지스터(T7)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 제7 트랜지스터(T7)의 제1 전극(S7)에는 제3 데이터 연결 부재(73)가 오프닝(81)을 통해 연결되어 있고, 제2 전극은 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있다.
- [0103] 유지 축전기(Cst)는 제2 게이트 절연막(142)을 사이에 두고 중첩하는 제1 유지 전극(E1)과 제2 유지 전극(E2)을 포함한다. 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(155)에 해당하고, 제1 유지 전극(E1)은 유지선(126)의 확장된 부분일 수 있다. 여기서, 제2 게이트 절연막(142; 도 5 참고)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 및 제2 유지 전극들(E1, E2) 사이의 전압에 의해 정전 용량(capacitance)이 결정된다. 게이트 전극(155)을 제2 유지 전극(E2)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 트랜지스터(T1)의 채널에 의해 좁아진 공간에서 유지 축전기(Cst)를 형성할 수 있는 공간을 확보할 수 있다.
- [0104] 제1 유지 전극(E1)에는 구동 전압선(172)이 오프닝(68)을 통해 연결되어 있다. 따라서 유지 축전기(Cst)는 구동 전압선(172)을 통해 제1 유지 전극(E1)에 전달된 구동 전압(ELVDD)과 게이트 전극(155)의 게이트 전압(Vg) 간의 차에 대응하는 전하를 저장한다.
- [0105] 제2 데이터 연결 부재(72)는 오프닝(64)을 통해 초기화 전압선(127)과 연결되어 있다. 제3 데이터 연결 부재(73)에는 화소 전극으로 불리는 화소 전극이 오프닝(81)을 통해 연결되어 있다.
- [0106] 제3 트랜지스터(T3)의 제3 노드(N3)의 상부에는 기생 축전기 제어 패턴(79)이 위치할 수 있다. 화소 내에는 기생 축전기가 존재하는데, 기생 축전기에 인가되는 전압이 변하면 화질 특성이 바뀔 수 있다. 기생 축전기 제어 패턴(79)에는 구동 전압선(172)이 오프닝(66)을 통해 연결되어 있다. 이로 인해, 기생 축전기에 일정한 직류 전압인 구동 전압(ELVDD)을 인가됨으로써 화질 특성이 바뀌는 것을 방지할 수 있다. 기생 축전기 제어 패턴(79)은 도시된 것과 다른 영역에 위치할 수도 있고, 구동 전압(ELVDD) 외의 전압이 인가될 수도 있다. 또한, 실시예에 따라서는 중첩층(M1)으로 인하여 기생 축전기 제어 패턴(79)이 생략될 수도 있다.
- [0107] 이하에서는 도 5를 참고하여 일 실시예에 따른 유기 발광 표시 장치의 전체적인 단면상 구조에 대해 적층 순서에 따라 설명한다.
- [0108] 일 실시예에 따른 유기 발광 표시 장치는 플라스틱이나 폴리 이미드(PI)와 같은 플렉서블한 재료로 형성된 기판(110)을 사용한다. 기판(110) 위에는 배리어층(111)이 위치하고, 배리어층(111) 위에는 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성된 중첩층(M1)이 위치한다. 중첩층(M1)의 위에는 버퍼층(112)이 위치한다. 배리어층(111) 및 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있으며, 또한, 폴리이미드, 폴리 아크릴(에폭시 첨가) 등의 유기 절연 물질도 포함할 수 있다.
- [0109] 버퍼층(112) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널, 제1 전극 및 제2 전극을 포함하는 반도체층(130)이 위치한다. 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다.
- [0110] 제1 게이트 절연막(141) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극(제2 유지 전극

(E2)), 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)을 포함하는 제1 게이트 도전체가 위치한다.

- [0111] 제1 게이트 도전체 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다.
- [0112] 제2 게이트 절연막(142) 위에는 유지선(126), 제1 유지 전극(E1), 초기화 전압선(127) 및 기생 축전기 제어 패턴(79)을 포함하는 제2 게이트 도전체가 위치한다.
- [0113] 제2 게이트 도전체 위에는 이를 덮는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다.
- [0114] 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72) 및 제3 데이터 연결 부재(73)를 포함하는 데이터 도전체가 위치한다.
- [0115] 데이터 도전체 위에는 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다.
- [0116] 보호막(180) 위에는 화소 전극(도시하지 않음)이 위치한다. 화소 전극은 보호막(180)에 형성된 오프닝(81)을 통하여 제3 데이터 연결 부재(73)와 연결되어 있다. 보호막(180) 및 화소 전극의 위에는 격벽(도시하지 않음)이 위치한다. 격벽은 화소 전극과 중첩하는 오픈 부분을 가지며, 오픈 부분에 유기 발광층이 위치한다. 유기 발광층 및 격벽의 위에는 공통 전극(도시하지 않음)이 위치한다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.
- [0117] 실시예에 따라서는 화소 전극이 정공 주입 전극인 애노드일 수 있고, 공통 전극이 전자 주입 전극인 캐소드일 수 있다. 이와 반대로, 화소 전극이 캐소드일 수 있고, 공통 전극이 애노드일 수도 있다. 화소 전극 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되면, 주입된 정공과 전자가 결합한 엑시톤이 여기 상태에서부터 기저 상태로 떨어질 때 발광하게 된다.
- [0118] 제1 게이트 도전체로 형성되는 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)은 제1 방향으로 연장되며, 제2 게이트 도전체로 형성되는 유지선(126) 및 초기화 전압선(127)도 제1 방향으로 연장되어 있다. 한편, 데이터 도전체로 형성되는 데이터선(171) 및 구동 전압선(172)은 제2 방향으로 연장되어 있다.
- [0119] 데이터선(171)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(62)을 통해 제2 트랜지스터(T2)의 제1 전극(S2)과 연결되어 있다.
- [0120] 구동 전압선(172)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(67)을 통해 제5 트랜지스터(T5)의 제1 전극(S5)에 연결되어 있고, 층간 절연막(160)에 형성된 오프닝(68)을 통해 유지선(126)의 확장된 부분(제1 유지 전극(E1))과 연결되어 있고, 층간 절연막(160)에 형성된 오프닝(66)을 통해 기생 축전기 제어 패턴(79)에 연결되어 있다.
- [0121] 제1 데이터 연결 부재(71)의 일단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(61)을 통하여 게이트 전극(155)과 연결되어 있으며, 타단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(63)을 통해 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다.
- [0122] 제2 데이터 연결 부재(72)의 일단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(65)을 통해 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있고, 타단은 층간 절연막(160)에 형성된 오프닝(64)을 통해 초기화 전압선(127)에 연결되어 있다.
- [0123] 제3 데이터 연결 부재(73)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 오프닝(69)을 통해 제6 트랜지스터(T6)의 제2 전극과 연결되어 있다.
- [0124] 도시하지 않았으나, 공통 전극의 위에는 유기 발광 다이오드(OLED)를 보호하는 봉지층(도시되지 않음)이 위치한다. 봉지층은 공통 전극과 접할 수 있고, 공통 전극과 이격되어 있을 수도 있다. 봉지층은 무기막과 유기막이 적층된 박막 봉지층일 수 있으며, 무기막, 유기막, 무기막으로 구성된 3중층을 포함할 수 있다. 공통 전극과 봉지층 사이에는 캐핑층 및 기능층이 위치할 수도 있다.
- [0125] 도 5에서는 중첩층(M1)이 전기적으로 연결되는 구조를 상세하게 도시하고 있다.
- [0126] 도 4를 살펴보면, 기판(110)위에 베리어층(111)이 위치하며, 그 위에는 중첩층(M1)이 위치한다. 중첩층(M1)의

위치는 도 3에서 도시하고 있는 바와 같이 제3 트랜지스터(T3)와 평면상 중첩하는 위치이다. 중첩층(M1)의 위에는 버퍼층(112)이 위치하고 있다. 버퍼층(112)의 위에는 반도체층(130)이 위치한다. 도 5에서는 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1) 및 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)이 도시되어 있으며, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1) 및 제1 전극(S3-1)의 사이에는 제3-1 트랜지스터(T3-1)의 채널이 위치한다.

- [0127] 제3 트랜지스터(T3)의 반도체층과 버퍼층(112)의 위에는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141)위에는 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)이 위치하고 있다. 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)의 위에는 제2 게이트 절연막(142)이 형성되어 있다.
- [0128] 제2 게이트 절연막(142)의 위에는 기생 축전기 제어 패턴(79)이 형성되어 있다. 기생 축전기 제어 패턴(79)의 위에는 층간 절연막(160)이 형성된다. 층간 절연막(160)의 위에는 보호막(180)이 위치한다. 그 위에는 화소 전극, 유기 발광층, 공통 전극 및 봉지층이 위치할 수 있으나 도시하지 않고 생략하였다.
- [0129] 도 3 내지 도 5의 실시예에 따른 중첩층(M1)은 플로팅되어 제3 트랜지스터(T3)에서 반도체층(ACTIVE)가 꺾이는 부분에서 중첩한다. 또한, 기판(110)의 위이며, 반도체층(130)의 아래에 위치하여, 배리어층(111)과 버퍼층(112)의 사이에 위치한다. 중첩층(M1)과 중첩하며 추가 유지 축전기를 이루는 반도체층(ACTIVE)은 위로 돌출된 부분(추가 용량부)을 포함한다.
- [0130] 도 3 내지 도 5의 구조에서는 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 중첩층(M1)은 플로팅 되어 있지만, 기생 축전기 제어 패턴(79)에는 구동 전압(ELVDD)이 인가된다.
- [0131] 실시예에 따라서는 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0132] 실시예에 따라서 반도체층의 추가 용량부는 도 6 및 도 7과 같은 구조를 가질 수도 있다.
- [0133] 도 6은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 7은 도 6의 화소 중 일부를 확대 도시한 확대도이다.
- [0134] 도 6 및 도 7의 실시예에 따른 유기 발광 표시 장치는 도 3 및 도 4의 유기 발광 표시 장치와 중첩층(M1)을 가진다는 점 및 전체적인 구조에서 유사하지만, 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 모양에서 차이가 있다.
- [0135] 도 6 및 도 7에서는 도 3 내지 도 5에서 이미 설명한 부분은 제외하고 다른 점을 중심으로 이하 설명한다.
- [0136] 도 7에서는 앞 선 실시예와의 차이점(반도체층(ACTIVE)의 추가 용량부)을 확대하여 도시하고 있으므로 이하 도 7을 중심으로 설명한다.
- [0137] 도 7은 도 4의 실시예와 다른 반도체층(ACTIVE)의 추가 용량부를 가진다. 즉, 도 7에서는 반도체층(ACTIVE)의 추가 용량부가 제1 방향, 즉, 우측으로 돌출된 구조를 가진다.
- [0138] 도 7은 제3 트랜지스터(T3)의 주변 구조만을 확대하여 도시한 도면으로, 스캔선(151), 중첩층(M1) 및 그 주변의 반도체층(ACTIVE)을 도시하고 있다.
- [0139] 스캔선(151)의 구조는 도 4의 구조와 동일하다.
- [0140] 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아랫쪽으로 연장되는 구조를 가진다. 제2 방향으로 꺾이는 부분에서 반도체층(ACTIVE)은 제1 방향으로 돌출된 구조(추가 용량부)를 가진다. 그 결과 추가 용량부는 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)의 폭보다 더 큰 폭을 가진다. (도 7의 화살표 참고) 뿐만 아니라, 추가 용량부는 제2 방향으로 연장되는 반도체층(ACTIVE)의 폭보다도 더 큰 폭을 가진다. 반도체층(ACTIVE)이 꺾이는 부분은 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 제3 노드(N3)에 대응한다. 그러므로 추가 용량부는 제3 노드(N3)의 부근에 위치한다.
- [0141] 중첩층(M1)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 본 실시예에서는 평면도 상 중첩층(M1)이 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부 전부와 중첩할 수 있을 정도로 크게 형성되어 있다. 또한, 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노

드와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다. 중첩층(M1)은 다른 부분과 전기적으로 연결되지 않아 플로팅(floating)한 상태를 가진다.

- [0142] 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부는 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다. 즉, 중첩층(M1)과 제3 트랜지스터(T3)에서 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 부분(제3 노드; N3)이 중첩하면서 추가 유지 축전기가 형성되어 있다.
- [0143] 도 6 및 도 7의 실시예에서는 중첩층(M1)을 사용하여 추가 유지 축전기를 형성하지만, 이 추가 유지 축전기만으로도 커패시턴스가 부족한 경우에 추가 유지 축전기의 커패시턴스를 늘리기 위하여 반도체층(ACTIVE)에 돌출된 구조를 추가하여 추가 유지 축전기의 커패시턴스를 늘리는 실시예이다. 이는 중첩층(M1)과 반도체층(ACTIVE; 추가 용량부 포함)이 중첩하는 면적이 늘어나고, 그 결과 추가 유지 축전기의 커패시턴스가 늘어난다. 그 결과, 제3 노드(N3)에서의 전압 변화를 완충하며, 제3 트랜지스터(T3)의 킥백 전압도 줄인다. 또한, 이를 통하여 잔상이 남지 않는 효과도 가진다. 또한, 중첩층(M1)이 제3 트랜지스터(T3)와 중첩하면서 기판과 제3 트랜지스터(T3)의 사이에 위치함으로 인하여 제3 트랜지스터(T3)를 제작할 때 플라스틱이나 폴리 이미드(PI)로 이루어진 플렉서블 기판에서 올라오는 불순물을 막아 제3 트랜지스터(T3)가 원하는 특성을 가지도록 할 수 있다.
- [0144] 도 6 및 도 7의 실시예에서 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하며, 중첩층(M1)은 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 도 6 및 도 7의 실시예에서는 단면도를 추가하고 있지 않은데, 이는 도 5의 단면도와 동일하기 때문이다.
- [0145] 도 6 및 도 7의 구조에서는 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 중첩층(M1)은 플로팅 되어 있지만, 기생 축전기 제어 패턴(79)에는 구동 전압(ELVDD)이 인가된다.
- [0146] 도 6 및 도 7의 실시예와 도 3 내지 도 5의 실시예는 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 추가 용량부의 구조를 제외하고는 동일한 특징을 가진다. 즉, 도 6 및 도 7의 실시예도 도 1과 같은 회로도도 표시할 수 있으며, 도 2와 같은 타이밍 신호를 인가받고 동작한다.
- [0147] 또한, 실시예에 따라서는 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0148] 실시예에 따라서 반도체층의 추가 용량부는 도 8 및 도 9와 같은 구조를 가질 수도 있다.
- [0149] 도 8은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 9는 도 8의 화소 중 일부를 확대 도시한 확대도이다.
- [0150] 도 8 및 도 9의 실시예에 따른 유기 발광 표시 장치는 도 3 및 도 4의 유기 발광 표시 장치와 중첩층(M1)을 가진다는 점 및 전체적인 구조에서 유사하지만, 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 모양에서 차이가 있다.
- [0151] 도 8 및 도 9에서는 도 3 내지 도 5에서 이미 설명한 부분은 제외하고 다른 점을 중심으로 이하 설명한다.
- [0152] 도 9에서는 앞 선 실시예와의 차이점(반도체층(ACTIVE)의 추가 용량부)을 확대하여 도시하고 있으므로 이하 도 9을 중심으로 설명한다.
- [0153] 도 9은 도 4의 실시예와 다른 구조의 반도체층(ACTIVE)의 추가 용량부를 가진다. 즉, 도 9에서는 반도체층(ACTIVE)의 추가 용량부가 상 방향으로 확장되어 있을 뿐만 아니라 제1 방향으로도 확장된 구조를 가진다.
- [0154] 도 9은 제3 트랜지스터(T3)의 주변 구조만을 확대하여 도시한 도면으로, 스캔선(151), 중첩층(M1) 및 그 주변의 반도체층(ACTIVE)을 도시하고 있다.
- [0155] 스캔선(151)의 구조는 도 4의 구조와 동일하다.
- [0156] 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아랫쪽으로 연장되는 구조를 가진다. 제2 방향으로 꺾이는 부분에서 반도체층(ACTIVE)은 위 방향 및 제1 방향으로 돌출된 구조(추가 용량부)를 가진다. 그 결과 추가 용량부는 제1 방향으로 연장되는 반도체층(ACTIVE)의 폭보다도 더 큰 폭을 가지며, 또한, 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)의 폭보다 더 큰 폭을 가진다. (도 9의 화살표 참고) 반도체층(ACTIVE)이 꺾이는 부분은 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 제3 노드(N3)에 대응한다. 그러므로 추가 용량부는

제3 노드(N3)의 부근에 위치한다.

- [0157] 중첩층(M1)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 본 실시예에서는 평면도 상 중첩층(M1)이 추가 용량부 전부와 중첩할 수 있을 정도로 크게 형성되어 있다. 또한, 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다. 중첩층(M1)은 다른 부분과 전기적으로 연결되지 않아 플로팅(floating)한 상태를 가진다.
- [0158] 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부는 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다. 즉, 중첩층(M1)과 제3 트랜지스터(T3)에서 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 부분(제3 노드; N3)이 중첩하면서 추가 유지 축전기가 형성되어 있다.
- [0159] 도 8 및 도 9의 실시예에서는 중첩층(M1)을 사용하여 추가 유지 축전기를 형성하지만, 이 추가 유지 축전기만으로도 커패시턴스가 부족한 경우에 추가 유지 축전기의 커패시턴스를 늘리기 위하여 반도체층(ACTIVE)에 돌출된 구조를 추가하여 추가 유지 축전기의 커패시턴스를 늘리는 실시예이다. 이는 중첩층(M1)과 반도체층(ACTIVE; 추가 용량부 포함)이 중첩하는 면적이 늘어나고, 그 결과 추가 유지 축전기의 커패시턴스가 늘어난다. 그 결과, 제3 노드(N3)에서의 전압 변화를 완충하며, 제3 트랜지스터(T3)의 킥백 전압도 줄인다. 또한, 이를 통하여 잔상이 남지 않는 효과도 가진다. 또한, 중첩층(M1)이 제3 트랜지스터(T3)와 중첩하면서 기판과 제3 트랜지스터(T3)의 사이에 위치함으로 인하여 제3 트랜지스터(T3)를 제작할 때 플라스틱이나 폴리 이미드(PI)로 이루어진 플렉서블 기판에서 올라오는 불순물을 막아 제3 트랜지스터(T3)가 원하는 특성을 가지도록 할 수 있다.
- [0160] 도 8 및 도 9의 실시예에서 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하며, 중첩층(M1)은 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 도 8 및 도 9의 실시예에서는 단면도를 추가하고 있지 않은데, 이는 도 5의 단면도와 동일하기 때문이다.
- [0161] 도 8 및 도 9의 구조에서는 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 중첩층(M1)은 플로팅 되어 있지만, 기생 축전기 제어 패턴(79)에는 구동 전압(ELVDD)이 인가된다.
- [0162] 도 8 및 도 9의 실시예와 도 3 내지 도 5의 실시예는 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 추가 용량부의 구조를 제외하고는 동일한 특징을 가진다. 즉, 도 8 및 도 9의 실시예도 도 1과 같은 회로도로 표시할 수 있으며, 도 2와 같은 타이밍 신호를 인가받고 동작한다.
- [0163] 또한, 실시예에 따라서는 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0164] 또한, 실시예에 따라서 반도체층의 추가 용량부는 도 10 및 도 11과 같은 구조를 가질 수도 있다.
- [0165] 도 10은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 11은 도 10의 화소 중 일부를 확대 도시한 확대도이다.
- [0166] 도 10 및 도 11의 실시예에 따른 유기 발광 표시 장치는 도 3 및 도 4의 유기 발광 표시 장치와 중첩층(M1)을 가진다는 점 및 전체적인 구조에서 유사하지만, 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 모양에서 차이가 있다.
- [0167] 도 10 및 도 11에서는 도 3 내지 도 5에서 이미 설명한 부분은 제외하고 다른 점을 중심으로 이하 설명한다.
- [0168] 도 11에서는 앞 선 실시예와의 차이점(반도체층(ACTIVE)의 추가 용량부)을 확대하여 도시하고 있으므로 이하 도 11을 중심으로 설명한다.
- [0169] 도 11은 도 4의 실시예와 다른 구조의 반도체층(ACTIVE)의 추가 용량부(A1, A2)를 가진다. 즉, 도 11에서는 반도체층(ACTIVE)의 추가 용량부(A1, A2)는 반도체층(ACTIVE)에서 연장되면서 돌출되는 구조가 아니고 반도체층(ACTIVE)에서 일정 거리 떨어진 구조를 가진다. 이와 같이 일정 거리 떨어진 추가 용량부(A1, A2)도 반도체층(ACTIVE)과 동일한 물질로 같은 공정을 통하여 형성될 수 있다.
- [0170] 도 11은 제3 트랜지스터(T3)의 주변 구조만을 확대하여 도시한 도면으로, 스캔선(151), 중첩층(M1) 및 그 주변의 반도체층(ACTIVE)을 도시하고 있다.
- [0171] 스캔선(151)의 구조는 도 4의 구조와 동일하다.

- [0172] 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아랫쪽으로 연장되는 구조를 가진다. 제2 방향으로 꺾이는 부분에서 반도체층(ACTIVE)으로부터 일정 거리 떨어져 위치하는 추가 용량부(A1, A2)를 가진다. 제1 추가 용량부(A1)는 반도체층(ACTIVE)이 꺾이는 부분으로부터 제2 방향에 반대 방향으로 일정 거리 떨어져 위치한다. 또한, 제2 추가 용량부(A2)는 반도체층(ACTIVE)의 꺾이는 부분으로부터 제1 방향을 따라 일정 거리 떨어져 위치한다. 본 실시예에서는 일정 거리 떨어져 위치하는 추가 용량부(A1, A2)가 두 개 포함한다. 하지만, 추가 용량부가 1개만으로 형성될 수도 있으며, 3개 이상을 포함할 수도 있다. 반도체층(ACTIVE)이 꺾이는 부분은 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 제3 노드(N3)에 대응한다. 그러므로 추가 용량부는 제3 노드(N3)의 부근에 위치한다.
- [0173] 중첩층(M1)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 본 실시예에서는 평면도 상 중첩층(M1)이 반도체층(ACTIVE)의 꺾이는 부분 및 추가 용량부(A1, A2) 전부와 중첩할 수 있을 정도로 크게 형성되어 있다. 또한, 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드(N3)와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다. 중첩층(M1)은 다른 부분과 전기적으로 연결되지 않아 플로팅(floating)한 상태를 가진다.
- [0174] 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부(A1, A2)는 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다. 즉, 중첩층(M1)과 제3 트랜지스터(T3)에서 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 부분(제3 노드; N3)이 중첩하면서 추가 유지 축전기가 형성되어 있다.
- [0175] 도 10 및 도 11의 실시예에서는 중첩층(M1)을 사용하여 추가 유지 축전기를 형성하지만, 이 추가 유지 축전기만으로도 커패시턴스가 부족한 경우에 추가 유지 축전기의 커패시턴스를 늘리기 위하여 반도체층(ACTIVE)에 돌출된 구조를 추가하여 추가 유지 축전기의 커패시턴스를 늘리는 실시예이다. 이는 중첩층(M1)과 반도체층(ACTIVE) 및 추가 용량부(A1, A2)가 중첩하는 면적이 늘어나고, 그 결과 추가 유지 축전기의 커패시턴스가 늘어난다. 그 결과, 제3 노드(N3)에서의 전압 변화를 완충하며, 제3 트랜지스터(T3)의 킥백 전압도 줄인다. 또한, 이를 통하여 잔상이 남지 않는 효과도 가진다. 또한, 중첩층(M1)이 제3 트랜지스터(T3)와 중첩하면서 기판과 제3 트랜지스터(T3)의 사이에 위치함으로 인하여 제3 트랜지스터(T3)를 제작할 때 플라스틱이나 폴리 이미드(PI)로 이루어진 플렉서블 기판에서 올라오는 불순물을 막아 제3 트랜지스터(T3)가 원하는 특성을 가지도록 할 수 있다.
- [0176] 도 10 및 도 11의 실시예에서 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하며, 중첩층(M1)은 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 도 10 및 도 11의 실시예에서는 단면도를 추가하고 있지 않은데, 이는 도 5의 단면도와 동일하기 때문이다.
- [0177] 도 10 및 도 11의 구조에서는 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 중첩층(M1)은 플로팅 되어 있지만, 기생 축전기 제어 패턴(79)에는 구동 전압(ELVDD)이 인가된다.
- [0178] 도 10 및 도 11의 실시예와 도 3 내지 도 5의 실시예는 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 추가 용량부(A1, A2)의 구조를 제외하고는 동일한 특징을 가진다. 즉, 도 10 및 도 11의 실시예도 도 1과 같은 회로도도 표시할 수 있으며, 도 2와 같은 타이밍 신호를 인가받고 동작한다.
- [0179] 또한, 실시예에 따라서는 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0180] 또한, 실시예에 따라서 반도체층의 추가 용량부는 도 12와 같이 포함되지 않을 수도 있다. 이러한 경우는 반도체층(ACTIVE)이 꺾이는 부분과 중첩층(M1)의 중첩으로 추가되는 커패시턴스로 제3 트랜지스터(T3)의 킥백 전압의 변동을 충분히 줄일 수 있는 경우이다.
- [0181] 도 12는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0182] 도 12의 실시예에 따른 유기 발광 표시 장치는 도 3 및 도 4의 유기 발광 표시 장치와 중첩층(M1)을 가진다는 점 및 전체적인 구조에서 유사하지만, 중첩층(M1)과 중첩하는 반도체층(ACTIVE)의 모양에서 차이가 있다. 즉, 도 12에서는 반도체층(ACTIVE)에 추가 용량부가 형성되어 있지 않다.
- [0183] 도 12에서 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아랫쪽으로 연장되는 구조를 가진다. 그 외에 추가 용량부는 포함되지 않는다.

- [0184] 또한, 반도체층(ACTIVE)의 꺾이는 부분(제3 노드)과 중첩하는 중첩층(M1)도 그 면적이 다른 실시예에 비하여 상대적으로 좁다.
- [0185] 도 12의 실시예에 따른 중첩층(M1)도 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 중첩층(M1)은 다른 부분과 전기적으로 연결되지 않아 플로팅(floating)한 상태를 가진다.
- [0186] 도 12의 실시예에서는 추가 유지 축전기의 커패시턴스의 크기가 도 1 내지 도 11의 실시예에 비하여 상대적으로 작다. 이에 도 12의 실시예는 제3 트랜지스터(T3)의 킥백 전압의 변동을 줄이는데 보다 큰 커패시턴스가 필요하지 않은 경우에 적합할 수 있다.
- [0187] 도 12의 실시예에서도 중첩층(M1)과 반도체층(ACTIVE)이 중첩하면서 발생하는 추가 유지 축전기의 커패시턴스로 인하여 제3 노드(N3)에서의 전압 변화를 완충하며, 제3 트랜지스터(T3)의 킥백 전압도 줄인다. 또한, 이를 통하여 잔상이 남지 않는 효과도 가진다. 또한, 중첩층(M1)이 제3 트랜지스터(T3)와 중첩하면서 기판과 제3 트랜지스터(T3)의 사이에 위치함으로 인하여 제3 트랜지스터(T3)를 제작할 때 플라스틱이나 폴리 이미드(PI)로 이루어진 플렉서블 기판에서 올라오는 불순물을 막아 제3 트랜지스터(T3)가 원하는 특성을 가지도록 할 수 있다.
- [0188] 도 12의 구조에서는 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 중첩층(M1)은 플로팅 되어 있지만, 기생 축전기 제어 패턴(79)에는 구동 전압(ELVDD)이 인가된다.
- [0189] 도 12의 실시예에서도 단면도를 추가하고 있지 않은데, 이는 도 5의 단면도와 동일하기 때문이다. 또한, 도 12의 실시예도 도 1과 같은 회로도도 표시할 수 있으며, 도 2와 같은 타이밍 신호를 인가 받고 동작한다.
- [0190] 실시예에 따라서는 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0191] 만약 중첩층(M1)이 제2 게이트 도전체로 형성되는 경우에는 도 3, 도 6, 도 8, 도 10 및 도 12의 실시예에서 기생 축전기 제어 패턴(79)과 동일한 층에 위치하게 되어 문제가 될 수 있다. 이 경우에 기생 축전기 제어 패턴(79)을 형성하지 않거나 기생 축전기 제어 패턴(79)을 두고 중첩층(M1)을 생략하는 방법이 있을 수 있다.
- [0192] 먼저, 기생 축전기 제어 패턴(79)을 형성하지 않는 경우에는 도 3, 도 6, 도 8, 도 10 및 도 12에서 기생 축전기 제어 패턴(79)을 삭제하면 된다. 다만, 이와 함께 오프닝(66)도 삭제하여야 한다. 오프닝(66)은 기생 축전기 제어 패턴(79)과 구동 전압선(172)이 전기적으로 연결되도록 하는 것이기 때문이다.
- [0193] 한편, 기생 축전기 제어 패턴(79)을 두고 중첩층(M1)을 생략하는 경우에는 도 3, 도 6, 도 8, 도 10 및 도 12에서 중첩층(M1)을 삭제하면 된다. 이 때에는 기생 축전기 제어 패턴(79)이 중첩층의 역할을 수행하게 된다. 또한, 이 실시예에서도 중첩층이 플로팅(floating)되려면 오프닝(66)을 삭제할 필요가 있다.
- [0194] 이상에서는 중첩층(M1)이 다른 부분과 전기적으로 연결되지 않으면서 플로팅(floating)된 실시예를 살펴보았다.
- [0195] 하지만, 실시예에 따라서는 중첩층(M1)이 화소 내의 다른 부분과 전기적으로 연결되어 다양한 전압을 인가받을 수 있다.
- [0196] 이하에서는 중첩층(M1)에 인가될 수 있는 다양한 전압 중 구동 전압(ELVDD)이 인가되는 실시예에 대하여 살펴본다.
- [0197] 먼저 도 13을 통하여 회로적인 구조를 살펴본다.
- [0198] 도 13은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0199] 도 13은 도 1에 대응하며, 도 1과 달리 중첩층(M1)이 구동 전압(ELVDD)이 인가되는 구동 전압선(172)과 전기적으로 연결되어 있다.
- [0200] 도 13과 같이 중첩층(M1)에 구동 전압(ELVDD)이 인가되면, 추가 유지 축전기의 일측단의 전압이 고정되어 추가 유지 축전기의 특성이 일정해지며, 중첩층(M1)과 중첩되는 제3 트랜지스터(T3)의 제3 노드(N3)가 더욱 안정화될 수 있다.
- [0201] 또한, 중첩층(M1)에 구동 전압(ELVDD)과 같은 고전압이 인가되기 때문에 제3 트랜지스터(T3)의 문턱 전압(V_{th})이 음의 방향으로 시프트된다. 제3 트랜지스터(T3)의 문턱 전압(V_{th})이 음의 방향으로 시프트되면 p형 반도체를 사용하는 제3 트랜지스터(T3)의 킥백 전압이 더욱 감소하여 휘도 감소가 줄어들게 된다.

- [0202] 도 13의 실시예도 도 1의 실시예와 같이 도 2의 신호가 인가되면서 동작하는 점에서는 동일하다.
- [0203] 또한, 도 13의 실시예도 도 3 내지 도 12의 실시예와 같이 제3 트랜지스터(T3) 주변의 반도체층이 다양한 구조를 가지는 데에도 적용될 수 있다. 즉, 추가 용량부가 돌출된 구조를 가지거나 없거나 또는 반도체층과 일정 거리 떨어져서 위치할 수 있다.
- [0204] 다만, 차이점으로는 중첩층(M1)에 구동 전압(ELVDD)이 인가된다는 차이점이 있다.
- [0205] 이하에서는 도 14 및 도 15를 통하여 중첩층(M1)에 구동 전압(ELVDD)을 인가하는 구조를 살펴본다. 여기서는 다양한 반도체층의 구조 중 도 3에 대응하는 반도체층 구조를 가지는 실시예를 대표로 사용하였다. 중첩층(M1)에 구동 전압(ELVDD)을 인가하는 실시예는 도 6, 도 8, 도 10 또는 도 12에서도 적용될 수 있다.
- [0206] 도 14는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 15는 도 14에서 XV-XV선을 따라 자른 단면도이다.
- [0207] 도 14를 참고하면, 중첩층(M1)은 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성되며, 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다.
- [0208] 도 14의 실시예에서는 중첩층(M1)과 중첩하는 반도체층은 추가 용량부를 더 포함하며, 도 3에서와 같이 윗 방향으로 돌출된 구조를 가진다.
- [0209] 즉, 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아랫쪽으로 연장되는 구조를 가진다. 제2 방향으로 꺾이는 부분에서 반도체층(ACTIVE)은 윗 방향으로 돌출된 구조(추가 용량부)를 가진다. 그 결과 추가 용량부는 제1 방향으로 연장되는 반도체층(ACTIVE)의 폭보다 더 큰 폭을 가진다. (도 4의 화살표 참고) 도 14에서 반도체층(ACTIVE)이 꺾이는 부분은 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 제3 노드(N3)에 대응한다. 그러므로 추가 용량부는 제3 노드(N3)의 부근에 위치한다.
- [0210] 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부는 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다.
- [0211] 또한, 중첩층(M1)은 구동 전압선(172)과 오프닝(66)을 통해 전기적으로 연결되어 있는 기생 축전기 제어 패턴(79)과 오프닝(57)을 통하여 전기적으로 연결되어 있다. 그 결과 구동 전압(ELVDD)을 인가 받는다.
- [0212] 중첩층(M1)과 기생 축전기 제어 패턴(79)의 연결 구조에 대해서는 도 15에서 상세하게 도시하고 있다.
- [0213] 도 15에 따른 유기 발광 표시 장치는 플라스틱이나 폴리 이미드(PI)와 같은 플렉서블한 재질로 형성된 기판(110)을 사용한다. 기판(110) 위에는 배리어층(111)이 위치하고, 배리어층(111) 위에는 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성된 중첩층(M1)이 위치한다.
- [0214] 중첩층(M1)의 위에는 버퍼층(112)이 위치한다. 배리어층(111) 및 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있으며, 또한, 폴리이미드 아크릴(에폭시 첨가) 등의 유기 절연 물질도 포함할 수 있다.
- [0215] 버퍼층(112) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널, 제1 전극 및 제2 전극을 포함하는 반도체층(130)이 위치한다. 도 15에서는 단면 위치상 제3 트랜지스터(T3)의 일부분에 대응하는 반도체층(130)만이 도시되어 있다.
- [0216] 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다.
- [0217] 제1 게이트 절연막(141) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극(제2 유지 전극(E2)), 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)을 포함하는 제1 게이트 도전체가 위치한다. 도 15에서는 단면 위치상 제3 트랜지스터(T3)의 게이트 전극 중 하나(G3-1)가 도시되어 있다.
- [0218] 제1 게이트 도전체 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다.
- [0219] 제2 게이트 절연막(142) 위에는 유지선(126), 제1 유지 전극(E1), 초기화 전압선(127) 및 기생 축전기 제어 패턴(79)을 포함하는 제2 게이트 도전체가 위치한다.

- [0220] 버퍼층(112), 제1 게이트 절연막(141), 및 제2 게이트 절연막(142)에는 오프닝(57)이 형성되어 중첩층(M1)의 일부를 노출 시킨다. 오프닝(57)을 통하여 기생 축전기 제어 패턴(79)은 중첩층(M1)과 전기적으로 연결된다. 기생 축전기 제어 패턴(79)은 오프닝(66)을 통해 구동 전압선(172)과 전기적으로 연결되어 있으므로, 중첩층(M1)도 구동 전압선(172)과 전기적으로 연결된다. 그 결과 중첩층(M1)에 구동 전압(ELVDD)이 인가된다. 실시예에 따라서는 중첩층(M1)이 구동 전압선(172)과 직접 연결될 수도 있다.
- [0221] 제2 게이트 도전체 위에는 이를 덮는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다.
- [0222] 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72) 및 제3 데이터 연결 부재(73)를 포함하는 데이터 도전체가 위치한다.
- [0223] 데이터 도전체 위에는 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다.
- [0224] 보호막(180) 위에는 화소 전극(도시하지 않음), 유기 발광층(도시하지 않음), 격벽(도시하지 않음) 및 공통 전극(도시하지 않음)이 형성될 수 있다.
- [0225] 도 14를 참고하면, 구동 전압(ELVDD)을 인가받기 위하여 중첩층(M1)은 제3 노드와 중첩하는 부분(중첩부) 외에 연결을 위한 연장부를 더 포함할 수 있다. 실시예에 따라서는 연장부의 길이가 더 짧을 수 있다.
- [0226] 도 14에서는 평면도 상 중첩층(M1)의 중첩부가 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부 전부와 중첩할 수 있을 정도로 크게 형성되어 있다. 그 결과 중첩층(M1)과 반도체층(ACTIVE; 추가 용량부 포함)이 중첩하는 면적이 늘어나고, 그에 따라 추가 유지 축전기의 커패시턴스가 늘어난다. 추가 유지 축전기에 의하여 제3 노드(N3)의 전압 변동이 줄어 들어 제3 트랜지스터(T3)의 턴오프 전압도 감소하게 된다.
- [0227] 도 14 및 도 15의 구조에서는 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 모두 구동 전압(ELVDD)이 인가되는 실시예이다. 하지만, 실시예에 따라서는 서로 다른 전압이 인가될 수도 있다.
- [0228] 이상에서는 중첩층(M1)이 구동 전압(ELVDD)을 인가 받으며, 반도체층에 추가 용량부가 있는 구조를 살펴보았다.
- [0229] 이하에서는 도 16을 통하여 중첩층(M1)이 구동 전압(ELVDD)을 인가 받지만, 반도체층에 추가 용량부가 없는 경우도 살펴본다.
- [0230] 도 16은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0231] 도 16을 참고하면, 중첩층(M1)은 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성되며, 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다.
- [0232] 도 16의 실시예에서는 중첩층(M1)과 중첩하는 반도체층은 추가 용량부를 포함하지 않는다. 즉, 제3 트랜지스터(T3) 주변에 위치하는 반도체층(ACTIVE)은 제1 방향으로 연장되다가 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)을 지나서 제2 방향으로 꺾이면서 아래쪽으로 연장되는 구조를 가진다. 여기서, 반도체층(ACTIVE)이 꺾이는 부분은 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)가 연결되는 제3 노드(N3)에 대응한다. 그러므로 추가 용량부는 제3 노드(N3)의 부근에 위치한다.
- [0233] 반도체층(ACTIVE)이 꺾이는 부분은 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다.
- [0234] 또한, 중첩층(M1)은 구동 전압선(172)과 오프닝(66)을 통해 전기적으로 연결되어 있는 기생 축전기 제어 패턴(79)과 오프닝(57)을 통하여 전기적으로 연결되어 있다. 그 결과 구동 전압(ELVDD)을 인가 받는다.
- [0235] 도 16의 실시예에서도 제3 노드와 중첩하는 층으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)이 존재하며, 모두 구동 전압(ELVDD)이 인가되는 실시예이다. 하지만, 실시예에 따라서는 서로 다른 전압이 인가될 수도 있다.
- [0236] 한편, 도 16의 실시예는 별도의 단면도를 추가하지 않았으며, 이는 도 15와 동일하기 때문이다. 즉, 도 16의 실시예에서 중첩층(M1)과 기생 축전기 제어 패턴(79)의 연결 구조에 대해서는 도 15를 참고할 수 있다.
- [0237] 도 16을 참고하면, 구동 전압(ELVDD)을 인가받기 위하여 중첩층(M1)은 제3 노드와 중첩하는 부분(중첩부) 외에

연결을 위한 연장부를 더 포함할 수 있다. 실시예에 따라서는 연장부의 길이가 더 짧을 수 있다.

- [0238] 도 16의 실시예에 따라서 반도체층의 추가 용량부는 도 12와 같이 포함되지 않을 수도 있다. 이러한 경우는 반도체층(ACTIVE)이 꺾이는 부분과 중첩층(M1)의 중첩으로 추가되는 커패시턴스로 제3 트랜지스터(T3)의 킥백 전압의 변동을 충분히 줄일 수 있는 경우이다.
- [0239] 이상에서는 중첩층(M1)을 기판(110)과 반도체층의 사이에 위치하는 경우를 중심으로 살펴보았다. 하지만, 실시예에 따라 중첩층(M1)은 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0240] 도 14 내지 도 16에서는 중첩층(M1)이 구동 전압(ELVDD)을 인가 받는 위치를 옆 화소의 오프닝(57)을 통하여 인가 받는 구조를 도시하고 있지만, 오프닝(57)의 위치가 본 화소의 내에 위치할 수도 있다.
- [0241] 다양한 실시예가 존재하겠으나 이하에서는 제2 게이트 도전체로 중첩층(M1)을 형성하는 실시예에 대하여 도 17 및 도 18을 통하여 살펴본다.
- [0242] 도 17 및 도 18에서 중첩층(M1)은 기생 축전기 제어 패턴(79)과 중복되어 일체형으로 형성된다.
- [0243] 도 17은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 18은 도 17에서 XVIII-XVIII선을 따라 자른 단면도이다.
- [0244] 도 17 및 도 18에 따른 유기 발광 표시 장치는 플라스틱이나 폴리 이미드(PI)와 같은 플렉서블한 재질로 형성된 기판(110)을 사용한다. 기판(110) 위에는 배리어층(111)이 위치하고, 배리어층(111) 위에는 버퍼층(112)이 위치한다. 배리어층(111) 및 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있으며, 또한, 폴리이미드 아크릴(에폭시 첨가) 등의 유기 절연 물질도 포함할 수 있다.
- [0245] 버퍼층(112) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널, 제1 전극 및 제2 전극을 포함하는 반도체층(130)이 위치한다. 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다.
- [0246] 제1 게이트 절연막(141) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극(제2 유지 전극(E2)), 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)을 포함하는 제1 게이트 도전체가 위치한다.
- [0247] 제1 게이트 도전체 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다.
- [0248] 제2 게이트 절연막(142) 위에는 유지선(126), 제1 유지 전극(E1) 및 초기화 전압선(127)을 포함하는 제2 게이트 도전체가 위치한다. 또한, 제2 게이트 절연막(142) 위에는 기생 축전기 제어 패턴(79)과 일체로 형성된 중첩층(M1)도 위치하고 있다. 기생 축전기 제어 패턴(79)은 오프닝(66)을 통해 구동 전압선(172)과 전기적으로 연결되어 있으므로, 일체로 형성된 중첩층(M1)도 구동 전압(ELVDD)을 인가 받는다.
- [0249] 제2 게이트 도전체 위에는 이를 덮는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다.
- [0250] 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72) 및 제3 데이터 연결 부재(73)를 포함하는 데이터 도전체가 위치한다.
- [0251] 데이터 도전체 위에는 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다.
- [0252] 보호막(180) 위에는 화소 전극(도시하지 않음), 유기 발광층(도시하지 않음), 격벽(도시하지 않음) 및 공통 전극(도시하지 않음)이 형성될 수 있다.
- [0253] 도 17 및 도 18의 실시예에서는 중첩층(M1)이 제2 게이트 도전체로 형성되며, 구동 전압(ELVDD)을 인가받는 실시예를 도시하였다. 이 때에는 반도체층과 기판의 사이에 위치하던 중첩층(M1)은 제거되며, 기생 축전기 제어 패턴(79)과 일체로 형성된다.
- [0254] 실시예에 따라서 중첩층(M1)은 제1 게이트 도전체나 데이터 도전체로 형성될 수도 있다.
- [0255] 도 17 및 도 18의 실시예에서는 도 3과 같이 위로 돌출된 추가 용량부를 가지는 실시예를 사용하였다. 하지만, 추가 용량부가 다른 구조의 돌출된 구조를 가지거나 아니면, 추가 용량부가 없거나, 또는 반도체층과 일정 거리 떨어져서 위치할 수 있다.

- [0256] 도 13 내지 도 18의 실시예에서는 중첩층(M1)에 인가되는 전압으로 구동 전압(ELVDD)만을 기술하였다. 하지만, 실시예는 이에 한정되지 않으며, 그 외에 인가될 수 있는 전압의 예로는 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자나 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다. 중첩층(M1)에 인가되는 전압에 따라서 이와 중첩하는 트랜지스터의 채널의 문턱 전압(Vth)이 시프트될 수 있다. 한편, 인가되는 전압이 구동 전압(ELVDD)인 경우와 인가되는 전압이 초기화 전압(Vint)인 경우에는 트랜지스터의 문턱 전압(Vth)이 반대 방향으로 시프트될 수 있다. 그러므로 이와 같은 특성을 이용하여 보상할 트랜지스터의 특성에 맞추어 다양한 전압을 중첩층(M1)에 인가하여 트랜지스터를 보상할 수 있다. 뿐만 아니라 트랜지스터의 채널이 p 타입인지 아니면 n 타입인지도 고려하여 중첩층(M1)에 인가하는 전압을 결정할 수 있다.
- [0257] 그 외 다양한 변형 실시예가 가능하며, 이하에서는 도 19 내지 도 21을 통하여 또 다른 변형 실시예에 대하여 살펴본다.
- [0258] 먼저, 도 19 및 도 20의 실시예에 대하여 살펴본다.
- [0259] 도 19는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 20은 도 19에서 XX-XX선을 따라 자른 단면도이다.
- [0260] 도 19 및 도 20에서는 중첩층(M1)이 구동 전압(ELVDD)을 인가 받는다는 점에서 도 14 내지 도 18의 실시예와 동일하지만, 구동 전압(ELVDD)을 인가 받는 오프닝이 옆 화소에 위치하지 않고 윗 화소에 위치한다는 점에서 차이가 있다.
- [0261] 도 19 및 도 20의 실시예를 보다 구체적으로 살펴보면 아래와 같다.
- [0262] 도 19 및 도 20의 실시예에 따른 중첩층(M1)은 도 14 내지 도 17과 같이 기관(110)과 반도체층의 사이에 위치한다. 즉, 중첩층(M1)은 플라스틱이나 폴리 이미드(PI)로 형성된 기관(110)과 반도체층의 사이에 위치하며, 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성된다.
- [0263] 또한, 도 1과 달리 중첩층(M1)에는 구동 전압(ELVDD)이 인가되며, 윗 화소에 위치하는 오프닝(57-2)을 통하여 구동 전압(ELVDD)을 인가받는 연결 구조를 가진다.
- [0264] 중첩층(M1)은 제3 트랜지스터(T3)에서 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드와 평면상 중첩하며, 두 트랜지스터(T3-1, T3-2)의 다른 부분 중 적어도 일부와 중첩할 수 있다. 또한, 두 트랜지스터(T3-1, T3-2)가 연결되는 제3 노드에는 추가 용량부를 더 포함하며, 도 19 및 도 20의 실시예에 따른 추가 용량부는 윗 방향으로 돌출된 구조를 가진다.
- [0265] 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부는 중첩층(M1)과 중첩하며 추가 유지 축전기를 형성한다. 본 실시예에서는 평면도 상 중첩층(M1)이 반도체층(ACTIVE)이 꺾이는 부분 및 추가 용량부 전부와 중첩할 수 있을 정도로 크게 형성되어 있다. 이를 통하여 중첩층(M1)과 반도체층(ACTIVE; 추가 용량부 포함)이 중첩하는 면적이 늘어나고, 그 결과 추가 유지 축전기의 커패시턴스가 늘어난다.
- [0266] 도 19 및 도 20과 같이 중첩층(M1)에 구동 전압(ELVDD)이 인가되면, 추가 유지 축전기의 일측단의 전압이 고정되어 추가 유지 축전기의 특성이 일정해지며, 중첩층(M1)과 중첩되는 제3 트랜지스터(T3)의 제3 노드(N3)가 더욱 안정화될 수 있다. 또한, 중첩층(M1)에 구동 전압(ELVDD)과 같은 고전압이 인가되기 때문에 제3 트랜지스터(T3)의 문턱 전압(Vth)이 음의 방향으로 시프트된다. 제3 트랜지스터(T3)의 문턱 전압(Vth)이 음의 방향으로 시프트되면 p형 반도체를 사용하는 제3 트랜지스터(T3)의 킥백 전압이 더욱 감소하여 휘도 감소가 줄어들게 된다.
- [0267] 이하에서는 도 19 및 도 20과 같이 중첩층(M1)이 윗 화소에 위치하는 오프닝(57-2)을 통하여 전기적으로 구동 전압(ELVDD)을 인가받는 구조에 대하여 상세하게 살펴본다.
- [0268] 참고로, 도 19에서는 중첩층(M1)구조를 보다 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0269] 도 19 및 도 20의 실시예에 따른 중첩층(M1)은 제3 트랜지스터(T3)의 제3 노드(N3)와 평면상으로 중첩하는 확장부(31-3), 구동 전압(ELVDD)을 인가받는 접촉부(31-1) 및 이들을 연결하는 연결부(31-2)를 포함한다. 또한, 도 19에서는 중첩층(M1)이 구동 전압선(172)과 연결되기 위하여 꺾인 구조로 도시되어 있다.
- [0270] 도 19에 의하면 구동 전압선(172)도 중첩층(M1)의 접촉부(31-1)와 연결되기 위하여 옆으로 튀어나온 돌출부를

포함한다. 구동 전압선(172)과 중첩층(M1)은 연결 부재(78)를 통하여 전기적으로 연결된다.

- [0271] 도 20을 참고하면, 구동 전압선(172)의 돌출부는 제2 게이트 도전체로 형성되는 연결 부재(78)의 일단과 접촉 구멍(57-1)을 통하여 연결된다. 연결 부재(78)의 타단은 접촉 구멍(57-2)을 통하여 중첩층(M1)의 접촉부(31-1)와 연결된다. 그 결과 중첩층(M1)은 구동 전압(ELVDD)을 인가 받는다.
- [0272] 다만, 도 19 및 도 20의 실시예에서는 중첩층(M1)의 연결부(31-2)가 제7 트랜지스터(T7)와도 중첩하는 구조를 가진다. 하지만, 이는 구동 전압(ELVDD)을 인가받는 부분(접촉부(31-1))에서부터 제3 트랜지스터(T3)의 제3 노드(N3)까지 연장되면서 부수적으로 중첩하는 것이다. 이와 같이 부수적으로 중첩하는 구조는 화소의 특성에 따라서 제외시킬 수도 있다.
- [0273] 도 21에서는 구동 전압(ELVDD)을 인가받는 부분(접촉부(31-1))에서부터 제3 트랜지스터(T3)의 제3 노드(N3)까지 연장되면서 부수적으로 중첩하는 부분이 적은 구조를 도시하고 있다.
- [0274] 도 21은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0275] 도 21의 실시예에 따르면, 도 19와 달리 중첩층(M1)의 연결부(31-2)가 다른 트랜지스터와 중첩을 최소화하기 위하여 화소의 외곽을 따라서 형성되어 있다.
- [0276] 도 21의 실시예는 도 19의 실시예와 달리 중첩층(M1)의 연결부(31-2)가 화소(PX)의 경계선(점선으로 도시)을 따라서 형성되어 제7 트랜지스터(T7)의 채널 영역과 중첩하지 않는 것을 확인할 수 있다.
- [0277] 도 21의 실시예는 도 19의 실시예와 달리 불필요한 기생 커패시턴스를 제거할 수 있는 장점을 가질 수 있다.
- [0278] 도 19 내지 도 21의 실시예도 도시하고 있는 바와 달리 중첩층(M1)이 반도체층(ACTIVE)과 기판(110)의 사이에 위치하지 않고, 반도체층(ACTIVE)의 위에 위치할 수 있다. 이 때에는 제1 게이트 도전체, 제2 게이트 도전체 또는 데이터 도전체 중 하나로 형성될 수 있다.
- [0279] 또한, 도 19 내지 도 21의 실시예도 도시하고 있는 바와 달리 중첩층(M1)에 구동 전압(ELVDD) 외에 다른 전압이 인가될 수도 있다.
- [0280] 뿐만 아니라, 도 19 내지 도 21의 실시예도 도시하고 있는 바와 달리 반도체층(ACTIVE)에 형성되는 추가 용량부가 위로 돌출되지 않고, 다른 방향으로 돌출되거나 옆으로도 돌출된 구조를 가질 수도 있다. 뿐만 아니라, 추가 용량부가 없거나, 또는 추가 용량부가 반도체층과 일정 거리 떨어져서 위치할 수 있다.
- [0281] 도 19 내지 도 21에서는 중첩층(M1)이 구동 전압(ELVDD)을 인가 받는 위치를 인접하는 화소의 오프닝(57-2)을 통하여 인가 받는 구조를 도시하고 있지만, 오프닝(57-2)의 위치가 본 화소 내의 일부분에 위치할 수도 있다.
- [0282] 이하에서는 도 22 및 도 23을 통하여 본 실시예에 따른 효과에 대하여 살펴본다.
- [0283] 도 22는 도 13의 회로도의 일부를 회로 관점에서 도시한 회로도이다.
- [0284] 도 22에서는 제3 트랜지스터(T3)와 관련된 추가 유지 축전기(C2) 및 기생 커패시터(C1)를 도시하고 있다.
- [0285] 추가 유지 축전기(C2)의 일측단은 구동 전압(ELVDD)이 인가되며, 타측단은 N2 노드이다. 한편, 기생 커패시터(C1)의 일측단은 N2 노드이며, 타측단은 제3 트랜지스터(T3)의 게이트 전극이다. 도 22에서 기생 커패시터(C1)의 타측단이 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)로만 도시하고 있지만, 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)도 포함된다.
- [0286] 이와 같은 구조에서 제3 트랜지스터(T3)의 킥백 전압의 변동(ΔV_{n3})은 도 22에서 도시한 바와 같으며, 이는 아래 수학적 식 1이다.
- [0287] [수학적 식 1]
- [0288]
$$\Delta V_{n3} = [C1 / (C1 + C2)] \times \Delta V$$
- [0289] 수학적 식 1에서, C1은 기생 커패시터(C1)의 커패시턴스 값이며, C2는 추가 유지 축전기(C2)의 커패시턴스 값이다.
- [0290] 기생 커패시터(C1)의 커패시턴스 값은 제3 트랜지스터(T3)의 구조가 정해지면 확정되는 값이라서 변동이 없다. 이에 반하여 추가 유지 축전기(C2)의 커패시턴스 값은 중첩층(M1)과 중첩하는 반도체층의 크기에 따라서 변한다.
- [0291] 수학적 식 1에 의하면, 제3 트랜지스터(T3)의 킥백 전압의 변동(ΔV_{n3})은 C2값이 증가할수록 감소하는 것을 알 수

있다. 그러므로 추가 유지 축전기(C2)의 커패시턴스 값을 증가시켜 제3 트랜지스터(T3)의 킥백 전압의 변동(ΔV_{n3}) 폭을 줄일 수 있고, 본 발명에서는 이를 위하여 반도체층에 추가 용량부를 더 포함하였다. 그러므로 본 발명의 실시예에서는 제3 트랜지스터(T3)의 킥백 전압의 변동(ΔV_{n3})이 줄어 표시 품질이 향상된다.

- [0292] 도 22는 도 13의 회로도의 일부분을 도시하고 있지만, 도 1의 경우에도 추가 유지 축전기의 일 전극이 플로팅되어 있을 뿐 제3 트랜지스터(T3)의 킥백 전압의 변동(ΔV_{n3})에 대한 수학적 1은 차이가 없다. 그러므로 중첩층(M1)이 플로팅(floating)된 실시예에서도 동일한 효과를 가진다.
- [0293] 이하에서는 도 23을 통하여 다양한 비교예(Ref) 및 실시예를 이용하여 휘도 감소의 정도를 비교하여 살펴본다.
- [0294] 도 23은 휘도 감소의 개선 여부를 실험한 결과이다.
- [0295] 도 23에서는 두 개의 비교예(Ref, T4 leakage)와 2개의 실시예(DY+N3 shield, EG+N3 shield)에서의 휘도 감소의 정도를 비교하고 있다.
- [0296] 우선 비교예 1(Ref)의 구조는 제3 트랜지스터(T3)와 중첩하는 층이 없는 것으로 중첩층(M1)뿐만 아니라 기생 축전기 제어 패턴(79)도 형성되지 않은 구조이다. 뿐만 아니라 비교예 1(Ref)에서는 제3 트랜지스터(T3)는 직렬 연결된 두 트랜지스터로 형성하였지만, 제4 트랜지스터(T4)는 하나의 트랜지스터로 형성하여 직렬 연결된 두 트랜지스터로 형성하지 않은 구조이다.
- [0297] 비교예 2(T4 leakage)는 비교예 1(Ref)에서 제4 트랜지스터(T4)도 직렬 연결된 두 트랜지스터로 형성하며, 제3 트랜지스터(T3)의 채널 길이와 제4 트랜지스터(T4)의 채널 길이를 일정하게 일치시킨 실시예이다. 이는 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)에서의 누설 전류만을 감소시킨 경우이다.
- [0298] 실시예 1(DY+N3 shield)은 비교예 1(Ref)에서 제3 트랜지스터(T3)와 중첩하는 층을 더 포함하는 것으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)가 형성되어 있는 실시예이다.
- [0299] 실시예 2(EG+N3 shield)는 비교예 2(T4 leakage)에서 제3 트랜지스터(T3)와 중첩하는 층을 더 포함하는 것으로 중첩층(M1) 및 기생 축전기 제어 패턴(79)가 형성되어 있는 실시예이다.
- [0300] 도 23에서 볼 수 있는 바와 같이 단순히 제3 트랜지스터(T3)와 중첩하는 층을 더 포함하는 것만으로도 휘도 감소가 발생하는 것을 확인할 수 있다. 이에 더하여 제3 트랜지스터(T3)와 제4 트랜지스터(T4)의 누설 전류를 줄이면 더욱 휘도 감소 효과가 큰 것을 알 수 있다. 이를 위하여 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 직렬 연결된 두 트랜지스터를 포함하는 구조를 가질 수 있다.
- [0301] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

- [0302] 110: 기관 111: 배리어층
M1: 중첩층 112: 버퍼층
130: 반도체층 141: 제1 게이트 절연막
142: 제2 게이트 절연막 160: 층간 절연막
180: 보호막 N3: 제3 노드
56: 개구 57, 61-69, 81: 오프닝
A1, A2: 추가 용량부 79: 기생 축전기 제어 패턴
126: 유지선 127: 초기화 전압선
151: 스캔선 152: 전단 스캔선
153: 발광 제어선 155: 게이트 전극
158: 바이패스 제어선 171: 데이터선

172: 구동 전압선 71, 72, 73: 데이터 연결 부재

741: 공통 전압선 E1, E2: 유지 전극

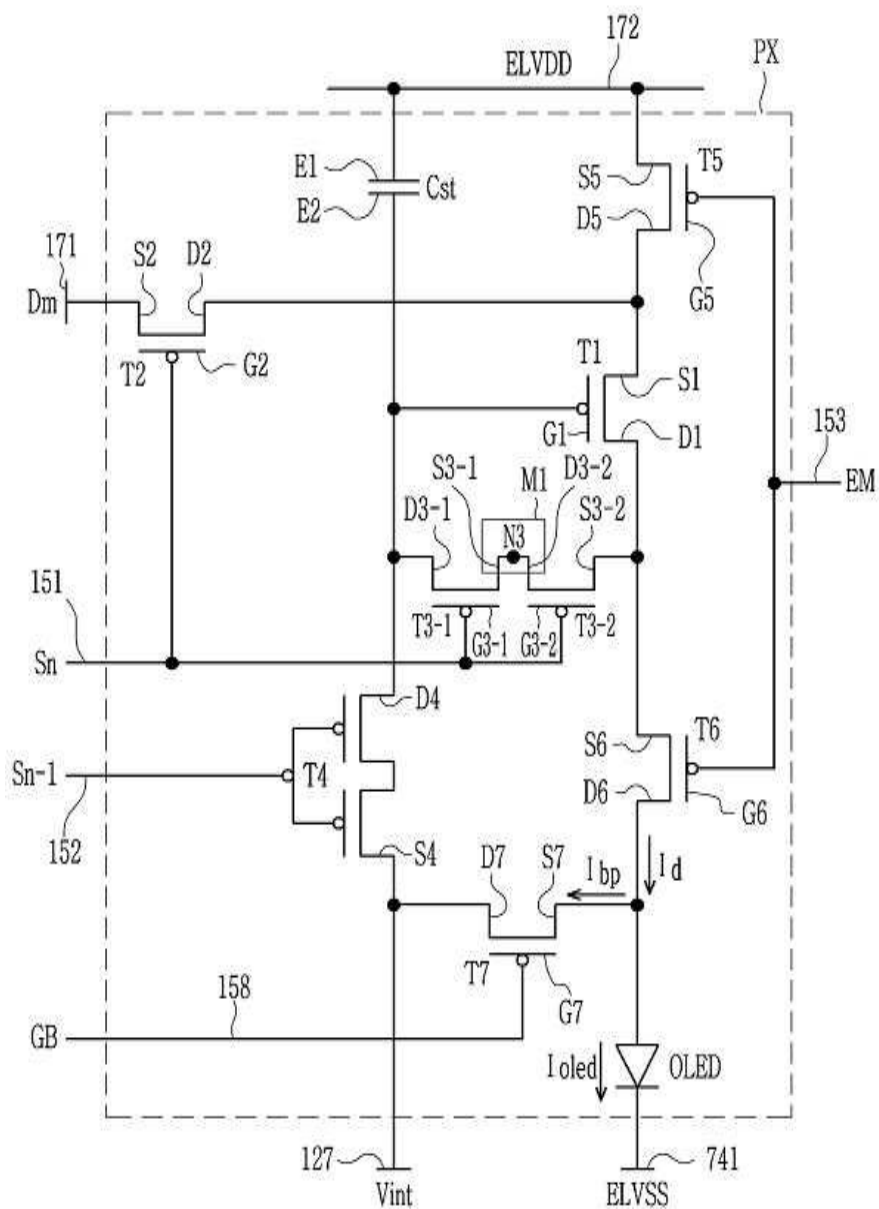
78: 연결 부재 31-1: 점촉부

31-2: 연결부 31-3: 확장부

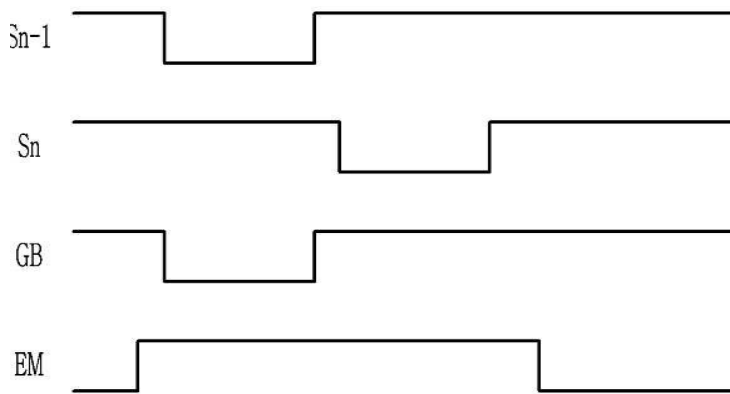
T1, T2, T3, T4, T5, T6, T7: 트랜지스터

도면

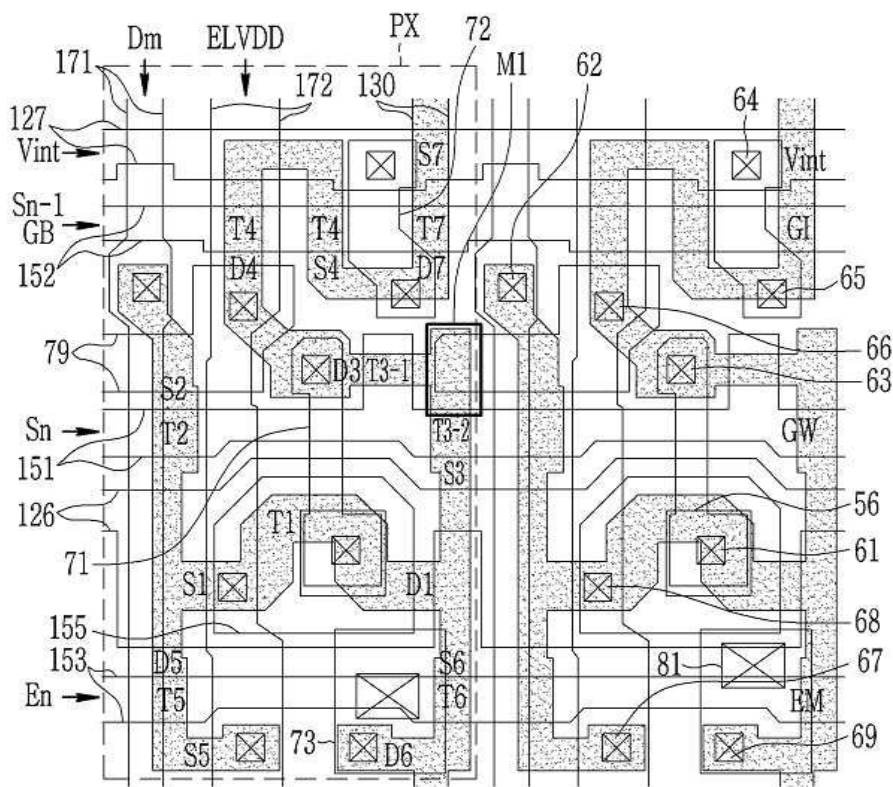
도면1



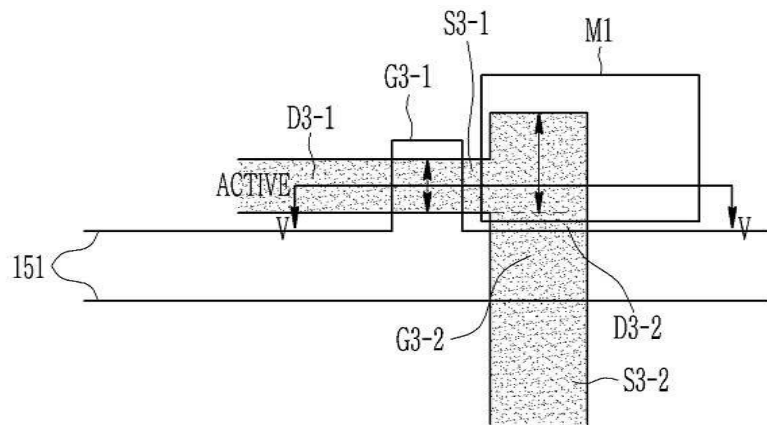
도면2



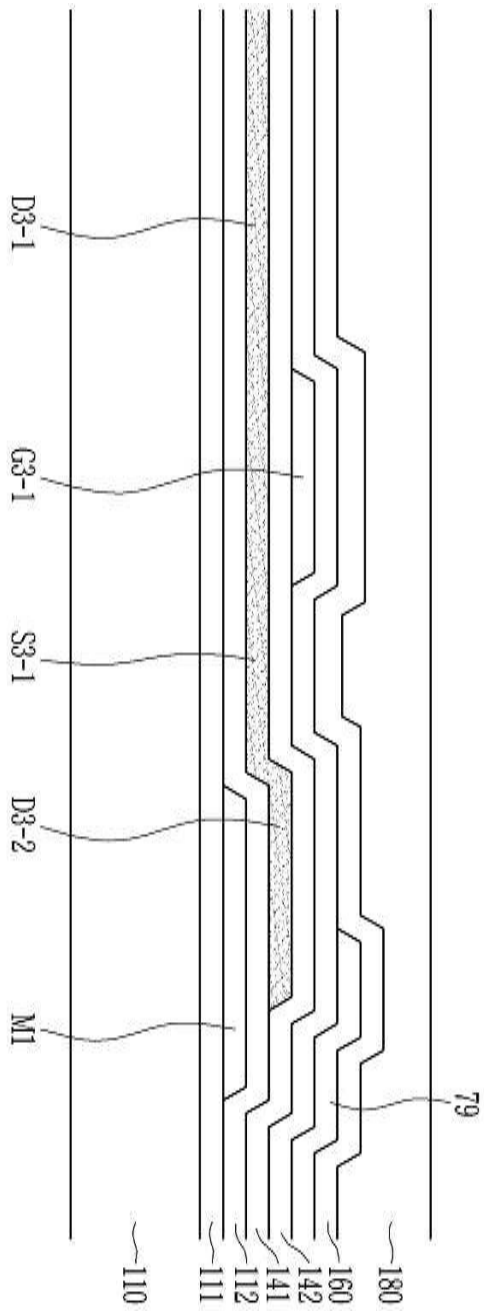
도면3



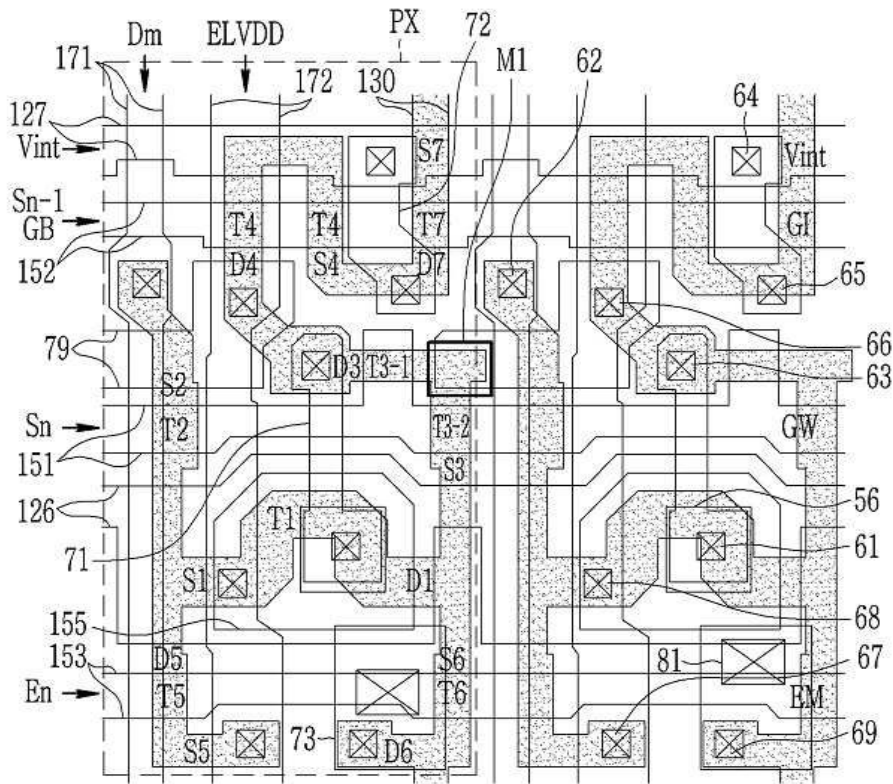
도면4



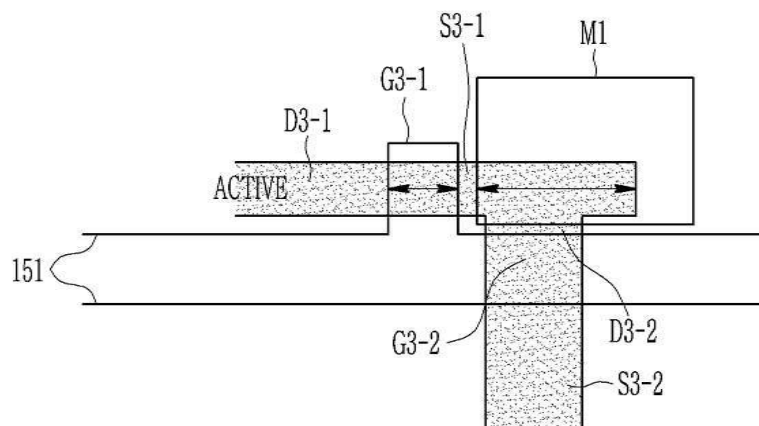
도면5



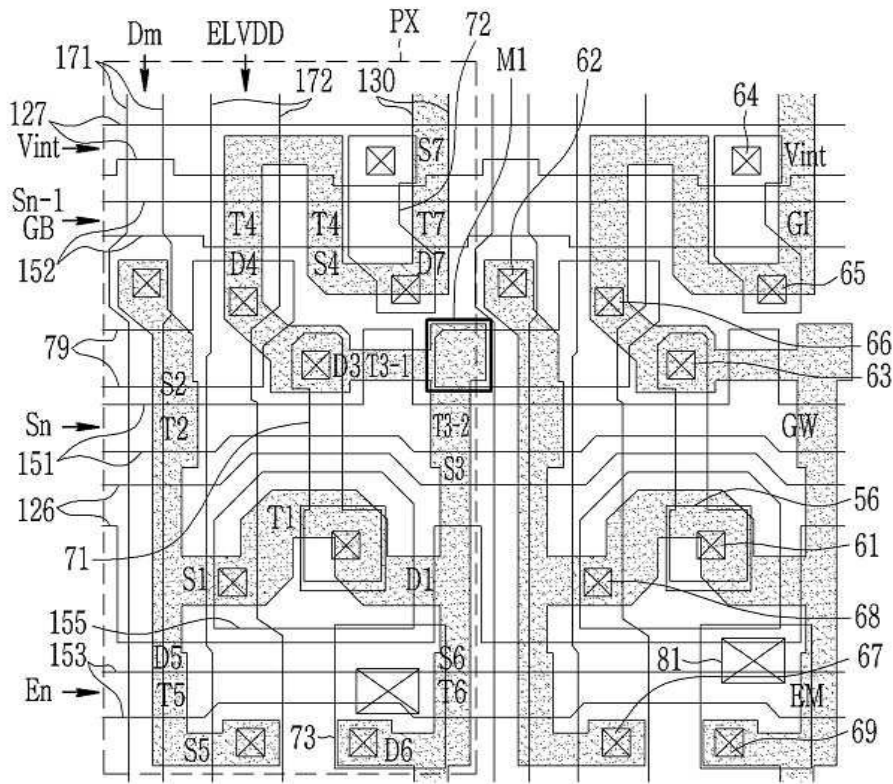
도면6



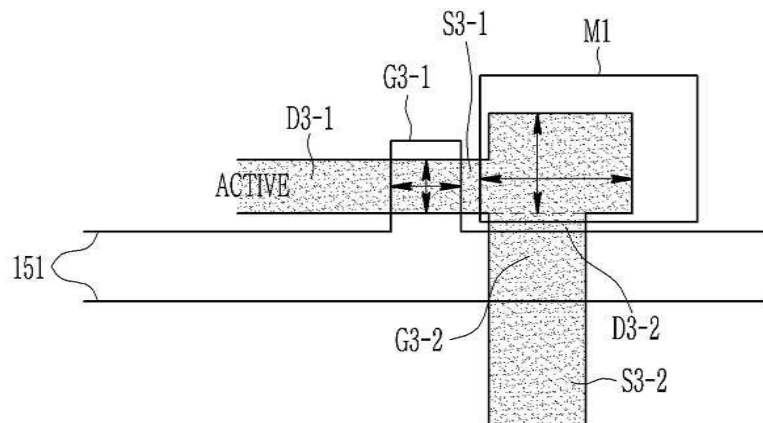
도면7



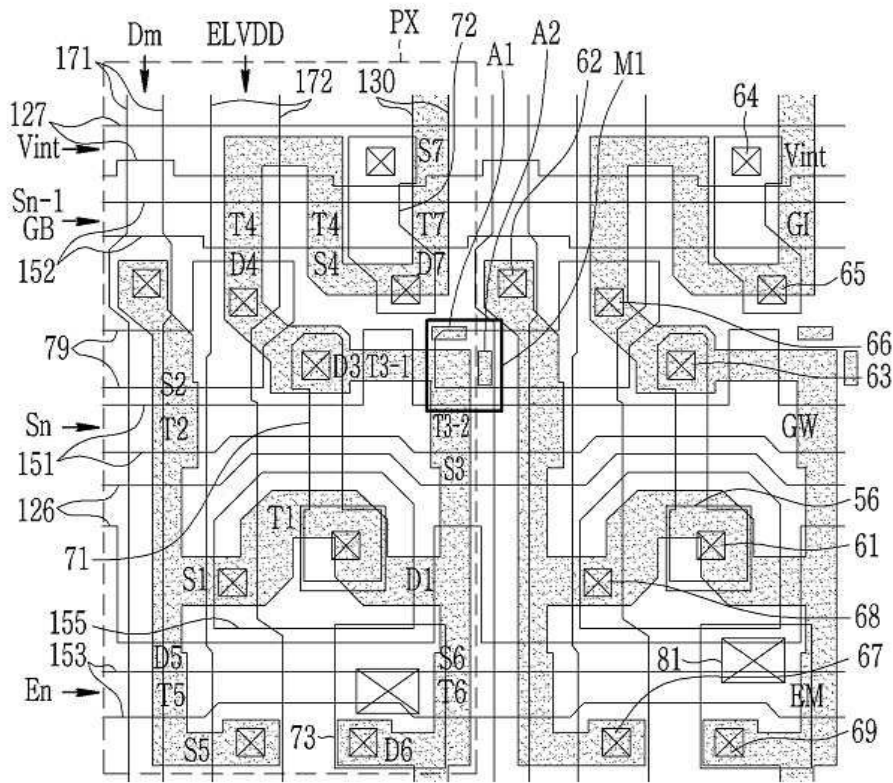
도면8



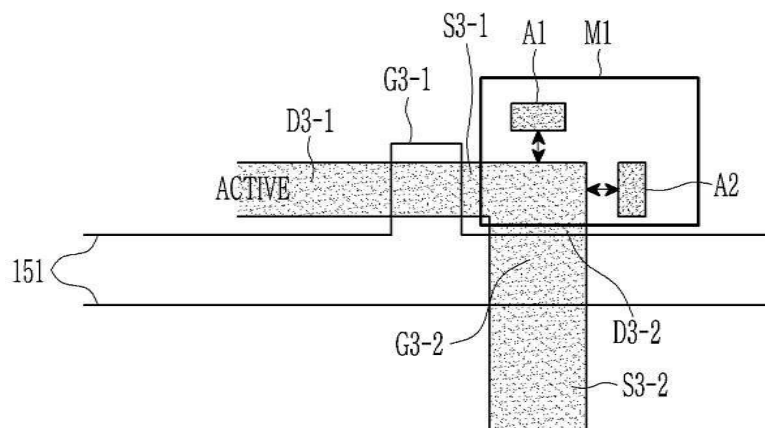
도면9



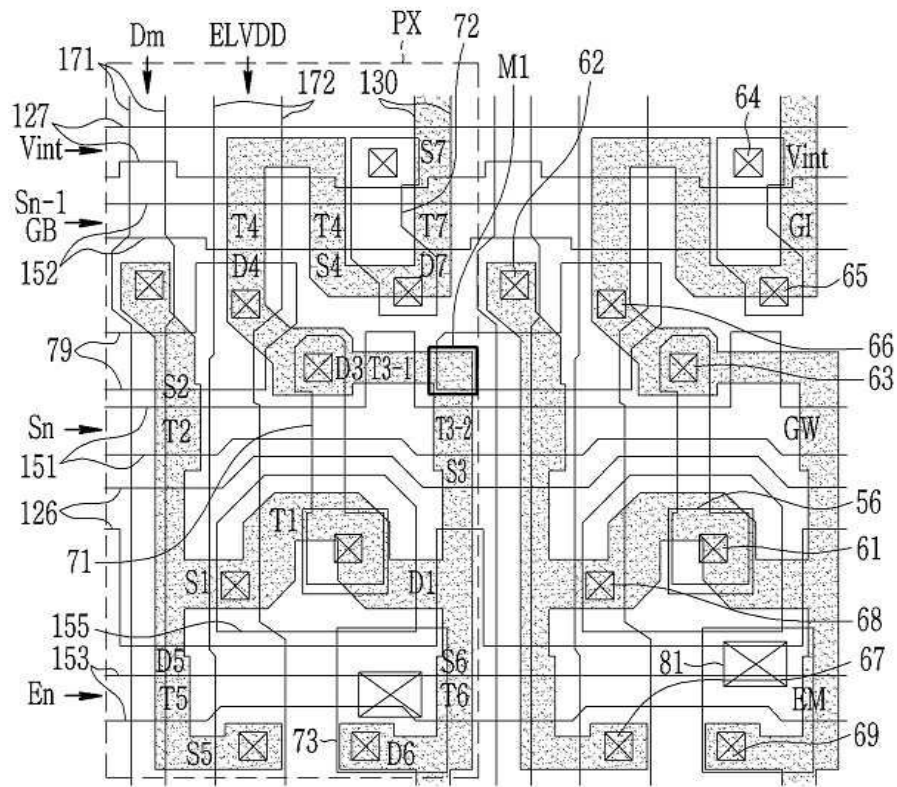
도면10



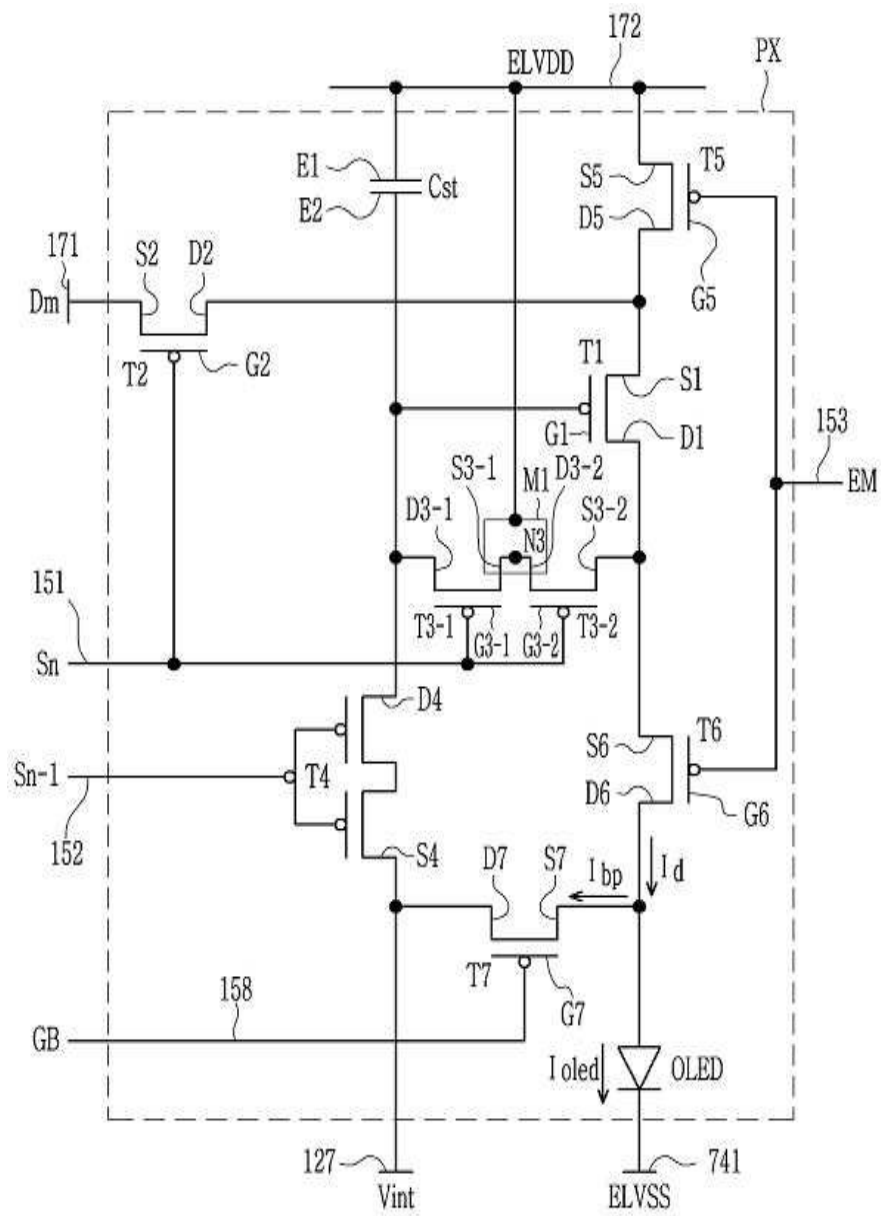
도면11



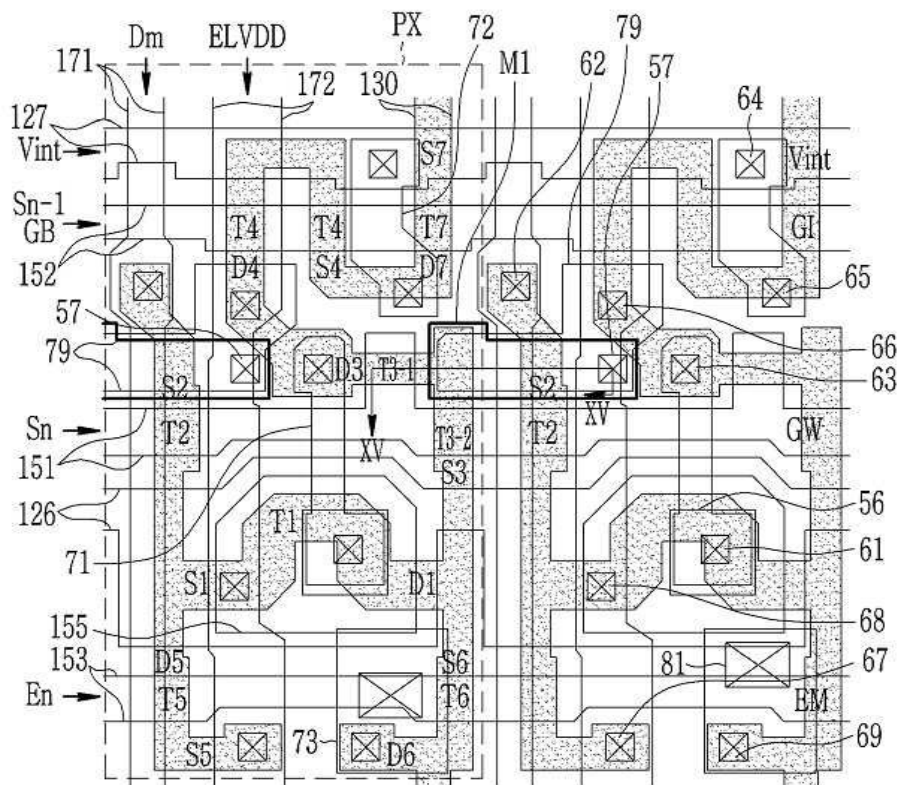
도면12



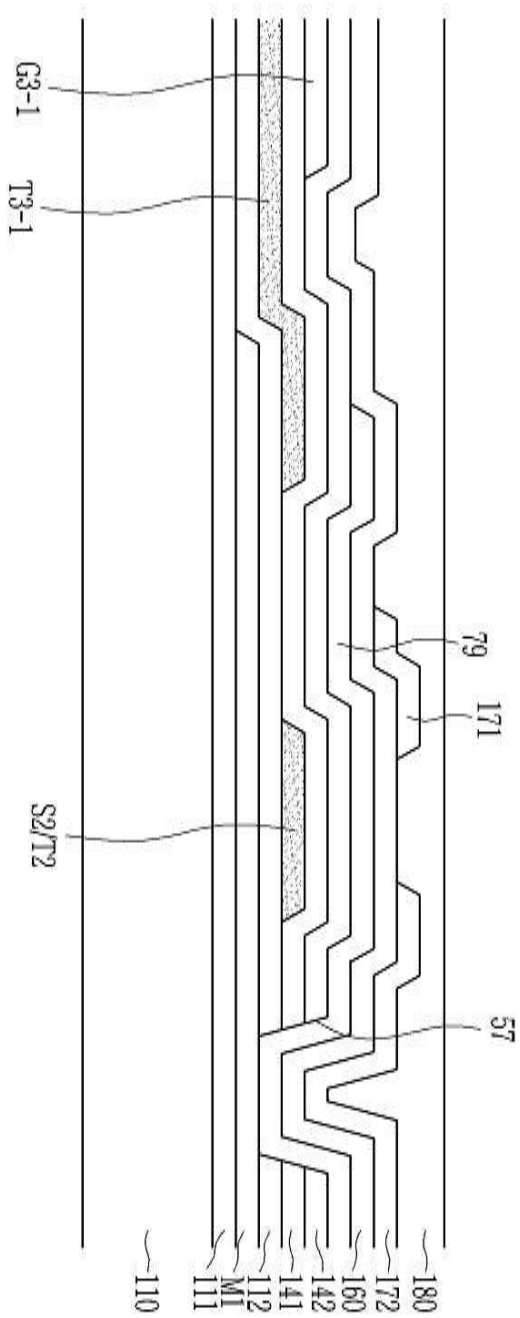
도면13



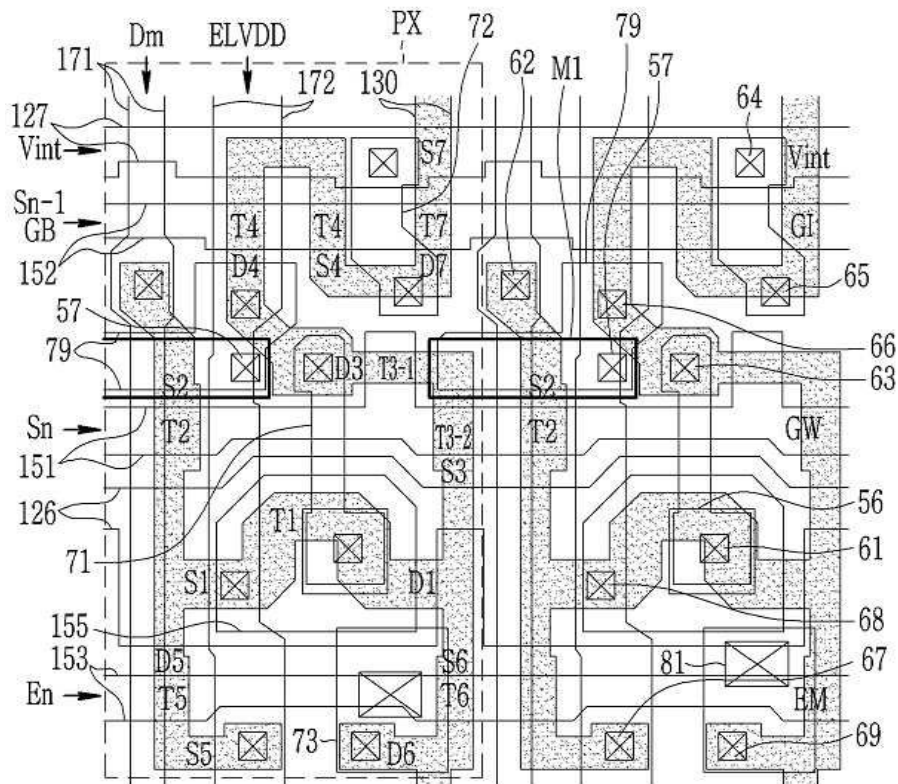
도면14



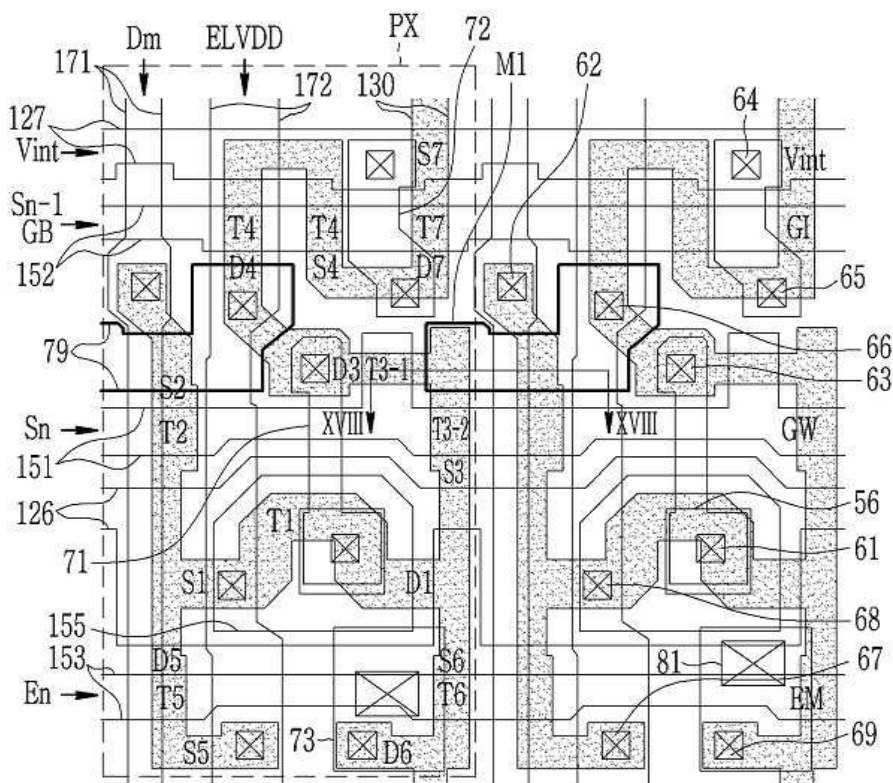
도면15



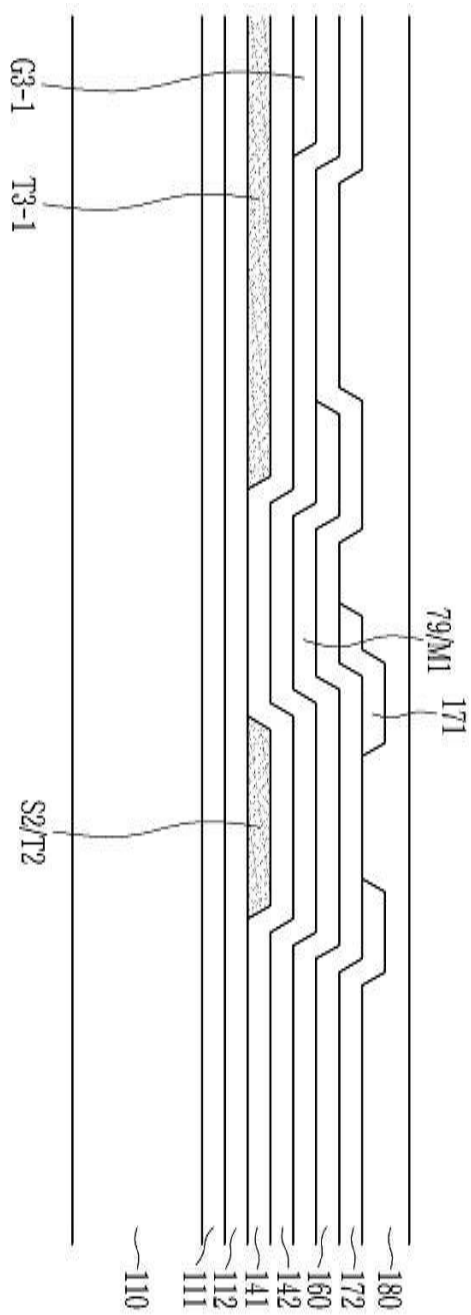
도면16



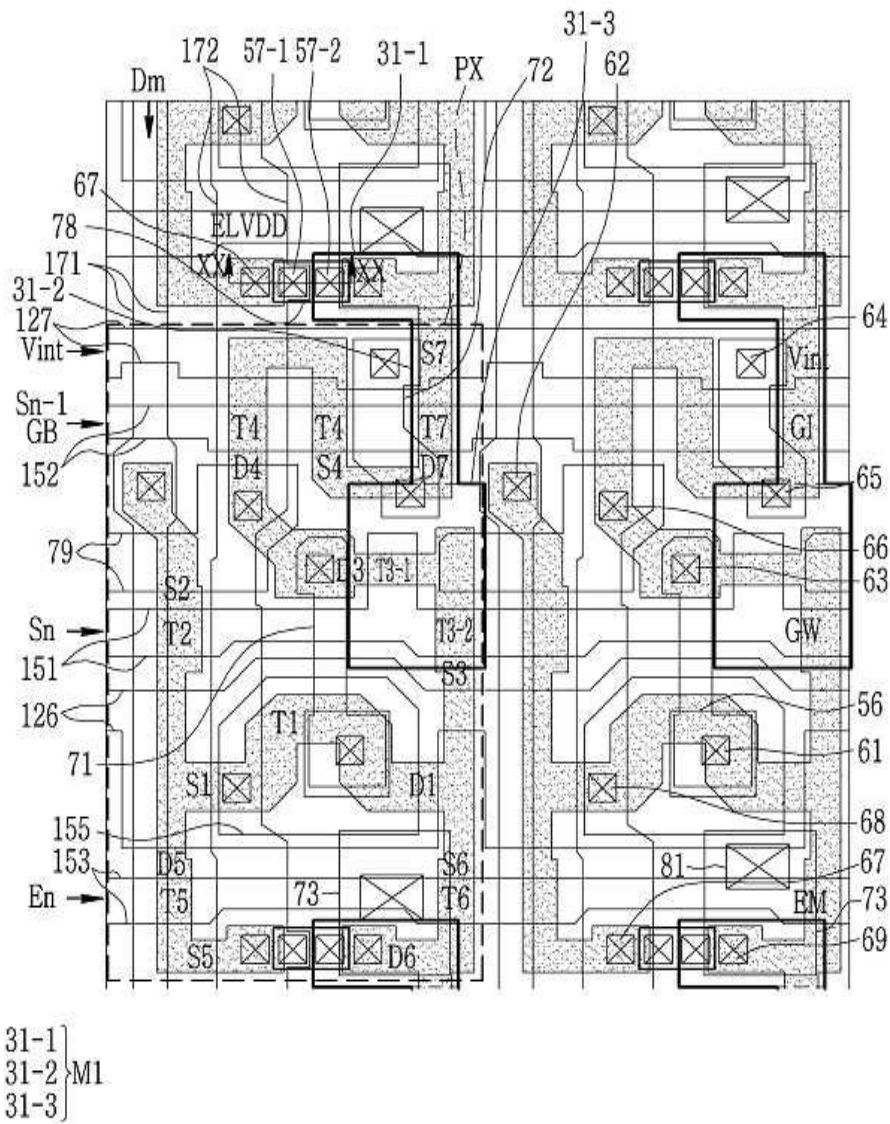
도면17



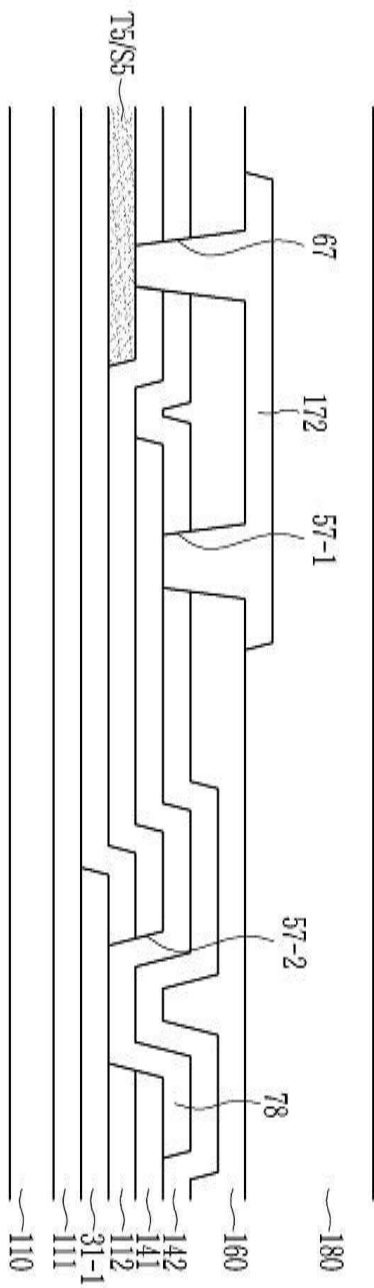
도면18



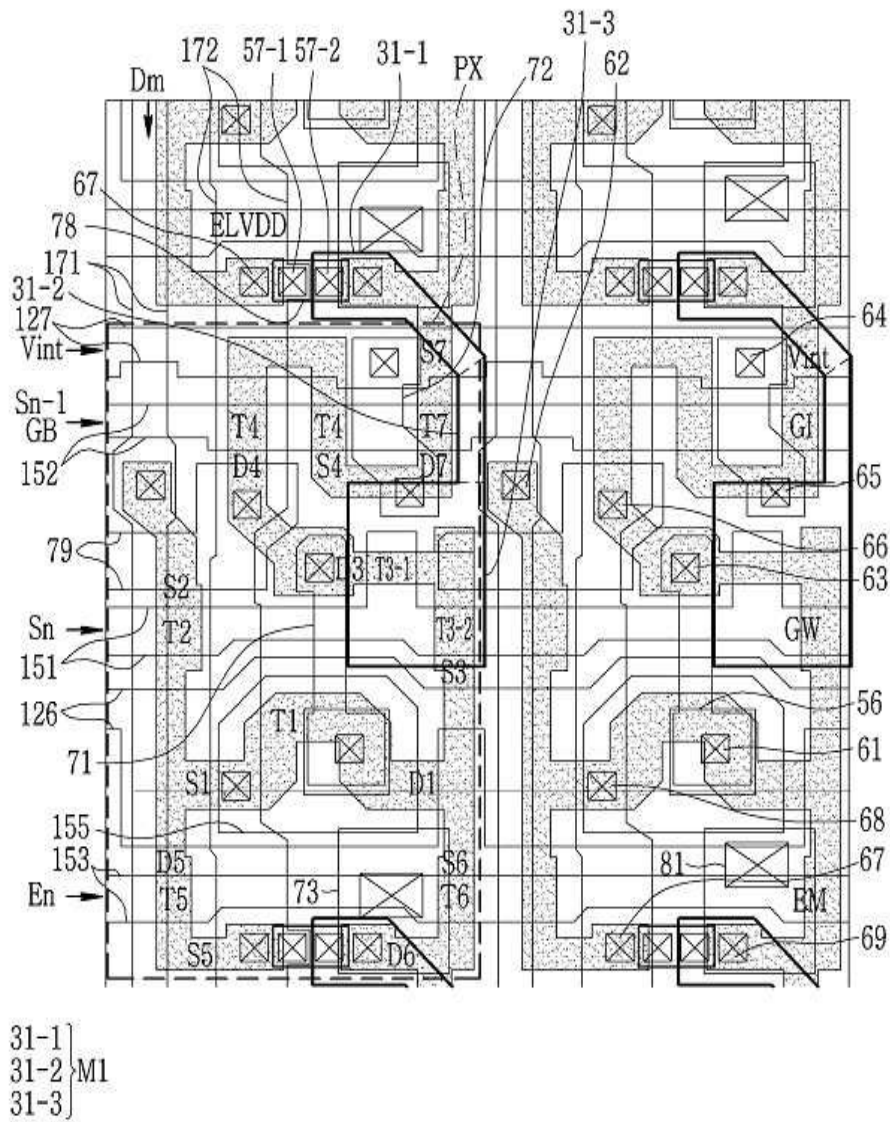
도면19



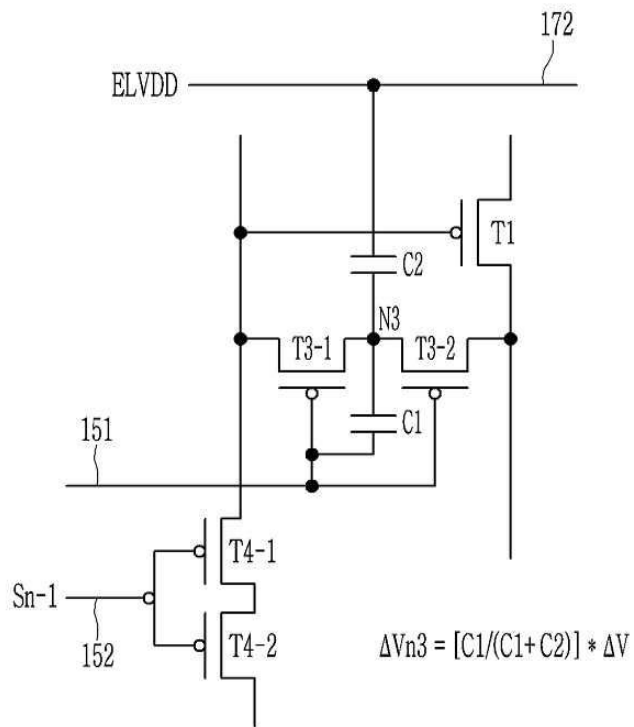
도면20



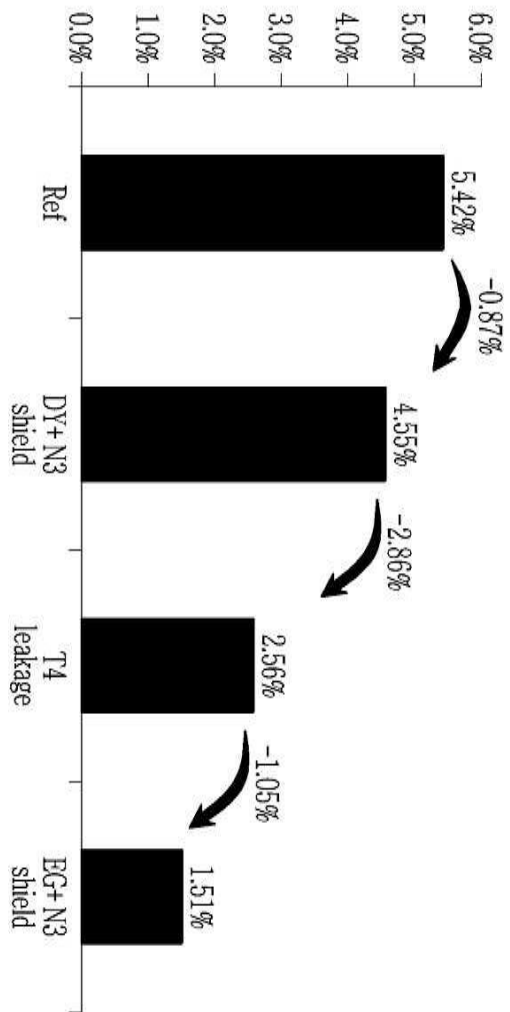
도면21



도면22



도면23



实施方式提供了一种柔性有机发光显示装置，其中即使在柔性基板上形成晶体管时，也减小了晶体管的反冲电压的变化以防止显示质量的下降。通过形成与第三晶体管重叠的重叠层来降低反冲电压。根据实施例，可以在第三晶体管的半导体层中进一步形成附加电容器部分。

