



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2019-0115166  
(43) 공개일자 2019년10월11일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G09G 3/3208 (2016.01)  
H01L 51/00 (2006.01) H01L 51/50 (2006.01)  
H01L 51/52 (2006.01)

(52) CPC특허분류  
H01L 27/3276 (2013.01)  
G09G 3/3208 (2013.01)

(21) 출원번호 10-2018-0037658  
(22) 출원일자 2018년03월30일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자  
왕성민  
경기도 성남시 분당구 판교역로 98, 707동 1603호(백현동, 백현마을7단지아파트)

황영인  
경기도 수원시 권선구 동수원로145번길 73, 301동 305호(권선동, 수원아이파크시티3단지)  
(뒷면에 계속)

(74) 대리인  
팬코리아특허법인

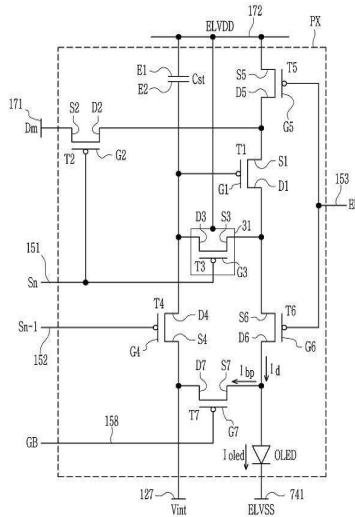
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

실시예들에 따르면, 반도체층의 아래에 위치하는 메탈층을 형성하여 열처리 공정시 하부 기판이 플렉서블한 기판일 경우에 하부 기판에서 불순물이 트랜지스터로 제공되더라도 트랜지스터가 정상 동작하도록 하고, 트랜지스터의 특성(예를 들면, 킥백 전압)이 변하지 않도록 하여 화이트와 블랙을 교대로 표시하는 경우 잔상이 남지 않도록 하여 표시 품질을 향상시킨다. 또한, 화소 내에 콘택홀을 형성하여 반도체층의 아래에 위치하는 메탈층이 플로팅되지 않고 전압을 인가받게 되어 필요한 위치에만 메탈층을 형성하여 불필요한 기생 용량으로 인한 표시 품질의 저하를 방지한다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/3262* (2013.01)

*H01L 51/0097* (2013.01)

*H01L 51/50* (2013.01)

*H01L 51/5203* (2013.01)

(72) 발명자

**양용호**

경기도 수원시 영통구 매탄로126번길 66, 202동  
1605호 (매탄동, 주공그린빌아파트)

**이용수**

서울특별시 서초구 신반포로 137, 2동 403호 (반포  
동, 경남아파트)

**이재섭**

서울특별시 서초구 사임당로 137, 2동 905호 (서초  
동, 신동아아파트)

**조규철**

경기도 수원시 영통구 영통로 460, 305동 1004호  
(영통동, 대우.동신아파트)

## 명세서

### 청구범위

#### 청구항 1

플렉서블 기관;

상기 플렉서블 기관위에 위치하는 차단층;

상기 플렉서블 기관 및 상기 차단층 위에 위치하는 화소; 및

상기 화소에 연결되어 있는 스캔선, 데이터선, 구동 전압선, 초기화 전압선을 포함하며,

상기 화소는

유기 발광 소자;

상기 스캔선에 연결되어 있는 스위칭 트랜지스터; 및

상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터를 포함하며,

상기 차단층은 상기 스위칭 트랜지스터와 평면상 중첩하는 영역으로, 상기 스위칭 트랜지스터와 상기 플렉서블 기관의 사이에 위치하며,

상기 차단층은 이를 노출시키는 접촉 구멍을 통하여 전압을 인가 받으며,

상기 접촉 구멍은 상기 화소 내에 위치하는 유기 발광 표시 장치.

#### 청구항 2

제1항에서,

상기 스위칭 트랜지스터는

상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터인 유기 발광 표시 장치.

#### 청구항 3

제1항에서,

상기 차단층은 상기 접촉 구멍을 통하여 상기 스캔선, 상기 데이터선, 상기 구동 전압선, 상기 초기화 전압선, 상기 스위칭 트랜지스터, 상기 구동 트랜지스터, 및 상기 유기 발광 소자의 일 단자 중 어느 하나와 전기적으로 연결되어 있는 유기 발광 표시 장치.

#### 청구항 4

제2항에서,

상기 차단층은 상기 구동 트랜지스터와 중첩하는 부분을 더 포함하는 유기 발광 표시 장치.

#### 청구항 5

제4항에서,

상기 차단층 중 상기 구동 트랜지스터와 중첩하는 상기 부분은 상기 구동 트랜지스터의 게이트 전극의 폭보다 넓은 폭을 가지는 유기 발광 표시 장치.

#### 청구항 6

제4항에서,

상기 차단층은 상기 접촉 구멍을 통하여 상기 구동 전압선과 연결되어 있는 유기 발광 표시 장치.

**청구항 7**

제4항에서,

상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 구동 트랜지스터와 중첩하는 부분은 서로 분리되어 있으며, 서로 다른 전압을 인가 받는 유기 발광 표시 장치.

**청구항 8**

제2항에서,

상기 스위칭 트랜지스터는 상기 스캔선 및 상기 데이터선에 연결되어 있는 제2 트랜지스터를 더 포함하며, 상기 차단층은 상기 제2 트랜지스터와 중첩하는 부분을 더 포함하는 유기 발광 표시 장치.

**청구항 9**

제8항에서,

상기 차단층은 상기 접촉 구멍을 통하여 상기 구동 전압선과 연결되어 있는 유기 발광 표시 장치.

**청구항 10**

제8항에서,

상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 제2 트랜지스터와 중첩하는 부분은 서로 분리되어 있으며, 서로 다른 전압을 인가 받는 유기 발광 표시 장치.

**청구항 11**

제2항에서,

상기 화소는

상기 초기화 전압선과 연결되어 있는 제1 전극, 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제4 트랜지스터를 더 포함하며,

상기 차단층은 상기 제4 트랜지스터와 중첩하는 부분을 더 포함하는 유기 발광 표시 장치.

**청구항 12**

제11항에서,

상기 차단층은 상기 접촉 구멍을 통하여 상기 구동 전압선과 연결되어 있는 유기 발광 표시 장치.

**청구항 13**

제11항에서,

상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 제4 트랜지스터와 중첩하는 부분은 서로 분리되어 있으며, 서로 다른 전압을 인가 받는 유기 발광 표시 장치.

**청구항 14**

제2항에서,

상기 화소는

상기 구동 전압선과 연결되어 있는 제1 전극, 및 상기 구동 트랜지스터의 입력측 전극과 연결되어 있는 제2 전극을 포함하는 제5 트랜지스터;

상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극, 및 상기 유기 발광 소자와 연결되어 있는 제2 전극을 포함하는 제6 트랜지스터; 및

상기 유기 발광 소자와 연결되어 있는 제1 전극, 및 상기 초기화 전압선과 연결되어 있는 제2 전극을 포함하는 제7 트랜지스터 중 적어도 하나의 트랜지스터를 더 포함하는 유기 발광 장치.

**청구항 15**

제14항에서,

상기 차단층은 상기 제5 트랜지스터, 상기 제6 트랜지스터, 및 상기 제7 트랜지스터 중 상기 화소에 포함되어 있는 트랜지스터와 중첩하는 부분을 더 포함하는 유기 발광 표시 장치.

**청구항 16**

제15항에서,

상기 화소에 연결되어 있는 전단 스캔선 및 발광 제어선을 더 포함하며,

상기 차단층은 상기 제3 트랜지스터와 중첩하는 부분과 상기 제5 트랜지스터, 상기 제6 트랜지스터, 및 상기 제7 트랜지스터 중 상기 화소에 포함되어 있는 트랜지스터와 중첩하는 부분이 서로 분리되어 있으며, 서로 다른 전압을 인가 받으며,

상기 인가 받는 전압 중 하나는

상기 전단 스캔선 또는 상기 발광 제어선 중 하나와 전기적으로 연결되어 있는 유기 발광 표시 장치.

**청구항 17**

제2항에서,

상기 차단층은 상기 화소의 적어도 일부분과는 중첩하지 않는 유기 발광 표시 장치.

**청구항 18**

플렉서블 기판;

상기 플렉서블 기판위에 위치하는 차단층;

상기 차단층 위에 위치하는 버퍼층;

상기 버퍼층위에 위치하는 반도체층;

상기 반도체층을 덮는 제1 게이트 절연막;

상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체;

상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막;

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체;

상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막;

상기 층간 절연막 위에 위치하는 데이터 도전체;

상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 포함하며,

트랜지스터는 상기 반도체층에 채널이 형성되며, 상기 제1 게이트 도전체에 게이트 전극을 가지며,

상기 차단층은 상기 트랜지스터의 채널과 평면상 중첩하며,

상기 버퍼층, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 층간 절연막 중 적어도 일부는 상기 차단층을 노출시키는 접촉 구멍이 형성되며,

상기 접촉 구멍을 통하여 상기 차단층은 전압을 인가받으며,

상기 접촉 구멍은 상기 트랜지스터가 포함되는 화소 또는 바로 인접하는 화소 내에 위치하는 유기 발광 표시 장치.

**청구항 19**

제18항에서,

상기 차단층은 상기 접촉 구멍을 통하여 스캔선, 데이터선, 구동 전압선, 초기화 전압선, 전단 스캔선, 발광 제어선, 상기 트랜지스터의 일 단자 및 유기 발광 소자의 일 단자 중 어느 하나와 전기적으로 연결되어 있는 유기 발광 표시 장치.

**청구항 20**

제19항에서,

상기 트랜지스터는 복수의 트랜지스터를 포함하며,

상기 복수의 트랜지스터는

상기 스캔선에 연결되어 있는 스위칭 트랜지스터; 및

상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터를 포함하며,

상기 차단층은 상기 스위칭 트랜지스터와 중첩하는 유기 발광 표시 장치.

**청구항 21**

제20항에서,

상기 스위칭 트랜지스터는

상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터인 유기 발광 표시 장치.

**청구항 22**

제21항에서,

상기 스캔선 및 상기 데이터선과 연결되어 있는 제2 트랜지스터를 더 포함하며,

상기 차단층은 상기 제2 트랜지스터 또는 상기 구동 트랜지스터와 중첩하는 부분을 더 포함하는 유기 발광 표시 장치.

**청구항 23**

제22항에서,

상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 제2 트랜지스터 또는 상기 구동 트랜지스터와 중첩하는 부분은 전기적으로 분리되어 있으며,

서로 다른 전압을 인가받는 유기 발광 표시 장치.

**청구항 24**

제18항에서,

상기 차단층은 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성되어 있는 유기 발광 표시 장치.

**청구항 25**

제18항에서,

상기 플렉서블 기판은 복수개가 형성되며,

상기 복수개의 플렉서블 기판의 사이 중 적어도 한 곳에 배리어층이 더 포함되어 있는 유기 발광 표시 장치.

**청구항 26**

제18항에서,  
 상기 구동 트랜지스터의 채널은 상기 반도체층에 형성되며,  
 상기 반도체층의 모양은  $\Omega$ 형, 역 S형, S형, M형, W형 중 하나의 구조를 가지는 유기 발광 표시 장치.

**청구항 27**

제18항에서,  
 상기 제1 게이트 도전체로 형성되는 제1 유지 전극; 및  
 상기 제2 게이트 도전체로 형성되는 제2 유지 전극을 포함하며,  
 상기 제1 유지 전극 및 상기 제2 유지 전극이 중첩하여 유지 축전기를 이루는 유기 발광 표시 장치.

**청구항 28**

제27항에서,  
 상기 제2 유지 전극은 개구를 가져 상기 제1 유지 전극과 중첩되는 정도가 상기 개구의 크기에 따라서 변하는 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 개시는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로 플렉서블 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판, 기판 상에 위치하는 복수의 박막 트랜지스터, 박막 트랜지스터를 구성하는 배선들 사이에 배치되는 복수의 절연층 및 박막 트랜지스터에 연결된 유기 발광 소자를 포함한다.

[0005] 최근, 기판으로서 폴리머 재료를 포함하는 플렉서블(flexible) 기판을 포함하여 전체적으로 휘어지는 플렉서블 유기 발광 표시 장치가 개발되었다.

[0006] 유기 발광 표시 장치는 복수의 화소를 포함하며, 각 화소에는 복수의 트랜지스터가 포함되어 있다. 트랜지스터는 다결정 반도체를 포함한다. 다결정 반도체를 형성하기 위하여 비정질 반도체에 레이저 등의 열처리를 통하여 결정화 단계를 거친다.

**발명의 내용**

**해결하려는 과제**

[0007] 실시예들은 열처리시 발생하는 불순물로 인하여 표시 품질이 저하되지 않는 플렉서블한 유기 발광 표시 장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0008] 일 실시예에 따른 유기 발광 표시 장치는 플렉서블 기판; 상기 플렉서블 기판위에 위치하는 차단층; 상기 플렉서블 기판 및 상기 차단층 위에 위치하는 화소; 및 상기 화소에 연결되어 있는 스캔선, 데이터선, 구동 전압선, 초기화 전압선을 포함하며, 상기 화소는 유기 발광 소자; 상기 스캔선에 연결되어 있는 스위칭 트랜지스터; 및 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터를 포함하며, 상기 차단층은 상기 스위칭 트랜지스터와

평면상 중첩하는 영역으로, 상기 스위칭 트랜지스터와 상기 플렉서블 기관의 사이에 위치하며, 상기 차단층은 이를 노출시키는 접촉 구멍을 통하여 전압을 인가 받으며, 상기 접촉 구멍은 상기 화소 내에 위치한다.

- [0009] 상기 스위칭 트랜지스터는 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터일 수 있다.
- [0010] 상기 차단층은 상기 접촉 구멍을 통하여 상기 스캔선, 상기 데이터선, 상기 구동 전압선, 상기 초기화 전압선, 상기 스위칭 트랜지스터, 상기 구동 트랜지스터, 상기 제3 트랜지스터 및 상기 유기 발광 소자의 일 단자 중 어느 하나와 전기적으로 연결되어 있을 수 있다.
- [0011] 상기 차단층은 상기 구동 트랜지스터와 중첩하는 부분을 더 포함할 수 있다.
- [0012] 상기 차단층 중 상기 구동 트랜지스터와 중첩하는 상기 부분은 상기 구동 트랜지스터의 게이트 전극의 폭보다 넓은 폭을 가질 수 있다.
- [0013] 상기 차단층은 상기 접촉 구멍을 통하여 상기 구동 전압선과 연결되어 있을 수 있다.
- [0014] 상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 구동 트랜지스터와 중첩하는 부분은 서로 분리되어 있으며, 서로 다른 전압을 인가 받을 수 있다.
- [0015] 상기 스위칭 트랜지스터는 상기 스캔선 및 상기 데이터선에 연결되어 있는 제2 트랜지스터를 더 포함하며, 상기 차단층은 상기 제2 트랜지스터와 중첩하는 부분을 더 포함할 수 있다.
- [0016] 상기 차단층은 상기 접촉 구멍을 통하여 상기 구동 전압선과 연결되어 있을 수 있다.
- [0017] 상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 제2 트랜지스터와 중첩하는 부분은 서로 분리되어 있으며, 서로 다른 전압을 인가 받을 수 있다.
- [0018] 상기 화소는 상기 초기화 전압선과 연결되어 있는 제1 전극, 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제4 트랜지스터를 더 포함하며, 상기 차단층은 상기 제4 트랜지스터와 중첩하는 부분을 더 포함할 수 있다.
- [0019] 상기 차단층은 상기 접촉 구멍을 통하여 상기 구동 전압선과 연결되어 있을 수 있다.
- [0020] 상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 제4 트랜지스터와 중첩하는 부분은 서로 분리되어 있으며, 서로 다른 전압을 인가 받을 수 있다.
- [0021] 상기 화소는 상기 구동 전압선과 연결되어 있는 제1 전극, 및 상기 구동 트랜지스터의 입력측 전극과 연결되어 있는 제2 전극을 포함하는 제5 트랜지스터; 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극, 및 상기 유기 발광 소자와 연결되어 있는 제2 전극을 포함하는 제6 트랜지스터; 및 상기 유기 발광 소자와 연결되어 있는 제1 전극, 및 상기 초기화 전압선과 연결되어 있는 제2 전극을 포함하는 제7 트랜지스터 중 적어도 하나의 트랜지스터를 더 포함할 수 있다.
- [0022] 상기 차단층은 상기 제5 트랜지스터, 상기 제6 트랜지스터, 및 상기 제7 트랜지스터 중 상기 화소에 포함되어 있는 트랜지스터와 중첩하는 부분을 더 포함할 수 있다.
- [0023] 상기 화소에 연결되어 있는 전단 스캔선 및 발광 제어선을 더 포함하며, 상기 차단층은 상기 제3 트랜지스터와 중첩하는 부분과 상기 제5 트랜지스터, 상기 제6 트랜지스터, 및 상기 제7 트랜지스터 중 상기 화소에 포함되어 있는 트랜지스터와 중첩하는 부분이 서로 분리되어 있으며, 서로 다른 전압을 인가 받으며, 상기 인가 받는 전압 중 하나는 상기 전단 스캔선 또는 상기 발광 제어선 중 하나와 전기적으로 연결되어 있을 수 있다.
- [0024] 상기 차단층은 상기 화소의 적어도 일부분과는 중첩하지 않을 수 있다.
- [0025] 일 실시예에 따른 유기 발광 표시 장치는 플렉서블 기관; 상기 플렉서블 기관위에 위치하는 차단층; 상기 차단층 위에 위치하는 버퍼층; 상기 버퍼층위에 위치하는 반도체층; 상기 반도체층을 덮는 제1 게이트 절연막; 상기 제1 게이트 절연막 위에 위치하는 제1 게이트 도전체; 상기 제1 게이트 도전체 및 상기 제1 게이트 절연막을 덮는 제2 게이트 절연막; 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전체; 상기 제2 게이트 도전체 및 상기 제2 게이트 절연막을 덮는 층간 절연막; 상기 층간 절연막 위에 위치하는 데이터 도전체; 상기 데이터 도전체 및 상기 층간 절연막을 덮는 보호막을 포함하며, 트랜지스터는 상기 반도체층에 채널이 형성되며, 상기 제1 게이트 도전체에 게이트 전극을 가지며, 상기 차단층은 상기 트랜지스터의 채널과 평면상 중첩하며, 상기 버퍼층, 상기 제1 게이트 절연막, 상기 제2 게이트 절연막 및 상기 층간 절연막 중 적어도 일부는 상기 차단층을

노출시키는 접촉 구멍이 형성되며, 상기 접촉 구멍을 통하여 상기 차단층은 전압을 인가받으며, 상기 접촉 구멍은 상기 트랜지스터가 포함되는 화소 또는 바로 인접하는 화소 내에 위치한다.

- [0026] 상기 차단층은 상기 접촉 구멍을 통하여 스캔선, 데이터선, 구동 전압선, 초기화 전압선, 전단 스캔선, 발광 제어선, 상기 트랜지스터의 일 단자 및 유기 발광 소자의 일 단자 중 어느 하나와 전기적으로 연결되어 있을 수 있다.
- [0027] 상기 트랜지스터는 복수의 트랜지스터를 포함하며, 상기 복수의 트랜지스터는 상기 스캔선에 연결되어 있는 스위칭 트랜지스터; 및 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터를 포함하며, 상기 차단층은 상기 스위칭 트랜지스터와 중첩할 수 있다.
- [0028] 상기 스위칭 트랜지스터는 상기 구동 트랜지스터의 출력측 전극과 연결되어 있는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제2 전극을 포함하는 제3 트랜지스터일 수 있다.
- [0029] 상기 스캔선 및 상기 데이터선과 연결되어 있는 제2 트랜지스터를 더 포함하며, 상기 차단층은 상기 제2 트랜지스터 또는 상기 구동 트랜지스터와 중첩하는 부분을 더 포함할 수 있다.
- [0030] 상기 차단층 중 상기 제3 트랜지스터와 중첩하는 부분과 상기 제2 트랜지스터 또는 상기 구동 트랜지스터와 중첩하는 부분은 전기적으로 분리되어 있으며, 서로 다른 전압을 인가 받을 수 있다.
- [0031] 상기 차단층은 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성되어 있을 수 있다.
- [0032] 상기 플렉서블 기판은 복수개가 형성되며, 상기 복수개의 플렉서블 기판의 사이 중 적어도 한 곳에 배리어층이 더 포함되어 있을 수 있다.
- [0033] 상기 구동 트랜지스터의 채널은 상기 반도체층에 형성되며, 상기 반도체층의 모양은  $\Omega$ 형, 역 S형, S형, M형, W형 중 하나의 구조를 가질 수 있다.
- [0034] 상기 제1 게이트 도전체로 형성되는 제1 유지 전극; 및 상기 제2 게이트 도전체로 형성되는 제2 유지 전극을 포함하며, 상기 제1 유지 전극 및 상기 제2 유지 전극이 중첩하여 유지 축전기를 이룰 수 있다.
- [0035] 상기 제2 유지 전극은 개구를 가져 상기 제1 유지 전극과 중첩되는 정도가 상기 개구의 크기에 따라서 변할 수 있다.

**발명의 효과**

- [0036] 실시예들에 따르면, 열처리 공정시 하부 기판이 플렉서블한 기판일 경우에 하부 기판에서 불순물이 트랜지스터로 제공되더라도 트랜지스터가 정상 동작하도록 한다. 또한, 트랜지스터의 특성(예를 들면, 킥백 전압)이 변하지 않도록 하여 화이트와 블랙을 교대로 표시하는 경우 잔상이 남지 않도록 하여 표시 품질을 향상시킨다.
- [0037] 또한, 화소 내에 콘택홀을 형성하여 반도체층의 아래에 위치하는 메탈층이 플로팅되지 않고 전압을 인가받게 되어 필요한 위치에만 메탈층을 형성할 수 있어 불필요한 기생 용량으로 인한 표시 품질의 저하를 방지한다.

**도면의 간단한 설명**

- [0038] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 4는 도 3에서 IV-IV선을 따라 자른 단면도이다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 6은 도 5에서 VI-VI선을 따라 자른 단면도이다.
- 도 7은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 8은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 9는 도 8에서 IX-IX선을 따라 자른 단면도이다.
- 도 10은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

- 도 11은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 12 및 도 13은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 14는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 15는 도 14에서 XV-XV선을 따라 자른 단면도이다.
- 도 16은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 17은 도 16에서 XVII-XVII선을 따라 자른 단면도이다.
- 도 18 및 도 19는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 20 및 도 21은 일 실시예에 따른 유기 발광 표시 장치의 잔상에 대한 그래프이다.
- 도 22는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 23 및 도 24는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 25는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 26 내지 도 28은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 29는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 30 및 도 31은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- 도 32 내지 도 37은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 38 내지 도 40은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 41 내지 도 43은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0039] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0040] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0041] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0042] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0043] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0044] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0045] 이하에서는 도 1 및 도 2를 통하여 일 실시예에 따른 유기 발광 표시 장치를 살펴본다.
- [0046] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- [0047] 먼저 도 1을 참고하면, 유기 발광 표시 장치의 화소(PX)는 여러 신호선들(127, 151, 152, 153, 158, 171, 172,

741)에 연결되어 있는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)를 포함한다.

- [0048] 또한, 일실시예인 도 1에서 도시하고 있는 화소에는 차단층(31)이 더 포함되어 있다. 차단층(31)은 제3 트랜지스터(T3)가 형성된 위치의 아래에 위치하여 평면상 중첩한다. 즉, 기관(110)과 제3 트랜지스터(T3)의 사이에 차단층(31)이 위치한다. (도 4 참조) 또한, 차단층(31)은 구동 전압(ELVDD)이 전달되는 구동 전압선(172)과 전기적으로 연결되어 있으며, 차단층(31)과 구동 전압(ELVDD)이 연결되는 접촉 구멍은 화소(PX) 내 또는 인접하는 화소내에 위치한다. 차단층(31)은 도전 특성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성될 수 있다. 도 1은 회로도이지만, 차단층(31)을 명확하게 보여주기 위하여 회로도에 네모 구조를 추가하여 도시하였으며, 이를 통하여 차단층(31)의 위치와 회로적으로 차단층(31)이 구동 전압선(172)과 전기적으로 연결됨도 나타내었다. 이하에서도 회로도를 사용하여 차단층(31)의 위치 및 전기적인 연결관계를 이와 같이 도시한다. 구체적인 차단층(31)의 구조는 도 3 및 도 4와 같은 배치도나 단면도에서 살펴본다.
- [0049] 도 1의 차단층(31)에는 구동 전압(ELVDD)이 인가되고 있지만, 이에 한정되지 않으며, 그 외에 인가될 수 있는 전압의 예로는 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자나 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다. 차단층(31)에 인가되는 전압에 따라서 이와 중첩하는 트랜지스터의 채널의 문턱 전압(Vth)이 시프트될 수 있다. 한편, 인가되는 전압이 구동 전압(ELVDD)인 경우와 인가되는 전압이 초기화 전압(Vint)인 경우에는 트랜지스터의 문턱 전압(Vth)이 반대 방향으로 시프트될 수 있다. 그러므로 이와 같은 특성을 이용하여 보상할 트랜지스터의 특성에 맞추어 다양한 전압을 차단층(31)에 인가하여 트랜지스터를 보상할 수 있다. 뿐만 아니라 트랜지스터의 채널이 p 타입인지 아니면 n 타입인지도 고려하여 차단층(31)에 인가하는 전압을 결정할 수 있다.
- [0050] 도시되지 않았지만, 유기 발광 표시 장치는 영상이 표시되는 표시 영역을 포함하고, 표시 영역에는 이러한 화소(PX)가 행렬 등 다양한 방식으로 배열되어 있다.
- [0051] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)은 구동 트랜지스터(T1)를 포함하며, 스캔선(151)에 연결되어 있는 스위칭 트랜지스터, 즉, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 포함하고, 그 외의 트랜지스터는 유기 발광 다이오드(OLED)를 동작시키는데 필요한 동작을 하기 위한 트랜지스터(이하 보상 트랜지스터라 함)이다. 이러한 보상 트랜지스터(T4, T5, T6, T7)는 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)를 포함할 수 있다.
- [0052] 복수의 신호선(127, 151, 152, 153, 158, 171, 172, 741)은 스캔선(151), 전단 스캔선(152), 발광 제어선(153), 바이패스 제어선(158), 데이터선(171), 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)을 포함할 수 있다. 바이패스 제어선(158)은 전단 스캔선(152)의 일부이거나 전기적으로 연결되어 있을 수 있다.
- [0053] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 전달한다. 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 선스캔 신호(Sn-1)를 제4 트랜지스터(T4)에 전달한다. 발광 제어선(153)은 발광 제어부(도시되지 않음)에 연결되어 있으며, 유기 발광 다이오드(OLED)가 발광하는 시간을 제어하는 발광 제어 신호(EM)를 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 전달한다. 바이패스 제어선(158)은 바이패스 신호(GB)를 제7 트랜지스터(T7)에 전달한다.
- [0054] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(Dm)을 전달하는 배선으로 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED; 유기 발광 소자라고도 함)가 발광하는 휘도가 변한다. 구동 전압선(172)은 구동 전압(ELVDD)을 인가하며, 초기화 전압선(127)은 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하며, 공통 전압선(741)은 공통 전압(Vcom)을 인가한다. 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)에 인가되는 전압은 각각 일정한 전압이 인가될 수 있다.
- [0055] 이하에서는 복수의 트랜지스터에 대하여 살펴본다.
- [0056] 먼저, 구동 트랜지스터(T1)는 인가되는 데이터 전압(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 다이오드(OLED)로 인가되어 유기 발광 다이오드(OLED)의 밝기를 데이터 전압(Dm)에 따라서 조절한다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(S1)은 구동 전압(ELVDD)을 인가받을 수 있도록 배치되어, 제5 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 제1 전극(S1)은 제2 트랜지스터(T2)의 제2 전극(D2)과도 연결되어 데이터 전압(Dm)도 인가받는다. 제2 전극(D1; 출력측 전극)은 유기 발광 다이오드(OLED)를 향하여 전류를 출력할 수 있도록 배치되어,

제6 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다. 한편, 게이트 전극(G1)은 유지 축전기(Cst)의 일 전극(제2 유지 전극(E2))과 연결되어 있다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 게이트 전극(G1)의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경된다.

[0057] 제2 트랜지스터(T2)는 데이터 전압(Dm)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 제1 전극(S2)은 데이터선(171)과 연결되어 있다. 제2 트랜지스터(T2)의 제2 전극(D2)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(Dm)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 전달된다.

[0058] 제3 트랜지스터(T3)는 데이터 전압(Dm)이 구동 트랜지스터(T1)를 거쳐 변화된 보상 전압(Dm + Vth의 전압)이 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달되도록 하는 트랜지스터이다. 게이트 전극(G3)이 스캔선(151)과 연결되어 있고, 제1 전극(S3)이 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제3 트랜지스터(T3)의 제2 전극(D3)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 제3 트랜지스터(T3)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 켜져서 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D1)을 연결시키고, 구동 트랜지스터(T1)의 제2 전극(D1)과 유지 축전기(Cst)의 제2 유지 전극(E2)도 연결시킨다.

[0059] 제4 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)을 초기화시키는 역할을 한다. 게이트 전극(G4)은 전단 스캔선(152)과 연결되어 있고, 제1 전극(S4)은 초기화 전압선(127)과 연결되어 있다. 제4 트랜지스터(T4)의 제2 전극(D4)은 제3 트랜지스터(T3)의 제2 전극(D3)을 경유하여 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)는 전단 스캔선(152)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달한다. 이에 따라 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)는 저전압값을 가져 구동 트랜지스터(T1)를 턴 온 시킬 수 있는 전압일 수 있다.

[0060] 제5 트랜지스터(T5)는 구동 전압(ELVDD)을 구동 트랜지스터(T1)에 전달시키는 역할을 한다. 게이트 전극(G5)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S5)은 구동 전압선(172)과 연결되어 있다. 제5 트랜지스터(T5)의 제2 전극(D5)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.

[0061] 제6 트랜지스터(T6)는 구동 트랜지스터(T1)에서 출력되는 구동 전류(Id)를 유기 발광 다이오드(OLED)로 전달하는 역할을 한다. 게이트 전극(G6)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S6)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제6 트랜지스터(T6)의 제2 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다.

[0062] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 발광 제어선(153)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 제5 트랜지스터(T5)를 통하여 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 제1 전극(S1)에 인가되면, 구동 트랜지스터(T1)의 게이트 전극(S1)의 전압(즉, 유지 축전기(Cst)의 제2 유지 전극(E2)의 전압)에 따라서 구동 트랜지스터(T1)가 구동 전류(Id)를 출력한다. 출력된 구동 전류(Id)는 제6 트랜지스터(T6)를 통하여 유기 발광 다이오드(OLED)에 전달된다. 유기 발광 다이오드(OLED)에 전류(Ioled)가 흐르게 되면서 유기 발광 다이오드(OLED)가 빛을 방출한다.

[0063] 제7 트랜지스터(T7)는 유기 발광 다이오드(OLED)의 애노드를 초기화시키는 역할을 한다. 게이트 전극(G7)은 바이패스 제어선(158)과 연결되어 있고, 제1 전극(S7)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있고, 제2 전극(D7)은 초기화 전압선(127)과 연결되어 있다. 바이패스 제어선(158)은 전단 스캔선(152)에 연결되어 있을 수 있으며, 바이패스 신호(GB)는 전단 스캔 신호(Sn-1)와 동일한 타이밍의 신호가 인가된다. 바이패스 제어선(158)은 전단 스캔선(152)에 연결되지 않고 전단 스캔 신호(Sn-1)와 별개의 신호를 전달할 수도 있다. 바이패스 신호(GB)에 따라 제7 트랜지스터(T7)가 턴 온 되면 초기화 전압(Vint)이 유기 발광 다이오드(OLED)의 애노드로 인가되어 초기화된다.

[0064] 유지 축전기(Cst)의 제1 유지 전극(E1)은 구동 전압선(172)과 연결되어 있으며, 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1), 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다. 그 결과 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 결정하며, 제3 트랜지스터(T3)의 제2 전극(D3)을 통하여 데이터 전압(Dm)을 인가 받거나, 제4 트랜지스터(T4)의 제2 전극(D4)

을 통하여 초기화 전압(Vint)을 인가 받는다.

- [0065] 한편, 유기 발광 다이오드(OLED)의 애노드는 제6 트랜지스터(T6)의 제2 전극(D6) 및 제7 트랜지스터(T7)의 제1 전극(S7)과 연결되어 있으며, 캐소드는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.
- [0066] 도 1의 실시예에서 화소 회로는 7개의 트랜지스터(T1-T7)와 1개의 축전기(Cst)를 포함하지만 이에 제한되지 않으며, 트랜지스터의 수와 축전기의 수, 그리고 이들의 연결은 다양하게 변경 가능하다.
- [0067] 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 도 1 및 도 2를 참고하여 설명한다.
- [0068] 초기화 구간 동안 로우 레벨의 전단 스캔 신호(Sn-1)가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제4 트랜지스터(T4)가 켜져, 초기화 전압(Vint)이 제4 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 인가된다. 그 결과 구동 트랜지스터(T1) 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)의 전압이 저전압을 가져 구동 트랜지스터(T1)이 턴 온 될 수 있다.
- [0069] 한편, 초기화 구간 동안에는 로우 레벨의 바이패스 신호(GB)도 제7 트랜지스터(T7)로 인가된다. 이를 인가 받은 제7 트랜지스터(T7)가 턴 온 되어 초기화 전압(Vint)이 제7 트랜지스터(T7)를 통해 유기 발광 다이오드(OLED)의 애노드로 인가된다. 그 결과 유기 발광 다이오드(OLED)의 애노드도 초기화된다.
- [0070] 이후, 데이터 기입 구간 동안 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 화소(PX)로 공급된다. 로우 레벨의 스캔 신호(Sn)에 의하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 켜진다.
- [0071] 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(Dm)이 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력된다.
- [0072] 또한, 데이터 기입 구간 동안 제3 트랜지스터(T3)가 턴 온 되고, 그 결과 구동 트랜지스터(T1)의 제2 전극(D2)는 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)과 전기적으로 연결된다. 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D2)이 연결되어 다이오드 연결된다. 또한, 구동 트랜지스터(T1)는 초기화 구간 동안 게이트 전극(G1)에 저전압(초기화 전압(Vint))이 인가되어 있어 턴 온 된 상태이다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력되는 데이터 전압(Dm)은 구동 트랜지스터(T1)의 채널을 지나 제2 전극(D1)에서 출력된 후 제3 트랜지스터(T3)를 거쳐 유지 축전기(Cst)의 제2 유지 전극(E2)에 저장된다.
- [0073] 이 때, 제2 유지 전극(E2)에 인가되는 전압은 구동 트랜지스터(T1)의 문턱전압(Vth)에 따라 변경되며, 구동 트랜지스터(T1)의 제1 전극(S1)에 데이터 전압(Dm)이 걸리고, 구동 트랜지스터(T1)의 게이트 전극(G1)에 초기화 전압(Vint)이 걸리는 경우, 제2 전극(D1)으로 출력되는 전압은  $V_{gs} + V_{th}$ 를 가질 수 있다. 여기서  $V_{gs}$ 는 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압의 차이이므로  $Dm - Vint$  값을 가질 수 있다. 그러므로 제2 전극(D1)에서 출력되어 제2 유지 전극(E2)에 저장되는 전압은  $Dm - Vint + Vth$  값을 가질 수 있다.
- [0074] 그 후, 발광 구간 동안, 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 로우 레벨의 값을 가져, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 켜진다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)에는 구동 전압(ELVDD)이 인가되며, 구동 트랜지스터(T1)의 제2 전극(D1)은 유기 발광 다이오드(OLED)와 연결된다. 구동 트랜지스터(T1)는 게이트 전극(G1)의 전압과 제1 전극(S1)의 전압(즉, 구동 전압(ELVDD)) 간의 전압 차에 따라 구동 전류( $I_d$ )가 발생한다. 구동 트랜지스터(T1)의 구동 전류( $I_d$ )는  $V_{gs} - V_{th}$ 의 제곱값에 비례한 값을 가질 수 있다. 여기서  $V_{gs}$ 의 값은 유지 축전기(Cst)의 양단에 걸리는 전압차와 같으며,  $V_{gs}$  값은  $V_g - V_s$ 의 값이므로  $Dm - Vint + Vth - ELVDD$  값을 가진다. 여기서  $V_{th}$ 값을 빼서  $V_{gs} - V_{th}$ 의 값을 구하면,  $Dm - Vint - ELVDD$  값을 가진다. 즉, 구동 트랜지스터(T1)의 구동 전류( $I_d$ )는 구동 트랜지스터(T1)의 문턱 전압( $V_{th}$ )에 무관한 전류를 출력으로 가진다.
- [0075] 그러므로, 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압( $V_{th}$ )을 가지더라도 구동 트랜지스터(T1)의 출력 전류를 일정하게 할 수 있어, 특성의 불균일성을 개선할 수 있다.
- [0076] 이상의 계산식에서  $V_{th}$  값은 다결정 반도체를 사용하는 P형 트랜지스터인 경우 0보다 약간 큰 값이나 또는 음의 값을 가질 수 있다. 또한, 전압을 계산하는 방향에 따라 + 및 -의 표현이 변경될 수 있다. 하지만, 구동 트랜지스터(T1)의 출력 전류인 구동 전류( $I_d$ )를 문턱 전압( $V_{th}$ )에 무관한 값을 가지도록 할 수 있다는 점에는 변함이 없다.

- [0077] 이상과 같은 발광 구간이 종료하면 다시 초기화 구간이 위치하여 처음부터 다시 같은 동작을 반복하게 된다.
- [0078] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극은 전압 또는 전류가 인가되는 방향에 따라서 하나는 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다.
- [0079] 한편, 실시예에 따라서는 초기화 구간에서의 제7 트랜지스터(T7)가 유기 발광 다이오드(OLED)의 애노드를 초기화시키면서, 구동 트랜지스터(T1)가 실제 턴 온 되지 않는 조건에서 방출하는 소량의 전류도 유기 발광 다이오드(OLED)쪽으로 흐르지 못하도록 할 수 있다. 이때 소량의 전류는 바이패스 전류(Ibp)로 제7 트랜지스터(T7)를 통해 초기화 전압(Vint)단으로 방출된다. 그 결과 유기 발광 다이오드(OLED)가 불필요한 빛을 방출하지 않게 되어, 블랙 계조를 더욱 명확하게 표시하고, 대비비(contrast ratio)도 향상시키도록 할 수 있다. 이러한 경우 바이패스 신호(GB)가 전단 스캔 신호(Sn-1)와 다른 타이밍의 신호일 수도 있다. 실시예에 따라서는 제7 트랜지스터(T7)가 생략될 수도 있다.
- [0080] 이상과 같이 동작하는 화소(PX)에서 차단층(31)은 특별히 동작하지 않으며 구동 전압(ELVDD)이 일정하게 인가되고 있다. 일정한 전압이 인가되는 것은 차단층(31) 자체가 특정 전하가 주입되면서 전위가 변하는 것을 막기 위한 것이다. 또한, 차단층(31)이 제3 트랜지스터(T3)와 중첩하면서 기판과 제3 트랜지스터(T3)의 사이에 위치함으로써 인하여 제3 트랜지스터(T3)를 제작할 때 플라스틱이나 폴리 이미드(PI)로 이루어진 플렉서블 기판에서 올라오는 불순물을 막아 제3 트랜지스터(T3)가 원하는 특성을 가지도록 하기 위함이다. 뿐만 아니라 도 20 및 도 21에서 후술하는 바와 같이 잔상이 남지 않는 효과도 가진다.
- [0081] 이하에서는 도 3 및 도 4를 통하여 일 실시예에 따른 유기 발광 표시 장치의 화소 및 차단층(31)의 배치 및 연결에 대해서 살펴본다.
- [0082] 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 4는 도 3에서 IV-IV선을 따라 자른 단면도이다.
- [0083] 도 3 및 도 4를 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 주로 제1 방향(x)을 따라 연장하며 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 초기화 전압(Vint)을 각각 전달하는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(127)을 포함한다. 바이패스 신호(GB)는 전단 스캔선(152)을 통해 전달된다. 유기 발광 표시 장치는 제1 방향(x)과 교차하는 제2 방향(y)을 따라 연장하며 데이터 전압(Dm) 및 구동 전압(ELVDD)을 각각 전달하는 데이터선(171) 및 구동 전압선(172)을 포함한다.
- [0084] 유기 발광 표시 장치는 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 유지 축전기(Cst), 및 유기 발광 다이오드(OLED)를 포함한다.
- [0085] 또한, 도 3 및 도 4에 따른 유기 발광 표시 장치는 도전 특성을 가지는 금속이나 이에 준하는 반도체 물질로 형성된 차단층(31)을 더 포함한다. 차단층(31)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층의 사이에 위치한다. 또한, 차단층(31)은 제3 트랜지스터(T3)의 채널과 평면상 중첩하며, 제3 트랜지스터(T3)의 제1 전극 및 제2 전극과는 적어도 일부 중첩할 수 있다. 차단층(31)은 접촉 구멍(57)을 통하여 화소(PX)내에서 구동 전압선(172)과 연결되어 구동 전압(ELVDD)을 인가 받는다. 도 3에서는 차단층(31)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0086] 유기 발광 다이오드(OLED)는 화소 전극, 유기 발광층 및 공통 전극으로 이루어진다.
- [0087] 구동 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)의 각각의 채널(channel)은 길게 연장되어 있는 반도체층(130) 내에 위치한다. 뿐만 아니라 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극 중 적어도 일부도 반도체층(130)에 위치한다. 반도체층(130; 도 3에서 음영이 추가된 부분으로 이하 동일함)은 다양한 형상으로 굴곡되어 형성될 수 있다. 반도체층(130)은 폴리 실리콘 같은 다결정 반도체 또는 산화물 반도체를 포함할 수 있다.
- [0088] 반도체층(130)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널과, 채널의 양측에 위치하며 채널에 도핑된 불순물보다 도핑 농도가 높은 제1 도핑 영역 및 제2 도핑 영역을 포함한다. 제1 도핑 영역 및 제2 도핑 영역은 각각 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극에 대응되며, 제1 도핑 영역 및 제2 도핑 영역 중 하나가 소스 영역이면, 나머지 하나는 드레인 영역에 해당한다. 또한, 반도체층(130)에서 서로 다른 트랜지스터의 제1 전극과 제2 전극의 사이 영역도 도핑되어 두 트랜지스터가 서로 전기적으로 연

결될 수 있다.

- [0089] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널 각각은 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극과 중첩하고, 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극과 제2 전극 사이에 위치한다. 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 실질적으로 동일한 적층 구조를 가질 수 있다. 이하에서는 구동 트랜지스터(T1)를 위주로 상세하게 설명하고, 나머지 트랜지스터(T2, T3, T4, T5, T6, T7)는 간략하게 설명한다.
- [0090] 구동 트랜지스터(T1)는 채널, 게이트 전극(155), 제1 전극(S1) 및 제2 전극(D1)을 포함한다. 구동 트랜지스터(T1)의 채널은 제1 전극(S1)과 제2 전극(D1) 사이이며, 게이트 전극(155)과 평면상 중첩한다. 채널은 굴곡되어 있는데, 이는 제한된 영역내에서 채널의 길이를 길게 형성하기 위함이다. 채널의 길이가 길어짐에 따라 구동 트랜지스터(T1)의 게이트 전극(155)에 인가되는 게이트 전압(Vg)의 구동 범위(driving range)가 넓어지며, 게이트 전압(Vg)에 따라 구동 전류(Id)가 일정하게 증가하게 된다. 그 결과, 게이트 전압(Vg)의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 광의 계조를 보다 세밀하게 제어할 수 있으며, 유기 발광 표시 장치의 표시 품질도 향상시킬 수 있다. 또한, 채널이 한 방향으로 연장되지 않고 여러 방향으로 연장되므로, 제조 공정에서 방향성에 따른 영향이 상쇄되어 공정 산포 영향이 줄어드는 장점이 있다. 따라서 공정 산포로 인해 구동 트랜지스터(T1)의 특성이 표시 장치의 영역에 따라 달라짐으로 인해 발생할 수 있는 얼룩 불량(예컨대, 동일한 데이터 전압(Dm)이 인가되더라도 화소에 따라 휘도 차가 발생) 같은 화질 저하를 방지할 수 있다. 이러한 채널의 형상은 도시된 Ω형에 제한되지 않고 다양할 수 있으며, 이에 대해서는 도 41 및 도 42에서 살펴본다.
- [0091] 게이트 전극(155)은 채널과 평면상 중첩한다. 제1 전극(S1) 및 제2 전극(S2)은 채널의 양측에 각각 위치한다. 게이트 전극(155)의 위에는 유지선(126)의 확장된 부분이 절연되어 위치한다. 유지선(126)의 확장된 부분은 게이트 전극(155)과 제2 게이트 절연막을 사이에 두고 평면상 중첩하여 유지 축전기(Cst)를 구성한다. 유지선(126)의 확장된 부분은 유지 축전기(Cst)의 제1 전극(도 1의 E1)이며, 게이트 전극(155)은 제2 유지 전극(도 1의 E2)을 이룬다. 유지선(126)의 확장된 부분은 게이트 전극(155)이 제1 데이터 연결 부재(71)와 연결될 수 있도록 개구(56)가 형성되어 있다. 개구(56)의 내에서 게이트 전극(155)의 상부면과 제1 데이터 연결 부재(71)가 접촉 구멍(61)을 통하여 전기적으로 연결된다. 제1 데이터 연결 부재(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되어 구동 트랜지스터(T1)의 게이트 전극(155)과 제3 트랜지스터(T3)의 제2 전극(D3)을 연결시킨다.
- [0092] 제2 트랜지스터(T2)의 게이트 전극은 스캔선(151)의 일부일 수 있다. 제2 트랜지스터(T2)의 제1 전극에는 데이터선(171)이 접촉 구멍(62)을 통해 연결되어 있으며, 제1 전극(S2) 및 제2 전극(D2)이 반도체층(130) 상에 위치할 수 있다.
- [0093] 제3 트랜지스터(T3)는 서로 인접하는 두 개의 트랜지스터로 구성될 수 있다. 즉, 도 3의 화소(PX)의 내에는 T3 표시가 반도체층(130)이 꺾이는 부분을 기준으로 좌측 및 아래측에 도시되어 있다. 이 두 부분이 각각 제3 트랜지스터(T3)의 역할을 수행하며, 하나의 제3 트랜지스터(T3)의 제1 전극이 다른 하나의 제3 트랜지스터(T3)의 제2 전극과 연결되는 구조를 가진다. 두 트랜지스터(T3)의 게이트 전극은 스캔선(151)의 일부 또는 스캔선(151)에서 상측으로 돌출된 부분일 수 있다. 이와 같은 구조를 듀얼 게이트(dual gate) 구조라 할 수 있으며, 누설 전류가 흐르는 것을 차단하는 역할을 수행할 수 있다. 제3 트랜지스터(T3)의 제1 전극(S3)은 제6 트랜지스터(T6)의 제1 전극(S6) 및 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제3 트랜지스터(T3)의 제2 전극(D3)은 제1 데이터 연결 부재(71)가 접촉 구멍(63)을 통해 연결되어 있다.
- [0094] 차단층(31)은 제3 트랜지스터(T3)의 채널과 평면상 중첩하며, 제3 트랜지스터(T3)의 제1 전극(S3) 및 제2 전극(D3)과는 적어도 일부 중첩할 수 있으며, 실시예에 따라서는 전부 중첩할 수도 있다. 차단층(31)은 접촉 구멍(57)을 통하여 화소(PX)내에서 구동 전압선(172)과 연결되어 구동 전압(ELVDD)을 인가 받는다.
- [0095] 제4 트랜지스터(T4)도 두 개의 제4 트랜지스터(T4)로 이루어져 있으며, 두 개의 제4 트랜지스터(T4)는 전단 스캔선(152)과 반도체층(130)이 만나는 부분에 형성되어 있다. 제4 트랜지스터(T4)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 하나의 제4 트랜지스터(T4)의 제1 전극이 다른 하나의 제3 트랜지스터(T3)의 제2 전극과 연결되는 구조를 가진다. 이와 같은 구조를 듀얼 게이트(dual gate) 구조라 할 수 있으며, 누설 전류를 차단하는 역할을 수행할 수 있다. 제4 트랜지스터(T4)의 제1 전극(S4)에는 제2 데이터 연결 부재(72)가 접촉 구멍(65)을 통해 연결되어 있으며, 제4 트랜지스터(T4)의 제2 전극(D2)에는 제1 데이터 연결 부재(71)가 접촉 구멍(63)을 통해 연결되어 있다.
- [0096] 이와 같이, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)로 듀얼 게이트 구조를 사용함으로써, 오프 상태에서 채

널의 전자 이동 경로를 차단하여 누설 전류가 발생하는 것을 효과적으로 방지할 수 있다.

- [0097] 제5 트랜지스터(T5)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제5 트랜지스터(T5)의 제1 전극(S5)에는 구동 전압선(172)이 접촉 구멍(67)을 통해 연결되어 있으며, 제2 전극(D5)은 반도체층(130)을 통하여 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.
- [0098] 제6 트랜지스터(T6)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 제6 트랜지스터(T6)의 제2 전극(D6)에는 제3 데이터 연결 부재(73)가 접촉 구멍(69)을 통해 연결되어 있으며, 제1 전극(S6)은 반도체층(130)을 통하여 구동 트랜지스터의 제2 전극(D1)과 연결되어 있다.
- [0099] 제7 트랜지스터(T7)의 게이트 전극은 전단 스캔선(152)의 일부일 수 있다. 제7 트랜지스터(T7)의 제1 전극(S7)에는 제3 데이터 연결 부재(73)가 접촉 구멍(81)을 통해 연결되어 있고, 제2 전극은 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있다.
- [0100] 유지 축전기(Cst)는 제2 게이트 절연막(142)을 사이에 두고 중첩하는 제1 유지 전극(E1)과 제2 유지 전극(E2)을 포함한다. 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(155)에 해당하고, 제1 유지 전극(E1)은 유지선(126)의 확장된 부분일 수 있다. 여기서, 제2 게이트 절연막(142)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 및 제2 유지 전극들(E1, E2) 사이의 전압에 의해 정전 용량(capacitance)이 결정된다. 게이트 전극(155)을 제2 유지 전극(E2)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 트랜지스터(T1)의 채널에 의해 좁아진 공간에서 유지 축전기(Cst)를 형성할 수 있는 공간을 확보할 수 있다.
- [0101] 제1 유지 전극(E1)에는 구동 전압선(172)이 접촉 구멍(68)을 통해 연결되어 있다. 따라서 유지 축전기(Cst)는 구동 전압선(172)을 통해 제1 유지 전극(E1)에 전달된 구동 전압(ELVDD)과 게이트 전극(155)의 게이트 전압(Vg) 간의 차에 대응하는 전하를 저장한다.
- [0102] 제2 데이터 연결 부재(72)는 접촉 구멍(64)을 통해 초기화 전압선(127)과 연결되어 있다. 제3 데이터 연결 부재(73)에는 화소 전극으로 불리는 화소 전극이 접촉 구멍(81)을 통해 연결되어 있다.
- [0103] 제3 트랜지스터(T3)의 듀얼 게이트 전극 사이에는 기생 축전기 제어 패턴(79)이 위치할 수 있다. 화소 내에는 기생 축전기가 존재하는데, 기생 축전기에 인가되는 전압이 변하면 화질 특성이 바뀔 수 있다. 기생 축전기 제어 패턴(79)에는 구동 전압선(172)이 접촉 구멍(66)을 통해 연결되어 있다. 이로 인해, 기생 축전기에 일정한 직류 전압인 구동 전압(ELVDD)을 인가됨으로써 화질 특성이 바뀌는 것을 방지할 수 있다. 기생 축전기 제어 패턴(79)은 도시된 것과 다른 영역에 위치할 수도 있고, 구동 전압(ELVDD) 외의 전압이 인가될 수도 있다.
- [0104] 도 4를 참고하여 일 실시예에 따른 유기 발광 표시 장치의 단면상 구조에 대해 적층 순서에 따라 설명한다.
- [0105] 도 4에서는 유기 발광 표시 장치 중 차단층(31) 부분의 단면상 IV-IV에서의 단면도를 도시하고 있다. 이에 일 부분의 층상 관계를 도 4를 통하여 상세 설명하기 전에 먼저 일 실시예에 따른 유기 발광 표시 장치의 단면 층상 구조를 먼저 살펴본다.
- [0106] 일 실시예에 따른 유기 발광 표시 장치는 플라스틱이나 폴리 이미드(PI)와 같은 플렉서블한 재료로 형성된 기판(110)을 사용한다. 기판(110) 위에는 배리어층(111)이 위치하고, 배리어층(111) 위에는 도전성을 가지는 금속이나 이에 준하는 도전 특성을 가지는 반도체 물질로 형성된 차단층(31)이 위치한다. 차단층(31)의 위에는 버퍼층(112)이 위치한다. 배리어층(111) 및 버퍼층(112)은 산화 규소, 질화 규소, 산화 알루미늄 등의 무기 절연 물질을 포함할 수 있으며, 또한, 폴리이미드 아크릴(에폭시 첨가) 등의 유기 절연 물질도 포함할 수 있다.
- [0107] 버퍼층(112) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널, 제1 전극 및 제2 전극을 포함하는 반도체층(130)이 위치한다. 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141) 위에는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극(제2 유지 전극(E2)), 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)을 포함하는 제1 게이트 도전체가 위치한다. 제1 게이트 도전체 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다. 제2 게이트 절연막(142) 위에는 유지선(126), 제1 유지 전극(E1), 초기화 전압선(127) 및 기생 축전기 제어 패턴(79)을 포함하는 제2 게이트 도전체가 위치한다.
- [0108] 제2 게이트 도전체 위에는 이를 덮는 층간 절연막(160)이 위치한다. 층간 절연막(160)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다. 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72) 및 제3 데이터

연결 부재(도시하지 않음, 도 8의 73 참고)를 포함하는 데이터 도전체가 위치한다.

- [0109] 데이터 도전체 위에는 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다. 보호막(180) 위에는 화소 전극(도시하지 않음)이 위치한다. 화소 전극은 보호막(180)에 형성된 접촉 구멍(도시하지 않음, 도 8의 81 참고)을 통하여 제3 데이터 연결 부재와 연결되어 있다. 보호막(180) 및 화소 전극의 위에는 격벽(도시하지 않음)이 위치한다. 격벽은 화소 전극과 중첩하는 오픈 부분을 가지며, 오픈 부분에 유기 발광층이 위치한다. 유기 발광층 및 격벽의 위에는 공통 전극(도시하지 않음)이 위치한다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.
- [0110] 실시예에 따라서는 화소 전극이 정공 주입 전극인 애노드일 수 있고, 공통 전극이 전자 주입 전극인 캐소드일 수 있다. 이와 반대로, 화소 전극이 캐소드일 수 있고, 공통 전극이 애노드일 수도 있다. 화소 전극 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되면, 주입된 정공과 전자가 결합한 엑시톤이 여기 상태에서부터 기저 상태로 떨어질 때 발광하게 된다.
- [0111] 제1 게이트 도전체로 형성되는 스캔선(151), 전단 스캔선(152) 및 발광 제어선(153)은 가로 방향으로 연장되며, 제2 게이트 도전체로 형성되는 유지선(126) 및 초기화 전압선(127)도 가로 방향으로 연장되어 있다. 한편, 데이터 도전체로 형성되는 데이터선(171) 및 구동 전압선(172)은 세로 방향으로 연장되어 있다.
- [0112] 데이터선(171)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(62)을 통해 제2 트랜지스터(T2)의 제1 전극과 연결되어 있다.
- [0113] 구동 전압선(172)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(67)을 통해 제5 트랜지스터(T5)의 제1 전극(S5)에 연결되어 있고, 층간 절연막(160)에 형성된 접촉 구멍(68)을 통해 유지선(126)의 확장된 부분(제1 유지 전극(E1))과 연결되어 있고, 층간 절연막(160)에 형성된 접촉 구멍(66)을 통해 기생 축전기 제어 패턴(79)에 연결되어 있다. 또한, 구동 전압선(172)은 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(57)을 통해 차단층(31)과 전기적으로 연결되어 있다.
- [0114] 제1 데이터 연결 부재(71)의 일단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(61)을 통하여 게이트 전극(155)과 연결되어 있으며, 타단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(63)을 통해 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다.
- [0115] 제2 데이터 연결 부재(72)의 일단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(65)을 통해 제4 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있고, 타단은 층간 절연막(160)에 형성된 접촉 구멍(64)을 통해 초기화 전압선(127)에 연결되어 있다.
- [0116] 제3 데이터 연결 부재(도시하지 않음, 도 8의 73 참고)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(69)을 통해 제6 트랜지스터(T6)의 제2 전극과 연결되어 있다.
- [0117] 도시하지 않았으나, 공통 전극의 위에는 유기 발광 다이오드(OLED)를 보호하는 봉지층(도시되지 않음)이 위치한다. 봉지층은 공통 전극과 접할 수 있고, 공통 전극과 이격되어 있을 수도 있다. 봉지층은 무기막과 유기막이 적층된 박막 봉지층일 수 있으며, 무기막, 유기막, 무기막으로 구성된 3중층을 포함할 수 있다. 공통 전극과 봉지층 사이에는 캐핑층 및 기능층이 위치할 수도 있다.
- [0118] 도 4에서는 차단층(31)이 전기적으로 연결되는 구조를 상세하게 도시하고 있다.
- [0119] 도4를 살펴보면, 기관(110)위에 베리어층(111)이 위치하며, 그 위에는 차단층(31)이 위치한다. 차단층(31)의 위치는 도 3에서 도시하고 있는 바와 같이 제3 트랜지스터(T3)와 평면상 중첩하는 위치이다. 차단층(31)의 위에는 버퍼층(112)이 위치하고 있다. 버퍼층(112)의 위에는 반도체층(130)이 위치하며, 도 4에서는 제3 트랜지스터(T3)의 채널 영역이 도시되어 있다. 제3 트랜지스터(T3)의 채널 영역과 버퍼층(112)의 위에는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141)위에는 스캔선(151)이 위치하고 있다. 스캔선(151)의 위에는 제2 게이트 절연막(142)이 형성되어 있다. 버퍼층(112), 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)에는 접촉 구멍(57)이 형성되어 차단층(31)의 일부가 노출된다. 그 위에는 기생 축전기 제어 패턴(79)이 형성되어 있다. 기생 축전기 제어 패턴(79)과 차단층(31)은 전기적으로 연결되어 있다. 여기서, 기생 축전기 제어 패턴(79)은 접촉 구멍(66)을 통해 구동 전압선(172)과 연결되어 구동 전압(ELVDD)을 인가 받고 있으므로, 차단층(31)에도 구동 전압(ELVDD)이 인가된다. 기생 축전기 제어 패턴(79)의 위에는 층간 절연막(160)이 형성된다. 층

간 절연막(160)의 위에는 제1 데이터 연결 부재(71)와 구동 전압선(172)이 위치한다. 제1 데이터 연결 부재(71)와 구동 전압선(172)의 위에는 보호막(180)이 위치한다. 그 위에는 화소 전극, 유기 발광층, 공통 전극 및 봉지층이 위치할 수 있으나 도시하지 않고 생략하였다.

- [0120] 도 3 및 도 4의 실시예에 따른 차단층(31)은 구동 전압(ELVDD)이 인가되며, 제3 트랜지스터(T3)와 평면상 중첩하고, 기관(110)의 위이며, 반도체층(130)의 아래에 위치하여, 배리어층(111)과 버퍼층(112)의 사이에 위치한다.
- [0121] 이러한 특징을 가지는 차단층(31)은 도 5 및 도 6과 같은 구조를 가질 수도 있다.
- [0122] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 6은 도 5에서 VI-VI선을 따라 자른 단면도이다.
- [0123] 도 5의 실시예에 따른 유기 발광 표시 장치는 도 3 및 도 4와 차단층(31)의 평면상의 위치 및 구조와 단면상의 연결 관계를 제외하고는 동일한 특징을 가진다. 즉, 도 5 및 도 6의 실시예도 도 1과 같은 회로도도 표시할 수 있으며, 도 2와 같은 타이밍 신호를 인가받고 동작한다.
- [0124] 다만, 도 5 및 도 6의 실시예는 도 1과 달리 차단층(31)이 제2 트랜지스터(T2)와도 중첩한다.
- [0125] 도 5 및 도 6에서는 도 3 및 도 4에서 이미 설명한 부분은 제외하고 다른 점을 중심으로 이하 설명한다.
- [0126] 도 5의 차단층(31)은 차단층(31)이 중첩하는 트랜지스터(T3, T2)와 차단층(31)이 전기적으로 연결되는 접촉 구멍(57)이 서로 인접하는 화소(PX)에 위치하고 있는 것이 특징이다. 특히 도 5의 실시예에서는 차단층(31)이 인접하는 화소내의 접촉 구멍(57)을 통하여 기생 축전기 제어 패턴(79)과 연결된 후 본 화소(PX)의 제3 트랜지스터(T3)와 중첩하기 위하여 연장되면서 그 사이에 위치하는 제2 트랜지스터(T2)와도 중첩하는 구조를 가진다. 도 5의 실시예를 정확하게 도 1과 같은 회로도도 도시하는 경우에는 제2 트랜지스터(T2)의 주변에도 사각형을 그리고 해당 사각형이 구동 전압선(172)과 연결되도록 그럴 수 있다.
- [0127] 도 6에서는 차단층(31)이 구동 전압(ELVDD)을 전달받을 수 있는 연결 관계가 도시되어 있다. 도 6도 도 4와 같이 차단층(31)은 직접 구동 전압선(172)과 연결되지 않고, 그 사이에 위치하는 기생 축전기 제어 패턴(79)을 통하여 전기적으로 연결되어 있다. 도 6과 도 4의 단면 구조의 차이는 단면선의 위치에 따른 차이 및 접촉 구멍을 어떻게 형성했는지에 따른 차이이다. 차단층(31)이 기생 축전기 제어 패턴(79)을 거쳐서 구동 전압선(172)과 연결된다는 점에서는 동일하다.
- [0128] 차단층(31)은 도 7과 같은 구조를 가질 수도 있다.
- [0129] 도 7은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0130] 도 7은 도 5와 달리 차단층(31)이 인접하는 화소(PX)에 위치하는 접촉 구멍(57)을 통하여 기생 축전기 제어 패턴(79)과 연결되면서도 제2 트랜지스터(T2)의 채널 영역과는 중첩하지 않으면서 제3 트랜지스터(T3)와 중첩하는 구조를 도시하고 있다. 연결 관계는 도 6과 동일하여 단면도는 추가하지 않는다.
- [0131] 차단층(31)은 도 8 및 도 9와 같은 구조를 가질 수도 있다.
- [0132] 도 8은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 9는 도 8에서 IX-IX선을 따라 자른 단면도이다.
- [0133] 도 8의 차단층(31)은 제3 트랜지스터(T3)와만 중첩하는 구조를 가지지만, 구동 전압선(172)과 연결되는 방식이 다르다는 점에서 도 3, 도 5 및 도 7의 실시예와 구분된다.
- [0134] 도 8의 실시예에서는 차단층(31)이 구동 전압선(172)과 연결되기 위하여 꺾인 부분을 더 포함한다. 즉, 도 8의 실시예에 따른 차단층(31)은 제3 트랜지스터(T3)와 평면상 중첩하는 확장부(31-3), 구동 전압(ELVDD)를 인가받는 접촉부(31-1) 및 이들을 연결하는 연결부(31-2)를 포함한다.
- [0135] 또한, 구동 전압선(172)도 도 3, 도 5 및 도 7의 실시예와 달리 옆으로 튀어나온 돌출부를 포함한다. 구동 전압선(172)의 돌출부는 제2 게이트 도전체로 형성되는 연결 부재(78)의 일단과 접촉 구멍(57-1)을 통하여 연결된다. 연결 부재(78)의 타단은 접촉 구멍(57-2)를 통하여 차단층(31)의 접촉부(31-1)과 연결된다. 그 결과 차단층(31)은 구동 전압(ELVDD)을 인가 받는다.
- [0136] 다만, 도 8 및 도 9의 실시예에서는 차단층(31)의 연결부(31-2)가 제7 트랜지스터(T7)와 중첩하는 구조를 가진다. 즉, 도 8의 실시예를 도 1과 같은 회로도도 도시하는 경우에는 제7 트랜지스터(T7)의 주변에도 사각형을 그

리고 해당 사각형이 구동 전압선(172)과 연결되도록 그럴 수 있다.

- [0137] 하지만, 실시예에 따라서는 연결부(31-2)가 다른 트랜지스터와 중첩을 최소화하면서 화소의 외곽을 따라서 전달될 수 있다. 이는 도 10에서 도시하고 있다.
- [0138] 차단층(31)은 도 10과 같은 구조를 가질 수도 있다.
- [0139] 도 10은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0140] 도 10은 도 8과 달리 연결부(31-2)가 화소(PX)의 경계선(점선으로 도시)을 따라서 형성되어 제7 트랜지스터(T7)의 채널 영역과 중첩하지 않는 것을 확인할 수 있다.
- [0141] 이상에서는 도 1과 같은 회로도들 가지는 실시예, 즉, 차단층(31)이 제3 트랜지스터(T3)와 평면상 중첩하며, 구동 전압(ELVDD)을 인가받는 구조를 살펴보았다. 이하에서는 차단층(31)이 제3 트랜지스터(T3)와 함께 구동 트랜지스터(T1)와도 평면상 중첩하는 구조를 살펴본다.
- [0142] 도 11은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0143] 도 11도 도 1과 거의 동일하여 차이점에 대해서만 설명한다. 도 11은 도 1에 더하여 차단층(32)이 구동 트랜지스터(T1)와도 평면상 중첩하며, 구동 전압(ELVDD)을 인가 받는다. 즉, 도 11의 실시예에 따른 유기 발광 표시 장치에서는 차단층(31, 32)이 2개 형성되어 하나는 제3 트랜지스터(T3)와 평면상 중첩하며, 다른 하나는 구동 트랜지스터(T1)와 평면상 중첩한다. 두 차단층(31, 32)은 모두 화소(PX) 내 또는 인접하는 화소 내에 형성되어 있는 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받는다. 두 차단층(31, 32)은 서로 연결된 하나의 구조를 가질 수도 있으며, 서로 분리되어 서로 다른 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받을 수 있다. 실시예에 따라서는 두 차단층(31, 32)가 서로 다른 전압을 인가 받을 수도 있다. 두 차단층(31, 32)에 인가될 수 있는 전압의 예로는 구동 전압(ELVDD)뿐만 아니라, 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자나 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다.
- [0144] 이와 같은 차단층(31, 32)을 가지는 구조에 대해서 이하 살펴본다.
- [0145] 차단층(31, 32)은 도 12 및 도 13과 같은 구조를 가질 수도 있다.
- [0146] 도 12 및 도 13은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0147] 먼저 도 12의 구조를 살펴본다.
- [0148] 도 12에서는 차단층(31, 32)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0149] 도 12에서 차단층(31, 32)은 서로 연결된 하나의 구조로 형성되어 있으며, 접촉 구멍(57)을 통하여 구동 전압(ELVDD)을 인가 받는다. 차단층(31)은 제3 트랜지스터(T3)와 평면상 중첩되고, 차단층(32)은 구동 트랜지스터(T1)와 평면상 중첩된다. 도 12에서 차단층(31) 및 차단층(32)은 점선으로 구분되어 있다. 접촉 구멍(57)을 통한 차단층(31, 32)의 연결구조는 도 4 또는 도 6과 동일하여 별도로 도시하지 않았다. 즉, 차단층(31)에 위치하는 접촉 구멍(57)을 통하여 차단층(31)은 기생 축전기 제어 패턴(79)과 연결되며, 기생 축전기 제어 패턴(79)은 접촉 구멍(66)에 의하여 구동 전압선(172)과 연결되어 있어 차단층(31)이 구동 전압(ELVDD)을 인가 받는다. 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)은 제3 트랜지스터(T3)와 평면상 중첩하는 차단층(31)과 하나의 구조로 형성되어 있어 차단층(32)도 구동 전압(ELVDD)을 인가 받는다. 차단층(31, 32)은 단면도상 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기판(110) 및 반도체층(130)과 분리되어 있다.
- [0150] 차단층(31, 32)이 이와 중첩하는 트랜지스터(T3, T1)와 어느 정도 중첩하는지는 실시예에 따라 변경될 수 있으며, 중첩하는 트랜지스터(T3, T1)의 채널 영역과 평면상 중첩할 수 있다. 실시예에 따라서는 중첩하는 트랜지스터(T3, T1)의 제1 영역 또는 제2 영역의 적어도 일부분과 평면상으로 중첩할 수도 있다.
- [0151] 도 13의 차단층(31, 32)은 도 12와 구조적으로 차이가 있다.
- [0152] 즉, 도 13의 차단층(31, 32)은 인접하는 화소(PX)에 위치하는 접촉 구멍(57)을 통하여 구동 전압(ELVDD)을 인가 받으며, 본 화소(PX)로 연장되면서 제3 트랜지스터(T3) 및 구동 트랜지스터(T1)와 평면상 중첩한다. 인접하는 화소(PX)에서 접촉 구멍(57)과 연결되는 접촉부(31-1)은 본 화소(PX)로 연장되면서 제2 트랜지스터(T2)와도 평면상 중첩되고 있다. 그 결과 도 13의 실시예는 정확하게는 도 11에서 도시하고 있는 회로도에서 제2 트랜지스

터(T2) 주위에도 차단층을 더 도시하고 해당 차단층이 구동 전압선(172)과 연결된 구조로 도시할 수 있다.

- [0153] 도 13에서 인접하는 화소(PX)에서 접촉 구멍(57)과 접촉부(31-1)과 연결되는 구조는 도 4 또는 도 6과 동일하다.
- [0154] 차단층(31, 32)은 도 14 및 도 15와 같은 구조를 가질 수도 있다.
- [0155] 도 14는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 15는 도 14에서 XV-XV선을 따라 자른 단면도이다.
- [0156] 도 14에서도 차단층(31, 32)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0157] 도 14의 실시예에서도 접촉부(33)가 더 형성되어 있는 차단층(31, 32)을 도시하고 있다. 접촉부(33)은 접촉 구멍(58)을 통하여 구동 전압선(172)과 직접 연결되는 구조를 가진다.
- [0158] 즉, 도 14에 따른 차단층(31, 32)은 서로 연결된 하나의 구조로 형성되어 있으며, 차단층(31)은 제3 트랜지스터(T3)와 평면상 중첩되고, 차단층(32)은 구동 트랜지스터(T1)와 평면상 중첩된다. 차단층(31) 및 차단층(32)은 점선으로 구분되어 있다. 차단층(31, 32)에는 접촉부(33)가 더 연결되어 있으며, 접촉부(33)는 구동 트랜지스터(T1)와 평면상 중첩되는 차단층(32)에서 아래쪽으로 연장되어 있다. 접촉부(33)는 구동 전압선(172)과 직접 연결되는 구조를 가지며, 이는 도 15에서 도시하고 있다.
- [0159] 도 15에 의하면, 차단층(31, 32) 및 접촉부(33)는 플라스틱이나 폴리 이미드(PI)로 형성된 기관(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기관(110) 및 반도체층(130)과 분리되어 있다. 반도체층(130; 도 15에서는 제5 트랜지스터의 제1 전극(S5))의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 게이트 전극(155) 및 발광 제어선(153)이 형성되어 있다. 그 위에는 이들을 덮는 제2 게이트 절연막(142)이 위치한다. 그 위에는 유지선(126)의 확장된 부분이 위치하고, 그 위에는 층간 절연막(160)이 위치한다. 접촉부(33)의 위이며, 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에는 접촉 구멍(58)이 형성되어 있다. 층간 절연막(160)의 위에는 구동 전압선(172)이 위치하며, 접촉 구멍(58)을 지나면서 연장되어 접촉 구멍(58)을 통하여 접촉부(33)와 직접 연결된다. 구동 전압선(172)의 위에는 이를 덮는 보호막(180)이 위치하며, 보호막(180)의 위에는 화소 전극, 격벽, 유기 발광층, 공통 전극, 및 봉지층이 위치할 수 있다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.
- [0160] 차단층(31, 32)은 도 16 및 도 17과 같은 구조를 가질 수도 있다.
- [0161] 도 16은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 17은 도 16에서 XVII-XVII선을 따라 자른 단면도이다.
- [0162] 도 16에서도 차단층(31, 32)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0163] 도 16의 실시예에서도 도 14의 접촉부(33)와 유사하게 구동 전압선(172)과 직접 연결되는 구조를 가진다. 하지만, 연결되는 위치가 도 14와 다르다.
- [0164] 도 16의 차단층(31, 32)은 도 14와 같은 구조를 가지며, 접촉부(33)가 접촉 구멍(58)을 통하여 구동 전압선(172)과 직접 연결되는 위치에서 차이가 있다.
- [0165] 도 16을 참고하면, 구동 전압선(172)은 데이터선(171)과 평행한 방향으로 연장되다가 우측으로 돌출된 돌출부를 가진다. 구동 전압선(172)의 돌출부의 아래에는 접촉 구멍(58)이 위치하고 있으며, 접촉 구멍(58)을 통하여 하부의 접촉부(33)와 연결된다. 그 결과 차단층(31, 32)이 구동 전압(ELVDD)를 인가 받는다.
- [0166] 접촉 구멍(58)에서 구동 전압선(172)의 돌출부와 접촉부(33)간의 연결 구조는 도 17을 통하여 살펴본다.
- [0167] 도 17에 의하면, 차단층(31, 32) 및 접촉부(33)는 플라스틱이나 폴리 이미드(PI)로 형성된 기관(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기관(110) 및 반도체층(130)과 분리되어 있다. 반도체층(130; 도 17에서는 제5 트랜지스터의 제1 전극(S5))의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 발광 제어선(153)이 형성되어 있다. 그 위에는 이들을 덮는 제2 게이트 절연막(142)이 위치한다. 그 위에는 제2 게이트 도전체가 위치하지만, 도 16에서 자른 위치에는 제2 게이트 도전체가 없어서 도 17에서는 제2 게이트 도전체가 도시되어 있지 않다. 그 결과 제2 게이트 절연막(142)위에 바로 층간 절연막(160)이 위치한다. 접촉부(33)의 위이며, 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막

(142), 및 층간 절연막(160)에는 접촉 구멍(58)이 형성되어 있다. 층간 절연막(160)의 위에는 구동 전압선(172)의 돌출부가 위치하며, 돌출부가 접촉 구멍(58)을 통하여 접촉부(33)와 직접 연결된다. 구동 전압선(172)의 위에는 이를 덮는 보호막(180)이 위치하며, 보호막(180)의 위에는 화소 전극, 격벽, 유기 발광층, 공통 전극, 및 봉지층이 위치할 수 있다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.

- [0168] 차단층(31, 32)은 도 18 또는 도 19과 같은 구조를 가질 수도 있다.
- [0169] 도 18 및 도 19는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0170] 도 18 및 도 19에서는 도 12, 도 14 및 도 16과 달리 차단층(31, 32)이 서로 분리된 구조를 가진다.
- [0171] 먼저, 도 18의 구조를 살펴본다.
- [0172] 제3 트랜지스터(T3)와 평면상 중첩하는 차단층(31)과 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)이 서로 분리되어 있으며, 그 결과 각 차단층(31, 32)는 서로 다른 접촉 구멍(57, 58)을 통하여 구동 전압(ELVDD)을 인가 받는다.
- [0173] 접촉 구멍(57)을 통하여 차단층(31)이 구동 전압(ELVDD)을 인가 받으며, 제3 트랜지스터(T3)와 평면상 중첩한다. 좀 더 상세하게 살펴보면, 접촉 구멍(57)을 통하여 차단층(31)은 기생 축전기 제어 패턴(79)과 연결되며, 기생 축전기 제어 패턴(79)은 접촉 구멍(66)에 의하여 구동 전압선(172)과 연결되어 있어 차단층(31)이 구동 전압(ELVDD)을 인가 받는다. 이는 도 12의 차단층(31)과 동일한 연결 관계를 가진다.
- [0174] 또한, 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)은 접촉부(33)를 더 포함하며, 접촉부(33)가 접촉 구멍(58)을 통하여 구동 전압선(172)과 직접 연결된다. 이는 도 14 및 도 15와 동일한 연결 구조를 가진다. 즉, 접촉부(33)는 차단층(32)에서 아래측으로 연장되어 있으며, 접촉 구멍(58)이 접촉부(33)의 위이며, 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에 형성되어, 구동 전압선(172)과 접촉부(33)가 직접 연결되는 구조를 가진다.
- [0175] 이하에서는 도 19의 구조를 살펴본다.
- [0176] 제3 트랜지스터(T3)와 평면상 중첩하는 차단층(31)과 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)이 서로 분리되어 있으며, 그 결과 각 차단층(31, 32)는 서로 다른 접촉 구멍(57, 58)을 통하여 구동 전압(ELVDD)을 인가 받는다.
- [0177] 접촉 구멍(57)을 통하여 차단층(31)이 구동 전압(ELVDD)을 인가 받으며, 제3 트랜지스터(T3)와 평면상 중첩한다. 좀 더 상세하게 살펴보면, 접촉 구멍(57)을 통하여 차단층(31)은 기생 축전기 제어 패턴(79)과 연결되며, 기생 축전기 제어 패턴(79)은 접촉 구멍(66)에 의하여 구동 전압선(172)과 연결되어 있어 차단층(31)이 구동 전압(ELVDD)을 인가 받는다. 이는 도 12의 차단층(31)과 동일한 연결 관계를 가진다.
- [0178] 또한, 구동 트랜지스터(T1)와 중첩하는 차단층(32)은 접촉부(33)를 더 포함하며, 접촉부(33)가 접촉 구멍(58)을 통하여 구동 전압선(172)과 직접 연결된다. 이는 도 16 및 도 17과 동일한 연결 구조를 가진다. 즉, 접촉부(33)는 차단층(32)에서 아래측으로 연장되어 있으며, 구동 전압선(172)은 돌출부를 가진다. 접촉 구멍(58)은 접촉부(33)의 위이며, 돌출부의 아래에 위치하며, 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에 형성되어 있다. 그 결과, 구동 전압선(172)의 돌출부와 접촉부(33)가 접촉 구멍(58)에 의하여 직접 연결되는 구조를 가진다.
- [0179] 이하에서는 도 20 및 도 21을 통하여 차단층(31, 32)이 제3 트랜지스터(T3) 및 구동 트랜지스터(T1)와 평면상 중첩하면서, 기관(110) 및 반도체층(130)의 사이에 형성되고, 구동 전압(ELVDD)이 인가되는 실시예와 이러한 차단층(31, 32)이 없는 경우간의 특성을 비교하여 살펴본다.
- [0180] 도 20 및 도 21은 일 실시예에 따른 유기 발광 표시 장치의 잔상에 대한 그래프이다.
- [0181] 잔상을 비교하기 위하여 비교예 및 실시예를 가지고 실험하였다. 도 20 및 도 21에서 Ref로 표시된 비교예는 차단층이 아무 곳에도 형성되지 않은 유기 발광 표시 장치를 사용하였으며, T1-ELVDD Sync.로 표시된 실시예는 차단층이 구동 트랜지스터(T1)와만 평면상 중첩하며, 차단층이 구동 전압(ELVDD)을 인가 받는 경우이다. 또한, T1&T3-ELVDD Sync.로 표시된 실시예는 차단층이 구동 트랜지스터(T1) 및 제3 트랜지스터(T3)와 평면상 중첩하며, 차단층이 구동 전압(ELVDD)을 인가받는 경우이다.
- [0182] 비교예 및 실시예에서는 인접하는 화소에 블랙과 화이트를 구분하여 표시하도록 하고, 그로부터 한 프레임 후에

는 반대로 화이트와 블랙을 표시하도록 하였다. 이를 계속 반복적으로 표시하다가 잔상이 남는 정도를 살펴본 것이다.

- [0183] 먼저, 도 20을 살펴본다.
- [0184] 도 20에서 Y축은 초(sec)를 기준으로 하는 시간 축이며, 특정 정도의 잔상을 기준(TCR 0.7%, 여기서 TCR은 (B-W)/(B+W)로 계산되며, B는 블랙부의 휘도를, W는 화이트부의 휘도를 의미함)으로 해당 기준보다 콘트라스트 비(CR)가 크게 남아 있는 시간을 측정한 것이다. 즉, 시간이 길면 길수록 원하는 휘도가 아닌 다른 휘도로 오랫동안 표시하는 것을 의미하며, 블랙과 화이트를 표시할 때 회색이 시인되는 시간과 비례한다.
- [0185] 도 20에서 Ref 비교예는 약 652 초 동안 회색이 시인되고, T1-ELVDD Sync.의 실시예는 약 419초 동안 회색이 시인되며, T1&T3-ELVDD Sync.의 실시예는 0초로 회색이 시인되지 않게 된다.
- [0186] 한편, 도 21을 살펴본다.
- [0187] 도 21에서 Y축은 휘도차의 퍼센티지(%)값으로, 즉, 표시하고자 하는 휘도와 표시되는 휘도간의 차이를 %로 나타낸 것이다. %값이 크면 클수록 다른 색이 표시되는 것을 의미하며, 잔상이 시인되기 용이한 경우이다.
- [0188] 도 21에서 Ref 비교예는 약 1.39%의 휘도 차이가 발생하며, T1-ELVDD Sync.의 실시예는 약 1.18%의 휘도 차이가 발생하고, T1&T3-ELVDD Sync.의 실시예는 약 0.4%의 휘도 차이가 발생한다. 0.4%의 휘도 차이는 거의 차이가 없는 것으로 매우 좋은 표시 특성을 의미한다.
- [0189] 도 20 및 도 21을 참고하면, 차단층이 없으면 잔상의 문제가 발생하며, 특히 블랙과 화이트를 교대로 표시하여 체크 무늬를 나타내는 경우 회색 잔상이 시인되는 문제가 발생한다. 또한, 차단층이 구동 트랜지스터(T1)와만 평면상 중첩하는 경우에도 이와 같은 문제가 줄기는 하지만, 잔상이 발생하는 것을 확인할 수 있다. 그러므로 차단층이 구동 트랜지스터(T1)만 가리는 실시예는 요구되는 스펙에 따라서 제품에 사용될 수 있거나 사용되지 못할 수도 있다. 하지만, 차단층이 구동 트랜지스터(T1) 및 제3 트랜지스터와 평면상 중첩되는 경우에는 이러한 문제가 없음을 확인할 수 있다.
- [0190] 도 20 및 도 21을 통하여 본 실시예 중 구동 트랜지스터(T1)와 평면상 중첩하는 차단층 보다는 제3 트랜지스터(T3)와만 평면상 중첩하는 차단층이 보다 바람직한 것도 확인할 수 있다. 이는 제3 트랜지스터(T3)를 추가 중첩시키면서 효과가 몇 배 이상 나타났기 때문이다.
- [0191] 이에 도 1에서는 제3 트랜지스터(T3)만과 평면상 중첩하는 차단층(31)을 먼저 기술하였고, 그 이후에 차단층이 구동 트랜지스터(T1) 및 제3 트랜지스터와 평면상 중첩하는 실시예를 도 11부터 설명하였다.
- [0192] 하지만, 본 실시예는 이에 한정되지 않는다. 다양한 트랜지스터와 차단층이 평면상 중첩할 수 있고, 다양한 신호선 및 화소(PX)내의 부분과 연결될 수 있다. 다만, 모든 트랜지스터와 평면상 중첩되는 차단층을 형성하는 것은 각 화소(PX)에 인가되는 신호가 차단층에 의하여 추가되는 기생 용량으로 인하여 신호 지연의 문제가 발생할 수 있기 때문에 부적절할 수 있다. 그러므로 화소(PX) 중 일부 영역은 최소한 차단층과 중첩되지 않을 수 있다. 이는 다양한 실시예로 존재할 수 있어 이하에서는 추가적인 다양한 실시예를 살펴본다.
- [0193] 이상에서는 도 11과 같은 회로도들 가지는 실시예, 즉, 차단층(31)이 제3 트랜지스터(T3)와 평면상 중첩하고, 차단층(32)이 구동 트랜지스터(T1)와 평면상 중첩하며, 차단층(31, 32)이 구동 전압(ELVDD)을 인가 받는 구조를 살펴보았다. 이하에서는 차단층(31)이 제3 트랜지스터(T3)와 함께 제4 트랜지스터(T4)와도 평면상 중첩하는 구조를 살펴본다.
- [0194] 도 22는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0195] 도 22는 도 1 또는 도 11과 거의 동일하여 차이점에 대해서만 설명한다. 도 22은 도 1에 더하여 차단층(35)이 구동 트랜지스터(T4)와도 평면상 중첩하며, 구동 전압(ELVDD)을 인가 받는 실시예이다. 즉, 도 22의 실시예에 따른 유기 발광 표시 장치에서는 차단층(31, 35)이 2개 형성되어 하나는 제3 트랜지스터(T3)와 평면상 중첩하며, 다른 하나는 제4 트랜지스터(T4)와 평면상 중첩한다. 두 차단층(31, 35)은 모두 화소(PX) 내 또는 인접하는 화소내에 형성되어 있는 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받는다. 두 차단층(31, 35)은 서로 연결된 하나의 구조를 가질 수도 있으며, 서로 분리되어 서로 다른 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받을 수 있다. 실시예에 따라서는 두 차단층(31, 35)이 서로 다른 전압을 인가받을 수도 있다. 두 차단층(31, 35)에 인가될 수 있는 전압의 예로는 구동 전압(ELVDD)뿐만 아니라, 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐

만 아니라 복수의 트랜지스터(T1-T7)의 일 단자 또는 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다.

- [0196] 이와 같은 차단층(31, 35)을 가지는 구조에 대해서 이하 살펴본다.
- [0197] 차단층(31, 35)은 도 23 및 도 24와 같은 구조를 가질 수도 있다.
- [0198] 도 23 및 도 24는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0199] 먼저 도 23의 구조를 살펴본다.
- [0200] 도 23에서는 차단층(31, 35)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0201] 도 23에서 차단층(31, 35)은 서로 연결된 하나의 구조로 형성되어 있으며, 접촉 구멍(57)을 통하여 구동 전압(ELVDD)을 인가 받는다. 차단층(31)은 제3 트랜지스터(T3)와 평면상 중첩되고, 차단층(35)은 제4 트랜지스터(T4)와 평면상 중첩된다. 도 23에서 차단층(31) 및 차단층(35)은 점선으로 구분되어 있으나, 그 위치는 구조에 따라서 변경될 수 있다. 접촉 구멍(57)을 통한 차단층(31, 35)의 연결구조는 도 4 또는 도 6과 동일하여 별도로 도시하지 않았다. 즉, 차단층(31)측에 위치하는 접촉 구멍(57)을 통하여 차단층(31)은 기생 축전기 제어 패턴(79)과 연결되며, 기생 축전기 제어 패턴(79)은 접촉 구멍(66)에 의하여 구동 전압선(172)과 연결되어 있어 차단층(31)이 구동 전압(ELVDD)을 인가 받는다. 제4 트랜지스터(T4)와 평면상 중첩하는 차단층(35)은 제3 트랜지스터(T3)와 평면상 중첩하는 차단층(31)과 하나의 구조로 형성되어 있어 차단층(35)도 구동 전압(ELVDD)을 인가 받는다. 차단층(31, 35)은 단면도상 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기판(110) 및 반도체층(130)과 분리되어 있다.
- [0202] 차단층(31, 35)이 이와 평면상 중첩하는 트랜지스터(T3, T4)와 어느 정도 중첩하는지는 실시예에 따라 변경될 수 있으며, 중첩하는 트랜지스터(T3, T4)의 채널 영역과 평면상 중첩할 수 있다. 또한, 실시예에 따라서는 중첩하는 트랜지스터(T3, T4)의 제1 영역 또는 제2 영역의 적어도 일부와 평면상 중첩할 수도 있다.
- [0203] 도 24의 차단층(31, 35)은 도 23과 달리 두 차단층(31, 35)이 서로 분리되어 있으며, 별도의 접촉 구멍(57, 57-1)을 통하여 각각 구동 전압(ELVDD)을 인가 받는다.
- [0204] 제3 트랜지스터(T3)와 평면상 중첩하는 차단층(31)이 접촉 구멍(57)을 통하여 구동 전압(ELVDD)을 인가 받는 것은 도 23의 실시예와 동일하므로 설명을 생략한다.
- [0205] 제4 트랜지스터(T4)와 평면상 중첩하는 차단층(35)이 접촉 구멍(57-1)을 통하여 구동 전압(ELVDD)을 인가 받는 구조는 도 14의 실시예와 같이 접촉 구멍(57-1)을 통하여 구동 전압선(172)과 차단층(35)이 직접 연결되는 구조를 가진다.
- [0206] 즉, 도 24에 따른 차단층(35)은 제4 트랜지스터(T4)와 평면상 중첩되며, 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기판(110) 및 반도체층(130)과 분리되어 있다. 반도체층(130)의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 제1 게이트 도전체가 형성되어 있고, 그 위에는 이들을 덮는 제2 게이트 절연막(142)이 위치한다. 그 위에는 제2 게이트 도전체가 위치하고, 그 위에는 층간 절연막(160)이 위치한다. 차단층(35)의 위이며, 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에는 접촉 구멍(57-1)이 형성되어 있다. 층간 절연막(160)의 위에는 구동 전압선(172)이 위치하며, 접촉 구멍(57-1)을 지나면서 연장되어 접촉 구멍(57-1)을 통하여 차단층(35)과 직접 연결된다. 구동 전압선(172)의 위에는 이를 덮는 보호막(180)이 위치하며, 보호막(180)의 위에는 화소 전극, 격벽, 유기 발광층, 공통 전극, 및 봉지층이 위치할 수 있다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.
- [0207] 이상에서는 도 22와 같은 회로도들을 가지는 실시예, 즉, 차단층(31, 35)이 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)와 평면상 중첩하며, 구동 전압(ELVDD)을 인가 받는 구조를 살펴보았다. 이하에서는 차단층이 제3 트랜지스터(T3)와 함께 구동 트랜지스터(T1) 및 제2 트랜지스터(T2)와도 중첩하는 구조를 살펴본다.
- [0208] 도 25는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0209] 도 25도 도 11과 거의 동일하여 차이점에 대해서만 설명한다. 도 25는 도 11에 더하여 차단층(34)이 제2 트랜지스터(T2)와도 평면상 중첩하며, 구동 전압(ELVDD)을 인가 받는다. 즉, 도 25의 실시예에 따른 유기 발광 표시 장치에서는 차단층(31, 32, 34)이 3개 형성되어 하나는 제3 트랜지스터(T3)와 평면상 중첩하며, 다른 하나는 구동 트랜지스터(T1)와 평면상 중첩하고, 나머지 하나는 제2 트랜지스터(T2)와 평면상 중첩한다. 세 차단층(31, 32, 34)은 모두 화소(PX) 내 또는 인접하는 화소 내에 형성되어 있는 접촉 구멍을 통하여 구동 전압(ELVDD)을

인가 받는다. 세 차단층(31, 32, 34)은 서로 연결된 하나의 구조를 가질 수도 있으며, 서로 분리되어 서로 다른 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받을 수 있다. 실시예에 따라서는 세 차단층(31, 32, 34)이 서로 다른 전압을 인가 받을 수도 있다. 세 차단층(31, 32, 34)에 인가될 수 있는 전압의 예로는 구동 전압(ELVDD)뿐만 아니라, 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자 또는 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다.

- [0210] 이와 같은 차단층(31, 32, 34)을 가지는 구조에 대해서 이하 살펴본다.
- [0211] 차단층(31, 32, 34)은 도 26 내지 도 28과 같은 구조를 가질 수도 있다.
- [0212] 도 26 내지 도 28은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0213] 먼저 도 26의 구조를 살펴본다.
- [0214] 도 26에서는 차단층(31, 32, 34)을 명확하게 도시하기 위하여 다른 부분에 비하여 굵은 선으로 도시하였다.
- [0215] 도 26에서 차단층(31, 32, 34)은 서로 연결된 하나의 구조로 형성되어 있으며, 접촉 구멍(57)을 통하여 구동 전압(ELVDD)을 인가 받는다. 차단층(31)은 제3 트랜지스터(T3)와 평면상 중첩되고, 차단층(32)은 구동 트랜지스터(T1)와 평면상 중첩되며, 차단층(34)는 제2 트랜지스터(T2)와 평면상 중첩된다. 도 26에서 차단층(31, 34) 및 차단층(32)은 점선으로 구분되어 있다. 접촉 구멍(57)을 통한 차단층(31, 32, 34)의 연결구조는 도 4 또는 도 6과 동일하여 별도로 도시하지 않았다. 즉, 차단층(31)과 차단층(34)의 사이에 위치하는 접촉 구멍(57)을 통하여 차단층(31, 34)은 기생 축전기 제어 패턴(79)과 연결되며, 기생 축전기 제어 패턴(79)은 접촉 구멍(66)에 의하여 구동 전압선(172)과 연결되어 있어 차단층(31, 34)이 구동 전압(ELVDD)을 인가 받는다. 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)은 차단층(31, 34)과 하나의 구조로 형성되어 있어 차단층(32)도 구동 전압(ELVDD)을 인가 받는다. 차단층(31, 32, 34)은 단면도상 플라스틱이나 폴리 이미드(PI)로 형성된 기관(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기관(110) 및 반도체층(130)과 분리되어 있다.
- [0216] 차단층(31, 32, 34)이 이와 평면상 중첩하는 트랜지스터(T3, T1, T2)와 어느 정도 중첩하는지는 실시예에 따라 변경될 수 있으며, 중첩하는 트랜지스터(T3, T1, T2)의 채널 영역과 평면상 중첩할 수 있다. 실시예에 따라서는 중첩하는 트랜지스터(T3, T1, T2)의 제1 영역 또는 제2 영역의 적어도 일부분과 평면상으로 중첩할 수도 있다.
- [0217] 도 27 및 도 28은 도 26과 달리 차단층(31, 32, 34)이 접촉부(33)를 더 포함하는 구조를 가진다. 접촉부(33)의 위에 접촉 구멍(58)이 형성되어 접촉부(33)가 접촉 구멍(58)을 통하여 구동 전압선(172)과 연결되는 구조를 가진다. 도 27의 실시예는 접촉부(33)가 구동 전압선(172)과 직접 연결되는 구조를 가지며, 도 28의 실시예는 접촉부(33)가 연결부재(78)를 통하여 구동 전압선(172)과 연결되는 구조를 가진다.
- [0218] 먼저, 도 27의 구조를 살펴본다.
- [0219] 도 27의 실시예는 도 26과 달리 차단층(31, 32)는 본 화소(PX)내에 위치하지만, 차단층(34)은 인접하는 화소로 연장되어 인접하는 화소(PX)의 제2 트랜지스터(T2)와 중첩되는 구조를 가진다.
- [0220] 또한, 도 27의 실시예는 도 26과 달리 차단층(31, 32, 34)에 접촉부(33)가 더 연결되어 있으며, 접촉부(33)는 구동 트랜지스터(T1)와 평면상 중첩되는 차단층(32)에서 아래쪽으로 연장되어 있다. 접촉부(33)는 구동 전압선(172)과 직접 연결되는 구조를 가진다. 이는 도 16 및 도 17에서 도시하는 구조와 동일한 구조를 가져 별도의 단면도를 도시하지 않는다.
- [0221] 도 27을 참고하면, 구동 전압선(172)은 데이터선(171)과 평행한 방향으로 연장되다가 우측으로 돌출된 돌출부를 가진다. 구동 전압선(172)의 돌출부의 아래에는 접촉 구멍(58)이 위치하고 있으며, 접촉 구멍(58)을 통하여 하부의 접촉부(33)와 연결된다. 그 결과 차단층(31, 32, 34)이 구동 전압(ELVDD)을 인가 받는다.
- [0222] 접촉 구멍(58)에서 구동 전압선(172)의 돌출부와 접촉부(33)간의 연결 구조는 다음과 같다.
- [0223] 차단층(31, 32, 34) 및 접촉부(33)는 플라스틱이나 폴리 이미드(PI)로 형성된 기관(110)과 반도체층(130)의 사이에 위치하며, 배리어층(111)과 버퍼층(112)으로 기관(110) 및 반도체층(130)과 분리되어 있다. 반도체층(130)의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 제1 게이트 도전체가 형성되어 있으며, 그 위에는 이들을 덮는 제2 게이트 절연막(142)이 위치한다. 그 위에는 제2 게이트 도전체가 위치하고, 그 위에는 층간 절연막(160)이 위치한다. 접촉부(33)의 위이며, 버퍼층(112), 제1 게이트 절연막(141),

제2 게이트 절연막(142), 및 층간 절연막(160)에는 접촉 구멍(58)이 형성되어 있다. 층간 절연막(160)의 위에는 구동 전압선(172)의 돌출부가 위치하며, 돌출부가 접촉 구멍(58)을 통하여 접촉부(33)와 직접 연결된다. 구동 전압선(172)의 위에는 이를 덮는 보호막(180)이 위치하며, 보호막(180)의 위에는 화소 전극, 격벽, 유기 발광층, 공통 전극, 및 봉지층이 위치할 수 있다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.

- [0224] 이하에서는 도 28을 살펴본다.
- [0225] 도 28의 구조는 도 27과 달리 제3 트랜지스터와 평면상 중첩하는 차단층(31)과 제2 트랜지스터(T2)와 평면상 중첩하는 차단층(34)과 분리되어 있으며, 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)에 의하여 연결되어 있다. 또한, 제2 트랜지스터(T2)와 평면상 중첩하는 차단층(34)이 다른 차단층(31, 32)와 같이 동일한 화소(PX)내에 형성되어 있다.
- [0226] 또한, 도 27과 달리 도 28의 실시예에서는 접촉부(33)가 연결부재(78)를 통하여 구동 전압선(172)가 연결되는 구조를 가진다. 이와 같이 접촉부(33)가 연결 부재(78)를 통하여 구동 전압선(172)과 연결되는 구조는 도 9와 유사하여 별도의 단면도를 없이 설명한다.
- [0227] 도 28의 실시예에서는 차단층(31, 32, 34)이 구동 전압선(172)과 연결되기 위하여 접촉부(33)를 가진다.
- [0228] 구동 전압선(172)의 아래에는 연결 부재(78)의 일단을 노출시키는 접촉 구멍(57-1)이 있어 연결 부재(78)와 구동 전압선(172)이 연결된다. 연결 부재(78)의 타단은 접촉 구멍(57-2)를 통하여 접촉부(33)과 연결된다. 그 결과 차단층(31, 32, 34)은 구동 전압(ELVDD)을 인가 받는다. 연결 부재(78)는 제1 게이트 도전체나 제2 게이트 도전체로 형성될 수 있다. 즉, 연결 부재(78)가 제1 게이트 도전체로 형성되면, 접촉 구멍(57-1)은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성되며, 접촉 구멍(57-2)는 제1 게이트 절연막(141) 및 버퍼층(112)에 형성된다. 하지만, 연결 부재(78)가 제2 게이트 도전체로 형성되는 실시예에서는 접촉 구멍(57-1)은 층간 절연막(160)에 형성되며, 접촉 구멍(57-2)는 제2 게이트 절연막(142), 제1 게이트 절연막(141) 및 버퍼층(112)에 형성된다.
- [0229] 이상에서는 도 25와 같은 회로도들을 가지는 실시예, 즉, 차단층(31)이 제3 트랜지스터(T3)와 중첩하고, 차단층(32)이 구동 트랜지스터(T1)와 중첩하며, 차단층(34)이 제2 트랜지스터(T2)와 중첩하면서, 구동 전압(ELVDD)을 인가받는 구조를 살펴보았다. 이하에서는 차단층이 제3 트랜지스터(T3)와 함께 구동 트랜지스터(T1), 제2 트랜지스터(T2) 및 제4 트랜지스터(T4)와도 중첩하는 구조를 살펴본다.
- [0230] 도 29는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0231] 도 29의 실시예도 도 25와 거의 동일하여 차이점에 대해서만 설명한다. 도 29는 도 25에 더하여 차단층(35)이 제4 트랜지스터(T4)와도 평면상 중첩하며, 구동 전압(ELVDD)을 인가 받는다. 즉, 도 29의 실시예에 따른 유기 발광 표시 장치에서는 차단층(31, 32, 34, 35)이 4개 형성되어, 하나는 제3 트랜지스터(T3)와 평면상 중첩하며, 다른 하나는 구동 트랜지스터(T1)와 평면상 중첩하고, 또 다른 하나는 제2 트랜지스터(T2)와 평면상 중첩하고, 나머지 하나는 제4 트랜지스터(T4)와 평면상 중첩한다. 네 차단층(31, 32, 34, 35)은 모두 화소(PX) 내 또는 인접하는 화소 내에 형성되어 있는 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받는다. 네 차단층(31, 32, 34, 35)은 서로 연결된 하나의 구조를 가질 수도 있으며, 서로 분리되어 서로 다른 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받을 수 있다. 실시예에 따라서는 네 차단층(31, 32, 34, 35)이 서로 다른 전압을 인가 받을 수도 있다. 네 차단층(31, 32, 34, 35)에 인가될 수 있는 전압의 예로는 구동 전압(ELVDD)뿐만 아니라, 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자 또는 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다.
- [0232] 이와 같은 차단층(31, 32, 34, 35)을 가지는 구조에 대해서 이하 살펴본다.
- [0233] 차단층(31, 32, 34, 35)은 도 30 및 도 31과 같은 구조를 가질 수도 있다.
- [0234] 도 30 및 도 31은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0235] 먼저 도 30의 실시예에 따른 차단층(31, 32, 34, 35)는 접촉부(33)를 포함한다. 차단층(31), 차단층(34) 및 차단층(32)는 하나의 네모 모양으로 형성되어 있으며, 차단층(32)으로부터 아래측으로 접촉부(33)가 위치한다. 접촉부(33)의 아래측에 차단층(35)이 다시 위치하는 구조를 가진다. 제4 트랜지스터(T4)와 평면상 중첩하는 차

단층(35)은 다른 차단층(31, 32, 34)와 달리 아래측으로 인접하는 화소의 제4 트랜지스터(T4)와 중첩하고 있다.

- [0236] 접촉부(33)는 구동 전압선(172)이 돌출부를 가지며, 해당 돌출부와 접촉 구멍(57)을 통하여 직접 연결되는 구조를 가진다. 이는 도 9의 구조와 동일하여 별도로 단면도를 추가하지 않는다.
- [0237] 접촉부(33)가 접촉 구멍(57)을 통하여 구동 전압선(172)의 돌출부로부터 구동 전압(ELVDD)을 인가받아 차단층(31, 32, 34, 35) 모두에는 구동 전압(ELVDD)이 인가된다.
- [0238] 한편, 도 31에서는 도 30과 달리 제2 트랜지스터(T2)와 평면상 중첩하는 차단층(34)이 본 화소(PX)의 우측으로 인접하는 화소로 연장되어 있다. 그 결과 본 화소(PX)에 위치하는 제2 트랜지스터(T2)와 평면상 중첩하는 것이 아니고 우측으로 인접하는 화소내의 제2 트랜지스터(T2)와 평면상 중첩하는 구조를 가진다.
- [0239] 그 결과 도 31의 실시예에서는 본 화소(PX)에 위치하는 트랜지스터와 평면상 중첩하는 차단층은 제3 트랜지스터와 중첩하는 차단층(31)과 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)이며, 인접하는 화소에 위치하는 트랜지스터와 평면상 중첩하는 차단층은 제2 트랜지스터와 중첩하는 차단층(34)과 제4 트랜지스터와 평면상 중첩하는 차단층(35)이다. 또한, 제2 트랜지스터와 평면상 중첩하는 차단층(34)은 본 화소(PX)의 우측에 위치하는 화소에 위치하며, 제4 트랜지스터와 평면상 중첩하는 차단층(35)은 본 화소(PX)의 아래측에 위치하는 화소에 위치한다.
- [0240] 이상에서는 도 30과 같은 회로도를 가지는 실시예, 즉, 차단층(31)이 제3 트랜지스터(T3)와 평면상 중첩하고, 차단층(32)이 구동 트랜지스터(T1)와 평면상 중첩하며, 차단층(34)이 제2 트랜지스터(T2)와 평면상 중첩하며, 차단층(35)이 제4 트랜지스터(T4)와 평면상 중첩하면서, 구동 전압(ELVDD)을 인가받는 구조를 살펴보았다. 이하에서는 차단층이 제3 트랜지스터(T3)와 함께 구동 트랜지스터(T1) 및 제4 트랜지스터(T4)와도 평면상 중첩하는 구조를 살펴본다.
- [0241] 지금까지는 회로도에 더하여 배치도 또는 단면도를 추가하여 차단층의 평면적인 위치관계 및 연결 관계를 명확하게 살펴보았다. 이상까지의 구조를 이용하면 구동 전압(ELVDD)이 인가되면서 특정 트랜지스터와 중첩하는 다양한 실시예를 조합하여 구성할 수 있다. 이상에서는 차단층이 위치하는 부분을 개념으로 표시하기 위하여 단순히 사각 구조로 기술하였지만, 실제 구체화되면서 사각형이 아닌 다른 다양한 다각 구조를 가질 수도 있고, 트랜지스터의 하부에만 위치하기 위하여 곡선 구조를 포함하는 등 다양한 구조로 적용될 수 있다.
- [0242] 뿐만 아니라 다양한 위치에 형성되는 접촉 구멍을 통하여 차단층으로 구동 전압(ELVDD)이 인가될 수 있다.
- [0243] 이상의 실시예에 한정되지 않으며, 다양한 평면 구조 및 연결 구조의 조합이 가능하다.
- [0244] 이에 이하에서는 본 발명의 개념을 회로도만을 중심으로 도시하며, 구체화시에는 이상에서 도시한 실시예를 기초로 변형 및 적용할 수 있다.
- [0245] 도 32 내지 도 37은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- [0246] 먼저 도 32의 회로도를 살펴본다.
- [0247] 도 32의 실시예는 차단층이 3개 형성되어 하나는 제3 트랜지스터(T3)와 평면상 중첩하며, 다른 하나는 구동 트랜지스터(T1)와 평면상 중첩하며, 나머지 하나는 제4 트랜지스터(T4)와 평면상 중첩한다. 또한, 세 차단층(31, 32, 35)은 모두 화소(PX) 내에 형성되어 있는 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받는다. 세 차단층(31, 32, 35)은 서로 연결된 하나의 구조를 가질 수도 있으며, 서로 분리되어 서로 다른 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받을 수 있다. 실시예에 따라서는 세 차단층(31, 32, 35)이 서로 다른 전압을 인가받을 수도 있다. 세 차단층(31, 32, 35)에 인가될 수 있는 전압의 예로는 구동 전압(ELVDD)뿐만 아니라, 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자 또는 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다.
- [0248] 한편, 도 33의 회로도는 아래와 같은 실시예를 도시하고 있다.
- [0249] 도 33의 실시예는 차단층이 3개 형성되어 하나는 제3 트랜지스터(T3)와 평면상 중첩하며, 다른 하나는 제2 트랜지스터(T2)와 평면상 중첩하며, 나머지 하나는 제4 트랜지스터(T4)와 평면상 중첩한다. 또한, 세 차단층(31, 34, 35)은 모두 화소(PX) 내에 형성되어 있는 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받는다. 세 차단층(31, 34, 35)은 서로 연결된 하나의 구조를 가질 수도 있으며, 서로 분리되어 서로 다른 접촉 구멍을 통하여 구동 전압(ELVDD)을 인가 받을 수 있다. 실시예에 따라서는 세 차단층(31, 34, 35)이 서로 다른 전압을 인가 받을

수도 있다. 세 차단층(31, 34, 35)에 인가될 수 있는 전압의 예로는 구동 전압(ELVDD)뿐만 아니라, 초기화 전압(Vint), 공통 전압(ELVSS), 스캔 신호(Sn), 선스캔 신호(Sn-1), 데이터 전압(Dm), 발광 제어 신호(EM) 중 하나 일 수 있으며, 뿐만 아니라 복수의 트랜지스터(T1-T7)의 일 단자 또는 유기 발광 소자의 일 단자와 연결되어 있을 수도 있다.

- [0250] 즉, 차단층과 전기적으로 연결될 수 있는 것으로 구동 전압선(172)외에 다른 것도 가능한데, 이상의 실시예에서는 구동 전압선(172)과만 연결되어 구동 전압(ELVDD)를 인가받는 차단층만을 살펴보았다.
- [0251] 이하에서는 다른 신호선과 연결되는 실시예를 회로도를 통하여 살펴본다.
- [0252] 먼저, 도 34를 살펴본다.
- [0253] 도 34의 회로도는 도 1의 회로도와 동일하게 차단층(31)이 제3 트랜지스터(T3)에만 평면상 중첩하여 위치한다. 다만, 도 1과 달리 차단층(31)이 구동 전압선(172)과 연결되지 않고 초기화 전압선(127)과 연결되어 초기화 전압(Vint)을 인가 받는다. 초기화 전압(Vint)이 차단층(31)에 인가되면, 구동 전압(ELVDD)가 인가되는 경우와 달리 제3 트랜지스터(T3)의 채널 특성이 반대 방향으로 시프트될 수 있다. 즉, 차단층을 어느 전압선에 연결하는지는 각 트랜지스터의 특성에 기초하며, p타입의 트랜지스터 인지, n타입의 트랜지스터인지 및 트랜지스터가 동작하는 특성도 고려하여야 한다.
- [0254] 도 34의 회로도에서는 도시되지 않았지만, 초기화 전압선(127)과 차단층(31)이 연결되도록 하는 접촉 구멍은 화소(PX) 내에 위치한다. 접촉 구멍이 표시 영역의 외측에 형성되는 경우에는 화소(PX)까지 연결되는 배선으로 인하여 불필요한 기생 용량이 발생할 수 있어 고해상도의 화소를 가지는 표시 장치에서는 신호 지연의 문제로 표시 품질의 저하가 발생할 수 있어 본 실시예에서는 화소(PX)내에 위치하는 접촉 구멍을 통하여 초기화 전압선(127)과 차단층(31)이 전기적으로 연결되도록 구성한다. 다른 배선과 연결되는 실시에도 동일하다.
- [0255] 또한, 도 34에서는 차단층이 제3 트랜지스터(T3)와 중첩하는 것만 포함하였으나 앞에서 포함된 실시예와 같이 다양한 트랜지스터와 중첩하는 차단층이 다양한 구성으로 가능하다. 특히 앞에서는 4개의 트랜지스터(T1 내지 T4)만을 가지고 다양한 조합을 형성하였지만, 이에 한하지 않으며, 실시예에 포함되어 있는 모든 트랜지스터(T1 내지 T7)와 선택적으로 중첩할 수 있다. 만약 모든 트랜지스터와 중첩하는 차단층이 형성되는 경우에는 불필요한 기생 용량으로 인한 신호 지연의 문제를 제거하기 위하여 필요한 부분에만 차단층이 형성되고 모든 화소(PX)의 아래에 차단층이 위치하지 않도록 차단층을 배치한다. 즉, 차단층이 화소(PX)내에 형성되지 않은 부분이 적어도 일부분 있을 수 있다.
- [0256] 이하에서는 도 35의 회로도를 살펴본다.
- [0257] 도 35에서는 도 34와 달리 차단층(31)이 평면상 중첩하는 트랜지스터(T3)의 일 단과 연결되어 있는 구조를 도시하고 있다.
- [0258] 즉, 차단층(31)은 신호선 중 하나와 연결되어야 하는 것이 아니며, 복수의 트랜지스터(T1-T7)의 일 단자와 연결되어 있을 수 있다. 그 중 하나의 실시예로 도 35와 같이 차단층(31)이 중첩하고 있는 트랜지스터(T3)의 일 단자와 중첩하는 실시예로 도 35에서는 제2 전극(D3)에 연결된 구조가 도시되어 있다.
- [0259] 도 35의 회로도는 도 1의 회로도와 동일하게 차단층(31)이 제3 트랜지스터(T3)에만 중첩하여 위치한다. 다만, 도 1과 달리 차단층(31)이 구동 전압선(172)과 연결되지 않고 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되어 변화되는 전압을 인가 받는다. 이와 같은 전압의 변화가 차단층(31)의 전위를 변위시켜 일정한 전압이 인가되는 경우와 다른 특성을 나타낸다. 하지만, 도 34에서 제2 전극(D3)은 주기적으로 초기화 되므로 초기화 전압(Vint)이 인가되는 경우와 크게 다르지 않은 특성을 가진다.
- [0260] 또한, 도 35의 회로도에서는 도시되지 않았지만, 제3 트랜지스터(T3)의 제2 전극(D3)과 차단층(31)이 연결되도록 하는 접촉 구멍은 화소(PX) 내에 위치한다.
- [0261] 실시예에 따라서는 차단층(31)이 제1 전극(S3)과 연결될 수도 있으며, 또한, 실시예에 따라서는 중첩하지 않는 트랜지스터의 단자와도 연결될 수 있다.
- [0262] 또한, 도 35에서는 차단층이 제3 트랜지스터(31)와 평면상 중첩하는 것만 포함하였으나 앞에서 포함된 실시예와 같이 다양한 트랜지스터와 평면상 중첩하는 차단층이 다양한 구성으로 가능하다. 특히 앞에서는 4개의 트랜지스터(T1 내지 T4)만을 가지고 다양한 조합을 형성하였지만, 이에 한하지 않으며, 실시예에 포함되어 있는 모든 트랜지스터(T1 내지 T7)와 선택적으로 중첩할 수 있다. 만약 모든 트랜지스터와 평면상 중첩하는 차단층이 형성되

는 경우에는 불필요한 기생 용량으로 인한 신호 지연의 문제를 제거하기 위하여 필요한 부분에만 차단층이 형성되고 모든 화소(PX)의 아래에 차단층이 위치하지 않도록 차단층을 배치할 수 있다. 즉, 차단층이 화소(PX)내에 형성되지 않은 부분이 적어도 일부분 있을 수 있다.

- [0263] 이하에서는 도 36 및 도 37을 통하여 복수의 차단층이 있는 경우에 서로 다른 전압을 인가 받는 구조에 대해서 살펴본다.
- [0264] 도 36 및 도 37에서는 도 35에서 도시한 바와 같이 제3 트랜지스터(T3)와 평면상 중첩하는 차단층(31)이 제2 전극(D3)과 연결된 것을 공통으로 하면서 다른 차단층을 추가하면서 변화를 도시하였다.
- [0265] 먼저, 도 36을 살펴본다.
- [0266] 도 36의 실시예에서는 도 35에 추가하여 구동 트랜지스터(T1)와 평면상 중첩하는 차단층(32)이 더 포함되어 있다. 차단층(32)은 도 11 등과 같이 구동 전압선(172)에 연결되어 구동 전압(ELVDD)를 인가 받는다. 그러므로 두 차단층(31, 32)은 서로 전기적으로 분리되어 있으며, 차단층(31)은 제3 트랜지스터의 제2 전극(D3)과 연결되고, 차단층(32)은 구동 전압(ELVDD)를 인가 받는다.
- [0267] 이 때, 두 차단층(31, 32)이 전기적으로 연결되는 접촉 구멍은 화소(PX)내에 위치하여 기생 용량을 줄인다.
- [0268] 이와 같이 다양한 차단층이 서로 전기적으로 분리되어 있으며, 서로 다른 전압을 인가 받는 실시예는 다양할 수 있다. 다만, 차단층이 화소(PX)의 전부와 중첩하여 불필요한 기생 용량이 발생되지 않도록 적어도 일부는 오픈시키고, 필요한 부분에만 차단층을 형성할 수 있다.
- [0269] 이하에서는 도 37의 실시예를 살펴본다.
- [0270] 도 37의 실시예에서는 도 36에 더하여 제4 트랜지스터(T4)와 평면상 중첩하는 차단층(35)을 더 포함한다. 제4 트랜지스터(T4)와 중첩하는 차단층(35)은 제4 트랜지스터(T4)의 제1 전극(S4)과 전기적으로 연결된 구조를 도시하고 있다. 하지만, 회로적으로 볼 때, 제4 트랜지스터(T4)의 제1 전극(S4)은 초기화 전압(Vint)이 인가되는 곳이므로 초기화 전압선(127)과 연결된 구조와 동일하다.
- [0271] 그러므로 도 37의 실시예에서는 차단층(31)은 중첩하는 트랜지스터(T3)의 일 전극(D3)과 전기적으로 연결되며, 차단층(32)은 구동 전압(ELVDD)가 전달되며, 차단층(35)은 초기화 전압(Vint)이 전달되어 모든 차단층이 서로 다른 전압을 인가받는 것을 도시하고 있다.
- [0272] 이 때, 세 차단층(31, 32, 35)이 전기적으로 연결되는 접촉 구멍은 화소(PX)내에 위치하여 기생 용량을 줄인다.
- [0273] 이와 같이 다양한 차단층이 서로 전기적으로 분리되어 있으며, 서로 다른 전압을 인가 받는 실시예는 다양할 수 있다. 다만, 차단층이 화소(PX)의 전부와 중첩하여 불필요한 기생 용량이 발생되지 않도록 적어도 일부는 오픈시키고, 필요한 부분에만 차단층을 형성할 수 있다.
- [0274] 이상의 도 35 내지 도 37에서는 중첩하는 트랜지스터의 일 전극과 전기적으로 연결되는 차단층의 회로적인 연결 구조를 중심으로 살펴보았다.
- [0275] 이하에서는 도 38 및 도 39를 통하여 트랜지스터의 일 전극과 차단층의 연결 관계를 단면도를 통하여 살펴본다.
- [0276] 도 38 및 도 39는 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0277] 먼저 도 38을 살펴본다.
- [0278] 도 38에 의하면, 차단층(31)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층(130)의 사이에 위치한다. 도 38에 의하면 기판(110)의 위에는 배리어층(111)이 위치하며, 배리어층(111)의 위에 차단층(31)이 위치한다. 차단층(31)과 배리어층(111)의 위에는 버퍼층(112)이 위치하며, 버퍼층의 위에는 반도체층(130)이 위치한다. 도 38에서는 반도체층(130)으로 제3 트랜지스터(T3)의 제1 전극(S3), 제2 전극(D3) 및 채널 영역(C3)이 도시되어 있다. 반도체층(130)의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 제3 트랜지스터(T3)의 게이트 전극(G3)이 형성되어 있다. 그 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 그 위에는 유지선(126)의 확장된 부분이 위치하고, 그 위에는 층간 절연막(160)이 위치한다. 차단층(31)의 위이며, 버퍼층(112), 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에는 접촉 구멍(57)이 형성되어 차단층(31)의 일부를 노출시킨다. 또한, 제2 전극(D3)의 위이며, 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에는 접촉 구멍(57-1)이 형성되어 제2 전극(D3)의 일부를 노출시킨다. 층간 절연막(160)의 위에는 연결 부재(172-1)가 위치하며, 두 접촉 구멍(57, 57-1)을 통하여 차단층(31)

과 제3 트랜지스터(T3)의 제2 전극(D3)을 전기적으로 연결시킨다. 층간 절연막(160) 및 연결 부재(172-1)의 위에는 보호막(180)이 위치하며, 보호막(180)의 위에는 화소 전극, 격벽, 유기 발광층, 공통 전극, 및 봉지층이 위치할 수 있다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.

- [0279] 뿐만 아니라 도 39와 같은 구조를 통하여 제3 트랜지스터(T3)의 제2 전극(D3)과 차단층(31)이 전기적으로 연결될 수도 있다.
- [0280] 도 39에 의하면, 차단층(31)은 플라스틱이나 폴리 이미드(PI)로 형성된 기판(110)과 반도체층(130)의 사이에 위치한다. 도 39에 의하면 기판(110)의 위에는 배리어층(111)이 위치하며, 배리어층(111)의 위에 차단층(31)이 위치한다. 차단층(31)과 배리어층(111)의 위에는 버퍼층(112)이 위치하며, 버퍼층(112)의 위에는 반도체층(130)이 위치한다. 도 39에서는 반도체층(130)으로 제3 트랜지스터(T3)의 제1 전극(S3), 제2 전극(D3) 및 채널 영역(C3)이 도시되어 있다. 반도체층(130)의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 제3 트랜지스터(T3)의 게이트 전극(G3)이 형성되어 있다. 그 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다.
- [0281] 제2 게이트 절연막(142) 위에는 차단층(31)과 연결되는 제1 연결 부재(172-1)가 위치한다. 제1 연결 부재(172-1)는 버퍼층(112), 반도체층(130) 제1 게이트 절연막(141), 제2 게이트 절연막(142)에 위치하는 접촉 구멍(57-1)에 의하여 차단층(31)과 전기적으로 연결된다. 제1 연결 부재(172-1) 및 제2 게이트 절연막(142)의 위에는 층간 절연막(160)이 위치한다.
- [0282] 층간 절연막(160)의 위에는 제2 연결부(172-2), 게이트 전극 연결부(155-1) 및 제1 전극 연결부(155-2)가 위치한다.
- [0283] 먼저, 제2 연결부(172-2)는 제2 전극(D3)의 위이며, 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에 형성되는 접촉 구멍(57-2) 및 제1 연결 부재(172-1)의 위이며, 층간 절연막(160)에 형성되는 접촉 구멍(57-3)에 의하여 제2 전극(D3)과 제1 연결 부재(172-1)을 연결시킨다. 그 결과 제1 연결 부재(172-1)와 연결되어 있는 차단층(31)이 제2 전극(D3)과 연결된다.
- [0284] 한편, 게이트 전극 연결부(155-1)는 제2 게이트 절연막(142) 및 층간 절연막(160)에 위치하는 접촉 구멍(57-4)에 의하여 게이트 전극(G3)과 연결된다. 또한, 제1 전극 연결부(155-2)는 제1 게이트 절연막(141), 제2 게이트 절연막(142), 및 층간 절연막(160)에 형성되는 접촉 구멍(57-5)에 의하여 제1 전극(S3)과 연결된다. 게이트 전극 연결부(155-1) 및 제1 전극 연결부(155-2)는 실시예에 따라서 형성되거나 형성되지 않을 수 있는 구성요소로, 게이트 전극(G3) 및 제1 전극(S3)이 다른 부분과 연결되거나 신호를 인가하기 위하여 추가 형성된 부분일 수 있다.
- [0285] 이 들의 위에는 보호막(180)이 위치하며, 보호막(180)의 위에는 화소 전극, 격벽, 유기 발광층, 공통 전극, 및 봉지층이 위치할 수 있다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 다이오드(OLED)를 이룬다.
- [0286] 이상에서는 기판(110)이 하나만 포함되는 구성에 대하여 살펴보았다. 하지만, 실시예에 따라서는 기판(110)이 복수개 포함될 수 있다.
- [0287] 도 40은 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0288] 도 40의 단면도는 도 4의 단면도와 유사한 단면도로, 차단층(31)은 기생 축전기 제어 패턴(79)과 접촉 구멍(57)을 통하여 연결되며, 기생 축전기 제어 패턴(79)은 구동 전압선(172)과 연결되어 있는 구성을 가진다. 그 결과 차단층(31)에 구동 전압(ELVDD)이 인가된다.
- [0289] 하지만, 도 40은 도 4와 달리 하부에 두 개의 기판(110, 110-1) 및 배리어층(111, 111-1)을 가진다. 즉, 기판이 플렉서블 기판인 경우에는 플라스틱 또는 폴리 이미드 등으로 구성되는 기판과 배리어층이 기판의 개수만큼 반복 포함되어 있을 수 있다. 실시예에 따라서는 배리어층이 일부 생략될 수도 있다.
- [0290] 이하에서는 도 41 및 도 42를 통하여 구동 트랜지스터(T1)의 채널 모양이 다른 구조에 대해서 살펴본다.
- [0291] 도 41 및 도 42는 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0292] 도 41 및 도 42에서는 도 3과 동일한 구조를 가지지만, 구동 트랜지스터(T1)의 채널이 위치하는 반도체층(130)의 구조가 도 3과 다르다.
- [0293] 즉, 도 3에서는 구동 트랜지스터(T1)의 채널 영역에서 Ω형의 모양을 가지고 있었지만, 도 41에서는 두 번 꺾이

는 구조가 도시되어 있고, 도 42에서는 역 S자 구조가 도시되어 있다.

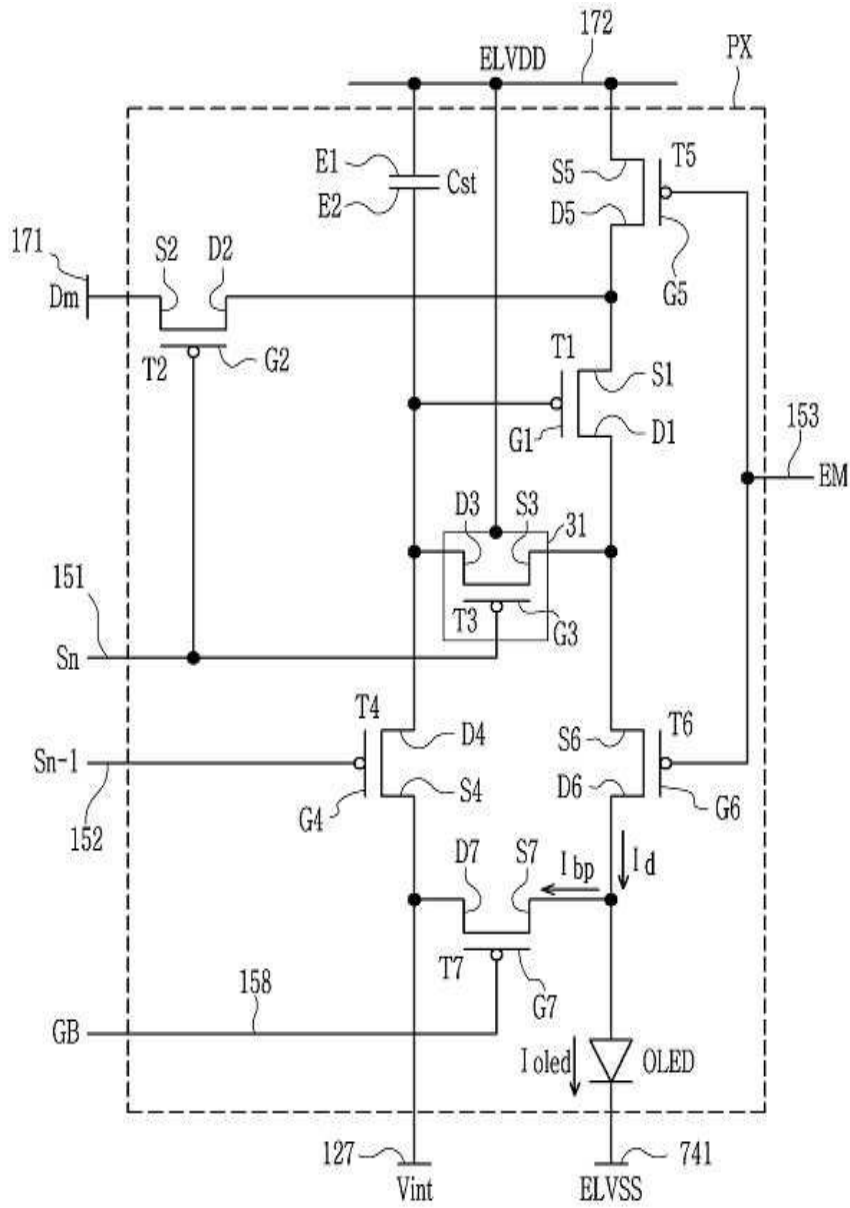
- [0294] 하지만, 실시예에 따라서는 다양한 채널 구조가 사용될 수 있으며, S형, M형, W형 등의 형상이 사용될 수 있다.
- [0295] 도 43은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.
- [0296] 이상의 실시예에서는 개구(56)의 크기가 일정한 크기로 도시되어 있다. 즉, 유지선(126)의 확장된 부분에는 게이트 전극(155)이 제1 데이터 연결 부재(71)와 연결될 수 있도록 개구(56)가 형성되어 있다. 유지선(126)의 확장된 부분은 게이트 전극(155)의 상부면과 제2 게이트 절연막을 사이에 두고 중첩하여 유지 축전기(Cst)를 구성한다. 그러므로 유지선(126)의 확장된 부분과 게이트 전극(155)이 중첩하는 부분의 크기에 의하여 유지 축전기(Cst)의 크기가 정해진다.
- [0297] 하지만, 유기 발광 표시 장치에 따라서는 유지 축전기(Cst)의 크기를 조절하거나 작게할 필요가 있는 경우도 있다. 즉, 도 43의 실시예에서는 다른 실시예에 비하여 개구(56)의 크기를 크게 구성하였다. 그 결과 유지 축전기(Cst)를 구성하는 유지선(126)의 확장된 부분의 중첩 면적이 줄게 되어 유지 축전기(Cst)가 상대적으로 작은 저장 용량을 가지게 된다.
- [0298] 즉, 도 43과 같이 개구(56)의 크기를 조절하면 차단층(31)에 의하여 발생하는 기생 용량으로 인한 신호 지연을 완화시킬 수도 있어, 실시예에 따라서는 개구(56)의 크기도 조절할 수 있다. 뿐만 아니라 유지선(126)의 확장된 부분의 크기를 조절하거나 하부의 게이트 전극(155)의 크기를 조절하여 유지 축전기(Cst)의 저장 용량을 조절할 수도 있다.
- [0299] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**부호의 설명**

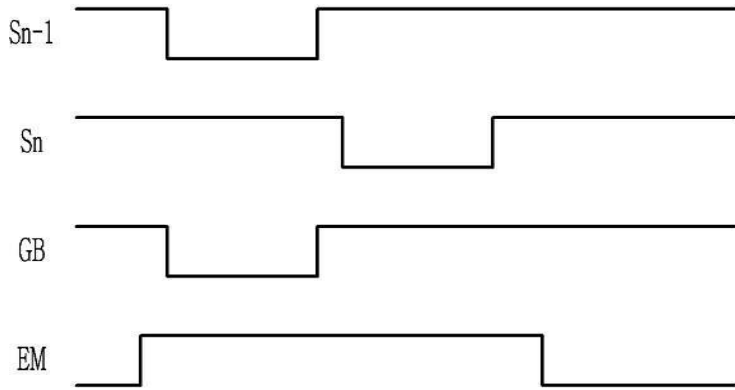
- [0300] 31, 32, 34, 35: 차단층 31-1, 33: 접촉부
- 31-2: 연결부 31-3: 확장부
- 56: 개구
- 57, 57-1, 57-2, 57-3, 57-4, 57-5, 58: 접촉 구멍
- 110, 110-1: 기관 111, 111-1: 배리어층
- 112: 버퍼층 126: 유지선
- 127: 초기화 전압선 130: 반도체층
- 141: 제1 게이트 절연막 142: 제2 게이트 절연막
- 160: 층간 절연막 180: 보호막
- 61, 62, 63, 64, 65, 66, 67, 68, 69, 81: 접촉 구멍
- 151: 스캔선 152: 전단 스캔선
- 153: 발광 제어선 155: 게이트 전극
- 158: 바이패스 제어선 171: 데이터선
- 172: 구동 전압선 741: 공통 전압선
- 71, 72, 73: 데이터 연결 부재 78: 연결 부재
- 79: 축전기 제어 패턴 155-1: 게이트 전극 연결부
- 155-2: 제1 전극 연결부 172-1, 172-2: 연결 부재

도면

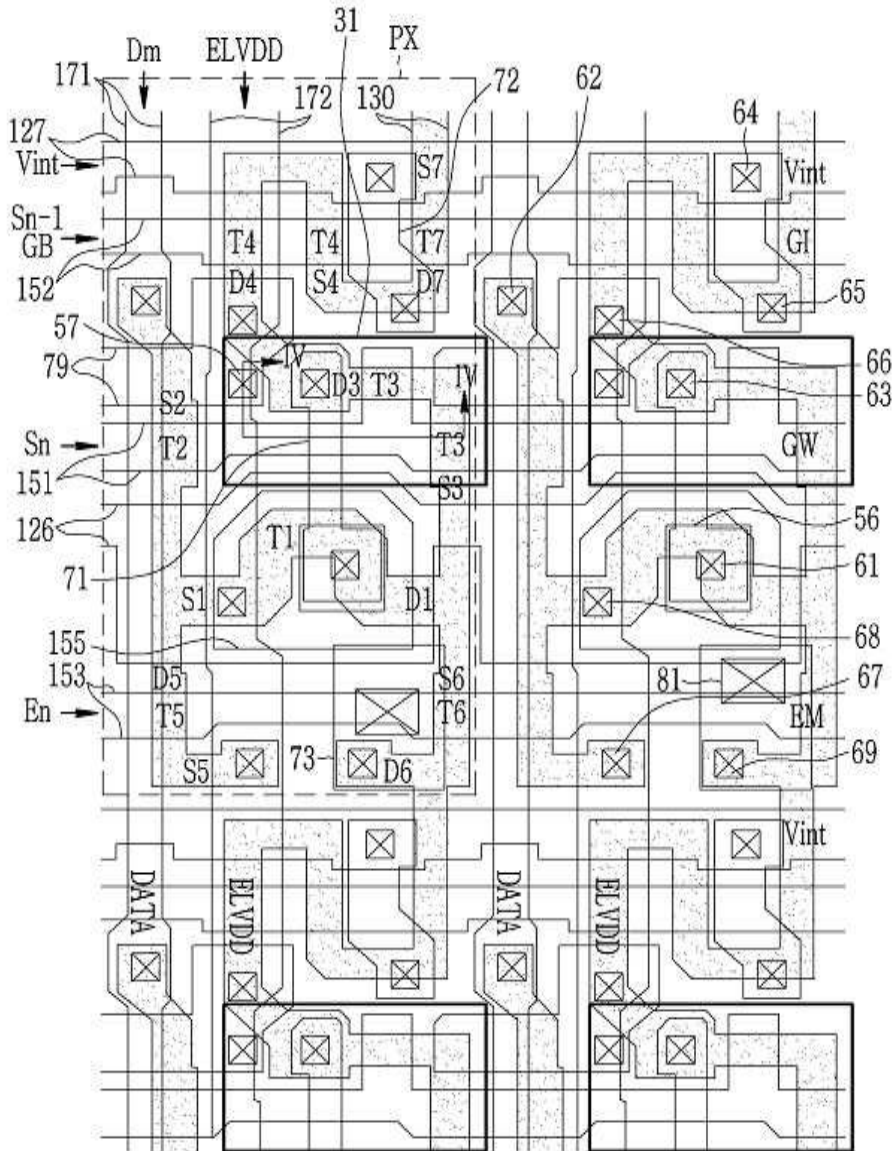
도면1



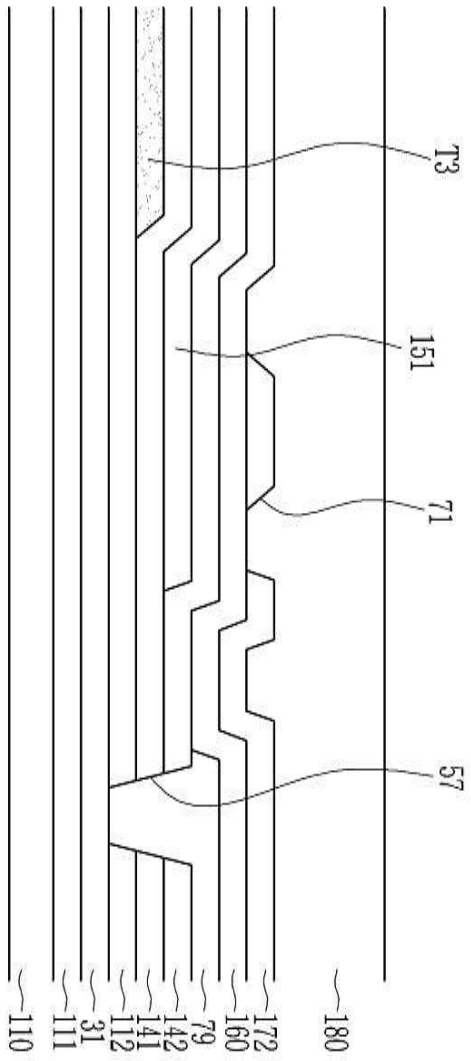
도면2



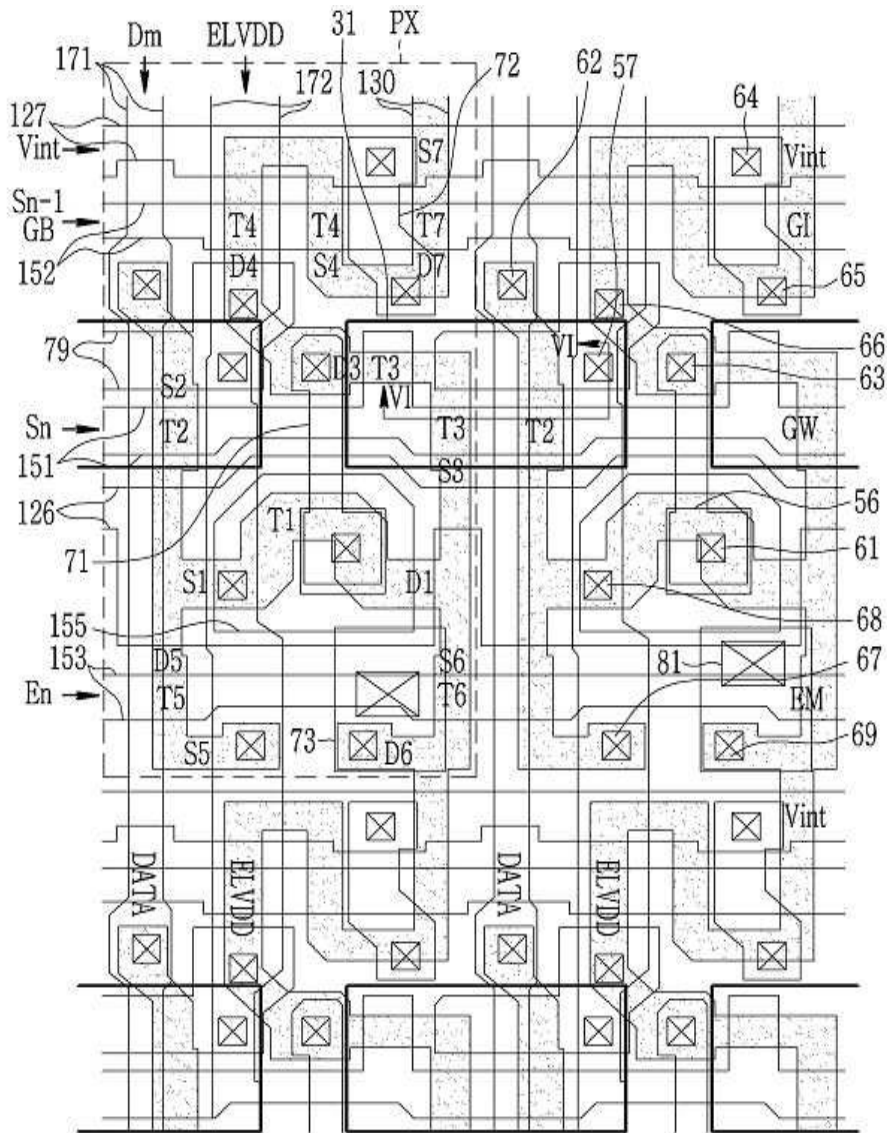
도면3



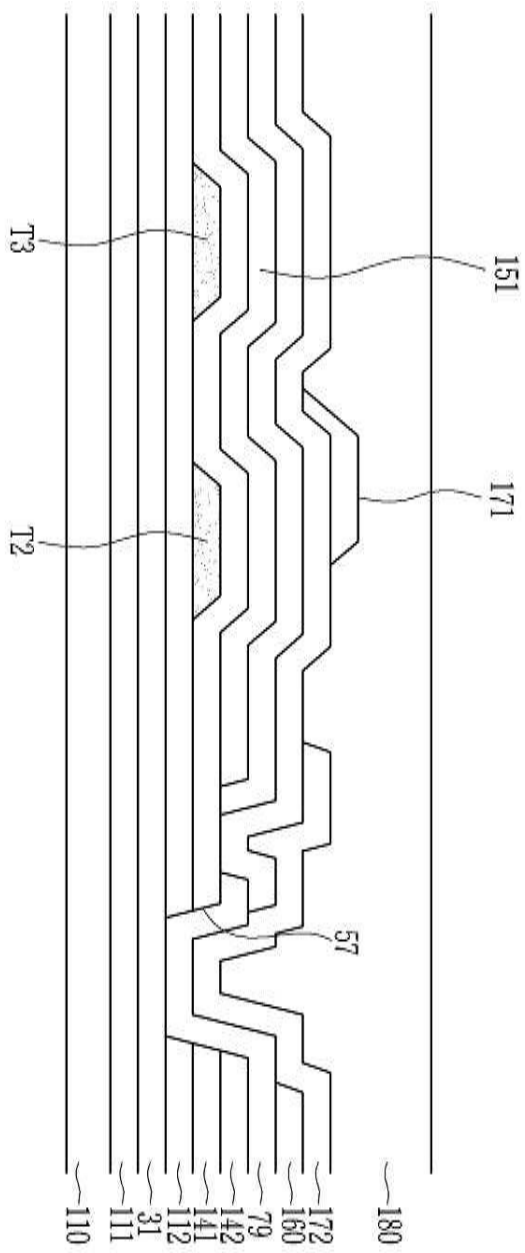
도면4



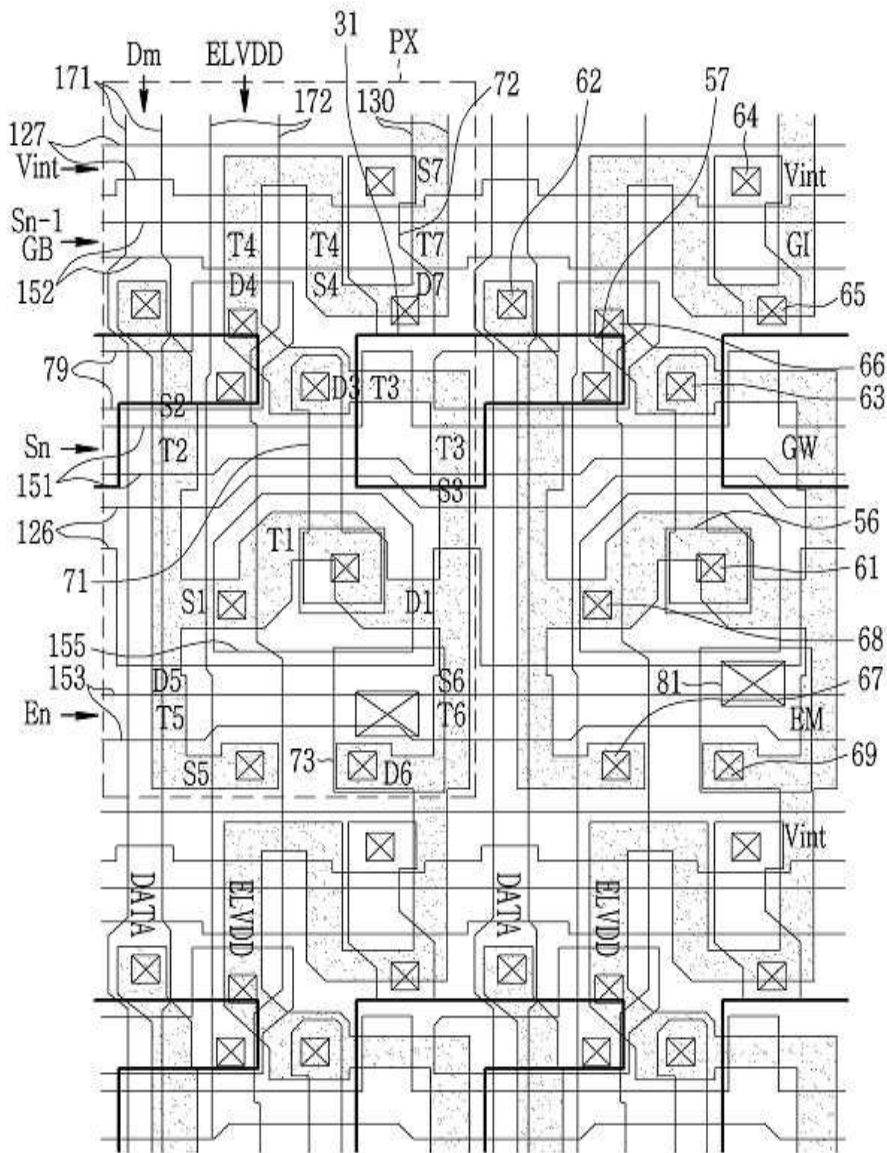
도면5



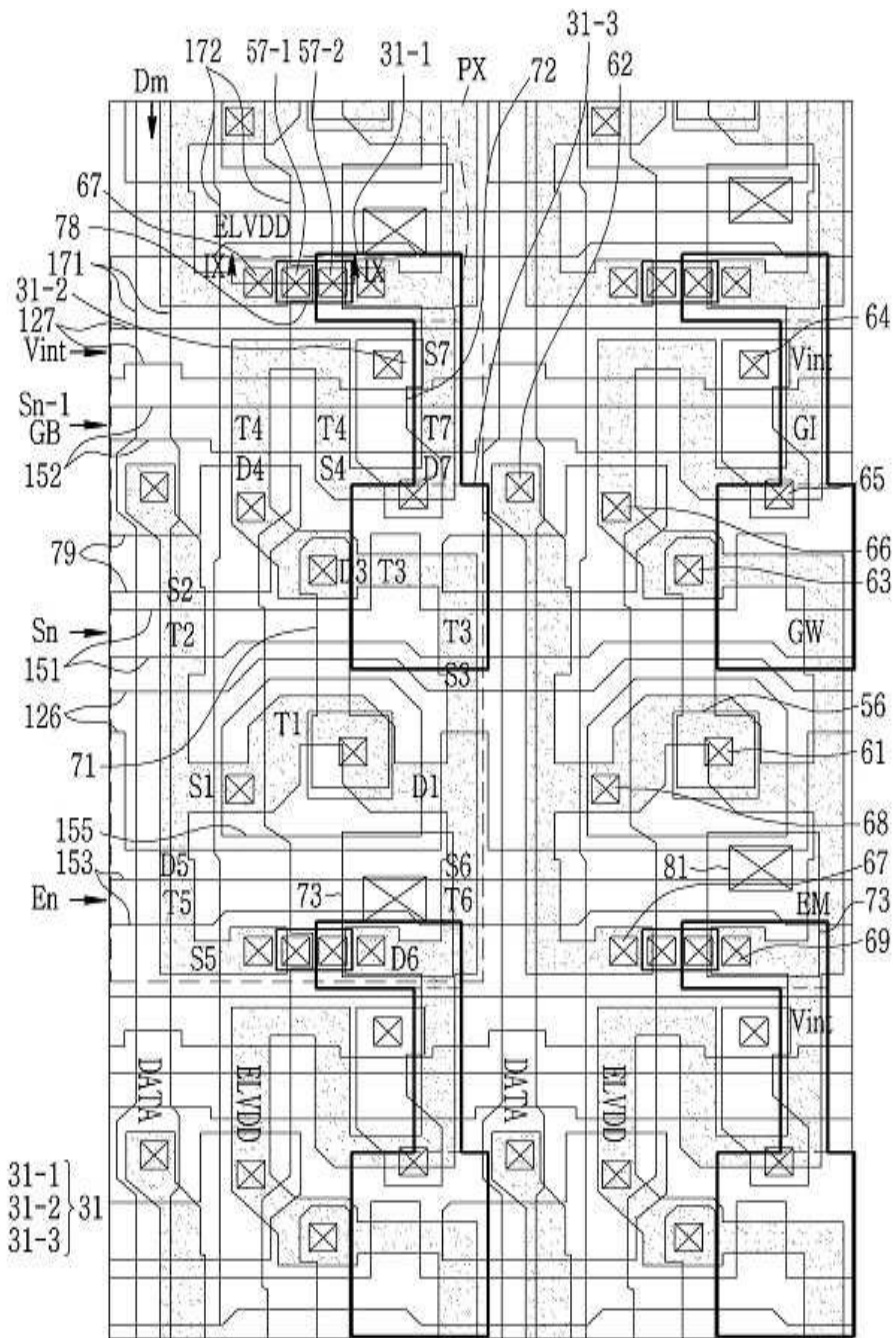
도면6



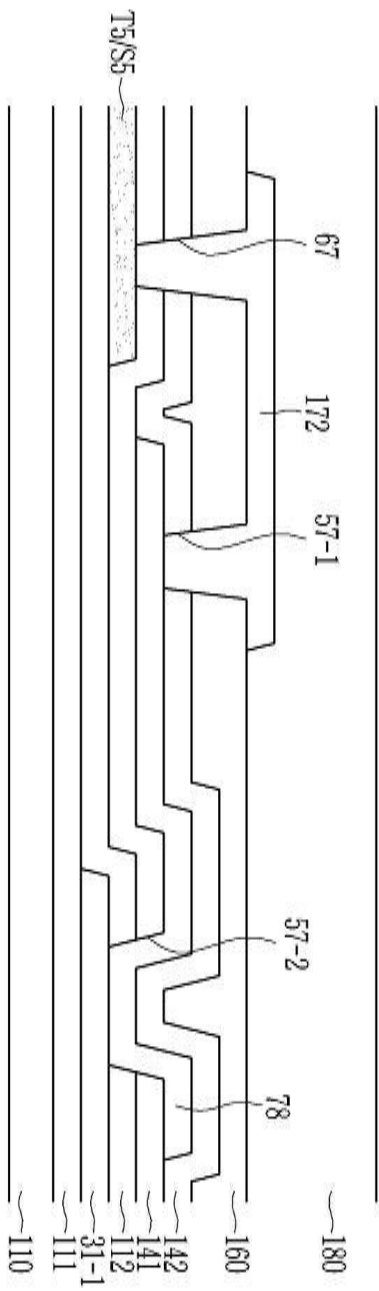
도면7



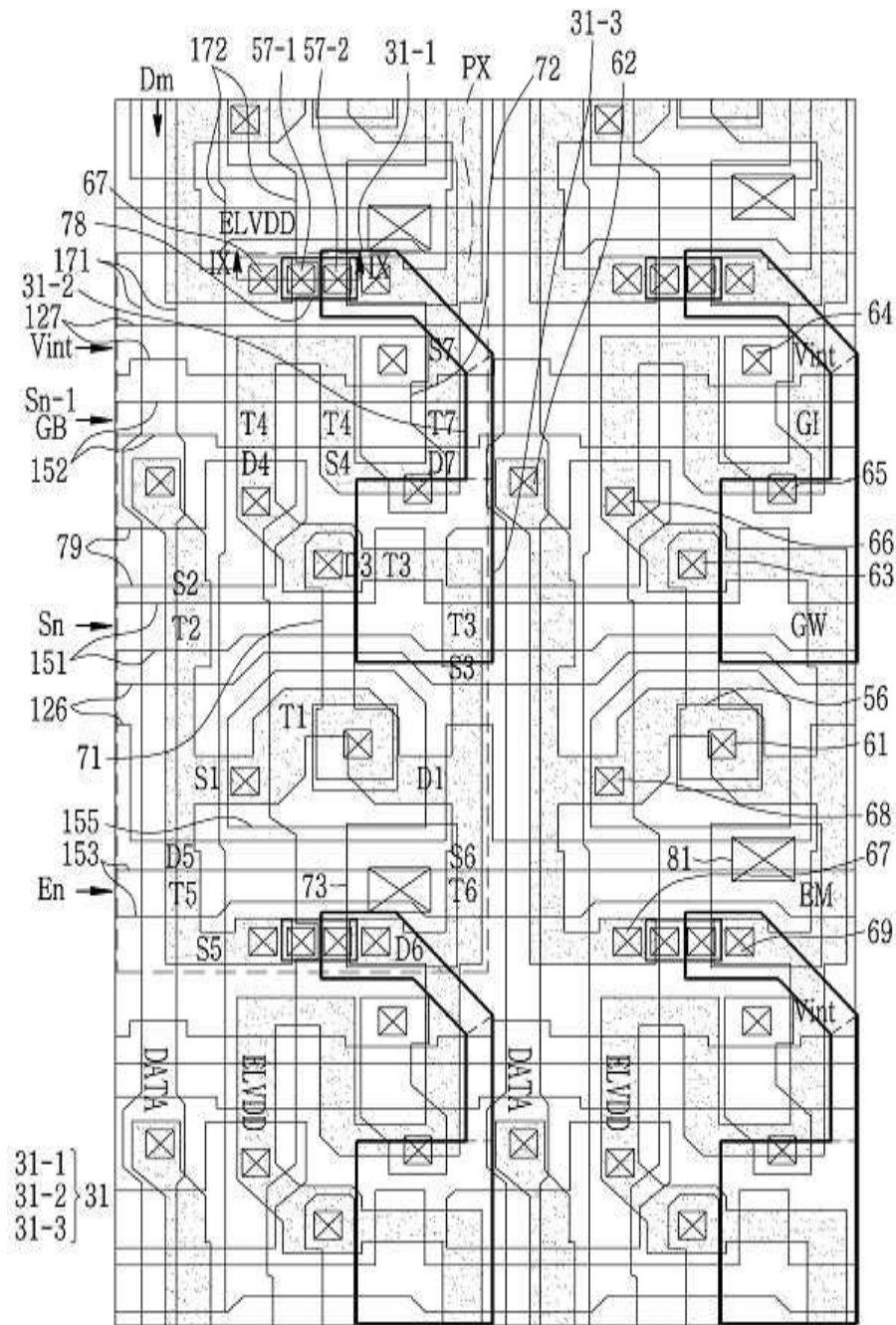
도면8



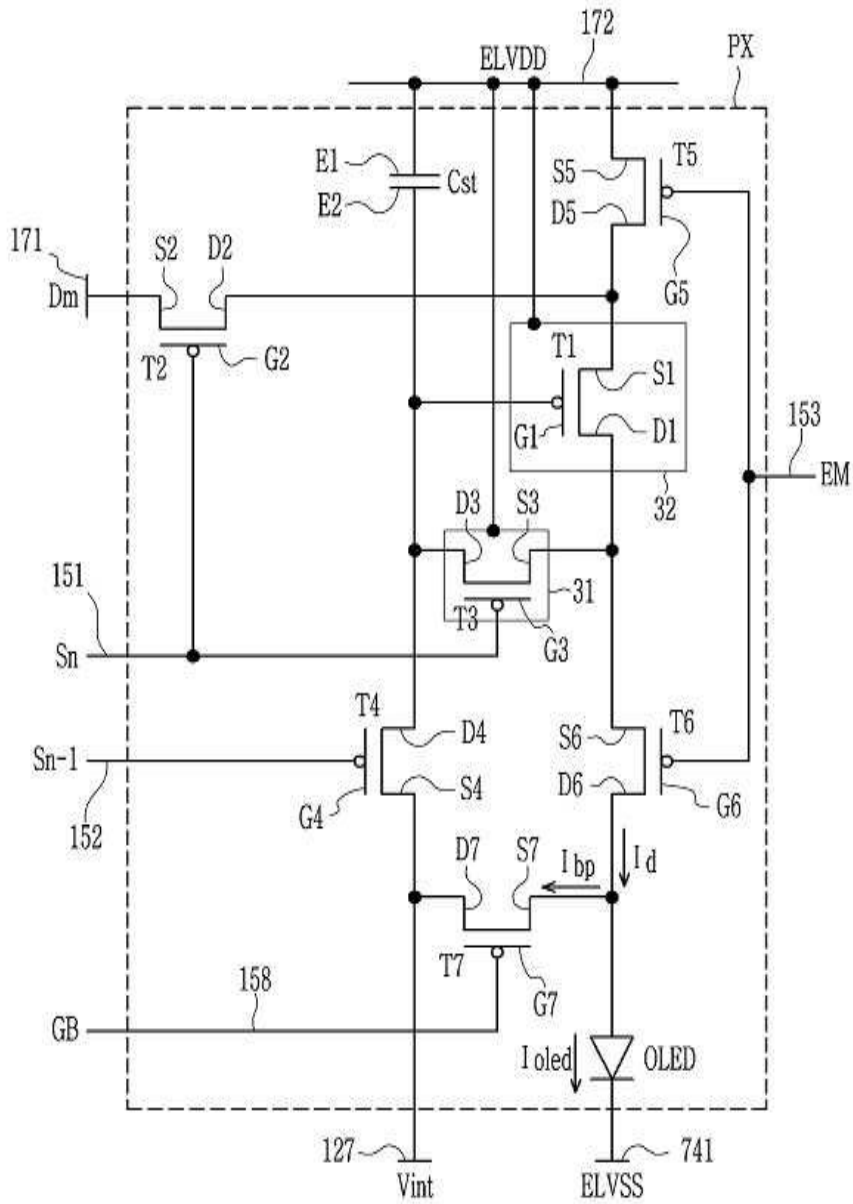
도면9



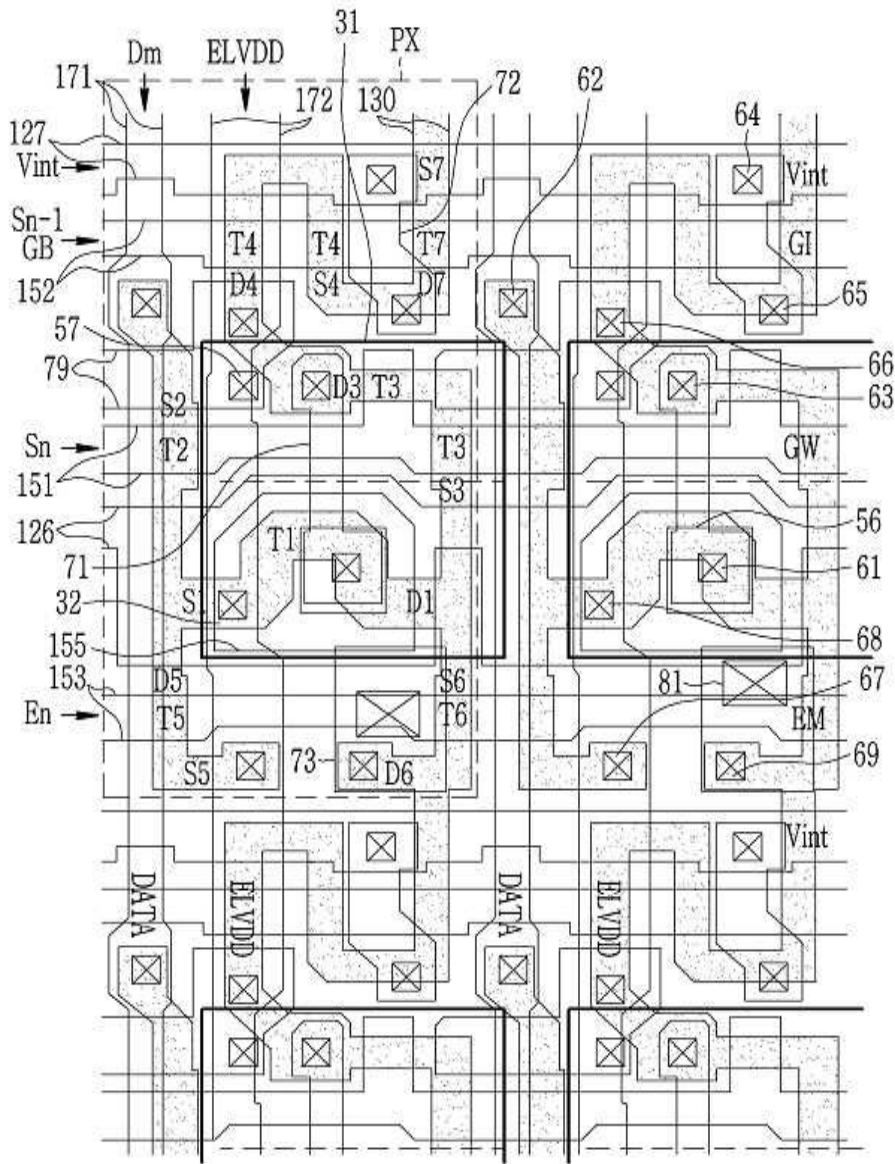
도면10



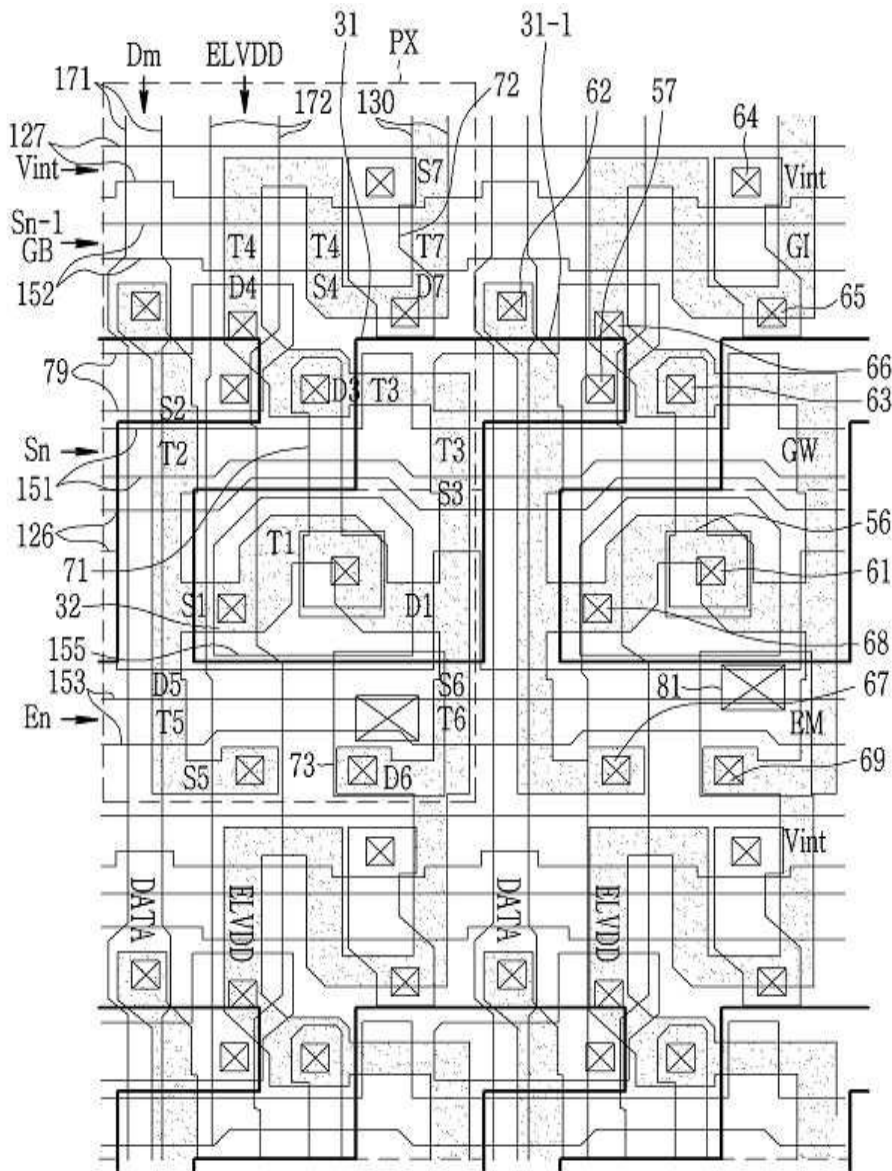
도면11



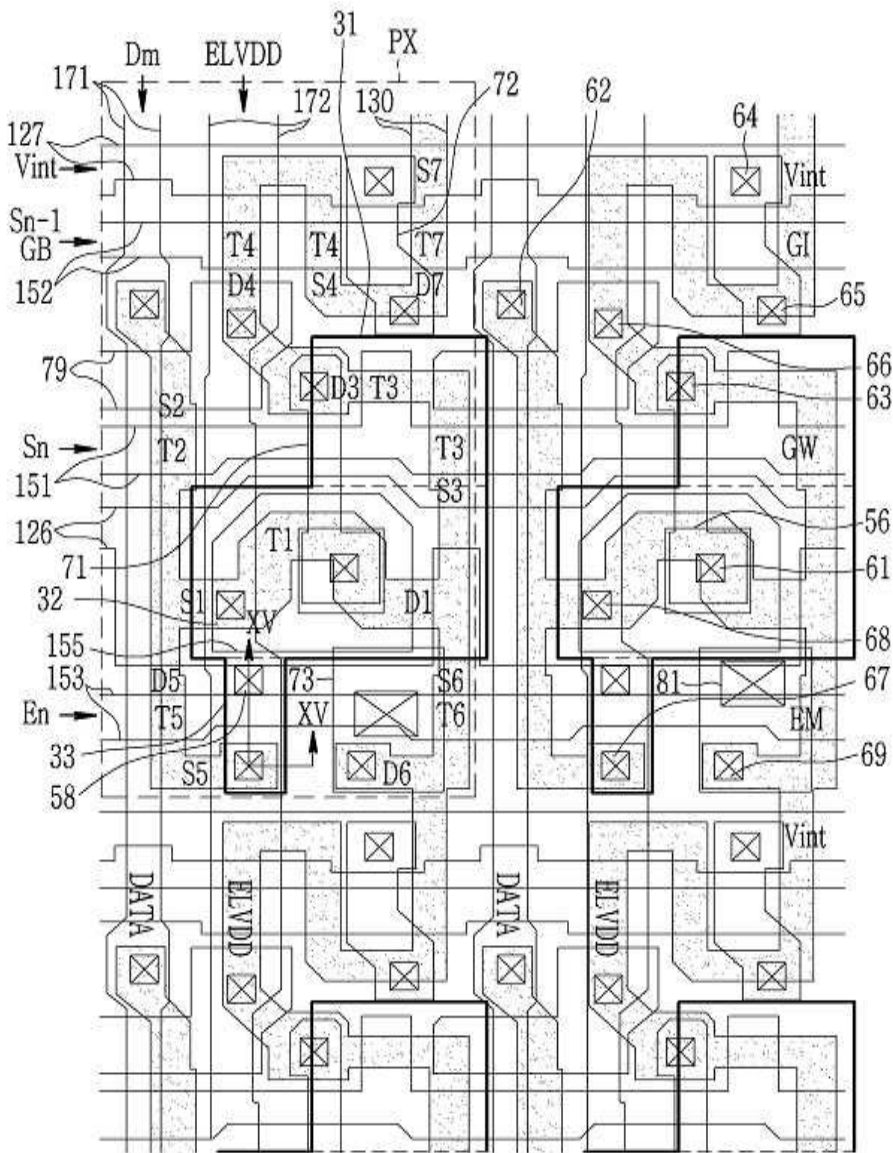
도면12



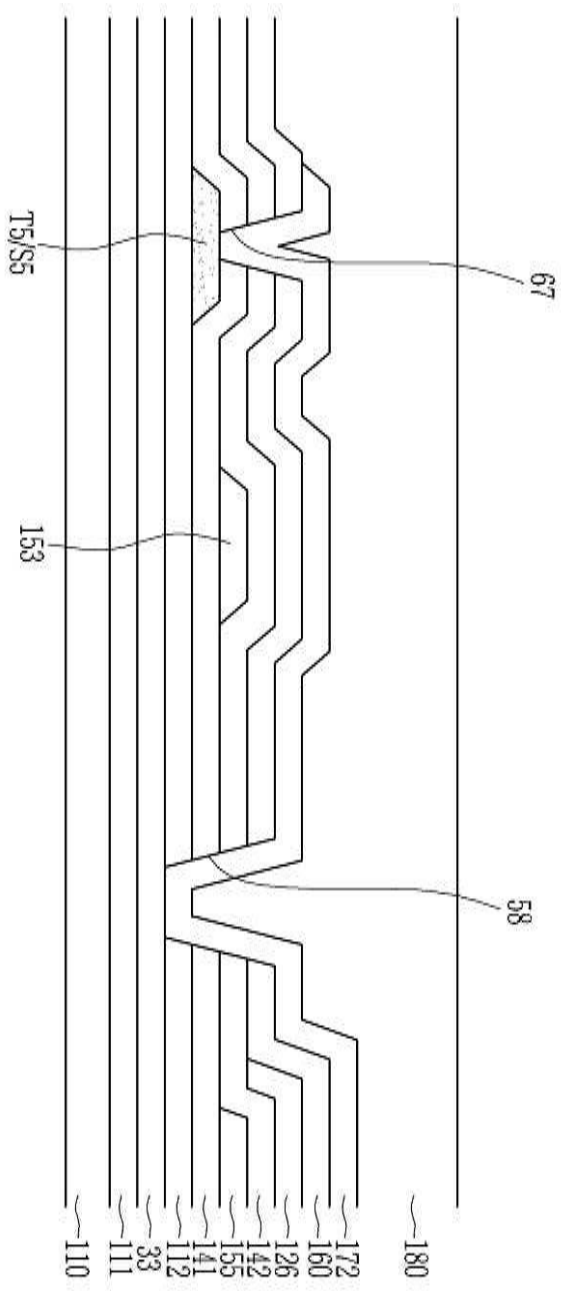
도면13



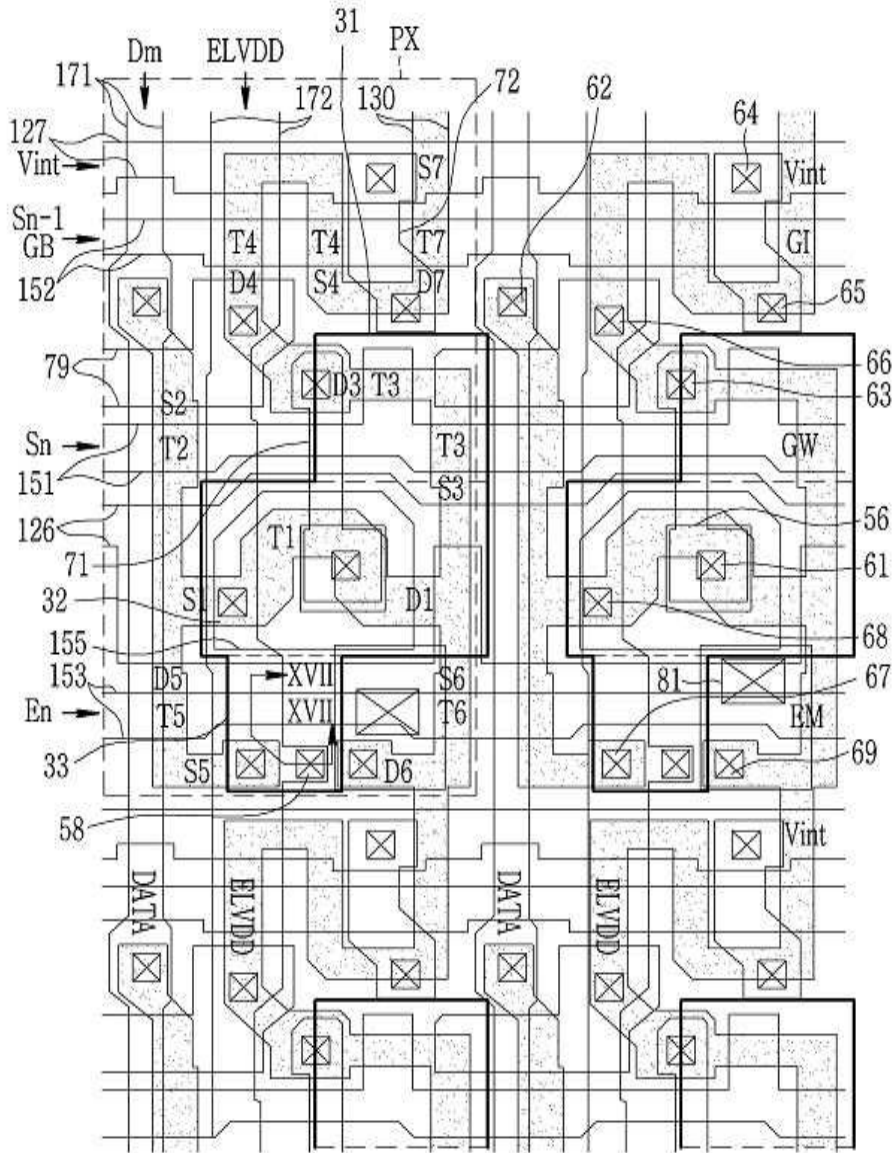
도면14



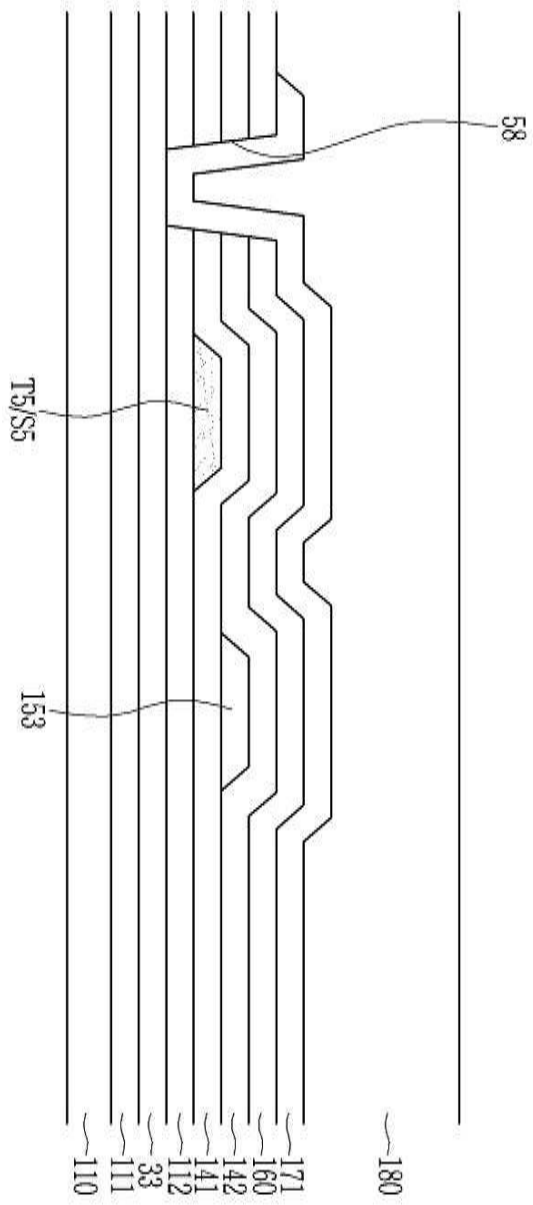
도면15



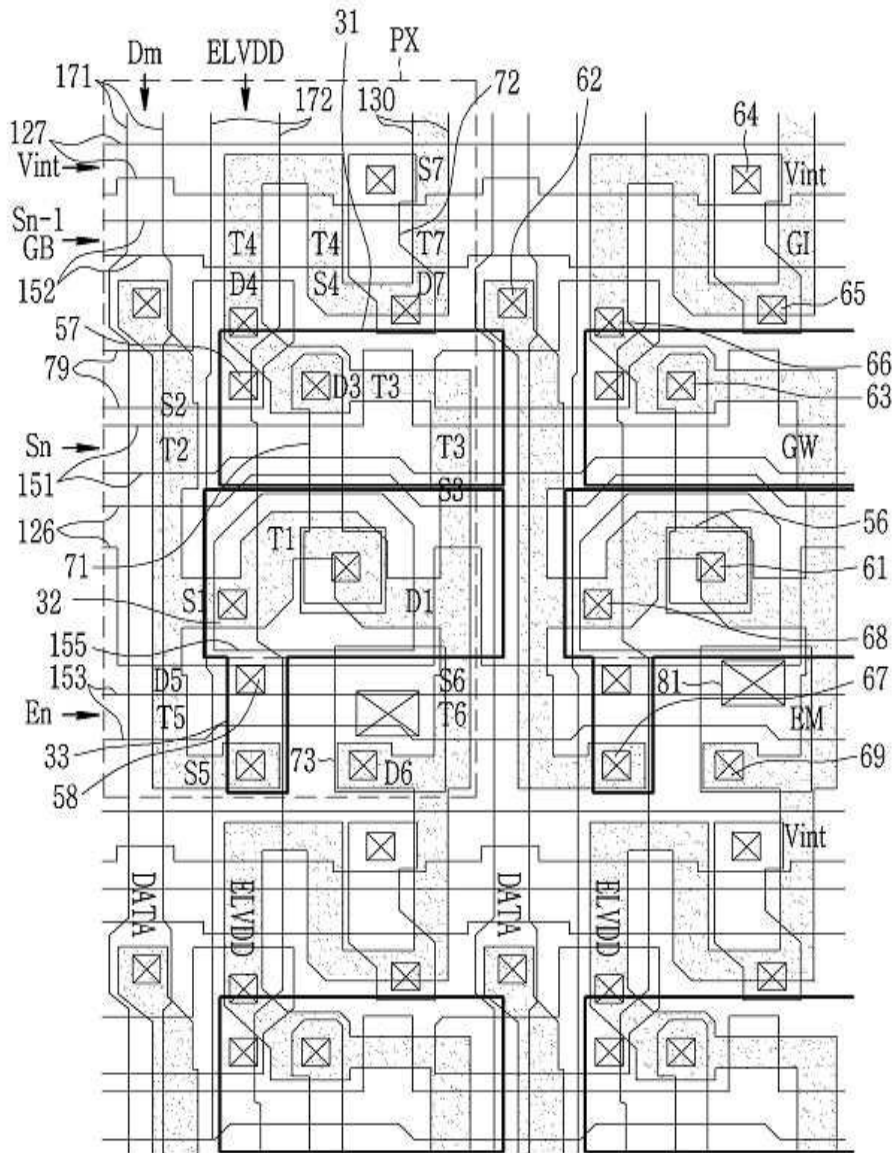
도면16



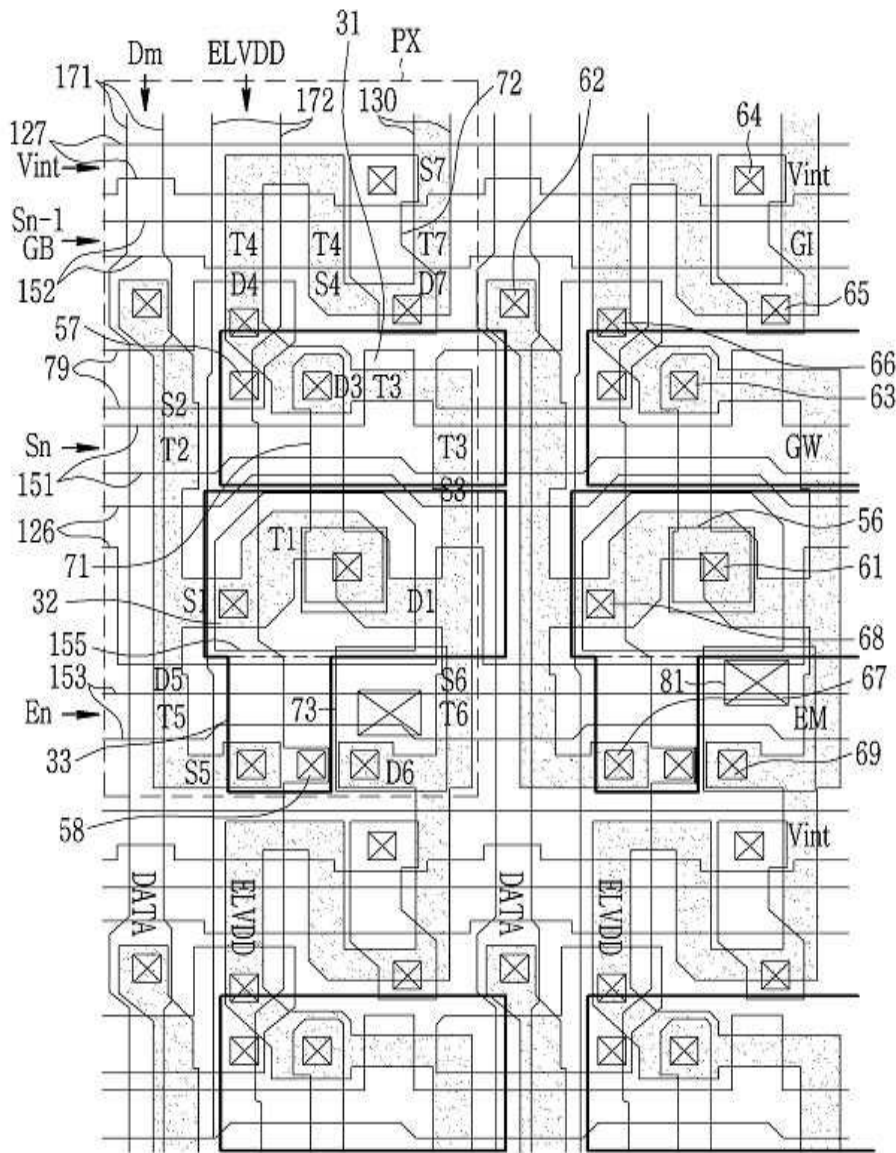
도면17



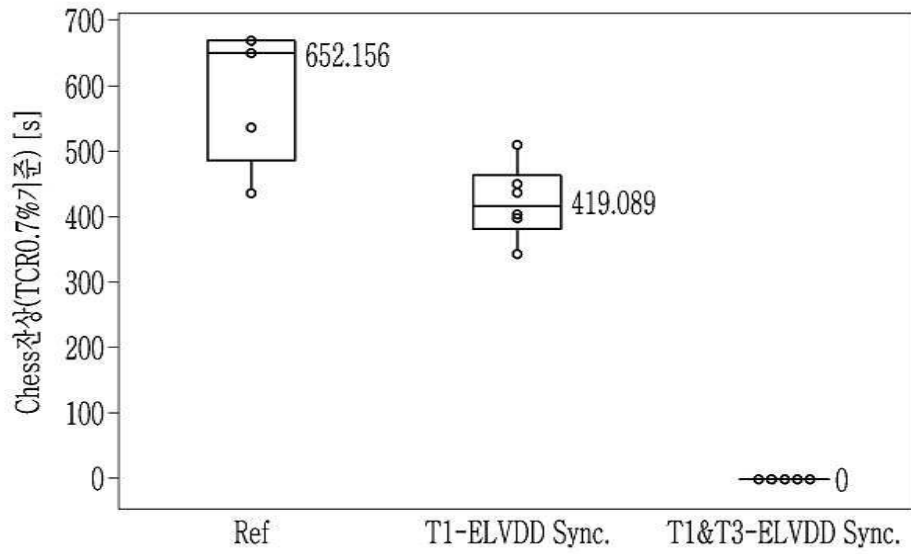
도면18



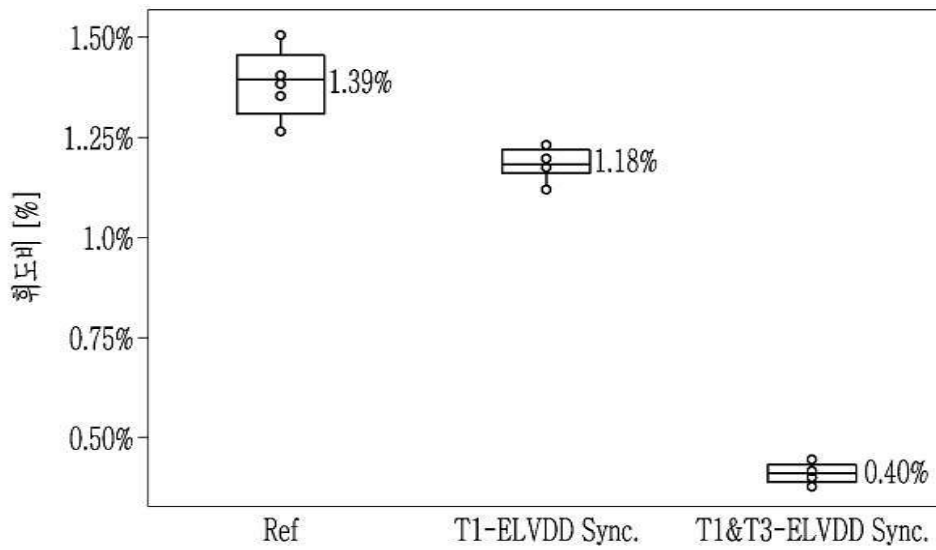
도면19



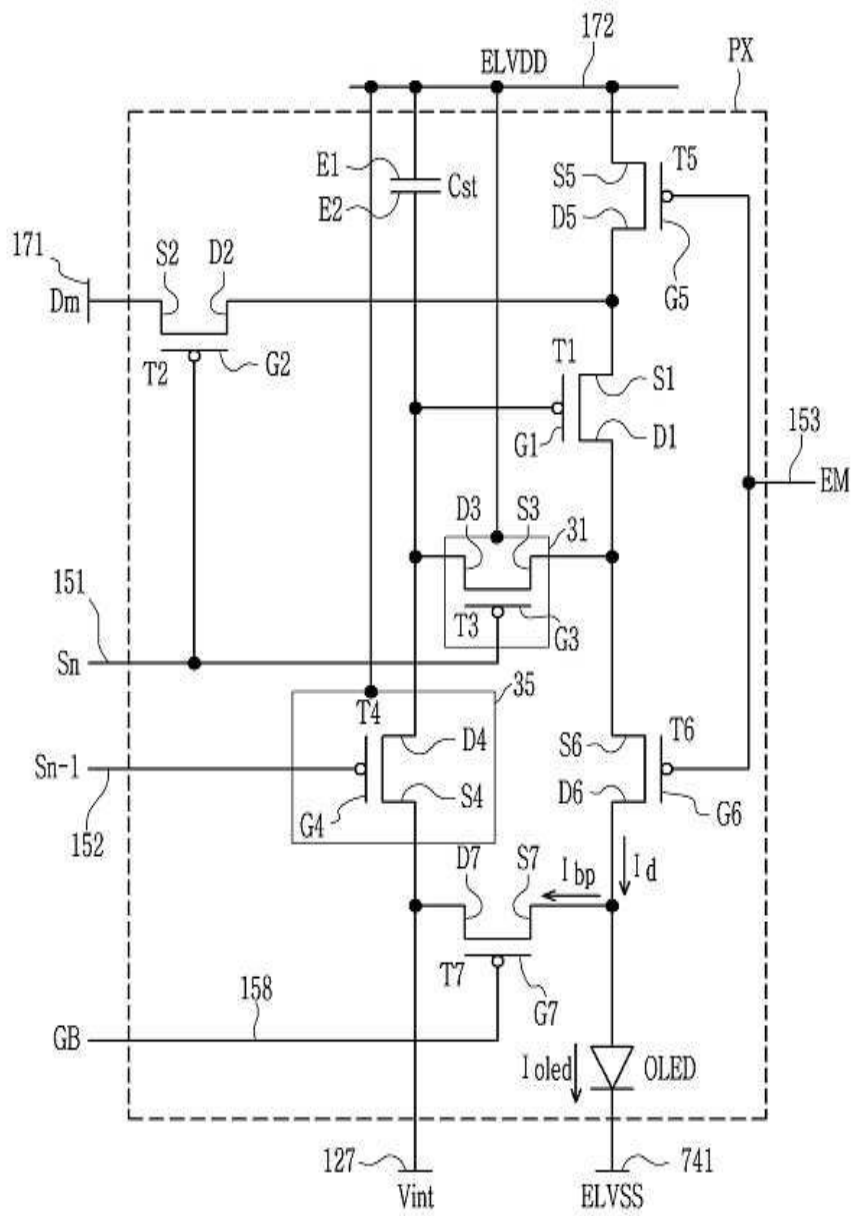
도면20



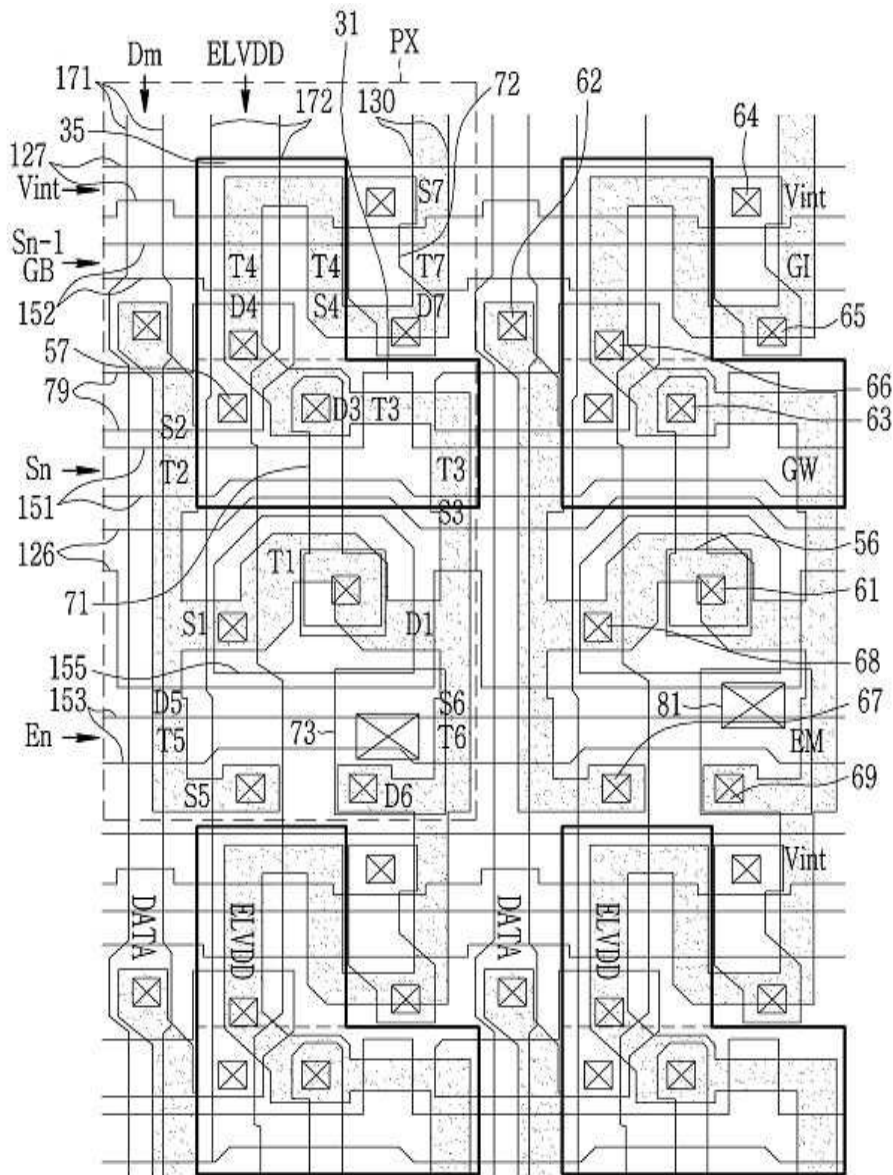
도면21



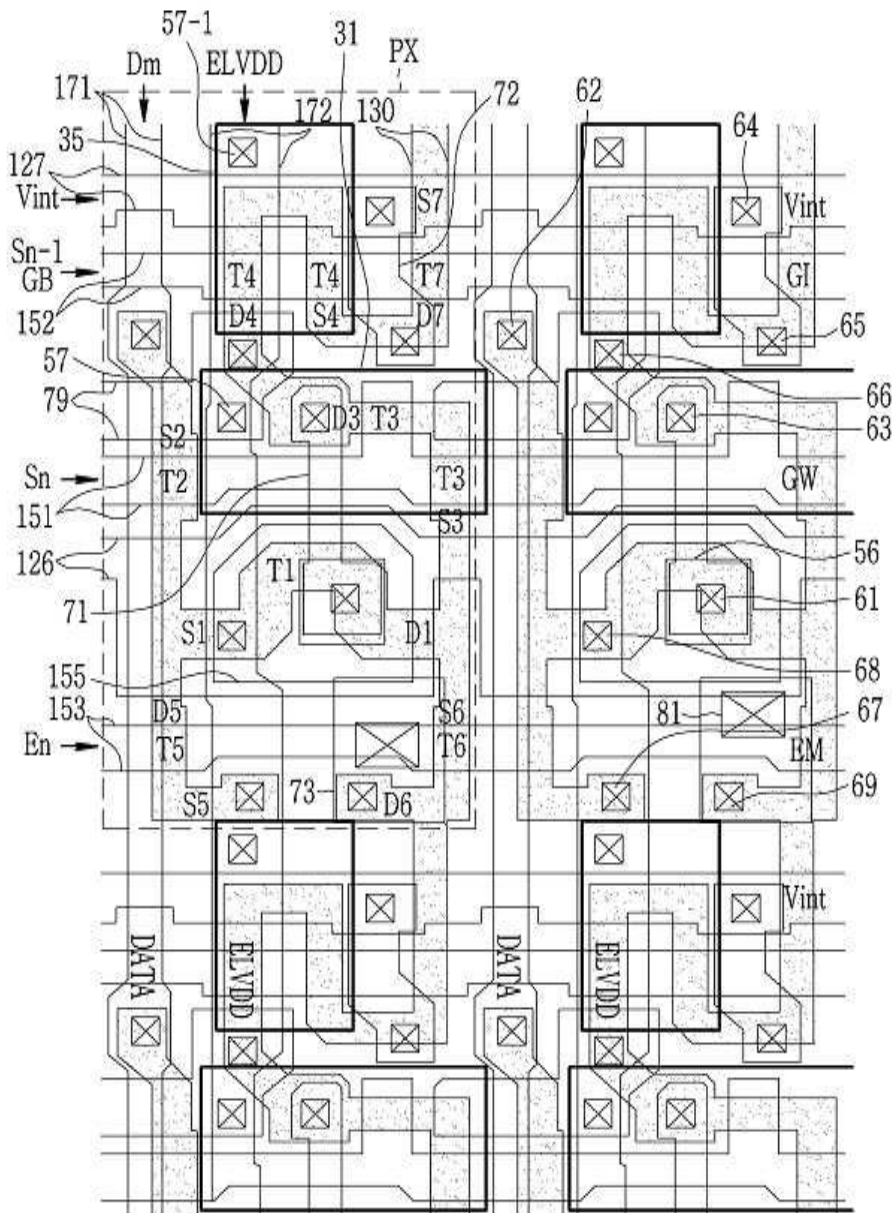
도면22



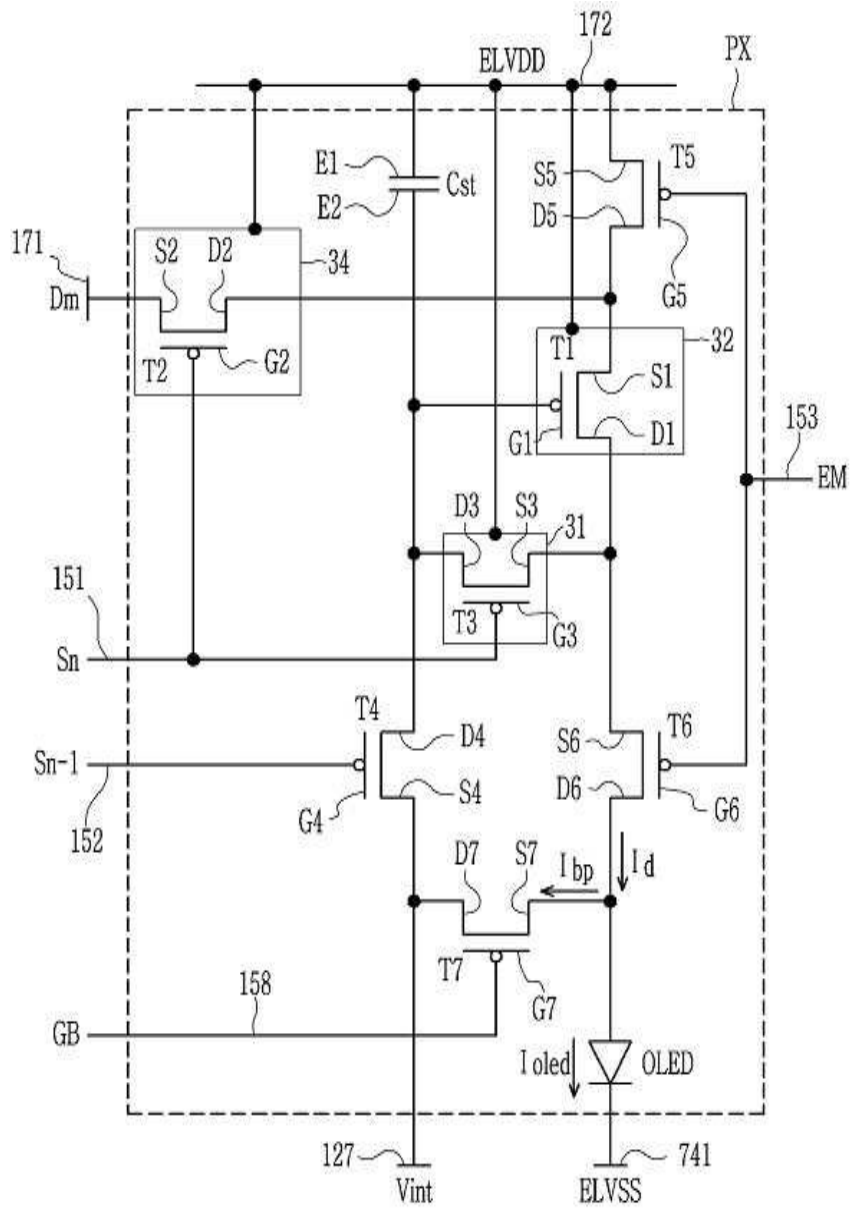
도면23



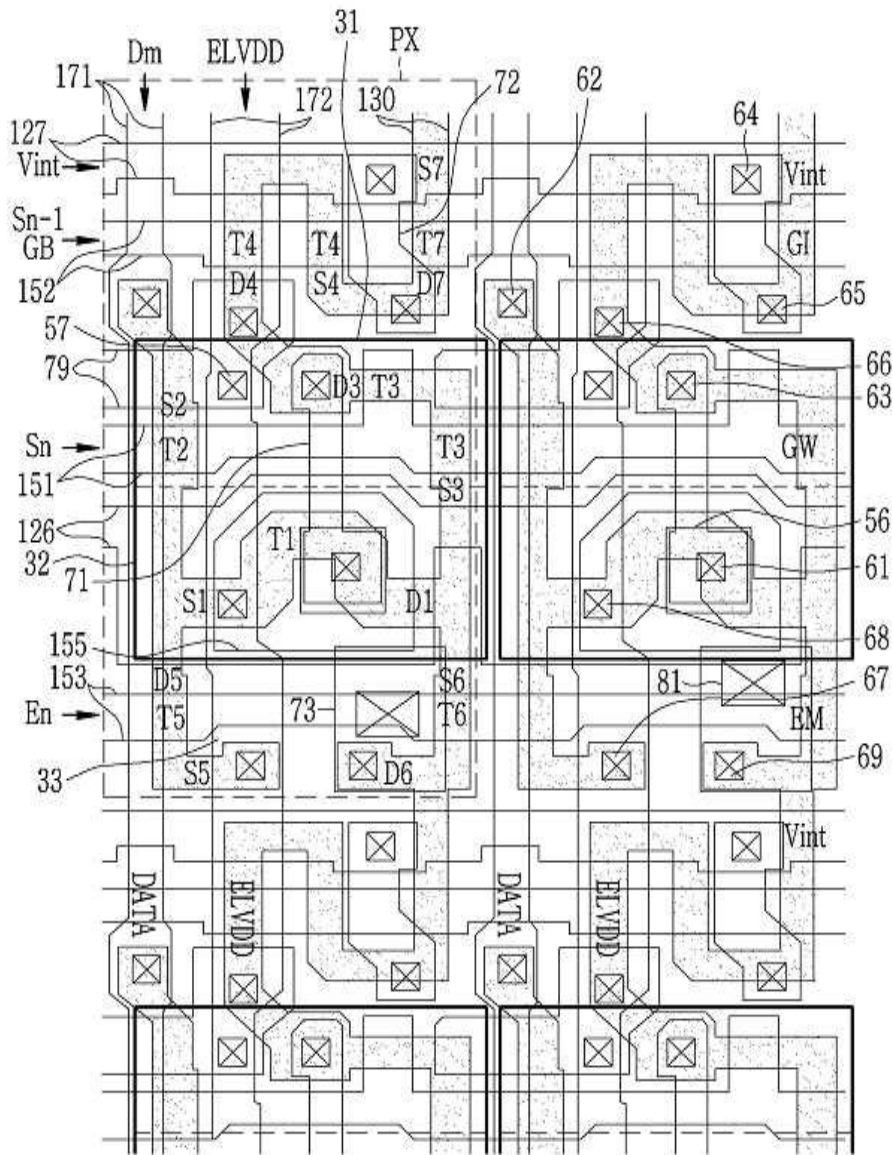
도면24



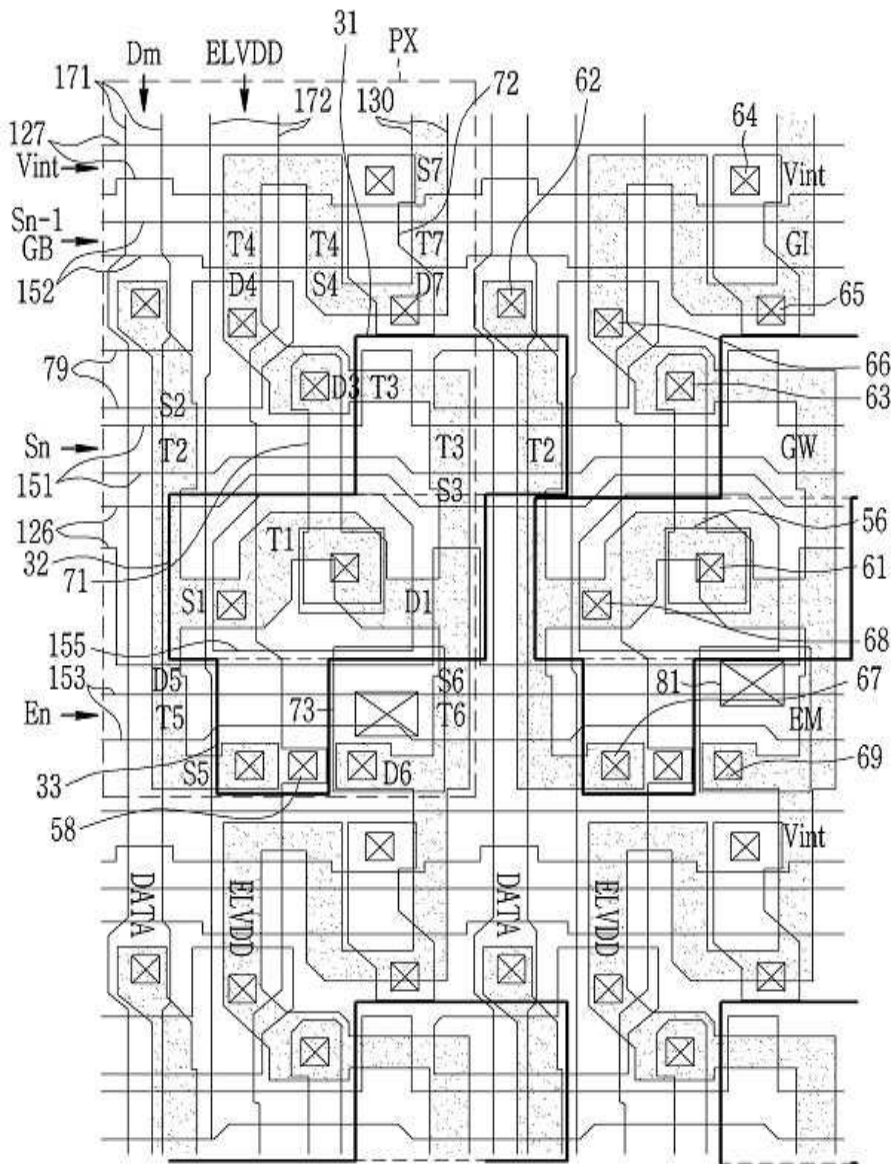
도면25



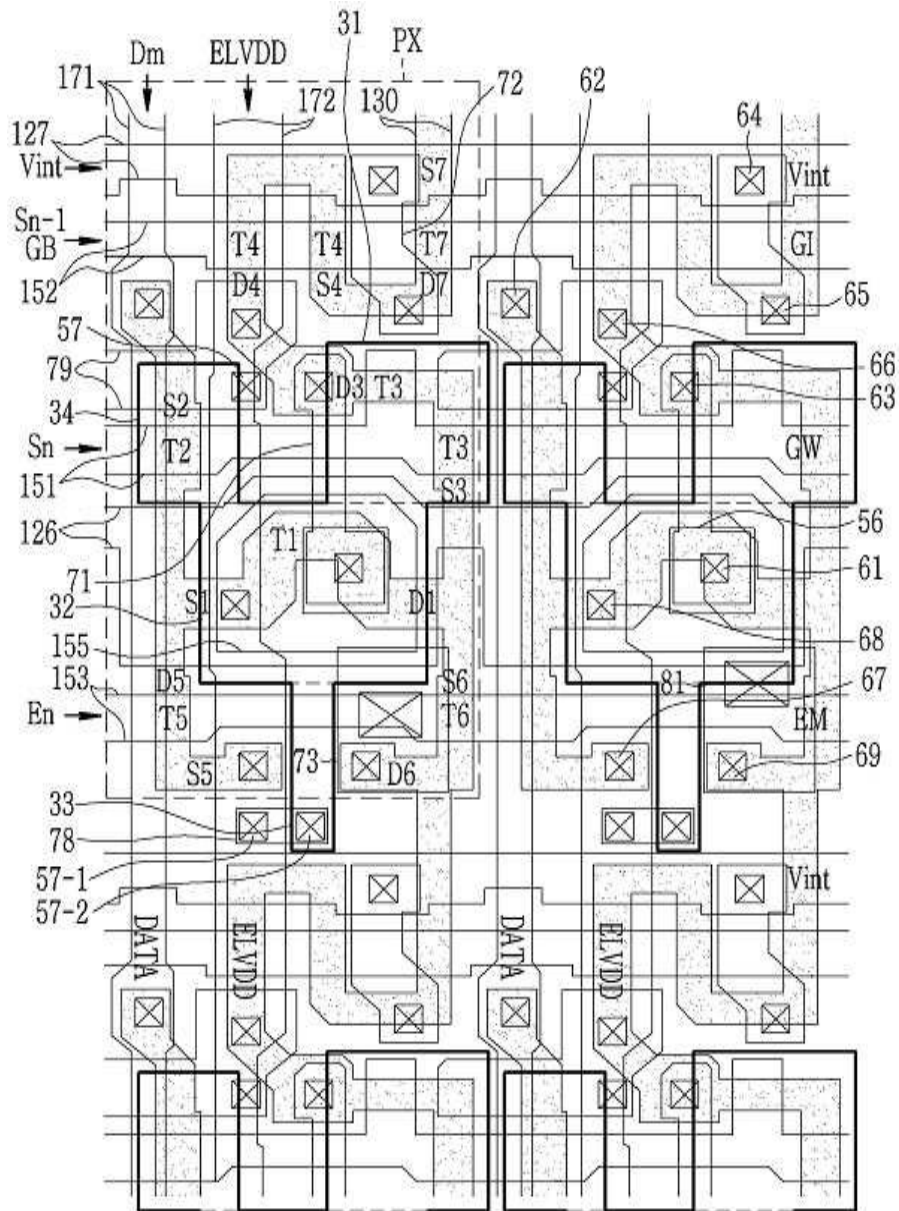
도면26



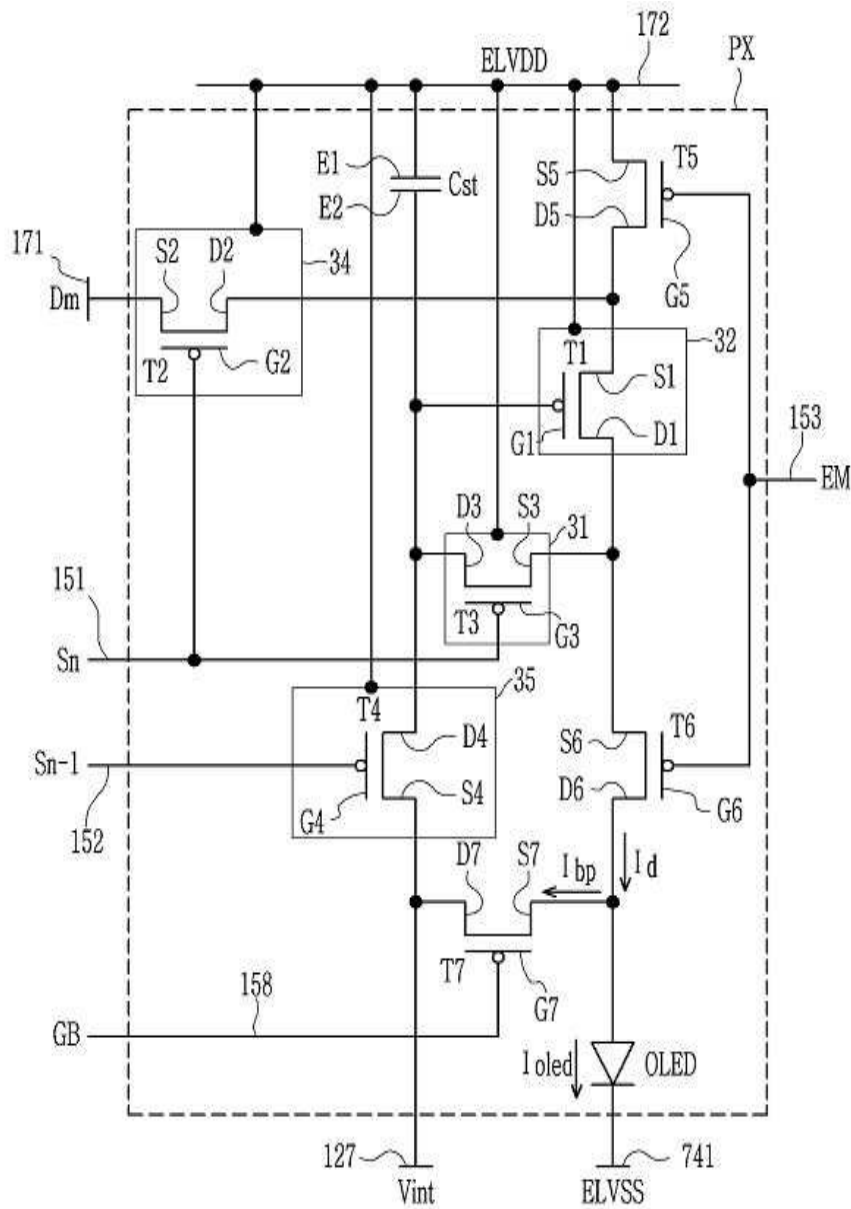
도면27



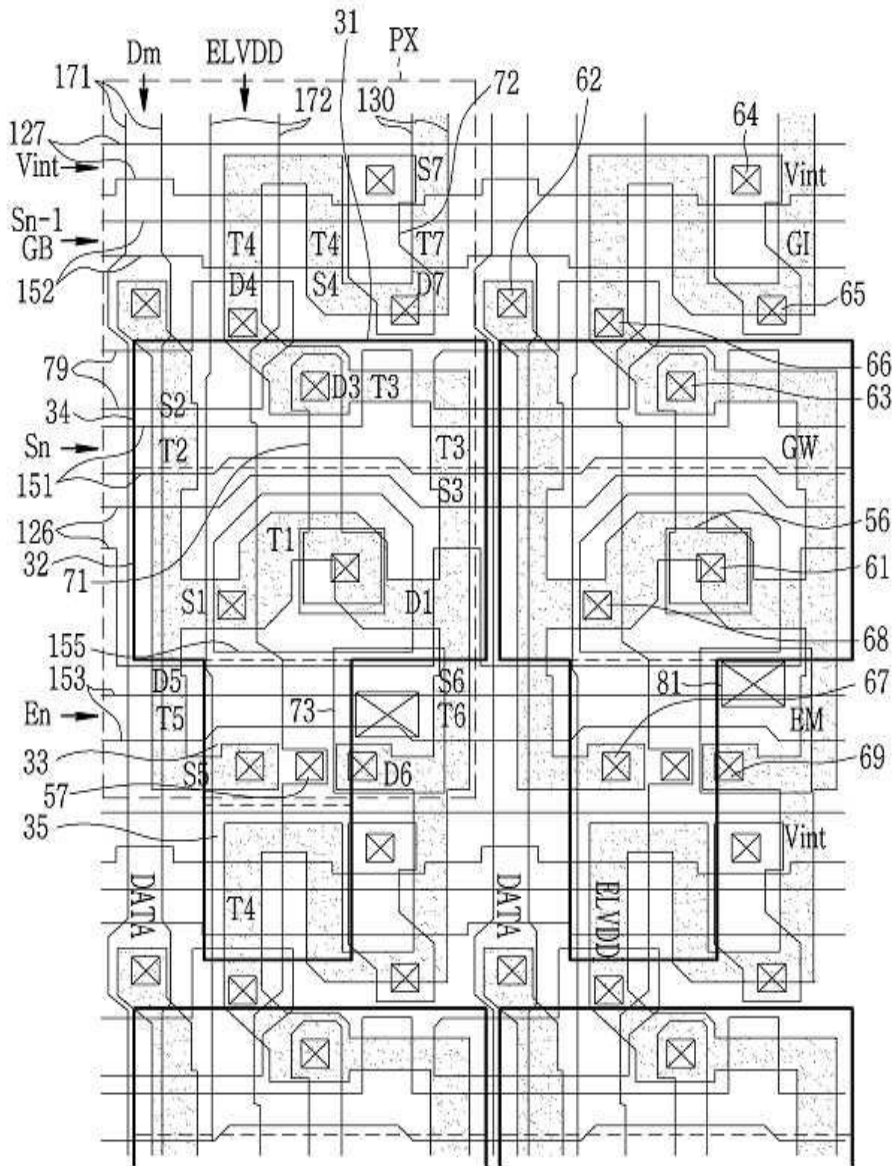
도면28



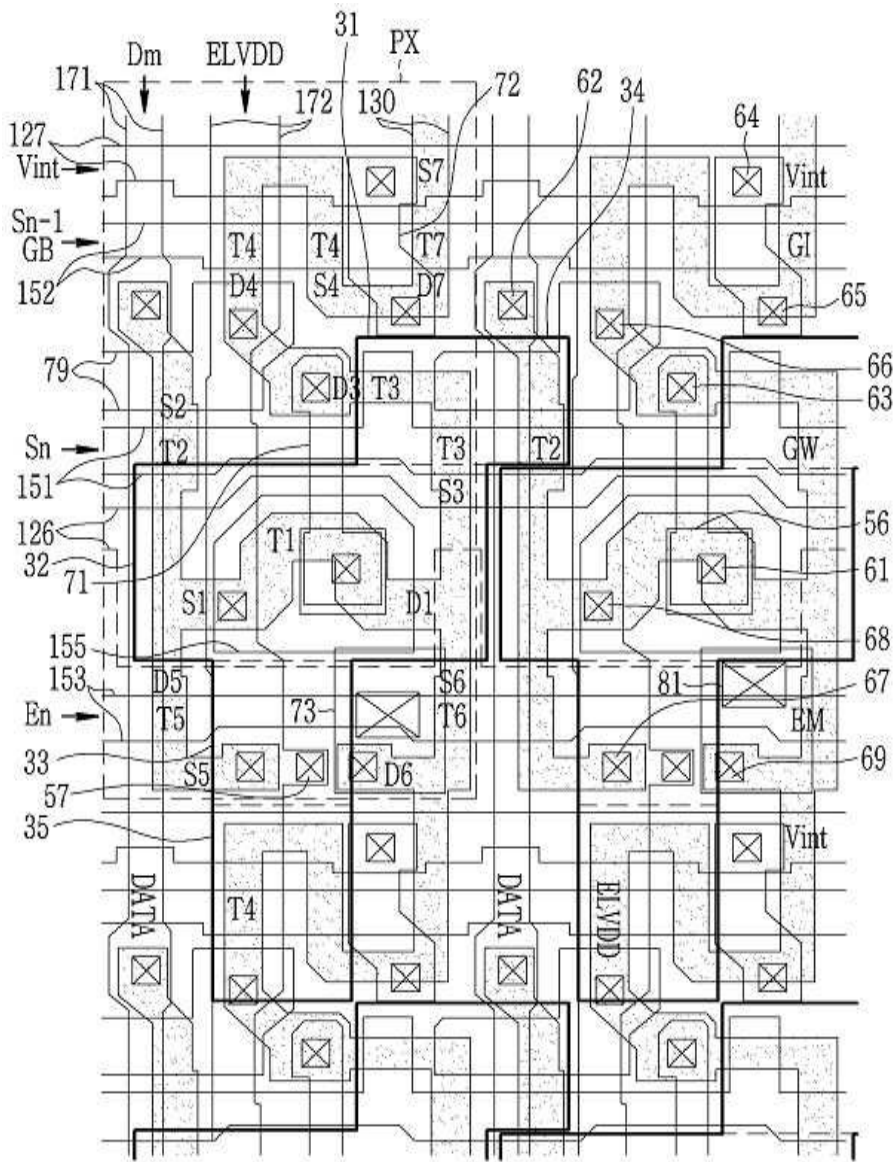
도면29



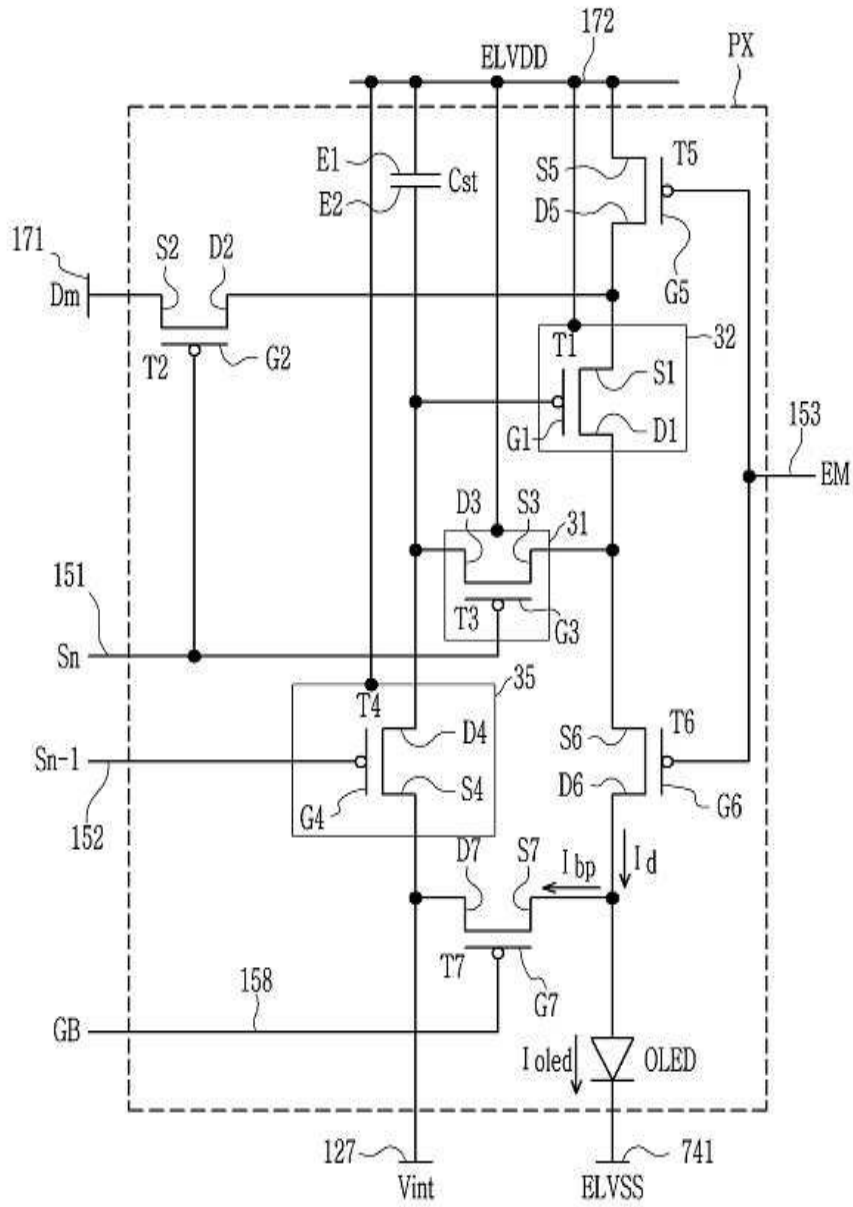
도면30



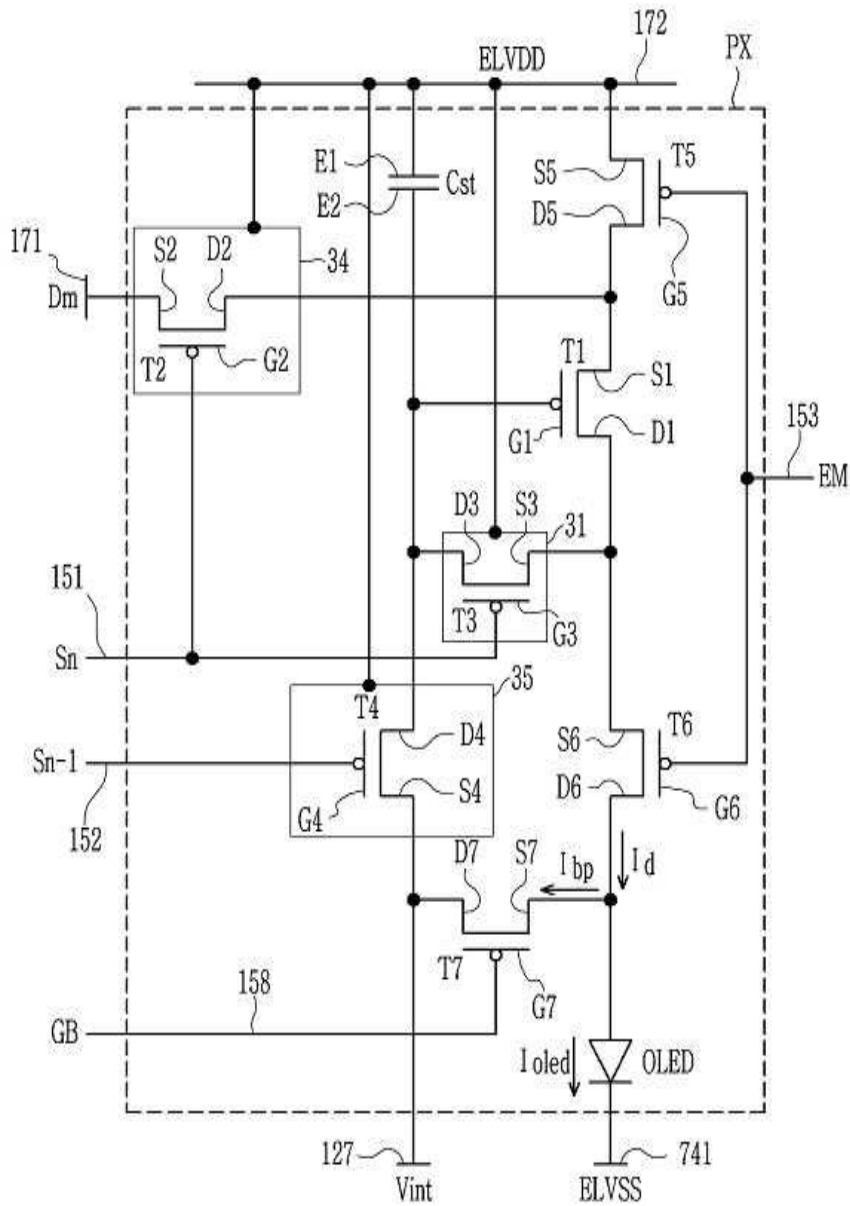
도면31



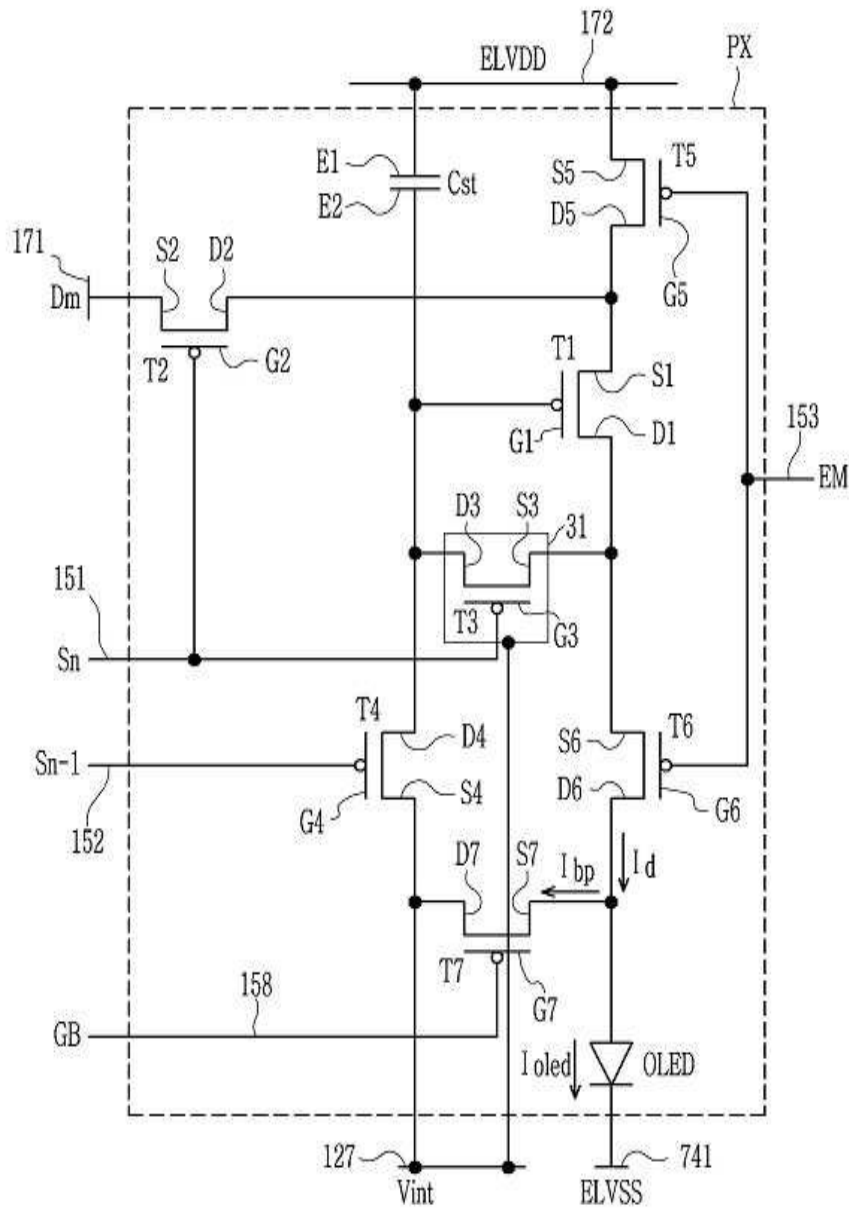
도면32



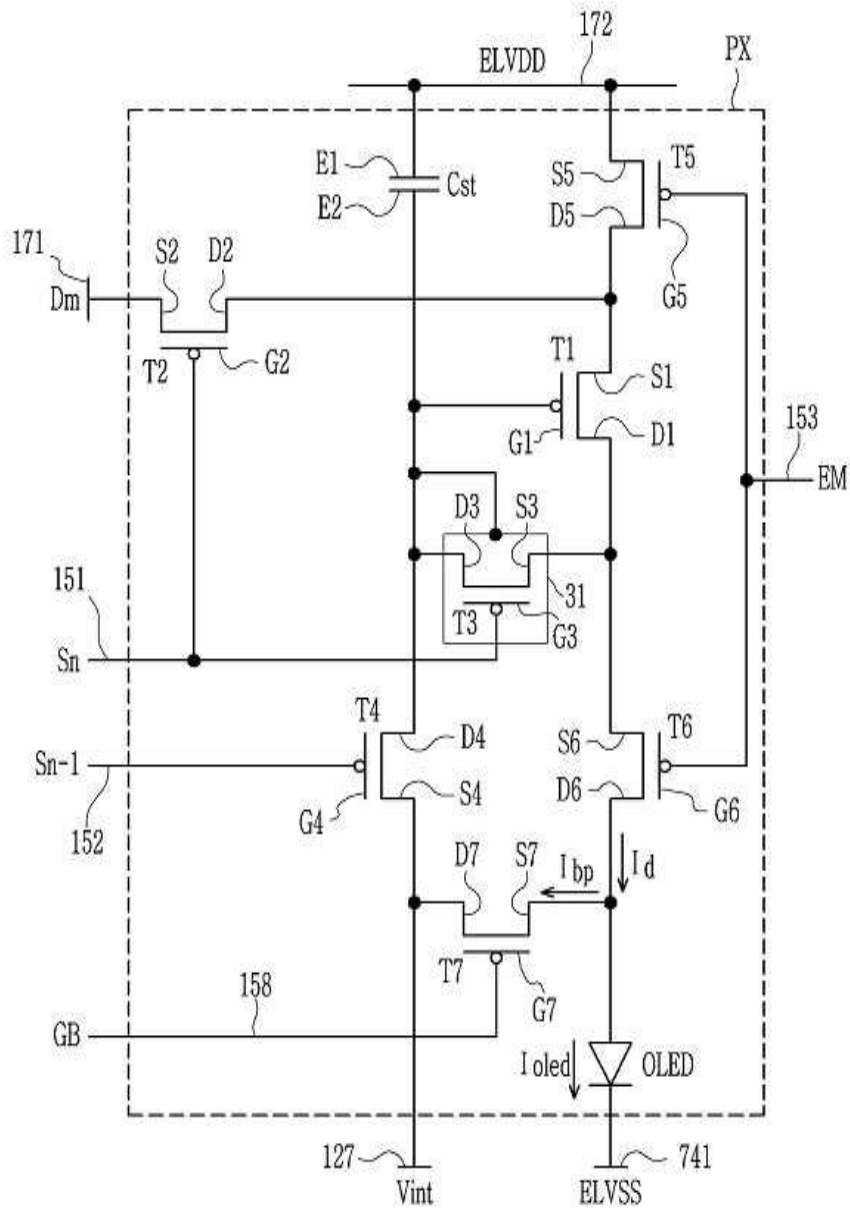
도면33



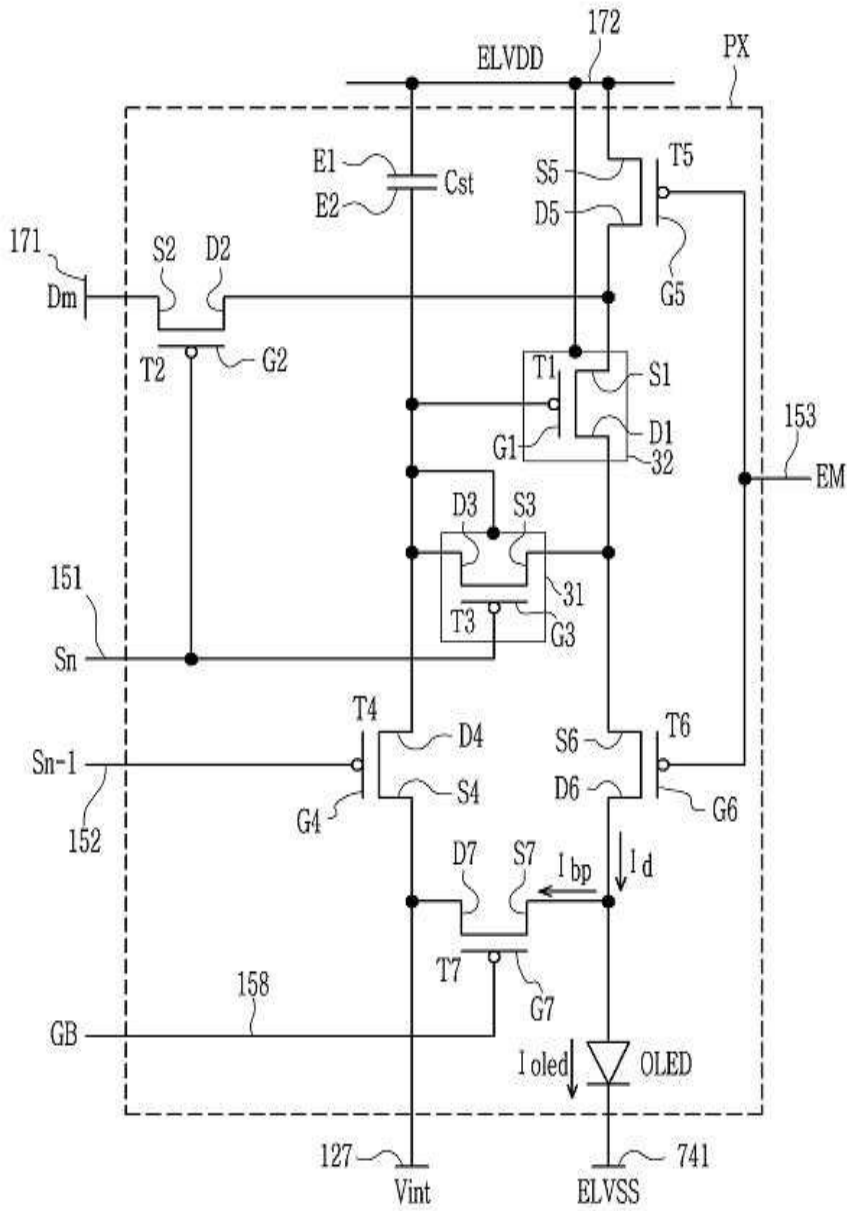
도면34



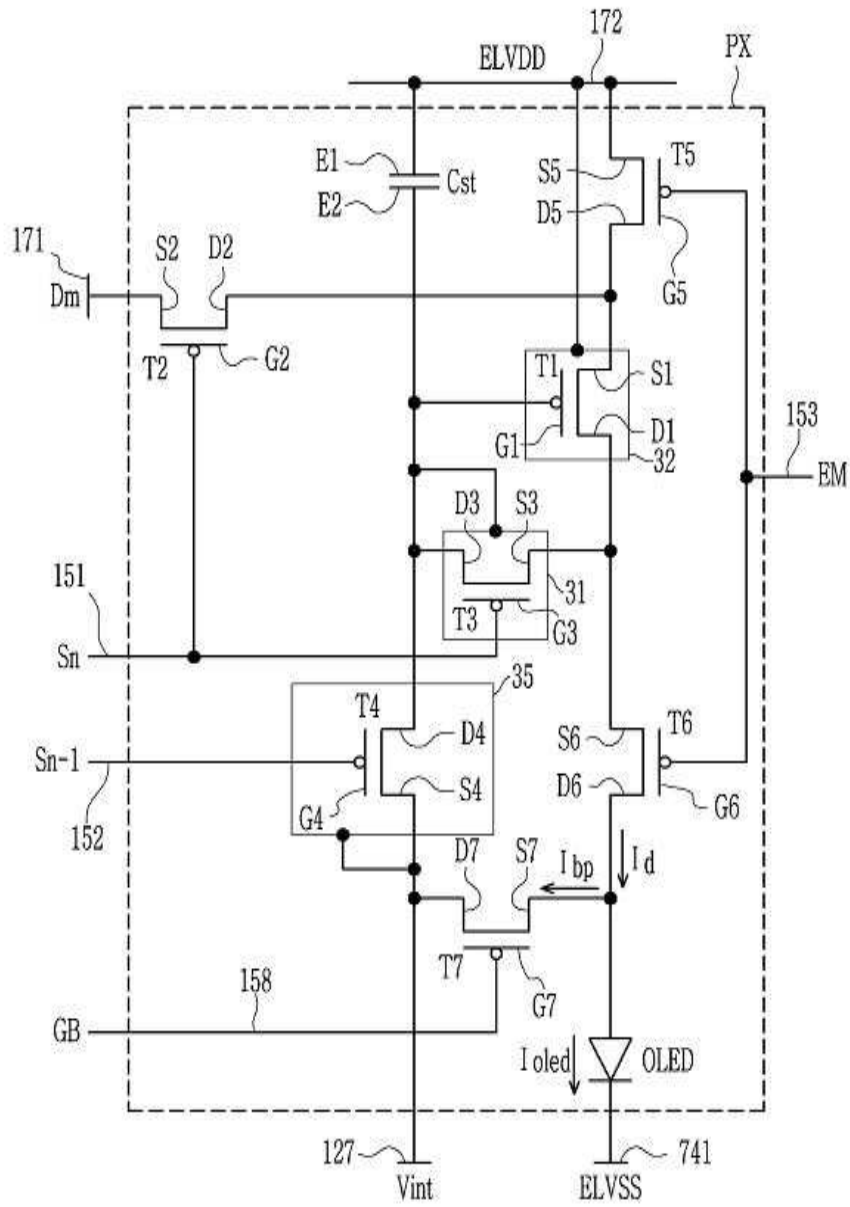
도면35



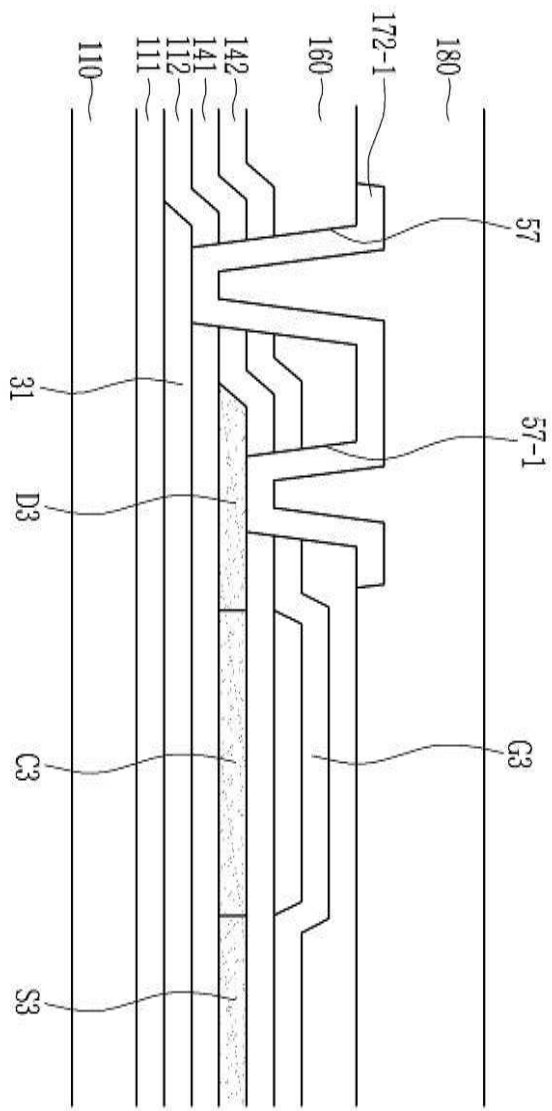
도면36



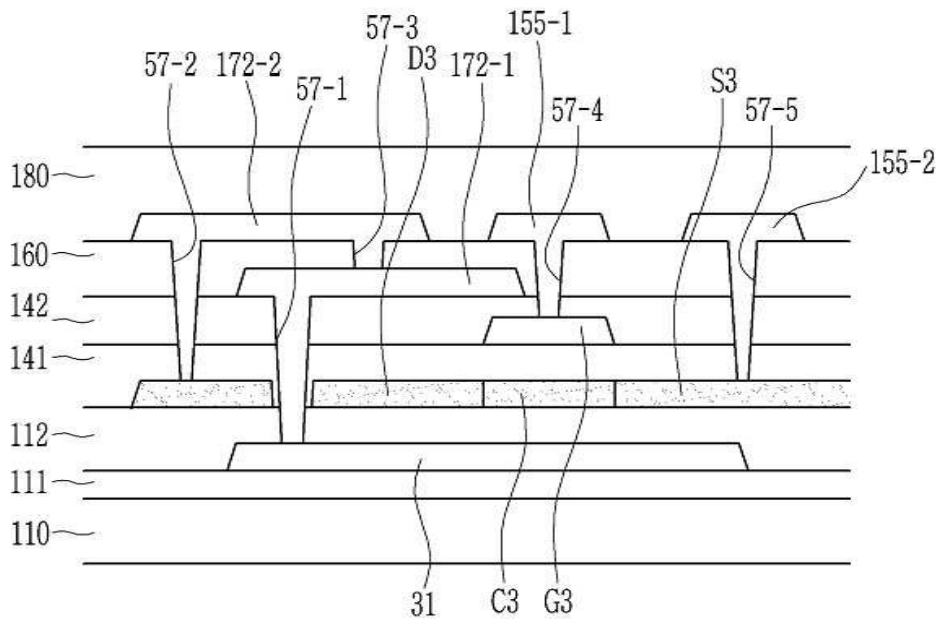
도면37



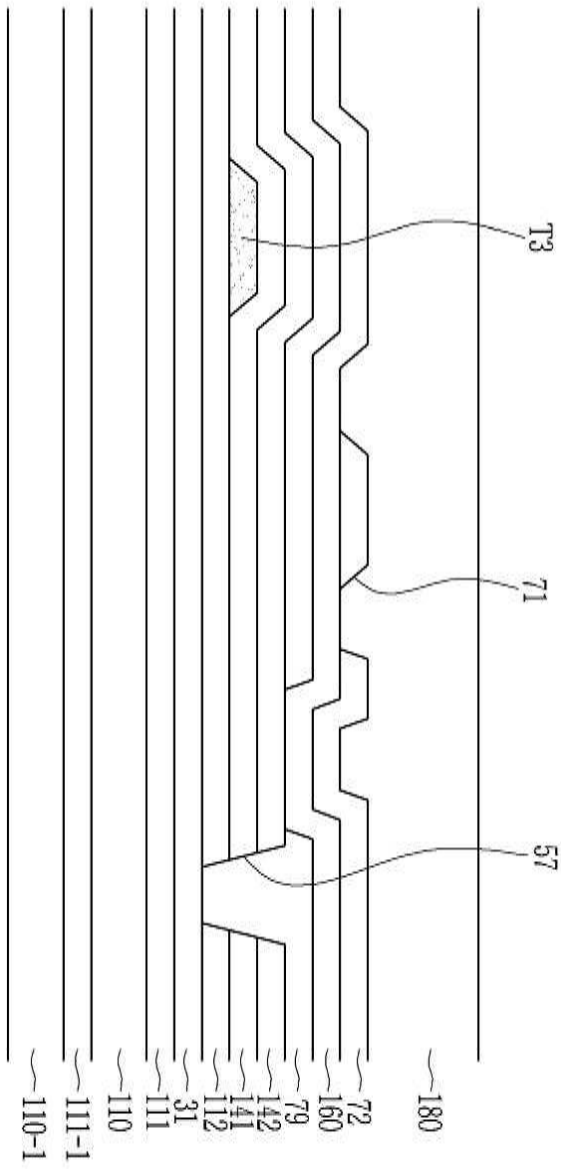
도면38



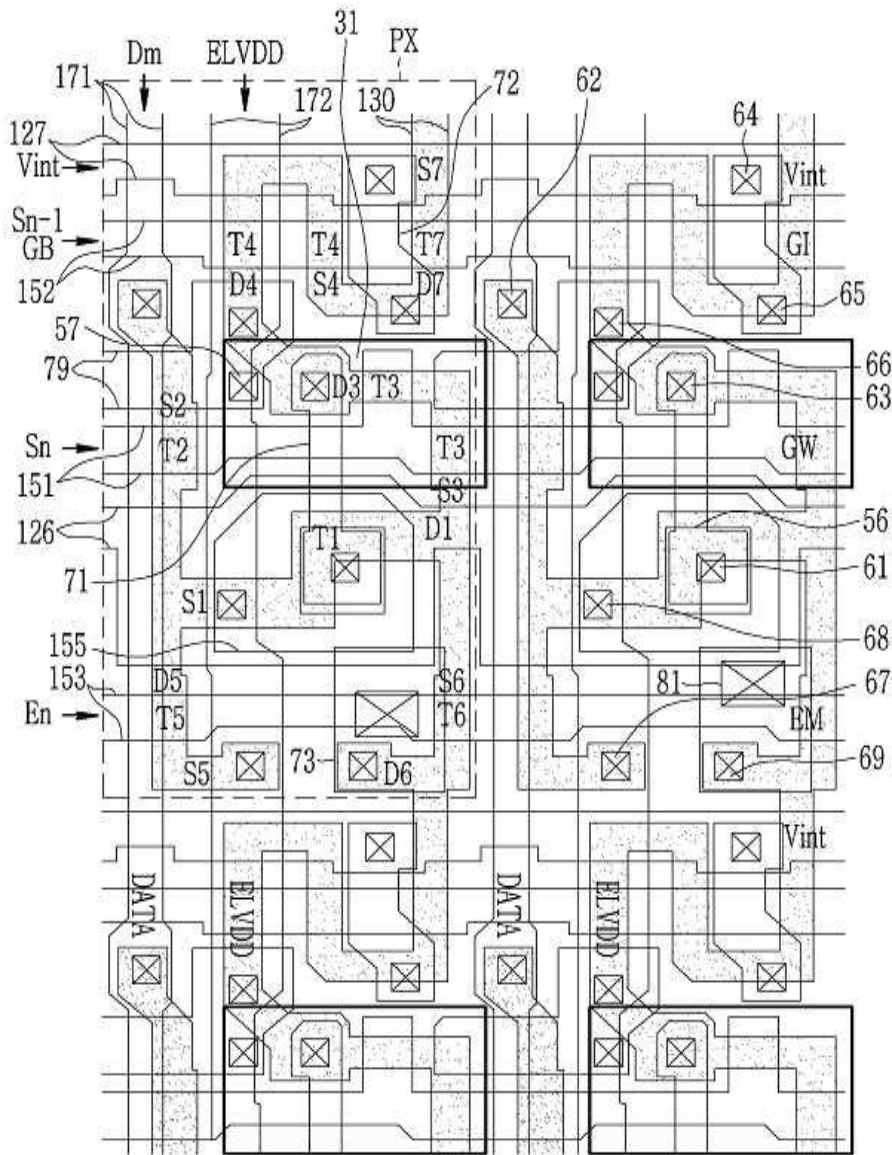
도면39



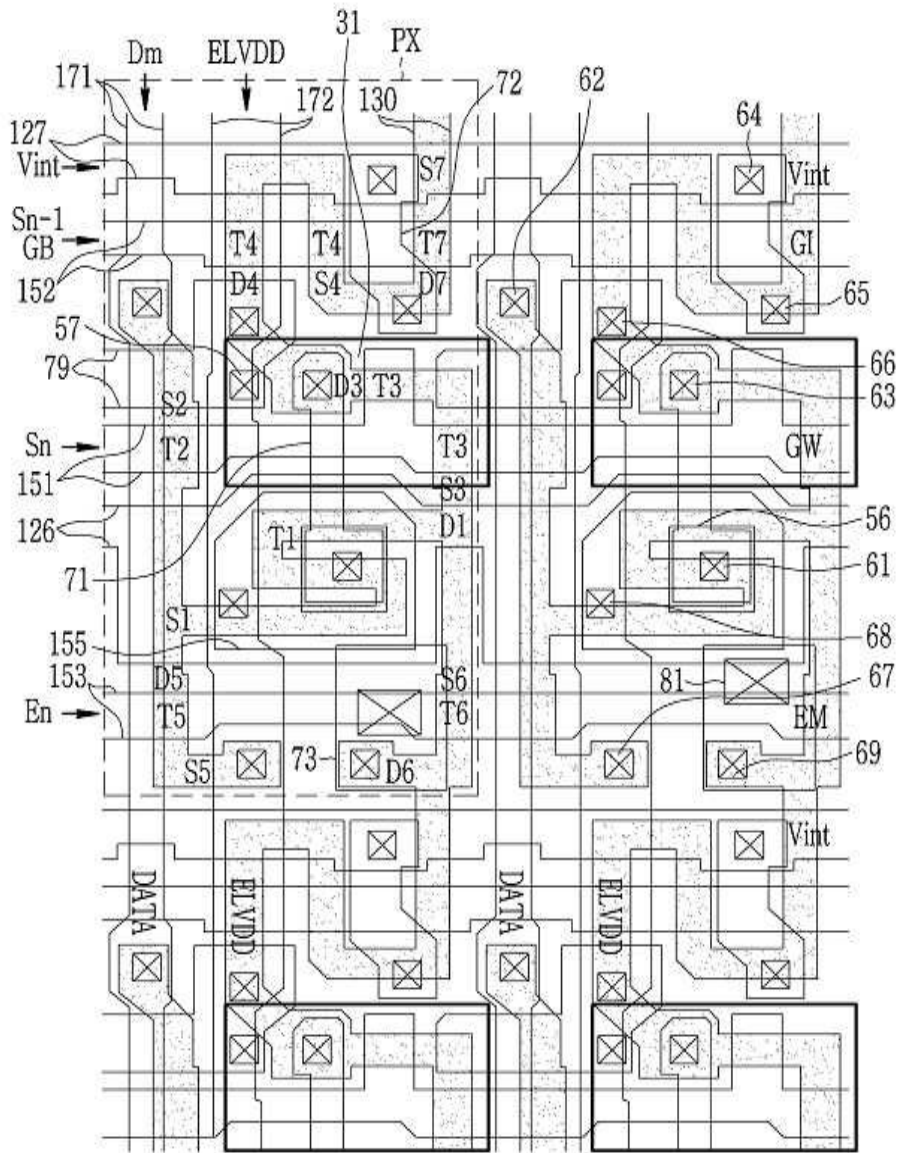
도면40



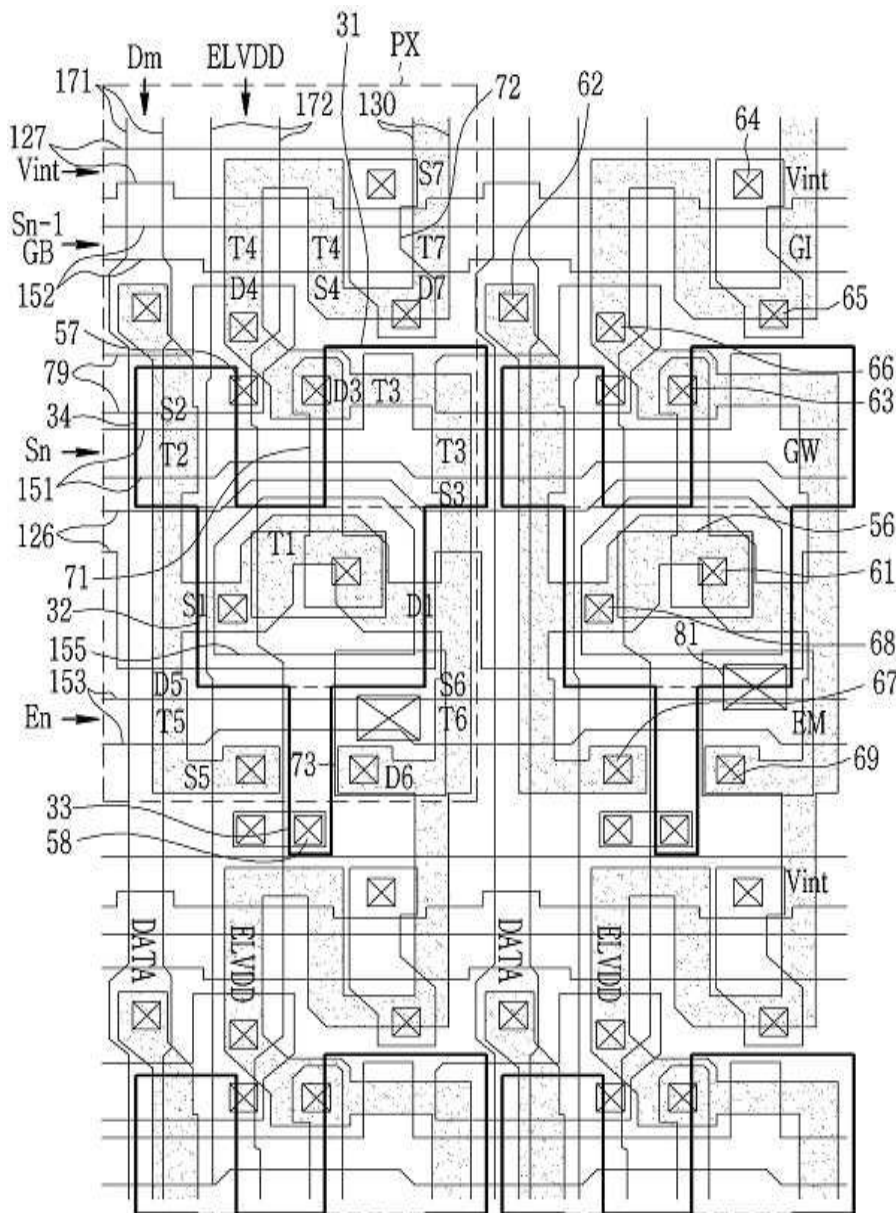
도면41



도면42



도면43



专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">KR1020190115166A</a>	公开(公告)日	2019-10-11
申请号	KR1020180037658	申请日	2018-03-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	왕성민 황영인 양용호 이용수 이재섭 조규철		
发明人	왕성민 황영인 양용호 이용수 이재섭 조규철		
IPC分类号	H01L27/32 G09G3/3208 H01L51/00 H01L51/50 H01L51/52		
CPC分类号	H01L27/3276 G09G3/3208 H01L27/3262 H01L51/0097 H01L51/50 H01L51/5203 H01L27/3244 H01L27/3272 H01L2251/5338 G09G3/3233 G09G3/3258 H01L27/3248		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据实施例，当在热处理过程中下基板是柔性基板时，即使在下基板中的杂质被提供给下基板中的晶体管时，形成布置在半导体层下方的金属层以允许晶体管正常工作。当通过防止晶体管的特性（例如，反冲电压）变化而交替显示白色和黑色时，不会残留余像以提高显示质量。另外，通过在像素中形成接触孔，将电压无浮动地提供给位于半导体层下方的金属层，从而仅在必要的位置形成金属层，并防止由于不必要的寄生而导致的显示质量下降。电容。

