



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0063532
(43) 공개일자 2019년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0162391
(22) 출원일자 2017년11월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김형수
경기도 파주시 월롱면 엘지로 245
엄혜선
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박영복

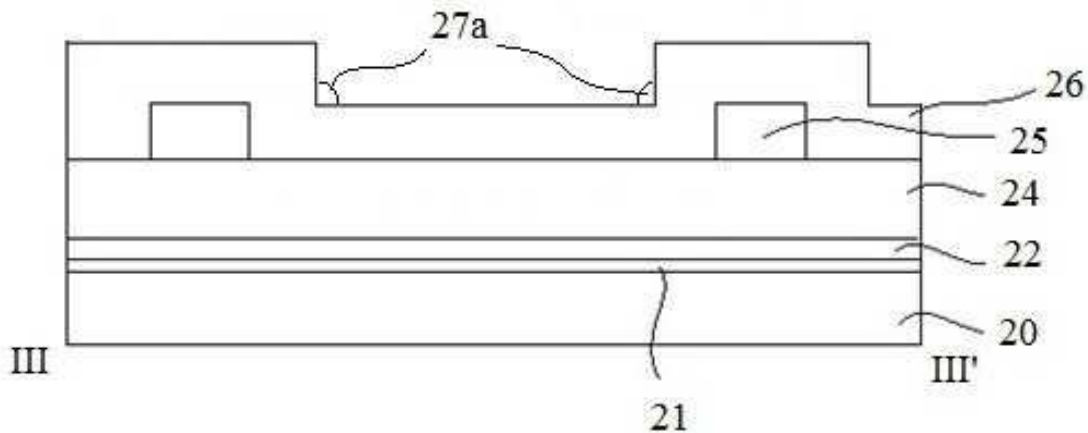
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기 발광 다이오드 표시 장치 및 그의 제조 방법

(57) 요약

본 발명은 신호 라인 간의 쇼트가 발생됨을 방지하고 OLED 표시 패널 전 영역에서 각 서브 화소의 OLED 소자에 균일하게 정전압이 공급되도록 하기 위해 전원 공급 라인을 메시(mesh) 구조로 형성한 OLED 표시 장치 및 그의 제조 방법에 관한 것으로, 본 발명에 따른 OLED 표시 장치는, 제 1 방향으로 배치되는 복수개의 데이터 라인과, 상기 복수개의 데이터 라인을 포함한 기판 전면에 형성되는 층간 절연막과, 상기 복수개의 데이터 라인상에 제 2 방향으로 배치되는 복수개의 정전압 라인과, 상기 복수개의 데이터 라인의 단차로 인해 단차부에 상응하는 상기 층간 절연막 상에 형성되는 보조 정전압 라인을 구비한 것이다.

대표도 - 도9d



(52) CPC특허분류

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

제 1 방향으로 배치되는 복수개의 데이터 라인;

상기 복수개의 데이터 라인을 포함한 기관 전면에 형성되는 층간 절연막;

상기 복수개의 데이터 라인상에 제 2 방향으로 배치되는 복수개의 정전압 라인; 그리고,

상기 복수개의 데이터 라인의 단차로 인해 단차부에 상응하는 상기 층간 절연막 상에 형성되는 보조 정전압 라인을 구비하는 OLED 표시 장치.

청구항 2

제 1 항에 있어서,

상기 복수개의 데이터 라인의 측면은 기관 표면으로부터 80° 이상의 테이퍼 각을 갖는 OLED 표시 장치.

청구항 3

제 1 항에 있어서,

상기 복수개의 데이터 라인 하측에 상기 제 2 방향으로 복수개의 스캔 라인들이 더 배치되는 OLED 표시 장치.

청구항 4

제 1 항에 있어서,

상기 보조 정전압 라인에 의해 인접한 정전압 라인 간에 쇼트가 발생하는 OLED 표시 장치.

청구항 5

기관 상에 형성되는 버퍼층;

상기 버퍼층 상에 형성되는 활성층;

상기 활성층 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 제 1 방향으로 형성되는 복수개의 스캔 라인;

상기 복수개의 스캔 라인을 포함한 기관 전면에 형성되는 제 1 층간 절연층;

상기 제 1 층간 절연층 상에 제 2 방향으로 형성되는 복수개의 데이터 라인;

상기 복수개의 데이터 라인을 포함한 상기 제 1 층간 절연막 상에 형성되는 제 2 층간 절연층;

상기 제 2 층간 절연층 상에 가로 방향으로 형성되는 복수개의 제 1 정전압 라인; 그리고

상기 복수개의 데이터 라인의 단차로 인해 단차부에 상응하는 상기 제 2 층간 절연막 상에 형성되는 보조 정전압 라인을 구비하는 OLED 표시 장치.

청구항 6

제 5 항에 있어서,

상기 복수개의 데이터 라인의 측면은 기관 표면으로부터 80° 이상의 테이퍼 각을 갖는 OLED 표시 장치.

청구항 7

제 1 층간 절연층 상에 제 1 방향으로 복수개의 데이터 라인을 형성하는 단계;

상기 복수개의 데이터 라인을 포함한 상기 제 1 층간 절연층 상에 제 2 층간 절연층을 형성하는 단계; 그리고
상기 제 2 층간 절연층 상에 금속층을 증착하고, 사진 석판술로 상기 금속층을 선택적으로 제거하여 제 2 방향으로 복수개의 제 1 정전압 라인을 형성하는 단계를 구비하고,
복수개의 제 1 정전압 라인을 형성하는 단계에서, 상기 복수개의 데이터 라인의 단차로 인해 단차부에 상응하는 상기 제 2 층간 절연막 상에 보조 정전압 라인을 형성하는 OLED 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 복수개의 데이터 라인을 형성하는 단계에서, 상기 복수개의 데이터 라인의 측면은 기판 표면으로부터 80° 이상의 테이퍼 각을 갖도록 하는 OLED 표시 장치의 제조 방법.

청구항 9

제 7 항에 있어서,

상기 보조 정전압 라인에 의해 인접한 정전압 라인 간에 쇼트가 발생하는 OLED 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 다이오드(이하, 'OLED' 라고 함) 표시 장치에 관한 것으로, 특히 신호 라인 간의 쇼트가 발생됨을 방지하고 전원 공급 라인을 메시(mesh) 구조로 형성한 OLED 표시 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 디지털 데이터를 이용하여 영상을 표시하는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치 등이 대표적이다.

[0003] 이들 중 OLED 표시 장치는 전자와 정공의 재결합으로 유기 발광층을 발광시키는 자발광 소자로 휘도가 높고 구동 전압이 낮으며, 응답 시간이 수 마이크로 초(μs) 정도로 동화상 구현이 쉽고, 시야각 제한이 없으며 저온에서도 안정적이라는 장점이 있으며, 박막화가 가능하여 차세대 표시 장치로 기대되고 있다.

[0004] 상기과 같은 OLED 표시 장치는, 복수개의 스캔 라인들과 복수개의 데이터 라인들이 서로 다른 방향으로 배열되어 영상을 표시하는 OLED 표시 패널과, 상기 OLED 표시 패널을 구동하는 구동회로를 구비하여 구성된다.

[0005] 상기 OLED 표시 패널은 상기 복수개의 스캔 라인들과 상기 복수개의 데이터 라인들이 서로 교차하는 영역에 복수개의 서브 화소들이 정의되고, 각 서브 화소들은 애노드 및 캐소드 사이의 유기 발광층으로 구성된 OLED 소자와, OLED 소자를 독립적으로 구동하는 화소 회로를 구비한다.

[0006] 상기 화소 회로는 데이터 전압을 스토리지 커패시터에 공급하는 스위칭 트랜지스터(Thin Film Transistor; TFT)와, 스토리지 커패시터에 충전된 구동 전압에 따라 구동 전류를 제어하여 OLED 소자로 공급하는 구동 트랜지스터 등을 포함하고, OLED 소자는 구동 전류에 비례하는 광을 발생한다.

[0007] 이러한 OLED 표시 패널에 있어서는 신호 라인들 간에 쇼트가 방지되어야 하고, OLED 표시 패널 전 영역에서 각 서브 화소의 OLED 소자에 균일하게 정전압이 공급되어야 함이 요구된다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기과 같은 요구에 부응하여 신호 라인 간의 쇼트가 발생됨을 방지하고 OLED 표시 패널 전 영역에서 각 서브 화소의 OLED 소자에 균일하게 정전압이 공급되도록 하기 위해 전원 공급 라인을 메시(mesh) 구조로 형성한 OLED 표시 장치 및 그의 제조 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0009] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 장치는, 복수개의 정전압 라인을 맨 위에 배치하고, 상기 복수개의 정전압 라인 형성 시, 하측에 형성되는 복수개의 데이터 라인의 단차로 인해 단차부에 상응하는 상기 층간 절연층상에 잔막(보조 정전압 라인)이 형성되도록 하여, 상기 보조 정전압 라인에 의해 인접한 정전압 라인 간에 쇼트가 발생되도록 함에 그 특징이 있다.
- [0010] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 OLED 표시 장치의 제조 방법은, 제 1 층간 절연층 상에 제 1 방향으로 복수개의 데이터 라인을 형성하는 단계와, 상기 복수개의 데이터 라인을 포함한 상기 제 1 층간 절연층 상에 제 2 층간 절연층을 형성하는 단계와, 상기 제 2 층간 절연층 상에 금속층을 증착하고, 사진 식판술로 상기 금속층을 선택적으로 제거하여 제 2 방향으로 복수개의 제 1 정전압 라인을 형성하는 단계를 구비하고, 복수개의 제 1 정전압 라인을 형성하는 단계에서, 상기 복수개의 데이터 라인의 단차로 인해 단차부에 상응하는 상기 제 2 층간 절연층 상에 보조 정전압 라인을 형성함에 그 특징이 있다.
- [0011] 상기 복수개의 데이터 라인 및 복수개의 기준 전압 라인의 측면은 기판 표면으로부터 80° 이상의 테이퍼 각을 갖음을 특징으로 한다.

발명의 효과

- [0012] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 장치 및 그의 제조 방법에 있어서는 다음과 같은 효과가 있다.
- [0013] 본 발명에 따른 OLED 표시 장치 및 그의 제조 방법은, 복수개의 제 1 정전압 라인을 맨 위쪽에 배치하고, 하측의 복수개의 데이터 라인 또는 복수개의 기준 전압 라인의 제조 조건에 따라, 복수개의 제 1 정전압 라인을 메시 구조로 형성할 수 있다. 따라서, 표시 패널 전 영역에 걸쳐 균일하게 제 1 정전압을 제공할 수 있다.
- [0014] 또한, 메시 구조로 복수개의 제 1 정전압 라인을 형성할 때는 감광막 패턴을 하드 베이킹할 필요가 없으므로, 공정을 단순화 할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명에 따른 OLED 표시 장치의 개략적인 구조도
- 도 2는 본 발명에 따른 서브-화소의 회로적 구성도
- 도 3은 본 발명에 따른 OLED 표시 패널의 각 신호 라인을 계략적으로 도시한 레이아웃도
- 도 4는 도 3의 I-I' 선상의 본 발명에 따른 OLED 표시 패널의 단면 구조도
- 도 5는 도 3의 II-II' 선상의 본 발명에 따른 OLED 표시 패널의 단면 구조도
- 도 6은 도 3의 III-III' 선상의 본 발명에 따른 OLED 표시 패널의 단면 구조도
- 도 7a 내지 7d는 본 발명의 제 1 실시예에 따른 도 3의 I-I' 선상의 OLED 표시 패널의 공정 단면도
- 도 8a 내지 8d는 본 발명의 제 1 실시예에 따른 도 3의 II-II' 선상의 OLED 표시 패널의 공정 단면도
- 도 9a 내지 9d는 본 발명의 제 1 실시예에 따른 도 3의 III-III' 선상의 OLED 표시 패널의 공정 단면도.
- 도 10a 내지 10b는 본 발명의 제 2 실시예에 따른 도 3의 III-III' 선상의 OLED 표시 패널의 공정 단면도
- 도 11a는 본 발명의 제 1 실시예 (도 7a 내지 7d, 도 8a 내지 8d 및 도 9a 내지 9d)의 제조 방법에 따른 제 1 정전압 라인들의 구성도
- 도 11b는 본 발명의 제 2 실시예 (도 10a 내지 10b)의 제조 방법에 따른 제 1 정전압 라인들의 구성도
- 도 12a는 본 발명의 제 1 실시예 (도 7a 내지 7d, 도 8a 내지 8d 및 도 9a 내지 9d)의 제조 방법에 따른 정전압(VDD) 분포도
- 도 12b는 본 발명의 제 2 실시예 (도 10a 내지 10b)의 제조 방법에 따른 정전압(VDD) 분포도

발명을 실시하기 위한 구체적인 내용

- [0016] 상기와 같은 특징을 갖는 본 발명에 따른 OLED 표시 패널 및 그의 제조 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0017] 도 1은 본 발명에 따른 OLED 표시 장치의 개략적인 구조도이다.
- [0018] 본 발명에 따른 OLED 표시 장치는, 도 1에 도시한 바와 같이, 복수의 화소(PX)가 정의되는 OLED 표시 패널(100)와, 상기 OLED 표시패널(100)과 연결되는 각종 제어부 및 구동부(110 ~ 140)를 포함한다.
- [0019] 상기 OLED 표시 패널(100)은 유기 기판 또는 플라스틱 기판상에 서로 교차되도록 복수의 스캔 라인(SCL) 및 데이터 라인(DL)이 배치되고, 상기 스캔 라인(SCL) 및 데이터 라인(DL)이 교차하는 지점에 각각 적, 녹 및 청에 해당하는 계조를 표시하는 서브-화소(PX)들이 정의된다. 또한, 각 서브-화소(PX)들은 문턱 전압(V_{th}) 및 전자 이동도(μ)를 센싱하기 위한 센싱 라인(SSL)과 연결되어 있으며, 도시되어 있지 않지만 상기 OLED 표시 패널(100)에는 전원 전압(ELVDD) 및 접지 전압(ELVSS)을 공급하기 위한 각종 라인들이 더 형성될 수 있다.
- [0020] 상기 스캔 라인(SCL)들은 스캔 신호(SCAN)를 출력하는 스캔 구동부(120)와 연결되고, 상기 데이터 라인(DL)들은 데이터 전압(Vdata)을 출력하는 데이터 구동부(130)와 연결되어 있다.
- [0021] 또한, 상기 OLED 표시 패널(100)에 형성되는 센싱 라인(SSL)은 화소(PX)에 흐르는 싱크 전류를 통해 구동 박막 트랜지스터의 전기적 특성을 센싱하는 센싱 제어부(140)와 연결되어 있다. 도면에서는 센싱 제어부(140)가 데이터 구동부(130)와는 별도의 외부IC로 구성된 일 예를 나타내고 있으나, 데이터 구동부(130)내에 일체형 IC로 집적되는 형태도 적용될 수 있다.
- [0022] 타이밍 제어부(110)는 외부로부터 인가되는 영상 데이터와, 클럭 신호, 수직 및 수평 동기신호 등의 타이밍 신호를 인가 받아 스캔 제어신호(GCS), 데이터 제어신호(DCS) 및 센싱 구동 제어신호(SCS) 등의 제어신호를 생성한다.
- [0023] 상기 타이밍 제어부(110)는 외부 시스템과 소정의 인터페이스를 통해 연결되어 그로부터 출력되는 영상관련 신호와 타이밍신호를 잡음 없이 고속으로 수신하여 상기의 제어신호들을 생성하게 된다. 이러한 타이밍 제어부(110)는 OLED 표시 장치의 설계 의도에 따라, 데이터 구동부(130)와 일체형 IC로 집적화될 수도 있다.
- [0024] 특히, 본 발명의 타이밍 제어부(110)는 작업자 또는 사용자의 보상 제어신호(CC)에 따라, 화소(PX) 자체에서 특성 편차에 대한 보상을 수행하도록 제어하거나, 또는 센싱 제어부(140)를 요청하여 화소(PX)에 대한 특성 편차에 대한 보상을 수행하도록 제어할 수 있다.
- [0025] 상기 스캔 구동부(120)는 상기 타이밍 제어부(110)로부터 스캔 제어신호(SCS)에 대응하여 각 스캔 라인(SCL)에 스캔 신호(SCAN)를 순차적으로 인가한다. 이러한 스캔 구동부(120)는 통상의 쉬프트 레지스터로 구현될 수 있다.
- [0026] 상기 데이터 구동부(130)는 상기 타이밍 제어부(110)로부터 인가되는 디지털 파형의 영상 신호(RGB)를 입력 받아, 화소(PX)가 처리할 수 있는 계조값을 갖는 아날로그 전압형태의 데이터 전압(Vdata)으로 변환하고, 또한 입력되는 데이터 제어신호(DCS)에 대응하여 데이터 전압(Vdata)을 데이터 라인(DL)을 통해 각 서브-화소(PX)에 공급한다.
- [0027] 상기 센싱 제어부(140)는 상기 타이밍 제어부(110)의 제어에 따라 OLED 표시 장치의 전원 온/오프 직후 또는 기타 사용자에게 의해 지정된 시점에 구동 박막트랜지스터(DR-TFT)의 문턱전압(V_{th}) 및 이동도 특성을 외부보상 방식 및 내부보상 방식을 병행하여 센싱하고, 센싱된 결과를 데이터 전압(Vdata)에 반영하여 구동 박막 트랜지스터(DR-TFT) 특성 편차를 보상하는 역할을 한다.
- [0028] 일례로서, 정상 서브-화소(PX)에서 구동 트랜지스터의 출력 전류값은 구동 트랜지스터의 문턱 전압 및 전자 이동도 특성이 반영된다. 이에 따라 열화가 발생되면 구동 트랜지스터에 의한 전류값이 달라지게 되고 그 전류를 싱크하여 문턱전압 및 이동도의 변동값을 측정할 수 있다. 따라서, 상기 센싱 제어부(140)는 측정된 결과를 데이터 전압(Vdata)에 반영되도록 함으로서 구동 트랜지스터의 특성변화를 보상하게 된다.
- [0029] 도 2는 본 발명에 따른 구동 트랜지스터의 문턱 전압(V_{th}) 변화량을 센싱하기 위한 서브-화소의 회로적 구성도이다.
- [0030] 본 발명에 따른 OLED 표시 패널의 각 서브-화소는, 도 2에 도시한 바와 같이, 유기 발광 다이오드(OLED: Organic Light Emitting Diode)와, 상기 유기 발광 다이오드는 구동하는 화소 회로를 구비한다.

- [0031] 상기 화소 회로는 제 1 및 제 2 스위칭 TFT(T1, T2), 스토리지 커패시터(Cst), 및 구동 TFT(DT)를 포함한다.
- [0032] 상기 제 1스위칭 TFT(T1)는 스캔 펄스(Scan)에 응답하여 데이터(DATA) 전압을 상기 스토리지 커패시터(Cst)에 충전한다. 상기 구동 TFT(DT)는 상기 스토리지 커패시터(Cst)에 충전된 데이터 전압에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 발광 양을 조절한다. 상기 제 2 스위칭 TFT(T2)는 센싱(Sense) 신호에 응답하여 상기 구동 TFT(DT)의 문턱 전압 및 이동도를 센싱한다.
- [0033] 상기 유기 발광 다이오드(OLED)는 제1 전극(예: 애노드 전극 또는 캐소드 전극), 유기 발광층 및 제2 전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.
- [0034] 상기 스토리지 커패시터(Cst)는 상기 구동 TFT(DT)의 게이트 전극(gate)과 소오스 전극(source) 사이에 전기적으로 연결되어, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지해줄 수 있다.
- [0035] 상기 구동 TFT(DT)의 문턱 전압(V_{th})을 센싱하는 방법은 구동 TFT(DT)를 소스 팔로워(Source Follower) 방식으로 동작시킨 후 구동 TFT(DT)의 소스 전압을 센싱 전압으로 입력 받고, 이 센싱 전압을 토대로 구동 TFT(DT)의 문턱 전압 변화량을 검출한다. 구동 트랜지스터의 문턱 전압 변화량은 센싱 전압의 크기에 따라 결정되며, 이를 통해 데이터 보상을 위한 오프셋값이 구해진다.
- [0036] 따라서, 상기 제 1 스위칭 TFT(T1)의 게이트 전극은 스캔 펄스(Scan)를 공급하는 스캔 라인(SL)이 연결되고, 상기 제 1 스위칭 TFT(T1)의 드레인 전극은 데이터 전압(Data)을 공급하는 데이터 라인(DL)이 연결되며, 상기 제 1 스위칭 TFT(T1)의 소오스 전극은 상기 스토리지 커패시터(Cst)의 제 1 전극 및 상기 구동 TFT(DT)의 게이트 전극에 연결된다.
- [0037] 상기 구동 TFT(DT)의 드레인 전극은 제 1 정전압 라인(EVDD)에 연결되고, 상기 구동 TFT(DT)의 소오스 전극은 상기 스토리지 커패시터(Cst)의 제 2 전극 및 상기 유기 발광 다이오드(OLED)의 제 1 전극(애노드)에 연결된다. 상기 유기 발광 다이오드(OLED)의 제 2 전극(캐소드)은 제 2 정전압 라인(EVSS)에 연결된다.
- [0038] 상기 제 2 스위칭 TFT(T2)의 게이트 전극은 상기 센싱 신호(Sense)를 공급하는 센싱 라인에 연결되고, 상기 제 2 스위칭 TFT(T2)의 드레인 전극은 상기 구동 TFT(DT)의 소오스 전극에 연결되며, 상기 제 2 스위칭 TFT(T2)의 소오스 전극은 상기 기준 전압 라인(Ref)에 연결된다.
- [0039] 이와 같이 구성되는 각 서브 화소들은 상술한 바와 같이, 스캔 라인(SL), 데이터 라인(DL), 제 1 정전압 라인(EVDD), 제 2 정전압 라인(EVSS) 및 기준 전압 라인(Ref)을 구비하고, 이들 라인들은 복수개의 서브 화소를 공유한다.
- [0040] 도 3는 본 발명에 따른 OLED 표시 패널의 각 신호 라인을 계략적으로 도시한 레이아웃도이고, 도 4은 도 3의 I-I' 선상의 본 발명에 따른 OLED 표시 패널의 단면도이며, 도 5는 도 3의 II-II' 선상의 본 발명에 따른 OLED 표시 패널의 단면 구조도이고, 도 6은 도 3의 III-III' 선상의 본 발명에 따른 OLED 표시 패널의 단면 구조도이다.
- [0041] 즉, 도 4은 데이터 라인 선상의 OLED 표시 패널의 단면도이고, 도 5는 제 1 정전압 라인 선상의 OLED 표시 패널의 단면 구조도이며, 도 6은 제 1 정전압 라인에 인접한 부분의 OLED 표시 패널의 단면 구조도이다.
- [0042] 본 발명의 실시예에 따른 OLED 표시 패널은, 도 3에 도시한 바와 같이, 가로 방향으로 복수개의 스캔 라인(SL1, SL2)과 제 1 정전압 라인(EVDD1, EVDD2)이 일정한 간격을 갖고 배치되고, 세로 방향으로 복수개의 데이터 라인(DL1, DL2, DL3, DL4) 및 기준 전압 라인(Vref)이 배치된다.
- [0043] 이와 같은 배치에서, 상기 복수개의 스캔 라인(SL1, SL2)이 맨 아래쪽에 배치되고, 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4) 및 기준 전압 라인(Vref)이 그 위에 배치되며, 복수개의 제 1 정전압 라인(EVDD1, EVDD2)이 맨 위쪽에 배치된다.
- [0044] 즉, 도 4 내지 도 6에 도시한 바와 같이, 기판(도면에는 도시하지 않음)상에 버퍼층(20)이 형성되고, 상기 버퍼층(20)상에 서브 화소들의 각 TFT의 활성층(21)이 형성되고, 상기 활성층(21)상에 게이트 절연막(22)이 형성된다.
- [0045] 상기 게이트 절연막(22) 상에 가로 방향으로 상기 스캔 라인(SL1, SL2) (23)이 형성되고, 상기 스캔 라인(SL1, SL2)(23)을 포함한 기판 전면에 제 1 층간 절연층(24)이 형성된다.

- [0046] 상기 제 1 층간 절연층(24) 상에 세로 방향으로 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)(도 4 내지 도 6에는 도시되지 않음, 도 3 참조)이 형성되고, 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)을 포함한 기판 전면에 제 2 층간 절연층(26)이 형성된다.
- [0047] 그리고, 상기 제 2 층간 절연층(26) 상에 가로 방향으로 상기 복수개의 제 1 정전압 라인(EVDD1, EVDD2)(27)이 형성된다.
- [0048] 여기서, 상기 버퍼층(20)은 2500~3500 Å 정도의 두께로 형성되고, 상기 활성층(21)은 250~750 Å 정도의 두께로 형성되며, 상기 게이트 절연막(22)은 750~1250 Å 정도의 두께로 형성되고, 상기 스캔 라인(SL1, SL2)(23)은 1500~2500 Å 정도의 두께로 형성되며, 상기 제 1 층간 절연층(24)은 3000~5000 Å 정도의 두께로 형성된다.
- [0049] 또한, 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)은 3000~5000 Å 정도의 두께로 형성되고, 상기 제 2 층간 절연층(26)은 4000~6000 Å 정도의 두께로 형성되며, 상기 복수개의 제 1 정전압 라인(EVDD1, EVDD2)(27)은 4000~6000 Å 정도의 두께로 형성된다.
- [0050] 이와 같이, 상기 복수개의 제 1 정전압 라인(EVDD1, EVDD2)(27)을 형성하기 위해, 상기 제 2 층간 절연층(26) 상에 금속층을 증착하고, 사진 식판술(Photo-lithography)을 이용하여 상기 금속층을 패터닝 한다. 즉 불필요한 부분의 상기 금속층을 제거하여 상기 복수개의 제 1 정전압 라인(EVDD1, EVDD2)(27)을 형성한다.
- [0051] 이 때, 상기 제 2 층간 절연층(26) 하측에 형성되는 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)의 단차로 인하여, 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)의 모서리 부분상의 상기 제 2 층간 절연층(26)에 단차가 발생하고, 상기 제 2 층간 절연층(26)의 단차부 상에, 상기 복수개의 제 1 정전압 라인(EVDD1, EVDD2)(27)을 형성하기 위한 상기 금속층 패터닝 시, 상기 금속층이 완전하게 제거되지 않고 잔막(이하, '보조 정전압 라인' 이라 함)이 남게 된다.
- [0052] 이와 같이 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)의 모서리 부분을 따라 상기 보조 정전압 라인이 남게 되어 인접한 제 1 정전압 라인(EVDD1, EVDD2)들이 상기 보조 정전압 라인에 의해 서로 전기적으로 연결된다. 따라서, 상기 제 1 정전압 라인(EVDD1, EVDD2)들은 상기 보조 정전압 라인에 의해 메시(Mesh) 구조가 되므로, 표시 패널 전 영역에 걸쳐 균일하게 제 1 정전압을 제공할 수 있다.
- [0053] 상기 잔막(보조 정전압 라인)은 상기 정전압 라인 대비 두께가 작고, 상기 정전압 라인 대비 폭이 좁다. 또한, 상기 잔막(보조 정전압 라인)은 데이터 라인 상부의 층간 절연막과 데이터 라인이 형성되지 않은 층간 절연막 간의 단차부보다 높이가 낮다.
- [0054] 이와 같은 OLED 표시 패널의 각 신호 라인 형성 과정에서, 공정 조건에 따라 잔막이 형성될 수 있고, 잔막이 형성되지 않을 수도 있다.
- [0055] 본 발명에 따른 OLED 표시 패널의 제조 방법을 설명하면 다음과 같다.
- [0056] 도 7a 내지 7d는 본 발명의 제 1 실시예에 따른 도 3의 I-I' 선상의 본 발명에 따른 OLED 표시 패널의 공정 단면도이고, 도 8a 내지 8d는 도 3의 II-II' 선상의 본 발명에 따른 OLED 표시 패널의 공정 단면도이며, 도 9a 내지 9d는 도 3의 III-III' 선상의 본 발명에 따른 OLED 표시 패널의 공정 단면도이다.
- [0057] 도 7a, 도 8a 및 도 9a에 도시한 바와 같이, 기판(도면에는 도시하지 않음)상에 2500~3500 Å 정도의 두께 (예를 들면, 3000 Å)로 버퍼층(20)을 형성한다. 그리고 상기 버퍼층(20)상에, 250~750 Å 정도의 두께 (예를 들면, 500 Å)의 각 TFT의 활성층(21)과 750~1250 Å 정도의 두께 (예를 들면, 1000 Å)의 게이트 절연막(22)을 차례로 형성한다.
- [0058] 그리고, 도 7b, 도 8b 및 도 9b에 도시한 바와 같이, 상기 게이트 절연막(22) 상에 1500~2500 Å 정도의 두께 (예를 들면, 2000 Å)로 제 1 금속층을 증착하고 사진 식판술로 상기 제 1 금속층을 선택적으로 제거하여 가로 방향으로 복수개 스캔 라인(SL1, SL2, 23)을 형성한다.
- [0059] 상기 복수개 스캔 라인(SL1, SL2, 23)을 포함한 상기 게이트 절연막(22)상에 3000~5000 Å 정도의 두께 (예를 들면, 4000 Å)로 제 1 층간 절연층(24)을 형성한다. 그리고, 상기 제 1 층간 절연층(24)상에 3000~5000 Å 정도의 두께 (예를 들면, 4000 Å)로 제 2 금속층(25a)을 형성하고, 상기 제 2 금속층(25a)에 감광막(PR)을 증착하고

노광 및 현상 공정을 거쳐 상기 감광막(PR)을 패터닝한다.

- [0060] 도 7c, 도 8c 및 도 9c에 도시한 바와 같이, 상기 패터닝된 감광막(PR)을 마스크로 이용하여 상기 제 2 금속층(25a)을 선택적으로 제거하여 세로 방향으로 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인을 형성한다. 이 때, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 측면은 80° 이상의 테이퍼 각을 갖는다. 즉, 상기 복수개의 데이터 라인 또는 복수개의 기준 전압 라인(235)의 측면은 기판 표면으로부터 약 80° 이상의 테이퍼 각을 갖는다.
- [0061] 도 7d, 8d 및 9d에 도시한 바와 같이, 상기 패터닝된 감광막(PR)을 제거하고, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인을 포함한 상기 제 1 층간 절연층(24) 상에 $4000\sim 6000\text{ \AA}$ 정도의 두께(예를 들면, 5000 \AA)로 제 2 층간 절연층(26)을 형성한다. 그리고 상기 제 2 층간 절연층(26) 상에 $4000\sim 6000\text{ \AA}$ 정도의 두께(예를 들면, 5000 \AA)로 제 3 금속층을 증착하고, 사진 석판술로 상기 제 3 금속층을 선택적으로 제거하여 가로 방향으로 복수개의 제 1 정전압 라인(27)을 형성한다.
- [0062] 이와 같이, 상기 제 3 금속층을 선택적으로 제거하여 가로 방향으로 복수개의 제 1 정전압 라인(27)을 형성하면, 상기 제 2 층간 절연층(26) 하측에 형성되는 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 측면이 기판 표면으로부터 약 80° 이상의 테이퍼 각을 갖고 있으므로, 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)의 모서리 부분상의 상기 제 2 층간 절연층(26)에 높은 단차가 발생하고, 상기 제 2 층간 절연층(26)의 단차부 상에, 상기 복수개의 제 1 정전압 라인(EVDD1, EVDD2)(27)을 형성하기 위한 상기 제 3 금속층 패터닝 시, 상기 제 3 금속층이 완전하게 제거되지 않고 잔막(보조 정전압 라인, 27a)이 남게 된다.
- [0063] 이와 같이 상기 복수개의 데이터 라인(DL1, DL2, DL3, DL4)(25) 및 복수개의 기준 전압 라인(Vref1, Vref2)의 모서리 부분을 따라 잔막(보조 정전압 라인)이 남게 되어 인접한 제 1 정전압 라인(EVDD1, EVDD2)들이 상기 보조 정전압 라인에 의해 서로 전기적으로 연결된다. 따라서, 상기 제 1 정전압 라인(EVDD1, EVDD2)들은 상기 보조 정전압 라인에 의해 메시(Mesh) 구조가 되므로, 표시 패널 전 영역에 걸쳐 균일하게 제 1 정전압을 제공할 수 있다.
- [0064] 한편, 도 10a 내지 10b는 본 발명의 제 2 실시예에 따른 도 3의 III-III' 선상의 OLED 표시 패널의 공정 단면도이다.
- [0065] 상기 도 9b에서 설명한 바와 같이, 상기 제 2 금속층(25a)상에 상기 감광막(PR)을 패터닝 한 후, 도 10a에 도시한 바와 같이, 상기 패터닝된 감광막(PR)를 하드 베이킹(Hard baking)한다. 상기 하드 베이킹 공정은 $100^\circ\text{C} \sim 200^\circ\text{C}$ 의 온도에서 약 10분 ~ 50분 간 열처리 한다.
- [0066] 그리고, 상기 하드 베이킹된 감광막(PR) 패턴을 마스크로 이용하여 상기 제 2 금속층(25a)을 선택적으로 제거하여 세로 방향으로 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인을 형성한다.
- [0067] 이와 같이, 상기 하드 베이킹된 감광막(PR) 패턴을 마스크로 이용하여 상기 제 2 금속층을 선택적으로 제거하면, 상기 복수개의 데이터 라인 또는 복수개의 기준 전압 라인(35)의 측면은 기판 표면으로부터 약 80° 이하의 경사면을 갖는다.
- [0068] 도 10b에 도시한 바와 같이, 상기 하드 베이킹된 감광막(PR)을 제거하고, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인을 포함한 상기 제 1 층간 절연층(24) 상에 제 2 층간 절연층(26)을 형성한다. 이 때, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 측면이 기판 표면으로부터 약 80° 이하의 경사면을 갖고 있으므로, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 모서리 부분을 따라 상기 제 2 층간 절연층(26)도 단차를 갖는다. 그러나, 상기 제 2 층간 절연층(26)의 단차는 완만한 경사면을 갖는다.
- [0069] 그리고 상기 제 2 층간 절연층(26) 상에 제 3 금속층을 증착하고, 사진 석판술로 상기 제 3 금속층을 선택적으로 제거하여 가로 방향으로 복수개의 제 1 정전압 라인(27)을 형성한다.
- [0070] 이와 같이, 상기 하드 베이킹된 감광막(PR) 패턴을 마스크로 이용하여 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인을 형성하므로, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 측면이 기판 표면으로부터 약 80° 이하의 경사면을 갖는다. 즉, 본 발명의 제 1 실시예에 비해 본 발명의 제 2 실시예의 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 측면은 보다 더 완만한 경사를 갖기 때문에, 상기 제 2 층간 절연층(26)도 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 모서리 부분에서 완만한 단차를 갖는다.

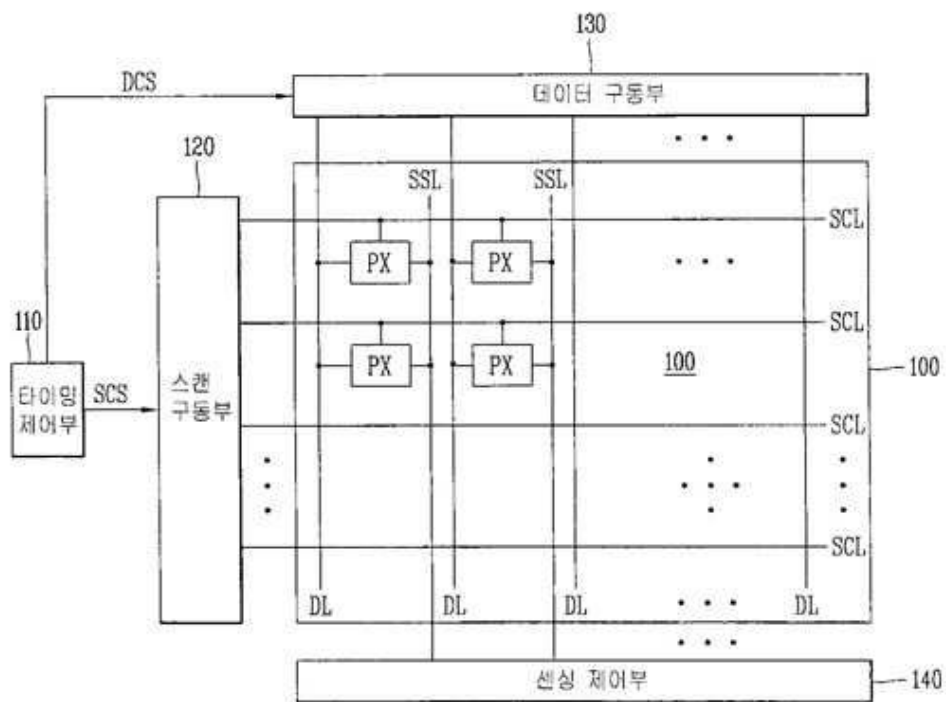
- [0071] 이와 같이, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 모서리 부분에서 제 2 층간 절연막이 완전한 단차를 갖기 때문에, 상기 제 3 금속층을 선택적으로 제거하여 가로 방향으로 복수개의 제 1 정전압 라인(27)을 형성할 때, 상기 복수개의 데이터 라인(25) 또는 복수개의 기준 전압 라인의 단차와 무관하게 상기 제 2 층간 절연막(26)의 단차부에는 잔막이 남지 않게 된다. 따라서 보조 정전압 라인이 형성되지 않는다.
- [0072] 도 11a는 본 발명의 제 1 실시예 (도 7a 내지 7d, 도 8a 내지 8d 및 도 9a 내지 9d)의 제조 방법에 따른 제 1 정전압 라인들의 구성도이고, 도 11b는 본 발명의 제 2 실시예 (도 10a 내지 10b)의 제조 방법에 따른 제 1 정전압 라인들의 구성도이다.
- [0073] 도 11a에 도시한 바와 같이, 본 발명의 제 1 실시예 (도 7a 내지 7d, 도 8a 내지 8d 및 도 9a 내지 9d)의 제조 방법에 따르면, 상기 인접한 제 1 정전압 라인(EVDD)들 간에 잔막에 의한 보조 정전압 라인이 형성되므로, 상기 보조 정전압 라인에 의해 상기 제 1 정전압 라인(EVDD)들은 메시(Mesh) 구조가 되므로, 표시 패널 전 영역에 걸쳐 균일하게 제 1 정전압을 제공할 수 있다.
- [0074] 반대로, 도 11b에 도시한 바와 같이, 본 발명의 제 2 실시예 (도 10a 내지 10b)의 제조 방법에 따르면, 상기 인접한 제 1 정전압 라인(EVDD)들 간에 잔막 (보조 정전압 라인)이 형성되지 않아서 상기 제 1 정전압 라인(EVDD)들은 메시(Mesh) 구조가 되지 않는다.
- [0075] 도 12a는 본 발명의 제 1 실시예 (도 7a 내지 7d, 도 8a 내지 8d 및 도 9a 내지 9d)의 제조 방법에 따른 정전압(VDD) 분포도이고, 도 12b는 본 발명의 제 2 실시예 (도 10a 내지 10b)의 제조 방법에 따른 정전압(VDD) 분포도이다.
- [0076] 도 12a 및 도 12b에서 비교한 바와 같이, 정전압(VDD)으로 10V의 전압을 인가했을 때, 본 발명의 제 1 실시예 (도 7a 내지 7d, 도 8a 내지 8d 및 도 9a 내지 9d)의 제조 방법에 따르면, IR 드롭(drop) 전압폭이 감소하고 휘도가 개선됨을 알 수 있다.
- [0077] 상기 도 7a 내지 7d, 도 8a 내지 8d, 도 9a 내지 9d 및 도 10a 내지 10b에서 설명한 바와 같이, 복수개의 제 1 정전압 라인(EVDD1, EVDD2)을 맨 위쪽에 배치하고, 하층의 복수개의 데이터 라인 또는 복수개의 기준 전압 라인의 제조 조건에 따라, 복수개의 제 1 정전압 라인(EVDD1, EVDD2)을 메시 구조로 형성할 수 있다. 따라서, 표시 패널 전 영역에 걸쳐 균일하게 제 1 정전압을 제공할 수 있다.
- [0078] 또한, 메시 구조로 복수개의 제 1 정전압 라인(EVDD1, EVDD2)을 형성할 때는 감광막 패턴을 하드 베이킹할 필요가 없으므로, 공정을 단순화 할 수 있다.
- [0079] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

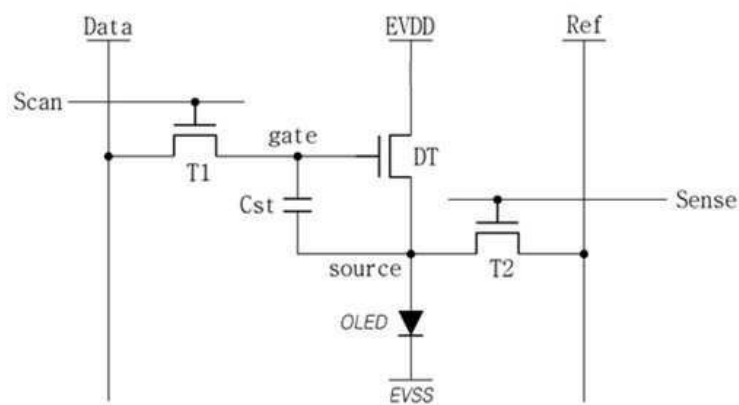
- [0080] 20: 버퍼층 21: 활성층
- 22: 게이트 절연막 24, 26: 층간 절연막
- 25: 복수개의 데이터 라인 27: 제 1 정전압 라인
- 27a: 잔막

도면

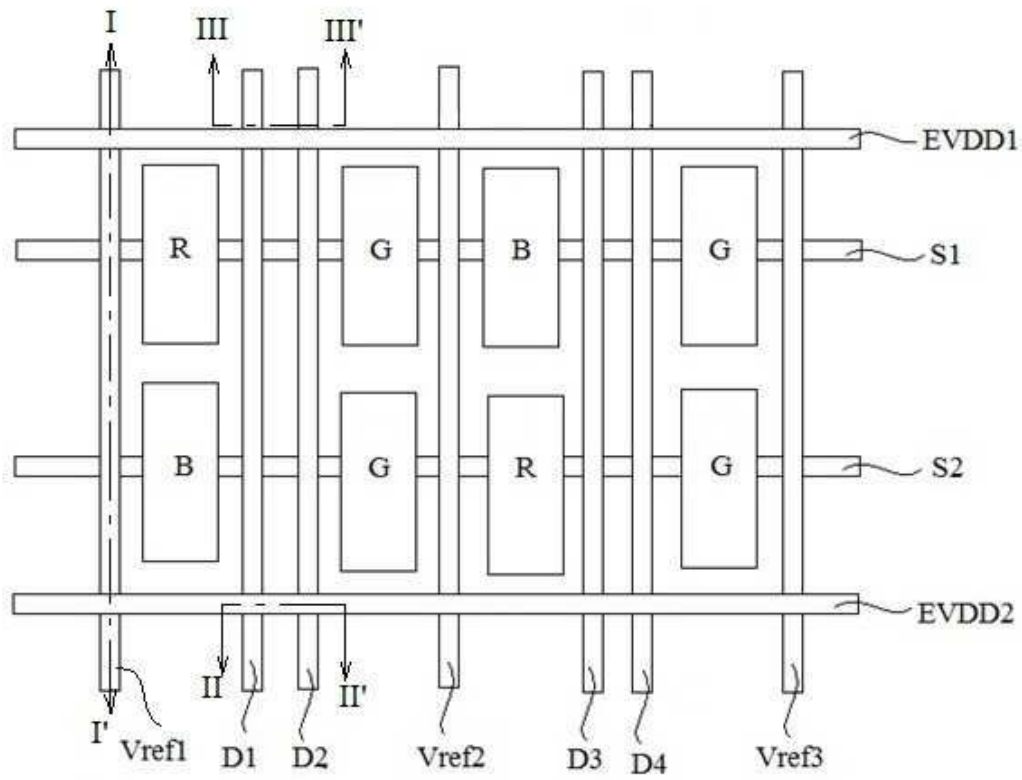
도면1



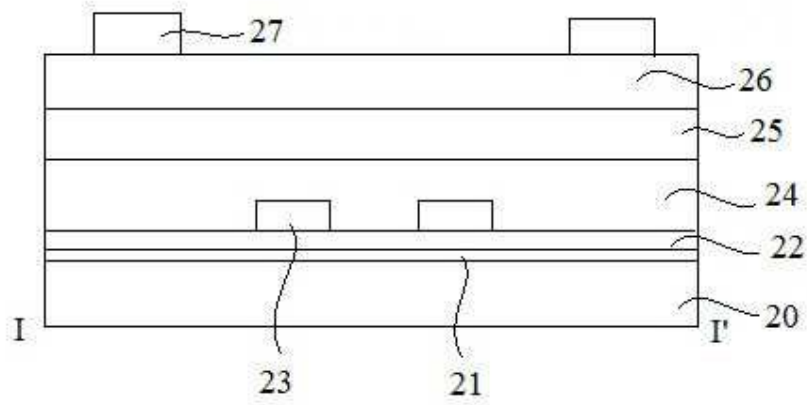
도면2



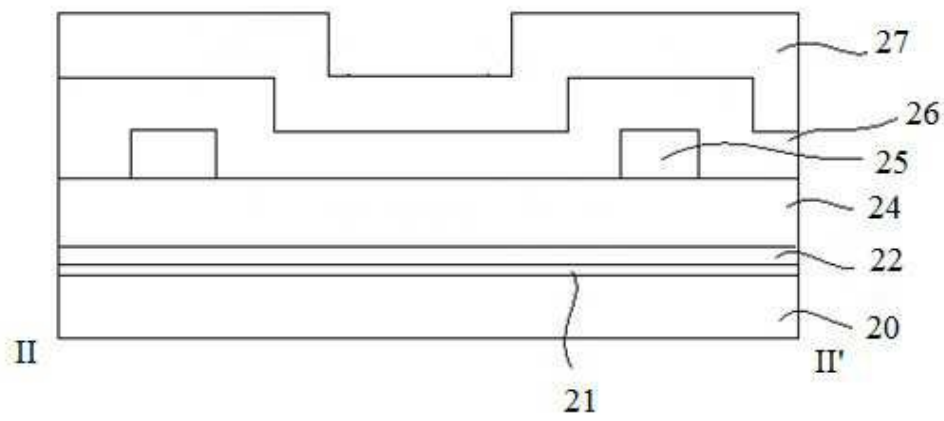
도면3



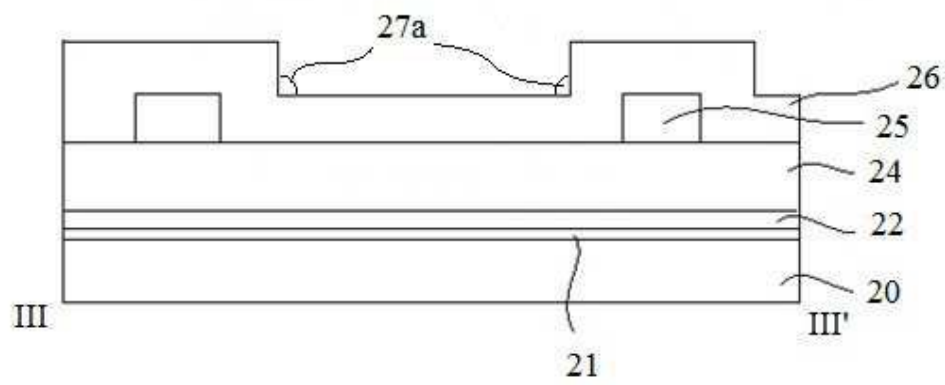
도면4



도면5



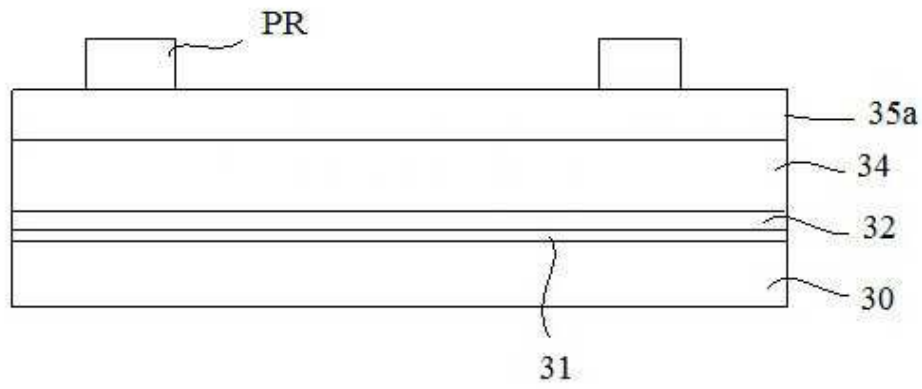
도면6



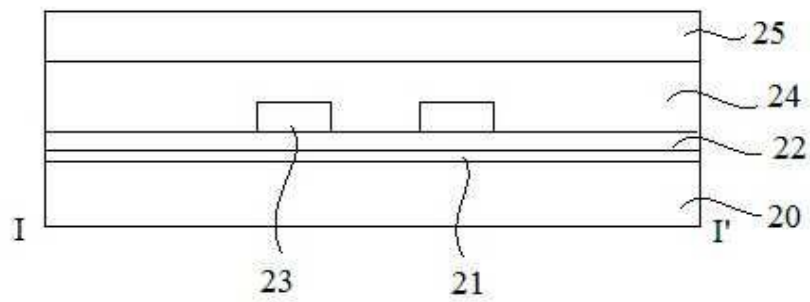
도면7a



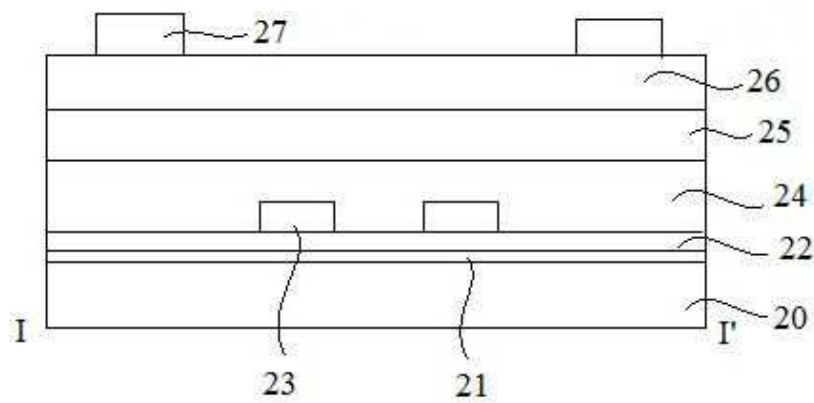
도면7b



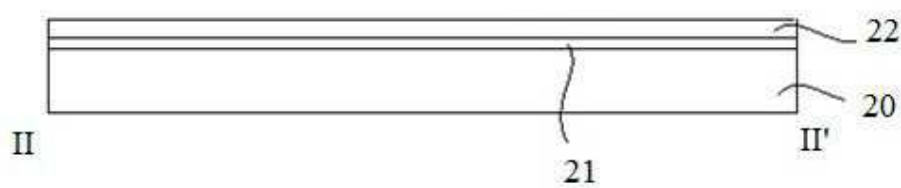
도면7c



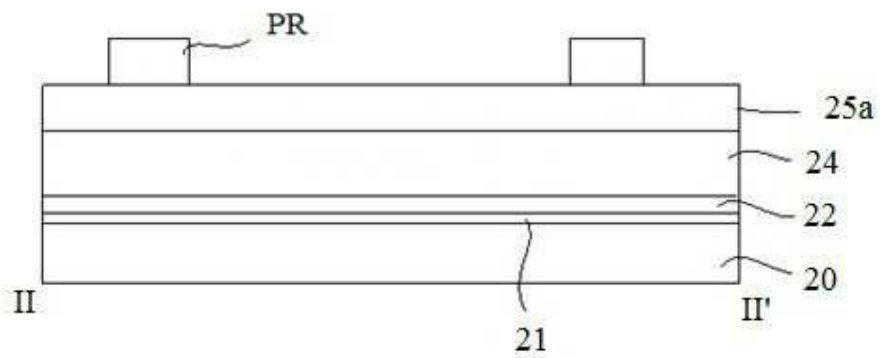
도면7d



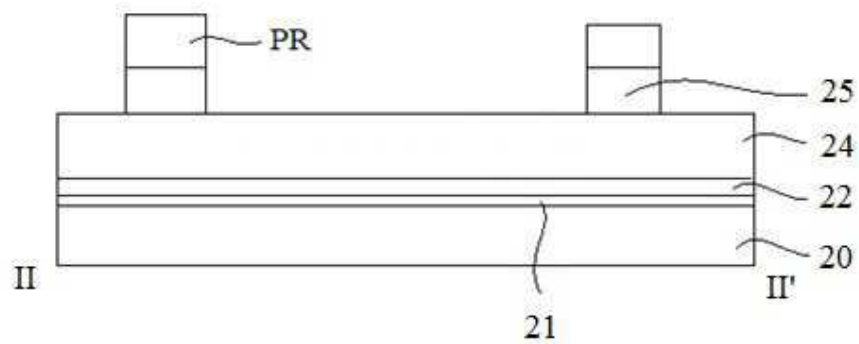
도면8a



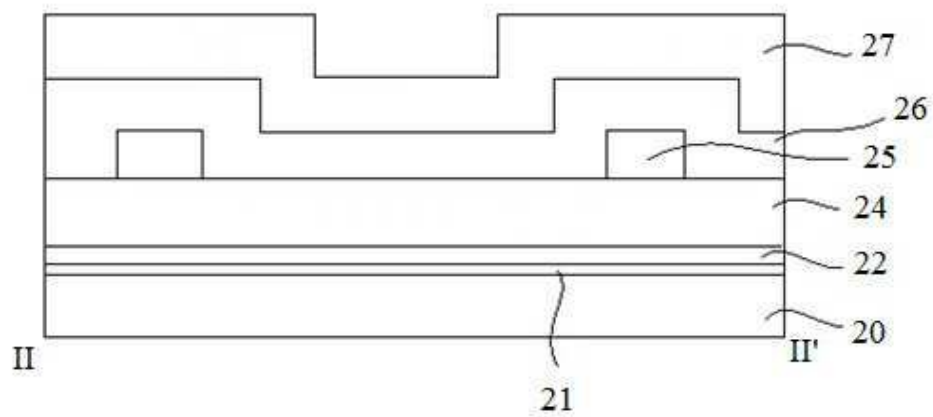
도면8b



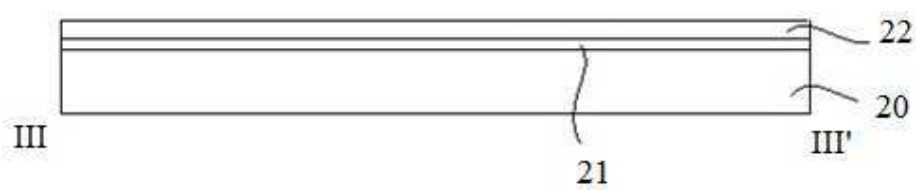
도면8c



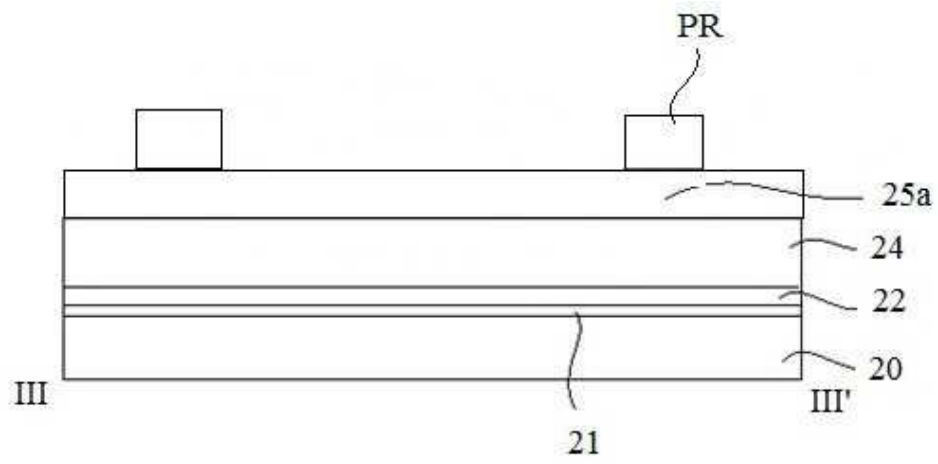
도면 8d



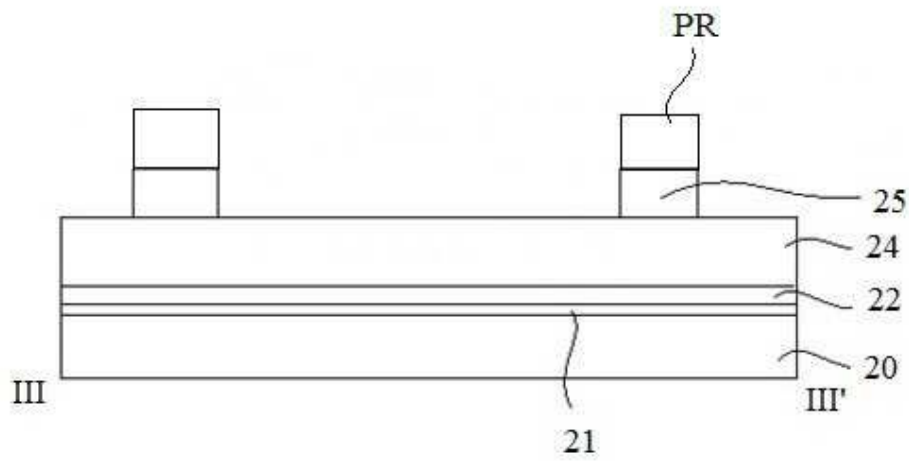
도면9a



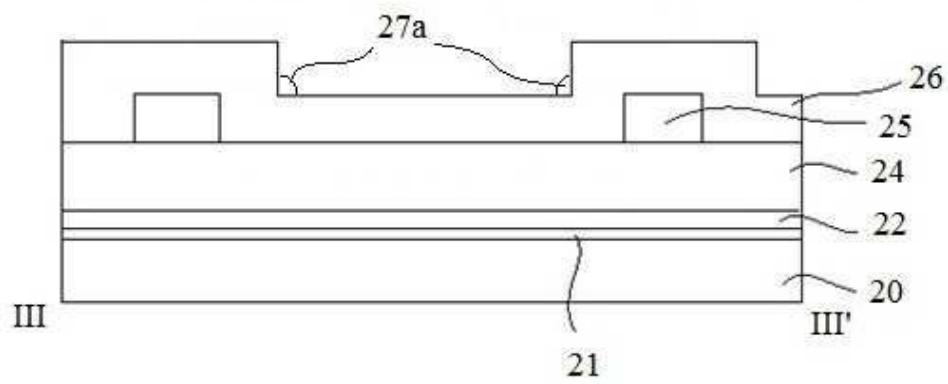
도면9b



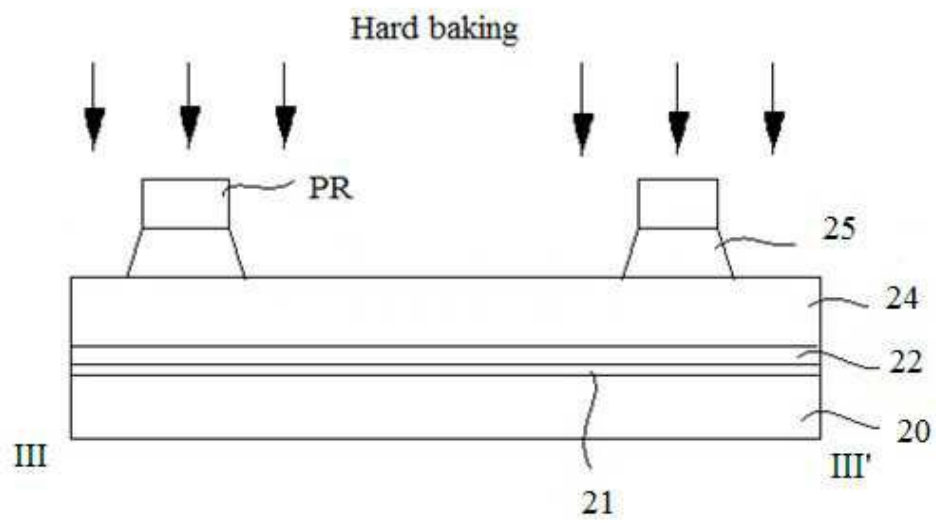
도면9c



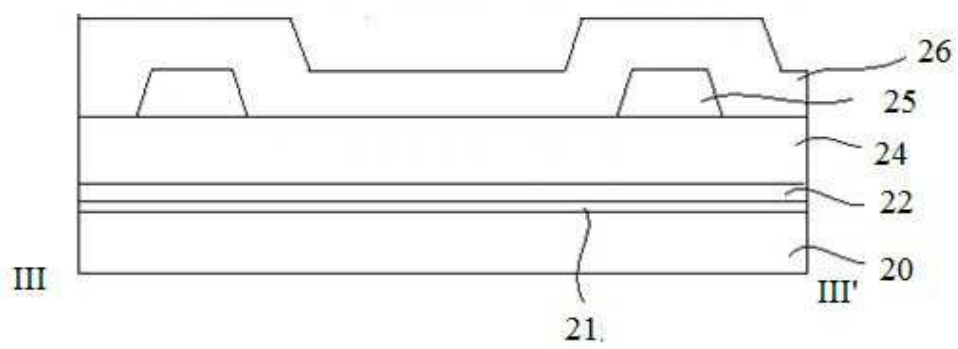
도면9d



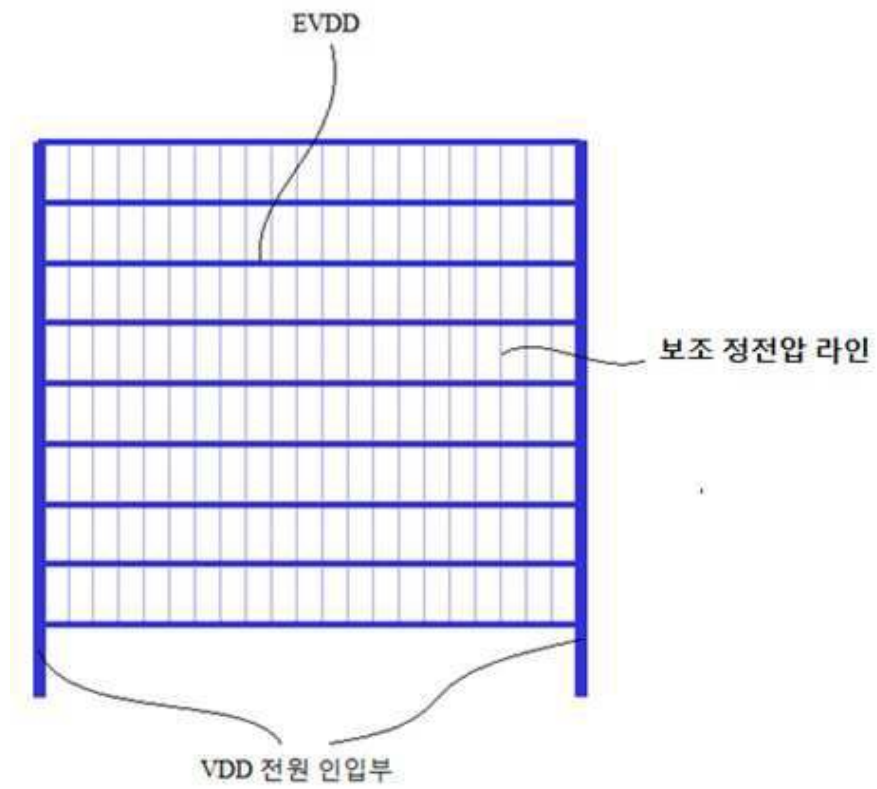
도면10a



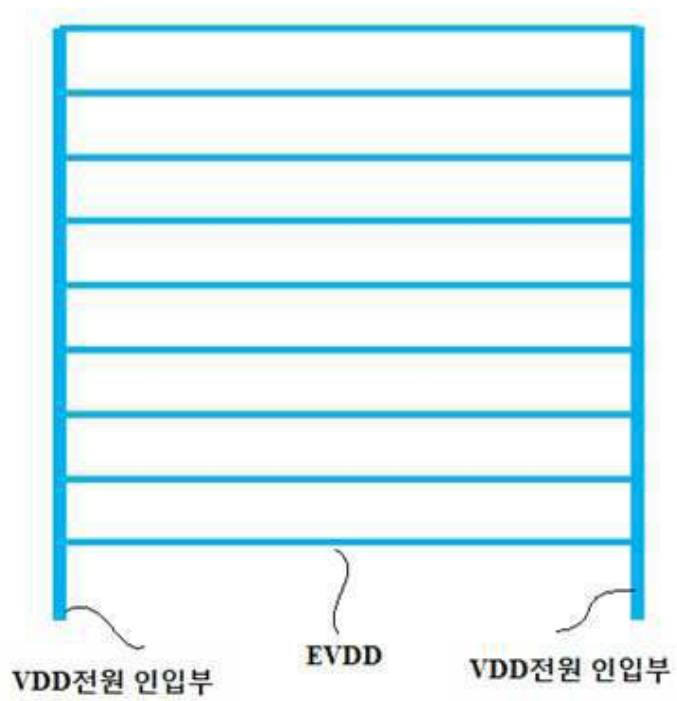
도면10b



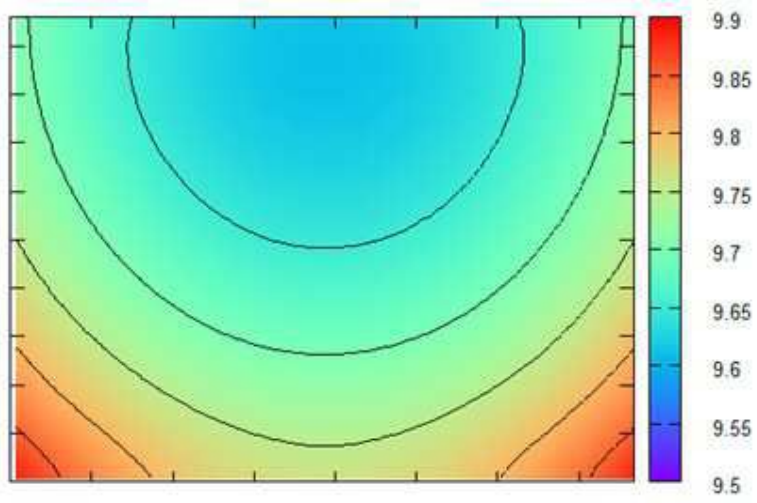
도면11a



도면11b



도면12a



도면12b

