



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0048639
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0143760
(22) 출원일자 2017년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
정의현
경기도 파주시 월롱면 엘지로 245
김성훈
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인로얄

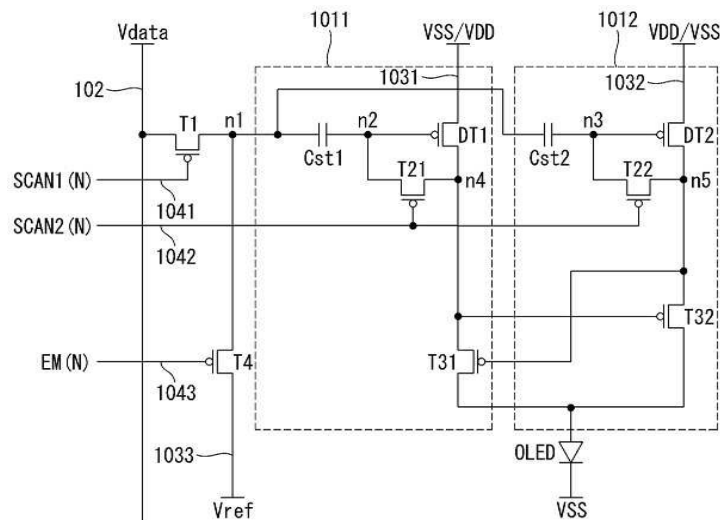
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요약

본 발명은 전계 발광 표시장치에 관한 것으로, 이 표시장치의 서브 픽셀들 각각은 제1 기간 동안 발광 소자를 구동하는 제1 구동 소자를 포함한 제1 구동부; 제2 기간 동안 상기 발광 소자를 구동하는 제2 구동 소자를 포함한 제2 구동부; 및 상기 제1 및 제2 구동부에 연결된 애노드와, 저전위 전원 전압이 공급되는 캐소드를 포함한 발광 소자를 구비한다. 상기 제1 기간 동안 상기 제2 구동 소자에 고전위 전원 전압이 공급되고 상기 제1 구동 소자에 상기 저전위 전원 전압이 공급된 다음, 상기 제2 기간 동안 상기 제1 구동 소자에 상기 고전위 전원 전압이 공급되고 상기 제2 구동 소자에 상기 저전위 전원 전압이 공급된다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0257 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고 다수의 서브 픽셀들이 배치된 표시패널;

데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동부; 및

게이트 신호를 게이트 라인들에 공급하는 게이트 구동부를 구비하고,

상기 서브 픽셀들 각각은

제1 기간 동안 발광 소자를 구동하는 제1 구동 소자를 포함한 제1 구동부;

제2 기간 동안 상기 발광 소자를 구동하는 제2 구동 소자를 포함한 제2 구동부; 및

상기 제1 및 제2 구동부에 연결된 애노드와, 저전위 전원 전압이 공급되는 캐소드를 포함한 발광 소자를 구비하고,

상기 제1 기간 동안 상기 제2 구동 소자에 상기 저전위 전원 전압 보다 높은 고전위 전원 전압이 공급되고 상기 제1 구동 소자에 상기 저전위 전원 전압이 공급된 다음, 상기 제2 기간 동안 상기 제1 구동 소자에 상기 고전위 전원 전압이 공급되고 상기 제2 구동 소자에 상기 저전위 전원 전압이 공급되는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 기간 각각이 프레임 기간인 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 신호는

데이터 전압에 동기되는 게이트 온 전압의 펄스로 발생되어 샘플링 기간을 정의하는 제1 스캔 신호;

상기 제1 스캔 신호와 중첩되고 초기화 기간과 상기 샘플링 기간 동안 게이트 온 전압의 펄스로 발생하는 제2 스캔 신호;

상기 제1 스캔 신호가 상기 게이트 온 전압으로 반전될 때 게이트 오프 전압의 펄스로 발생되고 상기 제1 및 제2 스캔 신호가 게이트 오프 전압으로 반전된 후 소정의 홀드 기간 만큼 지연된 후에 게이트 온 전압으로 반전되는 발광 신호를 포함하고,

상기 게이트 구동부는

상기 제1 스캔 신호를 제1 게이트 라인을 통해 상기 서브 픽셀들에 공급하고,

상기 제2 스캔 신호를 제2 게이트 라인을 통해 상기 서브 픽셀들에 공급하고,

상기 발광 신호를 제3 게이트 라인을 통해 상기 서브 픽셀들에 공급하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 서브 픽셀들 각각은

상기 제1 스캔 신호의 게이트 온 전압에 따라 턴-온되어 상기 제1 및 제2 구동부에 데이터 전압을 공급하는 제1 스위치 소자를 구비하는 전계 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 구동부는

제1 노드와 제2 노드 사이에 배치된 제1 커패시터;

상기 제2 스캔 신호의 게이트 온 전압에 따라 턴-온되어 상기 제2 노드와 제3 노드 사이를 연결하는 제2-1 스위치 소자; 및

제2 구동부에 존재하는 제5 노드의 전압에 따라 상기 제3 노드와 상기 발광 소자 사이의 전류 패스를 스위칭하는 제3-1 스위치 소자를 구비하고,

상기 제1 커패시터는 상기 제1 노드를 통해 상기 제1 스위치 소자에 연결되고,

상기 제1 구동 소자는 상기 제2 노드를 통해 상기 제1 커패시터에 연결된 게이트, 상기 제1 기간 동안 상기 저전위 전원 전압이 공급되고 상기 제2 기간 동안 상기 고전위 전원 전압이 공급되는 제1 전극, 및 상기 제3 노드에 연결된 제2 전극을 포함하는 전계 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 구동부는

상기 제1 노드와 제3 노드 사이에 배치된 제2 커패시터;

상기 제2 스캔 신호의 게이트 온 전압에 따라 턴-온되어 상기 제3 노드와 상기 제5 노드 사이를 연결하는 제2-2 스위치 소자; 및

상기 제3 노드의 전압에 따라 상기 제5 노드와 상기 발광 소자 사이의 전류 패스를 스위칭하는 제3-2 스위치 소자를 구비하고,

상기 제2 커패시터는 상기 제1 노드를 통해 상기 제1 스위치 소자에 연결되고,

상기 제2 구동 소자는 상기 제4 노드를 통해 상기 제2 커패시터에 연결된 게이트, 상기 제1 기간 동안 상기 고전위 전원 전압이 공급되고 상기 제2 기간 동안 상기 저전위 전원 전압이 공급되는 제1 전극, 및 상기 제5 노드에 연결된 제2 전극을 포함하는 전계 발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 서브 픽셀들 각각은

상기 발광 신호의 게이트 온 전압에 따라 턴-온되어 소정의 기준 전압을 상기 제1 노드에 공급하는 제4 스위치 소자를 더 구비하는 전계 발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 구동부는

상기 제2 스캔 신호의 게이트 온 전압에 따라 상기 기준 전압이 공급되는 전원 라인과 상기 발광 소자의 애노드 사이에 전류 패스를 형성하는 제5-1 스위치 소자; 및

상기 발광 소자의 게이트 온 전압에 따라 턴-온되어 상기 제3-1 스위치 소자와 상기 발광 소자의 애노드 사이에 전류 패스를 형성하는 제6-1 스위치 소자를 더 구비하고,

상기 제2 구동부는

상기 제2 스캔 신호의 게이트 온 전압에 따라 상기 전원 라인과 상기 발광 소자의 애노드 사이에 전류 패스를

형성하는 제5-2 스위치 소자; 및

상기 발광 소자의 게이트 온 전압에 따라 턴-온되어 상기 제3-2 스위치 소자와 상기 발광 소자의 애노드 사이에 전류 패스를 형성하는 제6-2 스위치 소자를 더 구비하는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 채널(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시장치의 픽셀들은 OLED와, 게이트-소스간 전압에 따라 OLED에 전류를 공급하여 OLED를 구동하는 구동소자를 포함한다. 유기 발광 표시장치의 OLED는 애노드 및 캐소드와, 이 전극들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. OLED에 전류가 흐를 때 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 구동 소자는 MOSFET(metal oxide semiconductor field effect transistor) 구조의 트랜지스터로 구현될 수 있다. 구동 소자는 모든 픽셀들 간에 그 전기적 특성이 균일하여야 하지만 공정 편차와 소자 특성 편차로 인하여 픽셀들 간에 차이가 있을 수 있고 디스플레이 구동 시간의 경과에 따라 변할 수 있다. 이러한 구동 소자의 전기적 특성 편차를 보상하기 위해, 전계 발광 표시장치에 내부 보상 방법과 외부 보상 방법이 적용될 수 있다. 내부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 문턱 전압(V_{th})을 샘플링하고 그 문턱 전압(V_{th}) 만큼 데이터 전압을 보상한다. 외부 보상 방법은 구동 소자의 전기적 특성에 따라 변하는 픽셀의 전압을 센싱하고, 센싱된 전압을 바탕으로 외부 회로에서 입력 영상의 데이터를 변조함으로써 픽셀들 간 구동 소자의 전기적 특성 편차를 보상한다.

[0005] 내부 보상 회로가 적용된 전계 방출 표시장치에서 구동 소자로 이용되는 트랜지스터의 히스테리시스(Hysteresis)로 인하여 트랜지스터의 전류가 상승할 때의 트랜지스터의 문턱 전압(V_{th1})과, 트랜지스터의 전류가 감소할 때 트랜지스터의 문턱 전압(V_{th2})이 다를 수 있다. 이러한 문턱 전압 변동은 구동 소자의 문턱 전압 샘플링 편차를 유발하여 잔상을 초래할 수 있다. 도 1에서, 횡축은 트랜지스터의 게이트 전압(V_g)이고, 종축은 트랜지스터의 드레인-소스간 전류(I_{ds})이다. 도 1에서 I_{ds} 가 높아질 때의 문턱 전압(V_{th1})과, I_{ds} 가 낮아질 때의 문턱 전압(V_{th2})이 다르다. 트랜지스터의 히스테리시스 특성으로 인한 문턱 전압 변동은 n 채널 트랜지스터보다 p 채널 트랜지스터에서 더 크게 나타난다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 잔상을 방지할 수 있는 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 전계 발광 표시장치는 데이터 라인들과 게이트 라인들이 교차되고 다수의 서브 픽셀들이 배치된 표시 패널; 데이터 신호를 상기 데이터 라인들에 공급하는 데이터 구동부; 및 게이트 신호를 게이트 라인들에 공급하는 게이트 구동부를 구비한다.

[0008] 상기 서브 픽셀들 각각은 제1 기간 동안 발광 소자를 구동하는 제1 구동 소자를 포함한 제1 구동부; 제2 기간 동안 상기 발광 소자를 구동하는 제2 구동 소자를 포함한 제2 구동부; 및 상기 제1 및 제2 구동부에 연결된 애

노드와, 저전위 전원 전압이 공급되는 캐소드를 포함한 발광 소자를 구비한다.

[0009] 상기 제1 기간 동안 상기 제2 구동 소자에 상기 저전위 전원 전압 보다 높은 고전위 전원 전압이 공급되고 상기 제1 구동 소자에 상기 저전위 전원 전압이 공급된 다음, 상기 제2 기간 동안 상기 제1 구동 소자에 상기 고전위 전원 전압이 공급되고 상기 제2 구동 소자에 상기 저전위 전원 전압이 공급된다.

발명의 효과

[0010] 본 발명은 픽셀 회로들 각각에 교대로 구동되는 제1 및 제2 구동부들이 배치되고, 이 구동부들 중에서 고전위 전원 전압(VDD)이 공급되는 구동 소자의 문턱 전압만 샘플링되기 때문에 트랜지스터의 히스테리시스 특성으로 인한 문턱 전압 샘플링 오류를 방지할 수 있다. 따라서, 본 발명은 트랜지스터의 히스테리시스 특성으로 인한 잔상을 방지할 수 있다.

[0011] 나아가, 본 발명은 서브 픽셀들 각각에 두 개의 구동부들이 배치되고 구동되지 않는 구동부에서 전류 패스를 차단함으로써 구동부가 추가되어도 추가적인 전류 소모를 방지하여 소비 전력을 줄일 수 있다.

도면의 간단한 설명

[0012] 도 1은 트랜지스터의 히스테리시스 특성으로 인한 문턱 전압 변동을 보여 주는 도면이다.
 도 2는 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
 도 3은 본 발명의 제1 실시예에 따른 픽셀 회로를 나타내는 회로도이다.
 도 4는 제1 내지 제4 표시 라인들의 픽셀들에 공급되는 게이트 신호를 보여 주는 파형도이다.
 도 5a 및 도 5b는 도 3에 도시된 픽셀 회로의 동작을 보여 주는 회로도들이다.
 도 6은 본 발명의 실시예에 따른 픽셀 회로의 구동 신호를 보여 주는 파형도이다.
 도 7a 및 도 7b는 본 발명의 제2 실시예에 따른 픽셀 회로를 나타내는 회로도들이다.
 도 8a 내지 도 8d는 본 발명의 제2 실시예에 따른 픽셀 회로의 동작을 초기화 기간, 샘플링 기간, 홀드 기간 및 발광 기간으로 나누어 단계적으로 보여 주는 회로도들이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0014] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0015] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.

[0016] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0017] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성요소가 개재될 수 있다.

[0018] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.

[0019] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구

동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

- [0020] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 구동 소자와 스위치 소자를 포함한다. 구동 소자와 스위치 소자는 n 채널 트랜지스터(NMOS)와 p 채널 트랜지스터(PMOS) 중 하나 이상의 트랜지스터로 구현될 수 있다. 표시패널 상에서 트랜지스터는 TFT(thin film transistor)로 구현될 수 있다. 트랜지스터는 산화물 반도체 패턴을 갖는 Oxide 트랜지스터 또는, 저온 폴리 실리콘(Low Temperature Poly-Silicon, LTPS) 반도체 패턴을 갖는 LTPS 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 트랜지스터(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터(NMOS)에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터(PMOS)에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0021] 스위치 소자들로 이용되는 트랜지스터의 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙한다. 게이트 온 전압은 트랜지스터가 턴-온(turn-on)되는 전압으로 설정되며, 게이트 오프 전압은 트랜지스터가 턴-오프(turn-off)되는 전압으로 설정된다. n 채널 트랜지스터(NMOS)의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 하이 전압(VGH) 보다 낮은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터(PMOS)의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기 발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.
- [0023] 도 2는 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다. 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.
- [0024] 표시패널(100)의 화면은 입력 영상을 표시하는 픽셀 어레이(AA)를 포함한다. 픽셀 어레이(AA)는 다수의 데이터 라인들(102), 데이터 라인들(102)과 교차되는 다수의 게이트 라인들(104), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0025] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 도 3 내지 도 8d와 같은 픽셀 회로를 포함한다. 픽셀 회로는 발광 소자(OLED)에 연결된 두 개의 구동부를 이용하여 발광 소자(OLED)를 구동한다.
- [0026] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 채널(Add on type)로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0027] 표시패널 구동회로(110, 120)는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 데이터 구동부(110)와 데이터 라인들(102) 사이에 도시되지 않은 디멀티플렉서(Demultiplexer, DEMUX)가 배치될 수 있다.
- [0028] 표시패널 구동회로(110, 120)는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입하여 화면 상에 입력 영상을 표시한다. 표시패널 구동회로(110, 120)는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기나 웨어러블 기기에서 데이터 구동부(110), 타이밍 컨트롤러(130) 등이 하나의 집적 회로에 집적될 수 있다.
- [0029] 데이터 구동부(110)는 디지털-아날로그 변환기(Digital to Analog converter, 이하 DAC라 함)를 이용하여 매프레임 기간마다 타이밍 컨트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환

하여 데이터 신호의 전압(이하, “데이터 전압”이라 함)을 출력한다. 데이터 전압은 데이터 라인(102)을 통해 픽셀들에 인가된다. 디멀티플렉서는 다수의 스위치 소자들을 이용하여 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 디멀티플렉서에 의해 데이터 구동부(110)의 한 채널이 다수의 데이터 라인들에 시분할 연결되기 때문에 데이터 라인들(102)의 개수가 감소될 수 있다.

- [0030] 게이트 구동부(120)는 액티브 영역의 트랜지스터 어레이와 함께 표시패널(100) 상의 베젤(bezel) 영역 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(104)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(104)에 순차적으로 공급할 수 있다. 게이트 신호는 도 4에 도시된 바와 같이 스캔 신호(SCAN1(N), SCAN2(N))와 발광 신호(EM(N))를 포함할 수 있다.
- [0031] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기 중 어느 하나일 수 있다.
- [0032] 타이밍 컨트롤러(130)는 프레임 레이트(Frame rate)를 입력 프레임 주파수 보다 높게 조정할 수 있다. 예를 들어, 타이밍 컨트롤러(130)는 입력 프레임 주파수를 i 배 체배하여 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 120)의 동작 타이밍을 제어할 수 있다. 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러(130)는 저소비 전력 구동 모드에서 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0033] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서의 동작 타이밍을 제어하기 위한 스위치 제어신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생하여 표시패널 구동회로(110, 120)의 동작 타이밍을 제어할 수 있다. 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터(Level shifter)를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0034] 도 3은 본 발명의 제1 실시예에 따른 픽셀 회로를 나타내는 회로도이다. 도 3에 도시된 픽셀 회로는 표시패널(100)에서 제N(은 양의 정수) 표시 라인에 배치된 임의의 서브 픽셀을 나타낸다. 도 4는 제1 내지 제4 표시 라인들의 픽셀들에 공급되는 게이트 신호를 보여 주는 파형도이다. 도 4에서 “1H”는 1 수평 기간이다.
- [0035] 도 3 및 도 4를 참조하면, 픽셀 회로는 발광 소자(OLED)를 교대로 구동하기 위한 제1 및 제2 구동부(1011, 1012), 제1 스위치 소자(T1)를 구비한다. 제1 및 제2 구동부(1011, 1012) 각각은 구동 소자(DT1, DT2)와 스위치 소자(T21, T22, T31, T32)를 포함한다. 구동 소자(DT1, DT2)와 스위치 소자들(T1~T42)은 도 3에서 p 채널 트랜지스터로 예시되었으나 이에 한정되지 않는다.
- [0036] 픽셀 회로에 데이터 전압(Vdata), 고전위 전원 전압(VDD), 저전위 전원 전압(VSS), 기준 전압(Vref), 제1 스캔 신호(SCAN1(N)), 제2 스캔 신호(SCAN2(N)), 발광 신호(EM(N))가 공급된다. 제1 기간 동안 제2 구동 소자(DT2)에 고전위 전원 전압(VDD)이 공급되는 반면, 제1 구동 소자(DT1)에 고전위 전원 전압(VDD) 보다 낮은 저전위 전원 전압(VSS)이 공급된다. 이와 반대로, 제2 기간 동안 제1 구동 소자(DT1)에 고전위 전원 전압(VDD)이 공급되는 반면, 제2 구동 소자(DT2)에 저전위 전원 전압(VSS)이 공급된다. 발광 소자(OLED)의 애노드는 제1 및 제2 구동부(1011, 1012)에 연결되고, 발광 소자(OLED)의 캐소드에 저전위 전원 전압(VSS)이 공급된다.
- [0037] 제1 스캔 신호(SCAN1(N))의 펄스는 데이터 전압(Vdata)에 동기되어 샘플링 기간을 정의한다. 샘플링 기간은 데이터 전압(Vdata)이 픽셀 회로의 커패시터(Cst1, Cst2)에 공급되고 구동 소자(DT1, DT2)의 문턱 전압만큼 보상된 데이터 전압(Vdata)이 커패시터(Cst1, Cst2)에 충전되는 시간이다.
- [0038] 제2 스캔 신호(SCAN2(N))의 펄스는 제1 스캔 신호(SCAN1(N))와 중첩되고 제1 스캔 신호(SCAN1(N))의 펄스 보다 넓은 펄스폭으로 발생된다. 제2 스캔 신호(SCAN2(N))의 펄스는 제1 스캔 신호(SCAN1(N)) 보다 먼저 게이트 온

전압(VGL)으로 변하고 제1 스캔 신호(SCAN1(N))와 동시에 게이트 오프 전압(VGH)으로 반전하여 픽셀 회로의 초기화 기간(P01)과 샘플링 기간(P02)을 정의한다. 초기화 기간은 픽셀 회로의 커패시터(Cst1, Cst2), 구동 소자(DT1, DT2), 및 발광 소자(OLED)가 초기화되는 시간이다. 스캔 신호들(SCAN1(N), SCAN2(N))의 펄스는 게이트 온 전압(VGL)으로 발생된다. 발광 신호(EM(N))의 펄스는 제1 스캔 신호(SCAN1(N))가 게이트 온 전압(VGL)으로 발생될 때 게이트 오프 전압(VGH)으로 반전되고 스캔 신호들(SCAN1(N), SCAN2(N))이 게이트 오프 전압(VGH)으로 반전된 후에 도 4 및 도 6에서 홀드 기간(P03) 만큼 지연된 후에 게이트 온 전압(VGL)으로 반전된다. 발광 신호(EM(N))는 초기화 기간과 샘플링 기간 동안 발광 소자(OLED)로 흐르는 전류를 차단하여 발광 소자(OLED)의 발광을 방지하고, 샘플링 기간 이후의 발광 기간에 발광 소자(OLED)와 구동 소자(DT1, DT2) 사이의 전류 패스를 형성하여 발광 소자(OLED)가 발광되도록 한다.

- [0039] 발광 소자(OLED)는 제1 및 제2 구동부(1011, 1012)로부터 공급되는 전류에 따라 발광한다. 발광 소자(OLED)의 애노드는 제1 및 제2 구동부(1011, 1012)에 연결된다. 발광 소자(OLED)의 캐소드에 저전위 전원 전압(VSS)이 공급된다. 발광 소자(OLED)는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함할 수 있다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다.
- [0040] 제1 스위치 소자(T1)는 제1 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 응답하여 데이터 라인(102)과 제1 노드(n1) 사이의 전류 패스를 형성하여 데이터 전압(Vdata)을 제1 및 제2 구동부(1011, 1012)에 공급한다. 제1 스위치 소자(T1)는 제1 및 제2 구동부들(1011, 1012)에 연결되어 데이터 전압을 제1 및 제2 구동부들(1011, 1012)의 커패시터(Cst1, Cst2)에 동시에 공급한다. 제1 스위치 소자(T1)는 제1 스캔 신호(SCAN1(N))가 인가되는 제1 게이트 라인(1041)에 연결된 게이트, 데이터 라인(102)에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다. 제1 노드(n1)는 제1 스위치 소자(T1)와 제4 스위치 소자(T4)에 연결되고, 제1 및 제2 커패시터들(Cst1, Cst2)에 연결된다.
- [0041] 제1 구동부(1011)는 제1 커패시터(Cst1), 제1 구동 소자(DT1), 제2-1 스위치 소자(T21) 및 제3-1 스위치 소자(T31)를 구비한다.
- [0042] 제1 커패시터(Cst1)는 제1 및 제2 노드들(n1, n2) 사이에 연결되어 제1 구동 소자(DT1)의 문턱 전압(DT1)을 샘플링하여 이 문턱 전압만큼 보상된 데이터 전압을 저장한다. 제2 노드(n2)는 제1 구동 소자(DT1)의 게이트와 제2-1 스위치 소자(T21)의 제1 전극에 연결된다.
- [0043] 제1 구동 소자(DT1)는 제1 커패시터(Cst1)의 전압에 따라 OLED의 전류를 조절하여 OLED를 구동한다. 제1 구동 소자(DT1)는 제1 노드(n1)에 연결된 게이트, 제1 전원 라인(1031)에 연결된 제1 전극, 제4 노드(n4)에 연결된 제2 전극을 포함한다. 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS)이 소정 시간 주기로 교대로 제1 전원 라인(1031)에 공급된다. 제3 노드(n3)는 제1 구동 소자(DT1)의 제2 전극, 제2-1 스위치 소자(T21)의 제2 전극, 및 제3-1 스위치 소자(T31)의 제1 전극에 연결된다.
- [0044] 제2-1 스위치 소자(T21)는 제2 스캔 신호(SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제1 구동 소자(DT1)의 게이트와 제2 전극을 연결한다. 제2-1 스위치 소자(T21)는 제2 스캔 신호(SCAN2(N))가 인가되는 제2 게이트 라인(1042)에 연결된 게이트, 제2 노드(n2)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0045] 제3-1 스위치 소자(T31)는 제5 노드(n5)의 전압이 게이트 오프 전압(VGH) 이상 높을 때 턴-오프(turn-off)되어 제2 구동부(1012)가 구동될 때 제1 구동 소자(DT1)와 발광 소자(OLED) 사이의 전류 패스를 차단한다. 제3-1 스위치 소자(T31)는 제5 노드(n5)에 연결된 게이트, 제3 노드(n3)에 연결된 제1 전극, 및 발광 소자(OLED)의 애노드에 연결된 제2 전극을 포함한다. 제3-1 스위치 소자(T31)는 제2 구동부(1012)가 구동될 때, 제1 구동부(1011)에서 전류 소모를 방지하여 소비 전력을 줄일 수 있다.
- [0046] 제2 구동부(1012)는 제1 구동부(1011)와 교대로 동작한다. 제2 구동부(1012)는 제2 커패시터(Cst2), 제2 구동 소자(DT2), 제2-2 스위치 소자(T22) 및 제3-2 스위치 소자(T32)를 구비한다.
- [0047] 제2 커패시터(Cst2)는 제1 및 제3 노드들(n1, n3) 사이에 연결되어 제2 구동 소자(DT2)의 문턱 전압(DT2)을 샘플링하여 이 문턱 전압만큼 보상된 데이터 전압을 저장한다. 제3 노드(n3)는 제2 구동 소자(DT2)의 게이트와 제2-2 스위치 소자(T22)의 제1 전극에 연결된다.
- [0048] 제2 구동 소자(DT2)는 제2 커패시터(Cst2)의 전압에 따라 OLED의 전류를 조절하여 OLED를 구동한다. 제2 구동 소자(DT2)는 제3 노드(n3)에 연결된 게이트, 제2 전원 라인(1032)에 연결된 제1 전극, 제5 노드(n5)에 연결된

제2 전극을 포함한다. 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS)이 소정 시간 주기로 교대로 제2 전원 라인(1032)에 공급된다. 제5 노드(n5)는 제2 구동 소자(DT2)의 제2 전극, 제2-2 스위치 소자(T22)의 제2 전극, 및 제3-2 스위치 소자(T32)의 제1 전극에 연결된다.

[0049] 제2-2 스위치 소자(T22)는 제2 스캔 신호(SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제2 구동 소자(DT2)의 게이트와 제2 전극을 연결한다. 제2-2 스위치 소자(T22)는 제2 스캔 신호(SCAN2(N))가 인가되는 제2 게이트 라인(1042)에 연결된 게이트, 제4 노드(n4)에 연결된 제1 전극, 및 제5 노드(n5)에 연결된 제2 전극을 포함한다.

[0050] 제3-2 스위치 소자(T32)는 제3 노드(n3)의 전압이 게이트 오프 전압(VGH) 이상 높을 때 턴-오프되어 제1 구동부(1011)가 구동될 때 제2 구동 소자(DT2)와 발광 소자(OLED) 사이의 전류 패스를 차단한다. 제3-2 스위치 소자(T32)는 제3 노드(n3)에 연결된 게이트, 제5 노드(n5)에 연결된 제1 전극, 및 발광 소자(OLED)의 애노드에 연결된 제2 전극을 포함한다.

[0051] 픽셀 회로는 제4 스위치 소자(T4)를 더 포함할 수 있다. 제4 스위치 소자(T4)는 발광 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제1 노드(n1)에 기준 전압(Vref)을 공급한다. 제4 스위치 소자(T4)는 발광 신호(EM(N))가 공급되는 제3 게이트 라인(1043)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 기준 전압(Vref)이 공급되는 제3 전원 라인(1033)에 연결된 제2 전극을 포함한다.

[0052] 제1 및 제2 구동부(1011, 1012)는 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS)이 교대로 공급된다. 예를 들어, 제1 구동부(1011)에 고전위 전원 전압(VDD)이 공급됨과 동시에, 제2 구동부(1012)에 저전위 전원 전압(VSS)이 공급된다. 이어서, 제1 및 제2 구동부들(1011, 1012)에 인가되는 전원(VDD, VSS)이 스위칭되어 제1 구동부(1011)에 저전위 전원 전압(VSS)이 공급됨과 동시에, 제2 구동부(1012)에 고전위 전원 전압(VDD)이 공급된다. 제1 및 제2 구동부들(1011, 1012)에 공급되는 전원 전압(VDD, VSS)은 소정의 시간 주기로 스위칭(switching)될 수 있다. 소정 시간은 1 프레임 기간일 수 있으나 이에 한정되지 않는다. 제1 구동부(1011)가 구동될 때 제1 구동 소자(DT1)의 전류(Ids)가 상승하는 구간에서 샘플링된 제1 구동 소자(DT1)의 문턱 전압만큼 보상된 데이터 전압으로 발광 소자(OLED)가 구동된다. 제1 구동부(1011)가 구동될 때 제2 구동 소자(DT2)는 오프 상태를 유지하기 때문에 제2 구동 소자(DT2)의 문턱 전압이 샘플링되지 않는다. 제2 구동부(1012)가 구동될 때 제2 구동 소자(DT2)의 전류(Ids)가 상승하는 구간에서 샘플링된 제2 구동 소자(DT2)의 문턱 전압만큼 보상된 데이터 전압으로 발광 소자(OLED)가 구동된다. 제2 구동부(1012)가 구동될 때 제1 구동 소자(DT1)는 오프 상태를 유지하기 때문에 제1 구동 소자(DT1)의 문턱 전압이 샘플링되지 않는다. 따라서, 본 발명은 픽셀 회로들 각각에서 고전위 전원 전압(VDD)이 인가되는 구동 소자의 문턱 전압만 샘플링되기 때문에 트랜지스터의 히스테리시스 특성으로 인한 문턱 전압 샘플링 오류를 방지할 수 있다. 그 결과, 본 발명은 트랜지스터의 히스테리시스 특성으로 인한 잔상을 방지할 수 있다.

[0053] 고전위 전원 전압(VDD)은 저전위 전원 전압(VSS) 보다 높은 전압 예를 들어, $VDD = 8V \sim 9V$ 사이의 직류 전압일 수 있다. $VSS = 0V$ 일 수 있다. 데이터 전압(Vdata)은 $0V \sim 5V$ 전압이고, 기준 전압(Vref)은 $1V \sim 2V$ 사이의 특정 직류 전압일 수 있다. 이러한 전압은 표시패널의 구동 특성, 응용 분야에 따라 달라질 수 있으므로 한정되지 않는다.

[0054] 도 5a 및 도 5b는 도 3에 도시된 픽셀 회로의 동작을 보여 주는 회로도들이다. 도 6은 본 발명의 실시예에 따른 픽셀 회로의 구동 신호를 보여 주는 파형도이다.

[0055] 도 5a 내지 도 6 참조하면, 제1 기간 동안 제2 구동부(1012)는 고전위 전원 전압(VDD)을 공급 받아 발광 소자(OLED)에 전류를 공급한다. 제1 구동부(1011)는 제1 기간 동안 저전위 전원 전압(VSS)을 공급 받고 발광 소자(OLED)에 연결된 전류 패스가 차단되어 제1 기간에 구동되지 않는다. 제2 기간 동안, 제1 구동부(1011)는 고전위 전원 전압(VDD)을 공급 받아 발광 소자(OLED)에 전류를 공급한다. 제2 구동부(1012)는 제2 기간 동안 저전위 전원 전압(VSS)을 공급 받고 발광 소자(OLED)에 연결된 전류 패스가 차단되어 제2 기간에 구동되지 않는다.

[0056] 제1 기간은 도 5a 및 도 6에 도시된 바와 같이 제1 프레임 기간(FR1)이고, 제2 기간은 도 5b 및 도 6에 도시된 바와 같이 제2 프레임 기간(FR2)일 수 있으나 이에 한정되지 않는다. 제1 및 제2 기간 각각은 초기화 기간(P01), 샘플링 기간(P02), 홀드 기간(P03) 및 발광 기간(P04)으로 나뉘어진다. 초기화 기간(P01) 동안 픽셀 회로의 커패시터(Cst1, Cst2), 구동 소자(DT1, DT2), 및 발광 소자(OLED)가 초기화된다. 샘플링 기간(P02) 동안 데이터 전압(Vdata)이 픽셀 회로의 커패시터(Cst1, Cst2)에 공급되고 구동 소자(DT1, DT2)의 문턱 전압 만큼 보

상된 데이터 전압(Vdata)이 커패시터(Cst1, Cst2)에 충전된다. 홀드 기간(P03) 동안, 스캔 신호(SCAN1(N), SCAN2(N))와 발광 신호(EM(N))가 이전 상태를 유지하고 픽셀 회로의 각 노드 전압이 이전 상태를 유지(hold)한다. 발광 기간(P04) 동안, 구동 소자(DT1, DT2)와 발광 소자(OLED) 사이에 전류 패스가 형성되어 발광 소자(OLED)가 데이터의 제조에 대응하는 휘도로 발광한다.

[0057] 도 7a 및 도 7b는 본 발명의 제2 실시예에 따른 픽셀 회로를 나타내는 회로도들이다. 도 8a 내지 도 8d는 본 발명의 제2 실시예에 따른 픽셀 회로의 동작을 초기화 기간(P01), 샘플링 기간(P02), 홀드 기간(P03) 및 발광 기간(P04)으로 나누어 단계적으로 보여 주는 회로도들이다. 제2 실시예의 픽셀 회로에서 전술한 제1 실시예와 대비할 때 실질적으로 동일한 구성 요소들에 대하여는 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

[0058] 도 7a 및 도 7b를 참조하면, 제1 및 제2 구동부(1011, 1012) 각각은 제5 및 제6 스위치 소자들(T51-T62)를 더 포함할 수 있다.

[0059] 제5-1 스위치 소자(T51)는 제2 스캔 신호(SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제3 전원 라인(1033)과 발광 소자(OLED)의 애노드를 연결하여, 초기화 기간(P01) 내지 홀드 기간(P03) 동안 발광 소자(OLED)의 애노드 전압을 기준 전압(Vref)으로 고정하여 발광 소자(OLED)의 발광을 억제한다. 제5-1 스위치 소자(T51)는 제2 게이트 라인(1042)에 연결된 게이트, 제3 전원 라인(1033)에 연결된 제1 전극, 및 발광 소자(OLED)의 애노드에 연결된 제2 전극을 포함한다.

[0060] 제5-2 스위치 소자(T52)는 제2 스캔 신호(SCAN2(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제3 전원 라인(1033)과 발광 소자(OLED)의 애노드를 연결하여, 초기화 기간(P01) 내지 홀드 기간(P03) 동안 발광 소자(OLED)의 애노드 전압을 기준 전압(Vref)으로 고정하여 발광 소자(OLED)의 발광을 억제한다. 제5-2 스위치 소자(T52)는 제2 게이트 라인(1042)에 연결된 게이트, 제3 전원 라인(1033)에 연결된 제1 전극, 및 발광 소자(OLED)의 애노드에 연결된 제2 전극을 포함한다.

[0061] 제6-1 스위치 소자(T61)는 발광 기간(P04) 동안 발광 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제3-1 스위치 소자(T31)와 발광 소자(OLED) 사이의 전류 패스를 형성하고, 그 이외의 시간에 이 전류 패스를 차단한다. 제6-1 스위치 소자(T61)는 제3 게이트 라인(1043)에 연결된 게이트, 제3-1 스위치 소자(T31)의 제2 전극에 연결된 제1 전극, 및 발광 소자(OLED)의 애노드에 연결된 제2 전극을 포함한다.

[0062] 제6-2 스위치 소자(T62)는 발광 기간(P04) 동안 발광 신호(EM(N))의 게이트 온 전압(VGL)에 따라 턴-온되어 제3-2 스위치 소자(T32)와 발광 소자(OLED) 사이의 전류 패스를 형성하고, 그 이외의 시간에 이 전류 패스를 차단한다. 제6-2 스위치 소자(T62)는 제3 게이트 라인(1043)에 연결된 게이트, 제3-2 스위치 소자(T32)의 제2 전극에 연결된 제1 전극, 및 발광 소자(OLED)의 애노드에 연결된 제2 전극을 포함한다.

[0063] 제1 및 제2 구동부(1011, 1012)는 고전위 전원 전압(VDD)과 저전위 전원 전압(VSS)이 교대로 공급된다. 예를 들어, 제1 구동부(1011)에 고전위 전원 전압(VDD)이 공급됨과 동시에, 제2 구동부(1012)에 저전위 전원 전압(VSS)이 공급된다. 이어서, 제1 및 제2 구동부들(1011, 1012)에 인가되는 전원(VDD, VSS)이 스위칭되어 제1 구동부(1011)에 저전위 전원 전압(VSS)이 공급됨과 동시에, 제2 구동부(1012)에 고전위 전원 전압(VDD)이 공급된다. 제1 및 제2 구동부들(1011, 1012)에 공급되는 전원 전압(VDD, VSS)은 소정의 시간 주기로 스위칭(switching)될 수 있다. 소정 시간은 1 프레임 기간일 수 있으나 이에 한정되지 않는다.

[0064] 제1 기간은 제1 프레임 기간(FR1)이고, 제2 기간은 제2 프레임 기간(FR2)일 수 있으나 이에 한정되지 않는다. 제1 및 제2 기간 각각은 초기화 기간(P01), 샘플링 기간(P02), 홀드 기간(P03) 및 발광 기간(P04)으로 나뉘어진다. 초기화 기간(P01) 동안 픽셀 회로의 커패시터(Cst1, Cst2), 구동 소자(DT1, DT2), 및 발광 소자(OLED)가 초기화된다. 초기화 기간(P01)에 도 8a와 같이 픽셀 회로의 주요 노드들이 기준 전압(Vref)으로 초기화된다.

[0065] 샘플링 기간(P02) 동안 데이터 전압(Vdata)이 픽셀 회로의 커패시터(Cst1, Cst2)에 공급되고 고전위 전원 전압(VDD)이 인가되는 제2 구동 소자(DT2)가 턴-온되어 이 구동 소자(DT2)의 문턱 전압(Vth) 만큼 보상된 데이터 전압(Vdata)이 제2 커패시터(Cst2)에 충전된다. 제2 구동부(1012)가 구동될 때 샘플링 기간(P02)에 도 8b에 도시된 바와 같이 제3 노드(n3)의 전압이 VDD+Vth까지 상승하여 구동 소자(DT1, DT2)의 문턱 전압(Vth)이 샘플링되고, 제1 노드(n1)에 데이터 전압(Vdata)이 인가된다. 이 때, 제1 구동 소자(DT1)는 제1 전극에 저전위 전원 전압(VSS)이 인가되어 오프 상태를 유지하기 때문에 제1 구동 소자(DT1)의 문턱 전압은 샘플링되지 않는다. 샘플링 기간(P02)에 제1 커패시터(Cst1)의 전압은 초기화 전압을 유지한다. 홀드 기간(P03) 동안, 스캔 신호

(SCAN1(N), SCAN2(N))와 발광 신호(EM(N))가 이전 상태를 유지하고 도 8c에 도시된 바와 같이 픽셀 회로의 각 노드 전압이 이전 상태를 유지(hold)한다.

[0066] 발광 기간(P04) 동안, 구동 소자(DT1, DT2)와 발광 소자(OLED) 사이에 전류 패스가 형성되어 발광 소자(OLED)가 데이터의 계조에 대응하는 휘도로 발광한다. 제2 구동부(1012)가 구동될 때 발광 기간(P04)에 제2 커패시터(Cst2)의 전압은 $V_{ref}-V_{data}+V_{DD}+V_{th}$ 이고, 제1 커패시터(Cst1)의 전압은 초기화 전압으로 유지된다. 제1 구동부(1011)가 구동될 때 발광 기간(P04)에 제1 커패시터(Cst1)의 전압은 $V_{ref}-V_{data}+V_{DD}+V_{th}$ 이고, 제2 커패시터(Cst2)의 전압은 초기화 전압으로 유지된다.

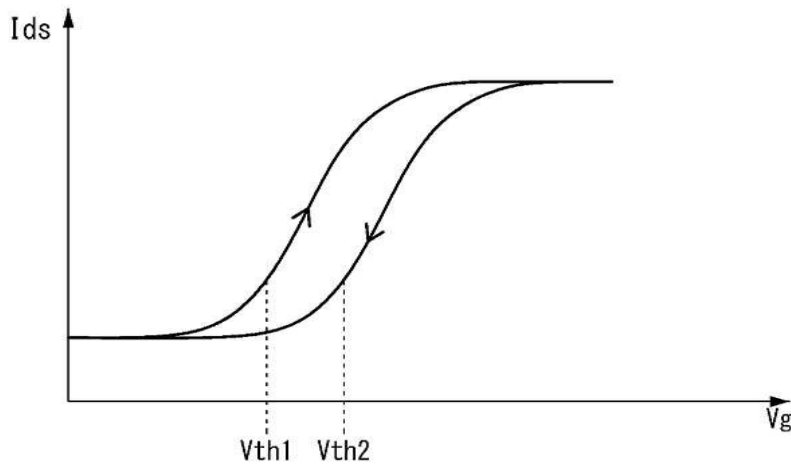
[0067] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

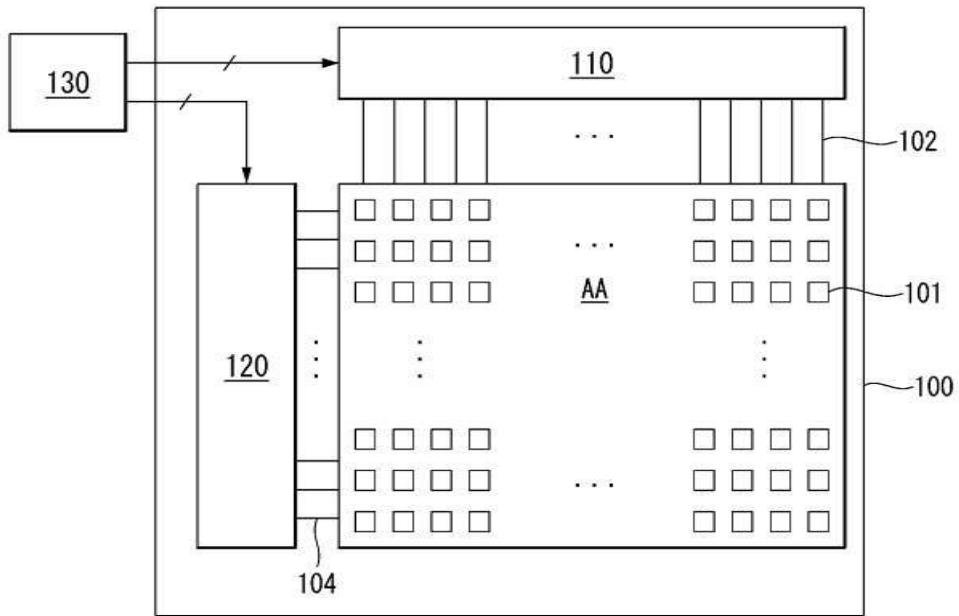
- [0068] 100 : 표시패널 110 : 데이터 구동부
- 120 : 게이트 구동부 130 : 타이밍 콘트롤러
- 101 : 서브 픽셀 1011 : 서브 픽셀의 제1 구동부
- 1012 : 서브 픽셀의 제2 구동부 DT1, DT2 : 구동 소자
- T1~T62 : 스위치 소자 Cst1, Cst2 : 커패시터
- OLED : 발광 소자

도면

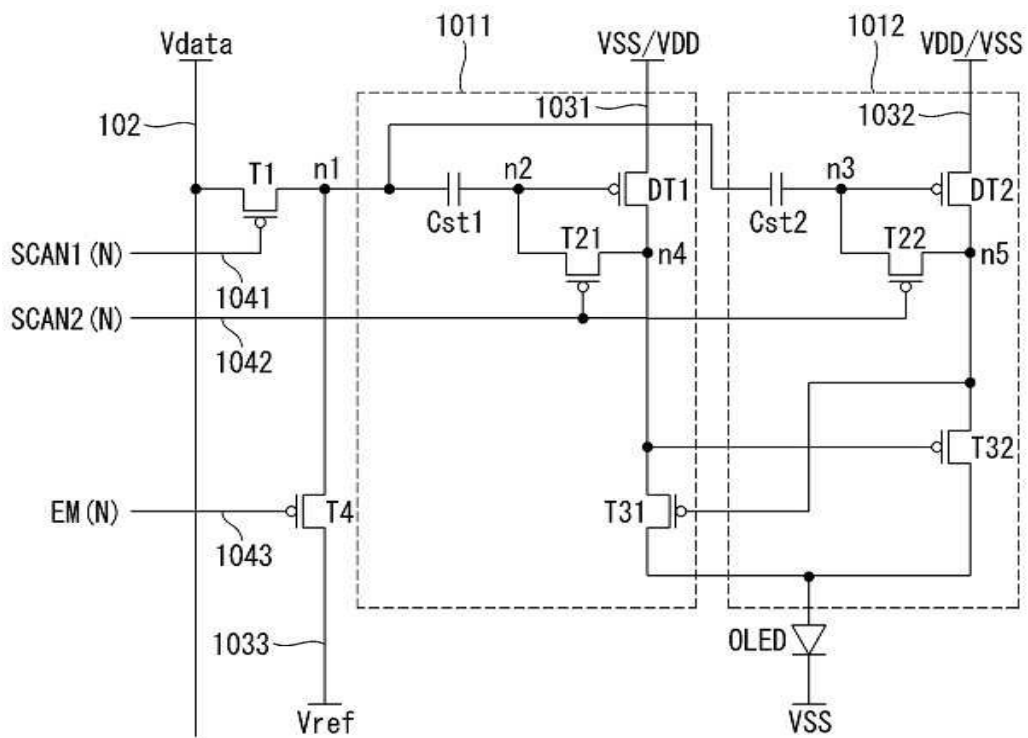
도면1



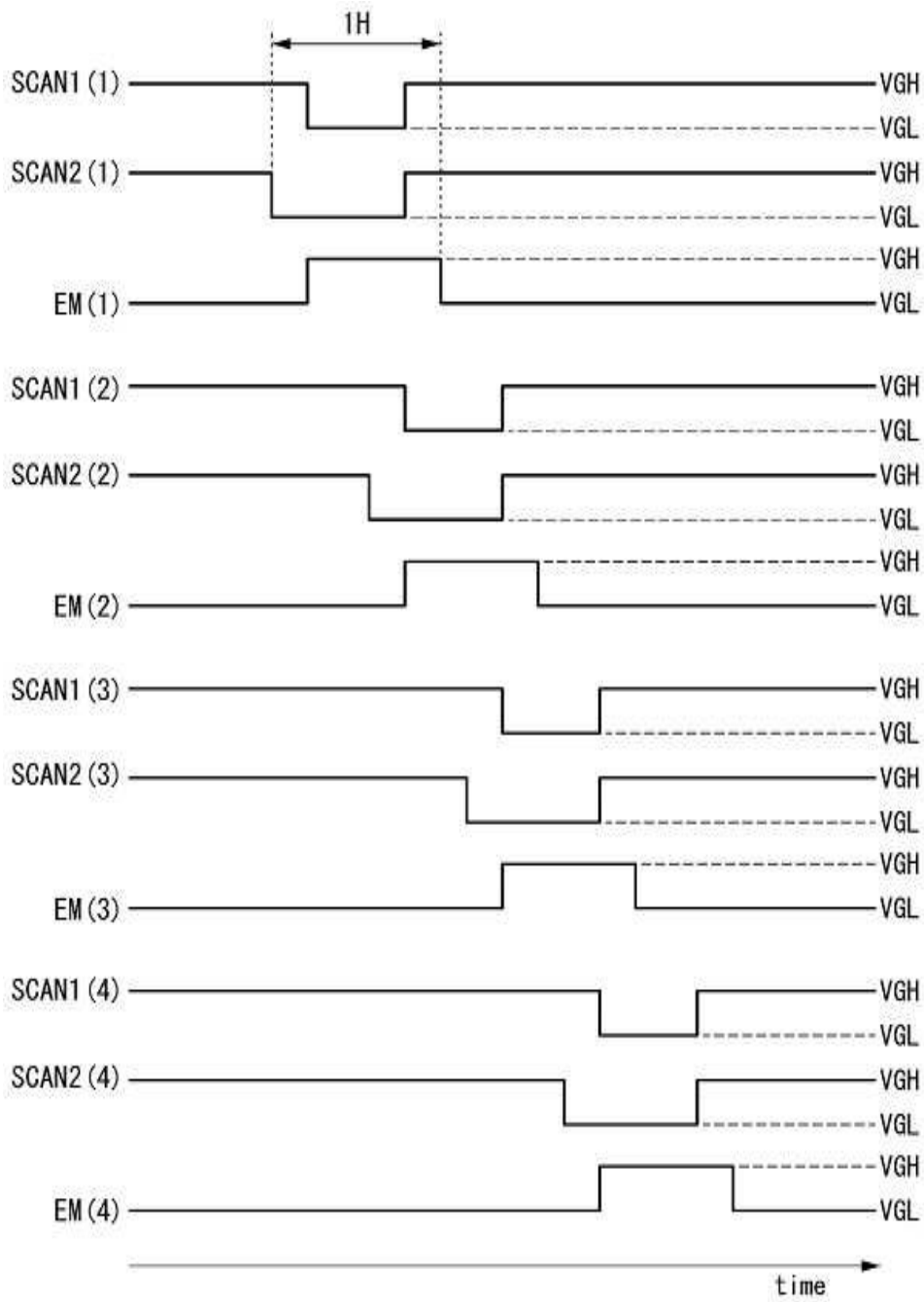
도면2



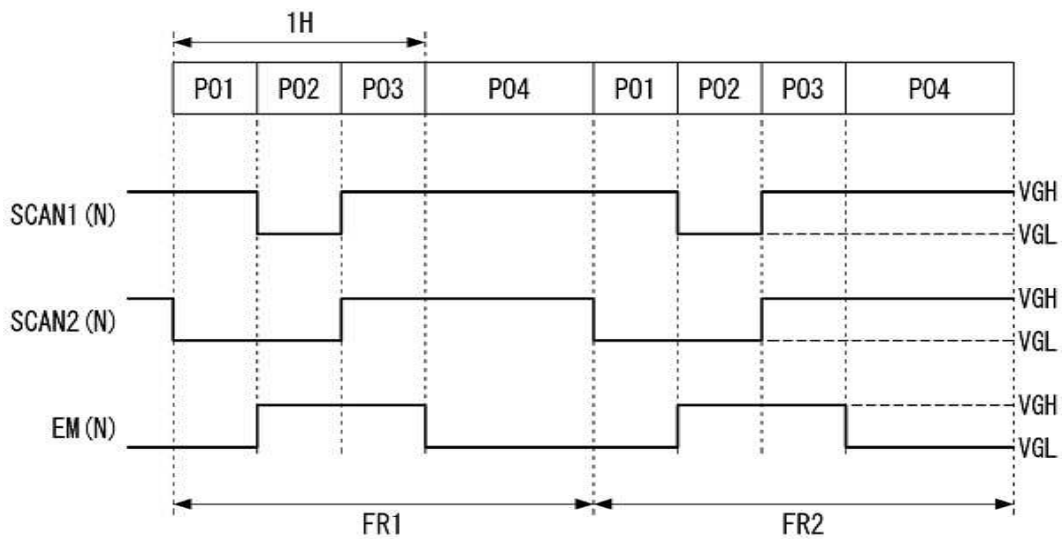
도면3



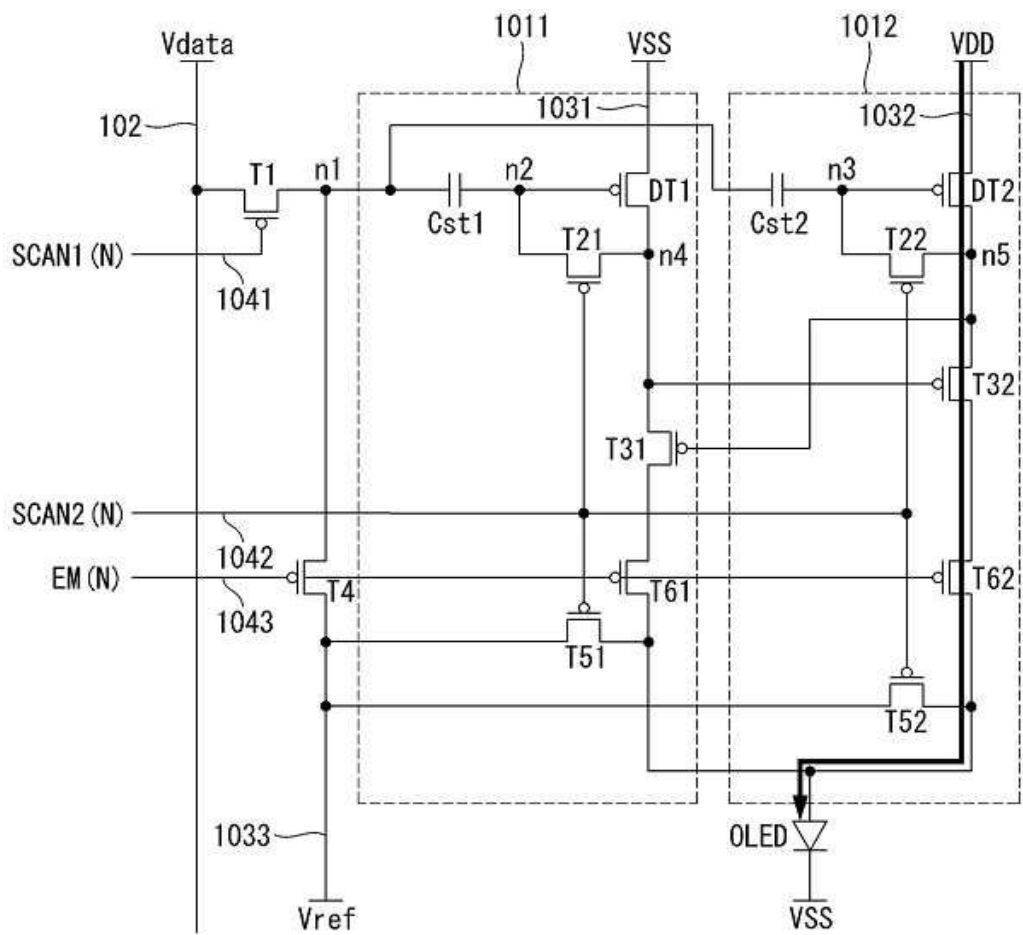
도면4



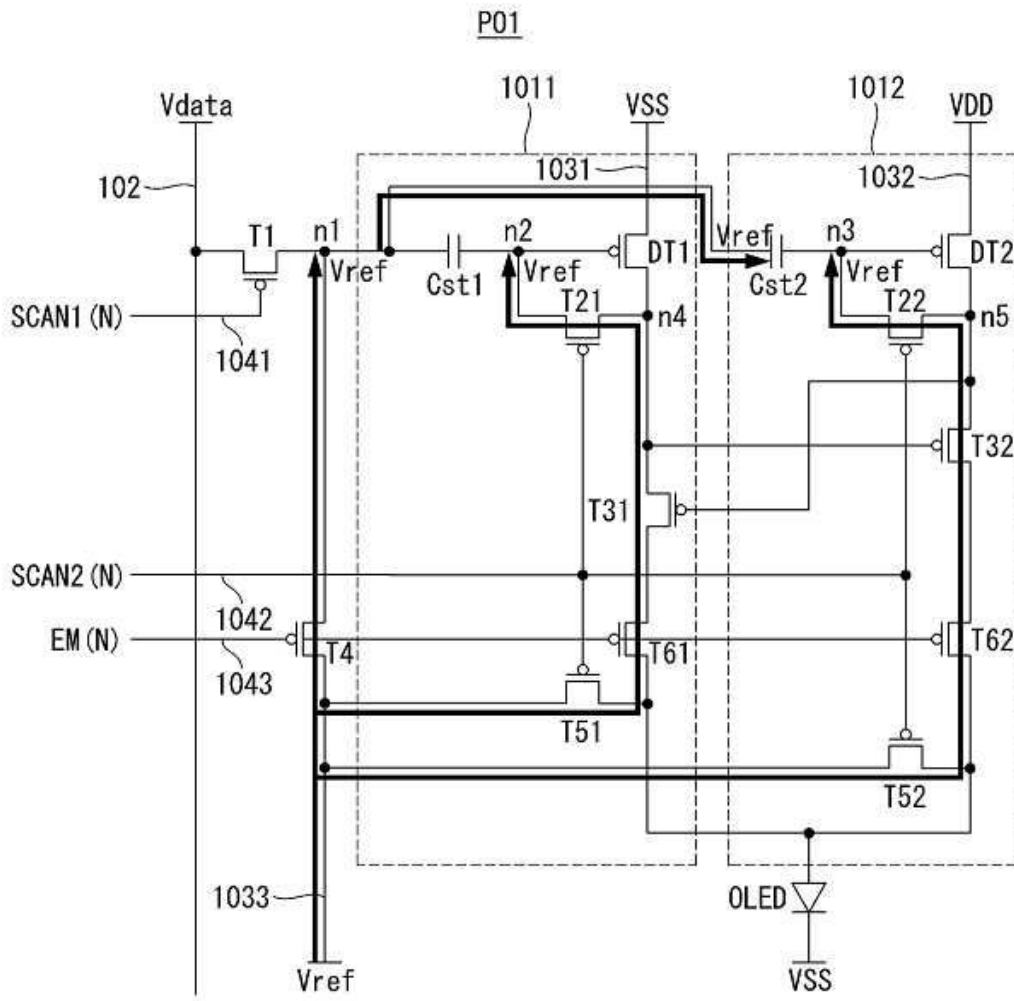
도면6



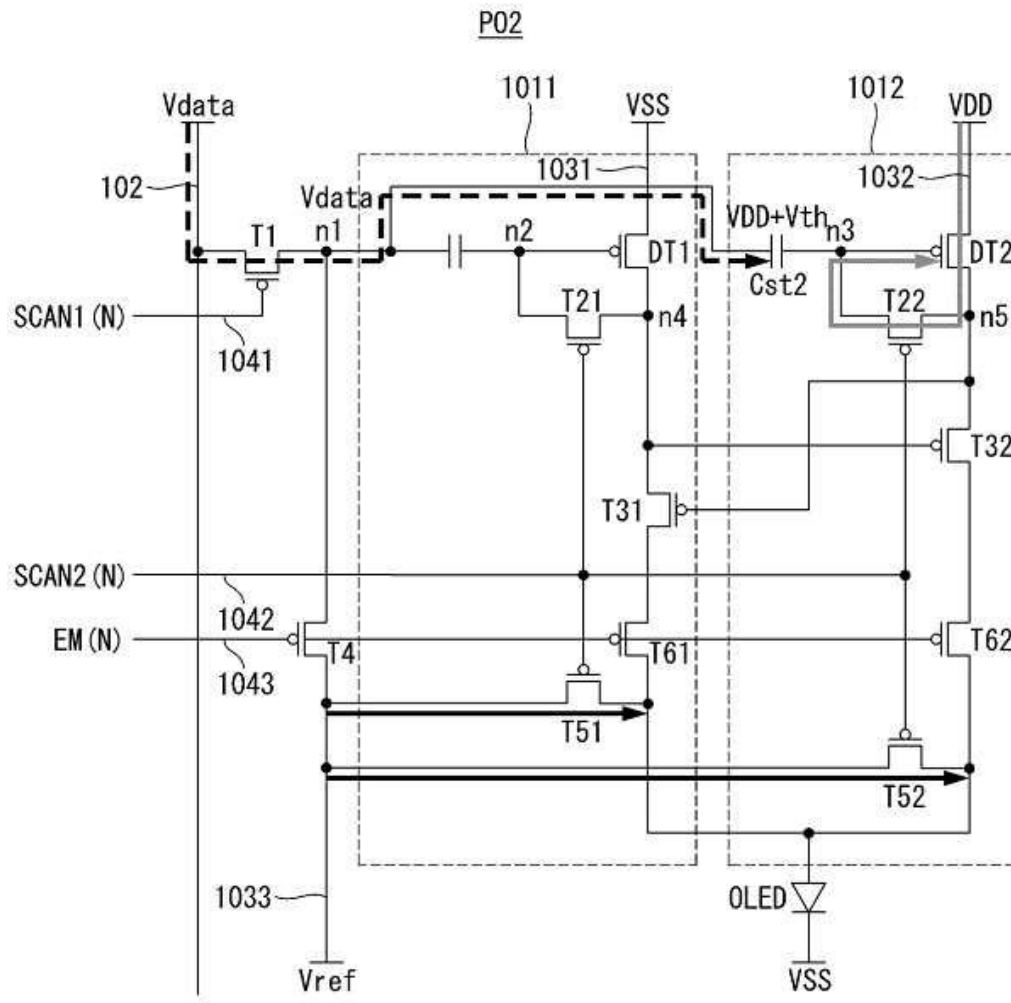
도면7a



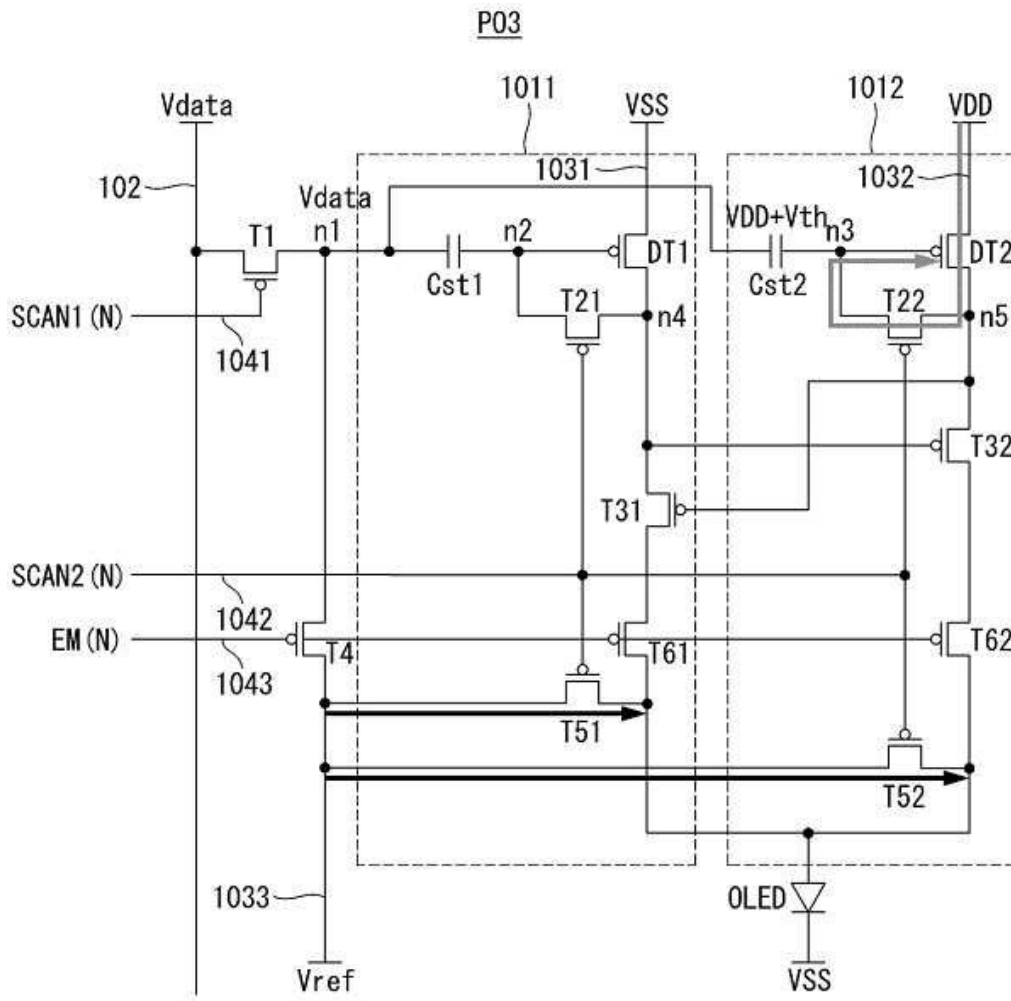
도면8a



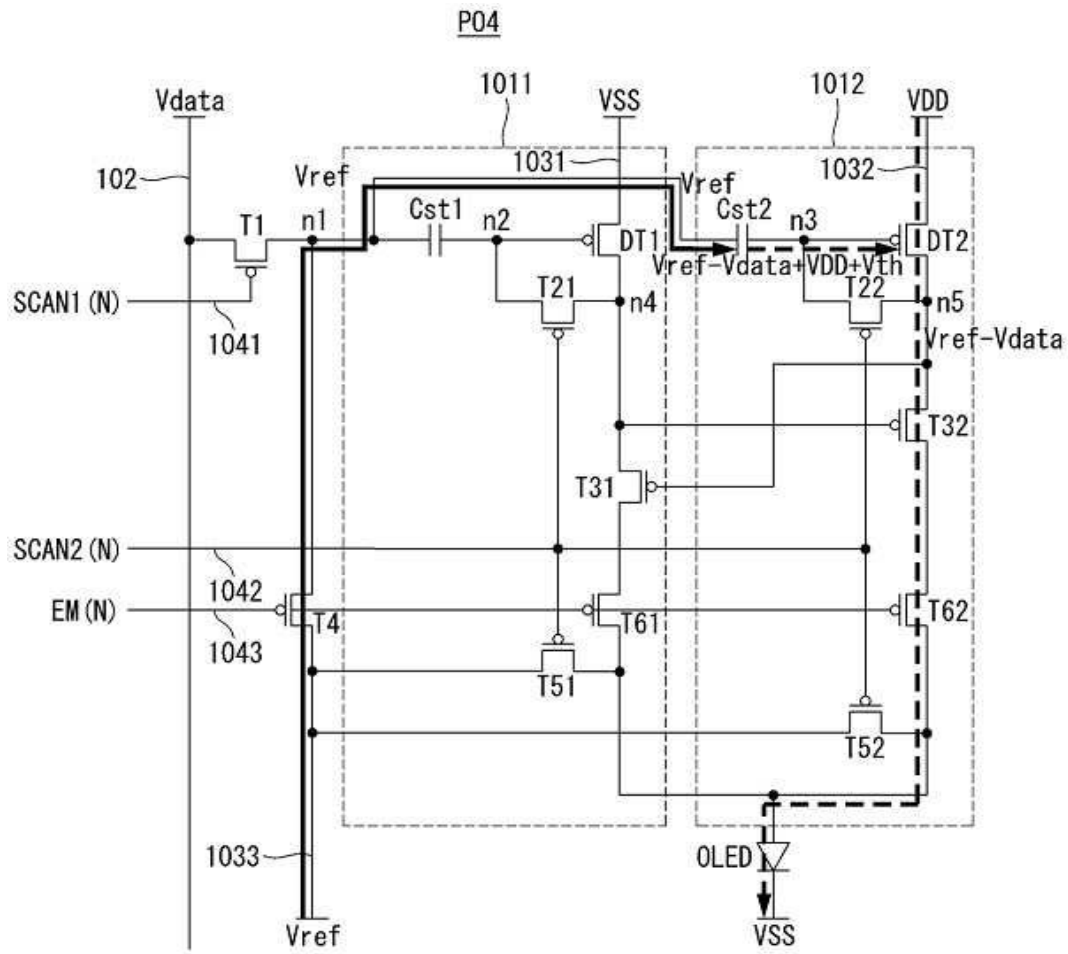
도면8b



도면8c



도면8d



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190048639A	公开(公告)日	2019-05-09
申请号	KR1020170143760	申请日	2017-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정의현 김성훈		
发明人	정의현 김성훈		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2320/0257 G09G2330/021 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2300/0866 G09G2310/0251 G09G2310/08 G09G2300/043 G09G2300/0809 H01L27/3265 H01L27/3276		
外部链接	Espacenet		

摘要(译)

技术领域本发明涉及一种电致发光显示器，其中，显示器的每个子像素包括：第一驱动器，该第一驱动器包括用于在第一时段内驱动发光元件的第一驱动器；以及第一驱动器。第二驱动器，包括第二驱动装置，以在第二时段内驱动发光装置；以及一种发光器件，其包括连接到第一和第二驱动单元的阳极，以及被供应低电位电源电压的阴极。在第一时段期间将高电位电源电压提供给第二驱动元件，并且在第二时段期间将低电位电源电压提供给第一驱动元件，然后将高电位电源电压提供给第一驱动元件。供给低电位电源电压并供给第二驱动元件。

