



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0014217
(43) 공개일자 2019년02월12일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) *H01L 27/32* (2006.01)
H01L 51/00 (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
H01L 51/56 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2017-0096377
(22) 출원일자 2017년07월28일
심사청구일자 없음

(71) 출원인
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
 박상진
 경기도 용인시 기흥구 삼성로 1 (농서동)
 김영대
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (뒷면에 계속)

(74) 대리인
 리엔목특허법인

전체 청구항 수 : 총 20 항

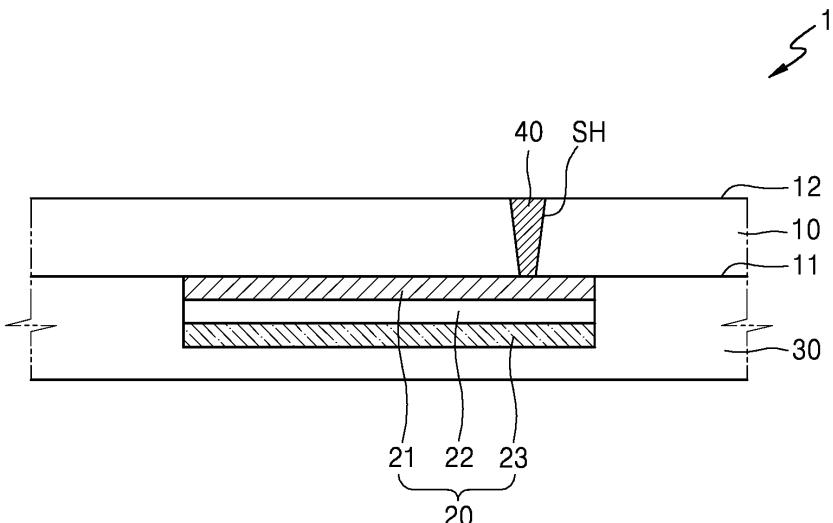
(54) 발명의 명칭 표시장치용 기판, 유기발광표시장치 및 유기발광표시장치의 제조방법

(57) 요 약

본 발명의 실시예들은 표시장치용 기판, 유기발광표시장치 및 이들의 제조방법을 개시한다.

본 발명의 일 실시예에 따른 표시장치용 기판은, 기판; 및 상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터;를 포함하고, 상기 기판이, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀 및 상기 제1 홀 내의 제1 도전성 물질을 포함한다.

대 표 도 - 도1



(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 51/0096 (2013.01)

H01L 51/5237 (2013.01)

(72) 발명자

김하나

경기도 용인시 기흥구 삼성로 1 (농서동)

류용환

경기도 용인시 기흥구 삼성로 1 (농서동)

최태혁

경기도 용인시 기흥구 삼성로 1 (농서동)

허의강

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

기판; 및

상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터;를 포함하고,

상기 기판이, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀 및 상기 제1 홀 내의 제1 도전성 물질을 포함하는, 표시장치용 기판.

청구항 2

제1항에 있어서,

상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제1 패턴층 및 상기 커패시터의 제2 전극과 동일층의 제2 패턴층;을 더 포함하고,

상기 기판이, 상기 제1 패턴층의 양 단 각각의 일부에 대응하는 영역에 상기 기판을 관통하는 제2 홀 및 상기 제2 홀 내의 제2 도전성 물질을 더 포함하는, 표시장치용 기판.

청구항 3

제2항에 있어서,

상기 제1 패턴층은 반도체 물질을 포함하는, 표시장치용 기판.

청구항 4

제2항에 있어서,

상기 제1 패턴층과 상기 제2 패턴층 사이의 절연층;을 더 포함하고,

상기 절연층이 상기 커패시터의 유전체층과 동일 물질 또는 상이한 물질을 포함하는, 표시장치용 기판.

청구항 5

제1항에 있어서,

상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 활성층;

상기 활성층 상부의 게이트 전극; 및

상기 활성층의 양 단에 각각 연결된 소스 전극 및 드레인 전극;을 더 포함하는 표시장치용 기판.

청구항 6

제1항에 있어서,

상기 커패시터를 커버하는 보호층;을 더 포함하는 표시장치용 기판.

청구항 7

기판;

상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터; 및

상기 기판의 제1 면에 대향하는 제2 면에, 제1 활성층, 제1 게이트 전극, 상기 제1 활성층의 양 단에 각각 연결

된 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터;를 포함하고,
상기 기판이, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀 및 상기 제1 홀 내의 제1 도전성 물질을 포함하고,
상기 제1 박막 트랜지스터의 일 전극과 상기 기판 내의 제1 도전성 물질을 전기적으로 연결하는 연결전극;을 더 포함하는 유기발광표시장치.

청구항 8

제7항에 있어서,

상기 연결전극이 상기 제1 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극 중 하나로부터 연장된, 유기발광표시장치.

청구항 9

제7항에 있어서,

상기 커패시터가 상기 제1 박막 트랜지스터와 적어도 일부 중첩하는, 유기발광표시장치.

청구항 10

제7항에 있어서,

상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제2 활성층, 상기 커패시터의 제2 전극과 동일층의 제2 게이트 전극, 및 상기 기판의 제2 면에, 상기 제2 활성층의 양 단에 각각 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터;를 더 포함하고,

상기 기판이, 상기 제2 활성층의 양 단 각각의 일부에 대응하는 영역에 상기 기판을 관통하는 제2 홀 및 상기 제2 홀 내의 제2 도전성 물질을 포함하고,

제2 소스 전극 및 제2 드레인 전극이 상기 제2 도전성 물질과 컨택하는, 유기발광표시장치.

청구항 11

제10항에 있어서,

상기 제2 활성층과 상기 제2 게이트 전극 사이의 절연층;을 더 포함하고,

상기 절연층이 상기 커패시터의 유전체층과 동일 물질 또는 상이한 물질을 포함하는, 유기발광표시장치.

청구항 12

제7항에 있어서,

상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제3 활성층, 상기 커패시터의 제2 전극과 동일층의 제3 게이트 전극, 및 상기 제3 활성층의 양 단에 각각 연결된 제3 소스 전극 및 제3 드레인 전극을 포함하는 제3 박막 트랜지스터;를 더 포함하는 유기발광표시장치.

청구항 13

제7항에 있어서,

상기 제1 박막 트랜지스터의 상부에 배치된 제1 전극, 상기 제1 전극과 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유기발광층을 포함하는 발광소자;를 더 포함하는 유기발광표시장치.

청구항 14

기판을 준비하는 단계;

상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터를 형성하는 단계;

상기 기판을 반전하고, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀을 형성하는 단계; 및

상기 제1 홀 내에 제1 도전성 물질을 충진하는 단계;를 포함하는 유기발광표시장치의 제조방법.

청구항 15

제14항에 있어서,

상기 제1 홀은 레이저 드릴 공법을 이용하여 형성되는, 유기발광표시장치의 제조방법.

청구항 16

제14항에 있어서,

상기 기판의 제1 면에 대향하는 제2 면에, 제1 활성층, 제1 게이트 전극, 상기 제1 활성층의 양 단에 각각 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터를 형성하는 단계; 및

상기 제1 박막 트랜지스터의 일 전극과 상기 기판 내의 제1 도전성 물질을 연결하는 연결전극을 형성하는 단계;를 더 포함하는 유기발광표시장치의 제조방법.

청구항 17

제14항에 있어서,

상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제1 패턴층 및 상기 커패시터의 제2 전극과 동일층의 제2 패턴층을 형성하는 단계;

상기 기판을 반전하고, 상기 제1 패턴층의 양 단 각각의 일부에 대응하는 영역에 상기 기판을 관통하는 제2 홀을 형성하는 단계; 및

상기 제2 홀 내에 제2 도전성 물질을 충진하는 단계;를 더 포함하는 유기발광표시장치의 제조방법.

청구항 18

제17항에 있어서,

상기 제2 홀은 레이저 드릴 공법을 이용하여 형성되는, 유기발광표시장치의 제조방법.

청구항 19

제17항에 있어서,

상기 기판의 제1 면에 대향하는 제2 면에, 상기 제1 패턴층의 양 단에 각각 권택하는 전극층을 형성하는 단계;를 더 포함하는 유기발광표시장치의 제조방법.

청구항 20

제14항에 있어서,

상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 활성층, 상기 커패시터의 제2 전극과 동일층의 제2 게이트 전극, 및 상기 활성층의 양 단에 각각 연결되는 소스 전극 및 드레인 전극을 형성하는 단계;를 더 포함하는 유기발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 표시장치용 기판, 유기발광표시장치 및 이들의 제조방법에 관한 것이다.

배경 기술

[0002] 유기발광표시장치는 자발광소자인 유기발광 다이오드를 포함하는 복수의 화소들을 포함하며, 각 화소에는 유기

발광 다이오드를 구동하기 위한 복수의 박막 트랜지스터 및 하나 이상의 커패시터가 형성되어 있다. 초고해상도 모델에 대한 요구가 증가하면서, 표시장치는 커패시터를 충분히 확보하는데 어려움이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은 영역에 제한받지 않고 커패시터의 면적을 증가시킬 수 있는 기판 및 표시장치를 제공하고자 한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 표시장치용 기판은, 기판; 및 상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터;를 포함하고, 상기 기판이, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀 및 상기 제1 홀 내의 제1 도전성 물질을 포함한다.

[0005] 상기 표시장치용 기판은, 상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제1 패턴층 및 상기 커패시터의 제2 전극과 동일층의 제2 패턴층;을 더 포함하고, 상기 기판이, 상기 제1 패턴층의 양 단 각각의 일부에 대응하는 영역에 상기 기판을 관통하는 제2 홀 및 상기 제2 홀 내의 제2 도전성 물질을 더 포함할 수 있다.

[0006] 상기 제1 패턴층은 반도체 물질을 포함할 수 있다.

[0007] 상기 표시장치용 기판은, 상기 제1 패턴층과 상기 제2 패턴층 사이의 절연층;을 더 포함하고, 상기 절연층이 상기 커패시터의 유전체층과 동일 물질 또는 상이한 물질을 포함할 수 있다.

[0008] 상기 표시장치용 기판은, 상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 활성층; 상기 활성층 상부의 게이트 전극; 및 상기 활성층의 양 단에 각각 연결된 소스 전극 및 드레인 전극;을 더 포함할 수 있다.

[0009] 상기 표시장치용 기판은, 상기 커패시터를 커버하는 보호층;을 더 포함할 수 있다.

[0010] 본 발명의 일 실시예에 따른 유기발광표시장치는, 기판; 상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터; 및 상기 기판의 제1 면에 대향하는 제2 면에, 제1 활성층, 제1 게이트 전극, 상기 제1 활성층의 양 단에 각각 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터;를 포함하고, 상기 기판이, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀 및 상기 제1 홀 내의 제1 도전성 물질을 포함하고, 상기 제1 박막 트랜지스터의 일 전극과 상기 기판 내의 제1 도전성 물질을 전기적으로 연결하는 연결전극;을 더 포함한다.

[0011] 상기 연결전극은 상기 제1 박막 트랜지스터의 제1 소스 전극 및 제1 드레인 전극 중 하나로부터 연장될 수 있다.

[0012] 상기 커패시터는 상기 제1 박막 트랜지스터와 적어도 일부 중첩할 수 있다.

[0013] 상기 유기발광표시장치는, 상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제2 활성층, 상기 커패시터의 제2 전극과 동일층의 제2 게이트 전극, 및 상기 기판의 제2 면에, 상기 제2 활성층의 양 단에 각각 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터;를 더 포함하고, 상기 기판이, 상기 제2 활성층의 양 단 각각의 일부에 대응하는 영역에 상기 기판을 관통하는 제2 홀 및 상기 제2 홀 내의 제2 도전성 물질을 포함하고, 제2 소스 전극 및 제2 드레인 전극이 상기 제2 도전성 물질과 컨택할 수 있다.

[0014] 상기 유기발광표시장치는, 상기 제2 활성층과 상기 제2 게이트 전극 사이의 절연층;을 더 포함하고, 상기 절연층은 상기 커패시터의 유전체층과 동일 물질 또는 상이한 물질을 포함할 수 있다.

[0015] 상기 유기발광표시장치는, 상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제3 활성층, 상기 커패시터의 제2 전극과 동일층의 제3 게이트 전극, 및 상기 제3 활성층의 양 단에 각각 연결된 제3 소스 전극 및 제3 드레인 전극을 포함하는 제3 박막 트랜지스터;를 더 포함할 수 있다.

[0016] 상기 유기발광표시장치는, 상기 제1 박막 트랜지스터의 상부에 배치된 제1 전극, 상기 제1 전극과 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유기발광층을 포함하는 발광소자;를 더 포함할 수 있다.

- [0017] 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법은, 기판을 준비하는 단계; 상기 기판의 제1 면에, 제1 전극, 상기 제1 전극에 대향하는 제2 전극 및 상기 제1 전극과 제2 전극 사이의 유전체층을 포함하는 커패시터를 형성하는 단계; 상기 기판을 반전하고, 상기 커패시터의 제1 전극의 일부에 대응하는 영역에 상기 기판을 관통하는 제1 홀을 형성하는 단계; 및 상기 제1 홀 내에 제1 도전성 물질을 충진하는 단계;를 포함한다.
- [0018] 상기 제1 홀은 레이저 드릴 공법을 이용하여 형성될 수 있다.
- [0019] 상기 제조방법은, 상기 기판의 제1 면에 대향하는 제2 면에, 제1 활성층, 제1 게이트 전극, 상기 제1 활성층의 양 단에 각각 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터를 형성하는 단계; 및 상기 제1 박막 트랜지스터의 일 전극과 상기 기판 내의 제1 도전성 물질을 연결하는 연결전극을 형성하는 단계;를 더 포함할 수 있다.
- [0020] 상기 제조방법은, 상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 제1 패턴층 및 상기 커패시터의 제2 전극과 동일층의 제2 패턴층을 형성하는 단계; 상기 기판을 반전하고, 상기 제1 패턴층의 양 단 각각의 일부에 대응하는 영역에 상기 기판을 관통하는 제2 홀을 형성하는 단계; 및 상기 제2 홀 내에 제2 도전성 물질을 충진하는 단계;를 더 포함할 수 있다.
- [0021] 상기 제2 홀은 레이저 드릴 공법을 이용하여 형성될 수 있다.
- [0022] 상기 제조방법은, 상기 기판의 제1 면에 대향하는 제2 면에, 상기 제1 패턴층의 양 단에 각각 컨택하는 전극층을 형성하는 단계;를 더 포함할 수 있다.
- [0023] 상기 제조방법은, 상기 기판의 제1 면에, 상기 커패시터의 제1 전극과 동일층의 활성층, 상기 커패시터의 제2 전극과 동일층의 제2 게이트 전극, 및 상기 활성층의 양 단에 각각 연결되는 소스 전극 및 드레인 전극을 형성하는 단계;를 더 포함할 수 있다.

발명의 효과

- [0024] 본 발명의 실시예들에 의해 커패시터의 용량을 충분히 확보하여 안정적인 발광을 유지할 수 있어 표시 품질이 향상된 고해상도의 표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.
- 도 2a 내지 도 2e는 도 1의 표시장치용 기판의 제조 공정을 개략적으로 도시한 단면도들이다.
- 도 3은 도 1의 표시장치용 기판을 이용한 유기발광 표시장치를 개략적으로 도시한 단면도이다.
- 도 4a 내지 도 4e는 도 3에 도시된 실시예에 따른 유기발광 표시장치의 제조 공정을 개략적으로 도시한 단면도들이다.
- 도 5는 본 발명의 다른 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.
- 도 6a 내지 도 6e는 도 5의 표시장치용 기판의 제조 공정을 개략적으로 도시한 단면도들이다.
- 도 7은 도 5의 표시장치용 기판을 이용한 유기발광 표시장치를 개략적으로 도시한 단면도이다.
- 도 8은 본 발명의 또 다른 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.
- 도 9a 내지 도 9d는 도 8의 표시장치용 기판의 제조 공정을 개략적으로 도시한 단면도들이다.
- 도 10은 도 8의 표시장치용 기판을 이용한 유기발광 표시장치의 일부를 개략적으로 도시한 단면도이다.
- 도 11 및 도 12는 본 발명의 또 다른 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.
- 도 13은 계산에 의한 커패시터 면적 증가와 커패시터 용량 관계를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 실시예들은 다양한 변환을 가할 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 실시예들의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 내용들을 참조하면 명확해질 것이다. 그러나 본 실시예들은 이하에서 개시되는 실시예들에 한정되는 것이

아니라 다양한 형태로 구현될 수 있다.

[0027] 이하, 첨부된 도면을 참조하여 이하의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일 또는 유사한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0028] 이하의 실시예에서 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

[0029] 이하의 실시예에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0030] 이하의 실시예에서 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0031] 이하의 실시예에서 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

[0032] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 이하의 실시예는 반드시 도시된 바에 한정되지 않는다.

[0033] 도 1은 본 발명의 일 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.

[0034] 도 1을 참조하면, 일 실시예에 따른 표시장치용 기판(1)은 기판(10) 및 기판(10)의 제1 면(11) 상에 형성된 커패시터(20)를 포함할 수 있다.

[0035] 커패시터(20)는 기판(10)의 제1 면(11)에 구비된 제1 전극(21), 제1 전극(21) 상부의 제2 전극(23), 및 제1 전극(21)과 제2 전극(23) 사이의 유전체층(22)을 포함할 수 있다. 커패시터(20) 상부에는 기판(10)의 제1 면(11)을 전체적으로 커버하는 보호층(30)이 구비될 수 있다.

[0036] 기판(10)은 글라스재, 플라스틱재 또는 금속재 등 다양한 재질의 기판을 이용할 수 있다.

[0037] 기판(10)에는 커패시터(20)의 제1 전극(21)의 일부를 노출하는 홀(SH) 및 홀(SH)에 충진된 도전성 물질(40)이 구비될 수 있다. 도전성 물질(40)은 커패시터(20)와 기판(10)의 제2 면(12) 상에 배치된 회로소자를 전기적으로 연결할 수 있다.

[0038] 도 2a 내지 도 2e는 도 1의 표시장치용 기판의 제조 공정을 개략적으로 도시한 단면도들이다.

[0039] 도 2a를 참조하면, 기판(10)을 준비하고, 기판(10)의 제1 면(11)에 제1 도전층(21'), 유전체층(22'), 제2 도전층(23')을 순차로 증착한다. 유전체층(22')은 하나 또는 둘 이상의 복수의 절연층으로 구성될 수 있다.

[0040] 도 2b를 참조하면, 제1 도전층(21'), 유전체층(22'), 제2 도전층(23')을 패터닝한다. 이에 따라 제1 전극(21), 제2 전극(23), 및 제1 전극(21)과 제2 전극(23) 사이의 유전체층(22)을 포함하는 커패시터(20)가 형성된다.

[0041] 도 2c를 참조하면, 커패시터(20)가 형성된 기판(10)의 제1 면(11)의 전면에 보호층(30)을 형성한다.

[0042] 보호층(30)은 무기 절연물 또는 유기 절연물의 증착 또는 필름 라미네이션 공정에 의해 단일층 또는 복수층으로 형성될 수 있다. 보호층(30)은 유전체층(22)과 동일 또는 상이한 물질을 포함할 수 있다.

[0043] 도 2d를 참조하면, 기판(10)을 반전하고, 기판(10)에 홀(SH)을 형성한다.

[0044] 홀(SH)은 반전된 기판(10)의 제2 면(12)의 영역(P)에 레이저를 조사하여 형성될 수 있다. 홀(SH)은 예를 들어 레이저 드릴 공법을 이용하여 형성될 수 있다. 레이저 드릴 공법에는 다양한 펄스 레이저들이 사용될 수 있다. 레이저 드릴 공법은 비접촉식 공정으로, 머신 드릴 공법에 비해 최소의 공차 범위로 기판(10)에 미세홀 패턴을 형성할 수 있다. 또한, 레이저 드릴 공법은 패터닝이 필요 없고 공정이 간단하다. 홀(SH)은 기판(10)을 관통하여 커패시터(20)의 제1 전극(21)의 일부를 노출하는 소정의 직경으로 형성될 수 있다.

[0045] 도 2e를 참조하면, 기판(10)의 홀(SH)을 도전성 물질(40)로 충진할 수 있다.

[0046] 도 3은 도 1의 표시장치용 기판을 이용한 유기발광 표시장치를 개략적으로 도시한 단면도이다.

[0047] 도 3을 참조하면, 일 실시예에 따른 유기발광 표시장치(2)는 기판(10), 기판(10)의 제1 면(11) 상에 구비된 제1 소자층(101), 기판(10)의 제2 면(12) 상에 구비된 제2 소자층(103)을 포함할 수 있다.

- [0048] 기판(10)에는 홀(SH) 및 홀(SH)에 충진된 도전성 물질(40)이 구비될 수 있다. 도전성 물질(40)은 제1 소자층(101)의 소자와 제2 소자층(103)의 소자를 전기적으로 연결할 수 있다.
- [0049] 제1 소자층(101)은 커패시터(20)를 포함할 수 있다.
- [0050] 커패시터(20)는 제1 전극(21), 제2 전극(23), 및 제1 전극(21)과 제2 전극(23) 사이의 유전체층(22)을 포함한다. 커패시터(20) 상부에는 보호층(30)이 배치될 수 있다.
- [0051] 제2 소자층(103)은 박막 트랜지스터(60) 및 발광소자(70)를 포함할 수 있다.
- [0052] 박막 트랜지스터(60)는 활성층(61), 활성층(61)과 절연되도록 배치된 게이트 전극(63), 활성층(61)의 드레인 영역 및 소스 영역과 각각 전기적으로 연결된 드레인 전극(65) 및 소스 전극(67)을 포함한다. 박막 트랜지스터(60)의 소스 전극(67)으로부터 연장된 연결 전극(69)은 도전성 물질(40)과 컨택함으로써 박막 트랜지스터(60)와 커패시터(20)를 전기적으로 연결한다.
- [0053] 기판(10)과 박막 트랜지스터(60) 사이에는 베퍼층(51)이 배치될 수 있다.
- [0054] 활성층(61)과 게이트 전극(63) 사이에는 제1 절연층(52)이 배치되고, 게이트 전극(63)과 드레인 전극(65) 및 소스 전극(67) 사이에는 제2 절연층(53)이 배치될 수 있다.
- [0055] 발광소자(70)는 제1 전극(71), 제1 전극(71)에 대향된 제2 전극(75) 및 제1 전극(71)과 제2 전극(75)의 사이에 배치되며 유기 발광층을 포함하는 중간층(73)을 포함한다. 제1 전극(71)은 박막 트랜지스터(60)를 덮는 제3 절연층(54) 상에 배치된다. 제1 전극(71)은 드레인 전극(65) 또는 소스 전극(67)(도 3의 실시예에서는 드레인 전극(65))과 전기적으로 연결된다. 제1 전극(71)의 가장자리는 화소 정의막(55)으로 덮여있다.
- [0056] 제1 전극(71)은 각 화소마다 서로 독립된 아일랜드 형태로 형성될 수 있다. 제2 전극(75)은 수 내지 수십 nm의 두께를 갖는 박막 형태로 형성될 수 있고, 유기발광 표시장치(2)에 포함된 모든 화소들에 걸쳐 전기적으로 연결되도록 구비될 수 있다.
- [0057] 중간층(73)은 광을 방출하는 유기 발광층을 구비하며, 그 외에 정공 주입층(HIL: hole injection layer), 정공 수송층(HTL: hole transport layer), 전자 수송층(ETL: electron transport layer) 및 전자 주입층(EIL: electron injection layer) 중 적어도 하나가 더 배치될 수 있다. 그러나, 본 실시예는 이에 한정되지 않고, 제1 전극(71)과 제2 전극(75)의 사이에는 다양한 기능층이 더 배치될 수 있다.
- [0058] 유기 발광층은 적색광, 녹색광 또는 청색광을 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 유기 발광층은 백색광을 방출할 수도 있다. 이 경우, 유기 발광층은 적색광을 방출하는 발광 물질, 녹색광을 방출하는 발광 물질 및 청색광을 방출하는 발광 물질이 적층된 구조를 포함하거나, 적색광을 방출하는 발광 물질, 녹색광을 방출하는 발광 물질 및 청색광을 방출하는 발광 물질이 혼합된 구조를 포함할 수 있다.
- [0059] 상기 적색, 녹색, 청색은 하나의 예시이며, 본 발명은 이에 한정되지 않는다. 즉, 백색의 광을 방출할 수 있다면 적색, 녹색 및 청색의 조합 외에 기타 다양한 색의 조합을 이용할 수 있다.
- [0060] 일 실시예에 따른 유기발광 표시장치(2)는 제2 전극(75) 방향으로 화상을 구현하는 전면 발광형(top emission type)일 수 있으며, 박막 트랜지스터(60)와 커패시터(20) 등을 포함하는 화소회로는 발광소자(70)와 수직 방향으로 중첩되게 배치될 수 있다. 다른 실시예에서 유기발광 표시장치(2)는 기판(10)의 제1 면(11) 방향으로 화상을 구현하는 배면 발광형(bottom emission type)일 수 있으며, 박막 트랜지스터(60)와 커패시터(20) 등을 포함하는 화소회로부는 발광소자(70)와 중첩되지 않게 배치될 수 있다.
- [0061] 도 4a 내지 도 4e는 도 3에 도시된 실시예에 따른 유기발광 표시장치의 제조 공정을 개략적으로 도시한 단면도들이다.
- [0062] 도 4a를 참조하면, 도 2a 내지 도 2e에 의한 공정 결과, 커패시터(20)가 제1 면(11) 상에 형성된 기판(10)의 제2 면(12)에 베퍼층(51)을 형성하고, 베퍼층(51) 상에 반도체층을 형성한 후, 반도체층을 패터닝하여 박막 트랜지스터(60)의 활성층(61)을 형성한다.
- [0063] 베퍼층(51)은 기판(10)을 통해 불순 원소가 침투하는 것을 차단하고, 표면을 평탄화하는 기능을 수행하며 실리콘질화물(SiN_x) 및/또는 실리콘산화물(SiO_x)과 같은 무기물로 단층 또는 복수층으로 형성될 수 있다.
- [0064] 반도체층은 다양한 물질을 포함할 수 있다. 예를 들면, 반도체층은 비정질 실리콘 또는 결정질 실리콘과 같은 무기 반도체 물질을 포함할 수 있다. 다른 예로서 반도체층은 산화물 반도체를 함유하거나 유기 반도체 물질을

포함할 수 있다.

[0065] 도 4b를 참조하면, 활성층(61) 상에 제1 절연층(52)을 형성하고, 제1 절연층(52) 상에 제3 도전층을 형성한 후 패터닝한다. 이에 따라 박막 트랜지스터(60)의 게이트 전극(63)이 형성될 수 있다.

[0066] 제1 절연층(52)은 단일층 또는 복수층의 무기 절연막으로 형성될 수 있다.

[0067] 도 4c를 참조하면, 게이트 전극(63) 상에 제2 절연층(53)을 형성하고, 베퍼층(51), 제1 절연층(52) 및 제2 절연층(53)을 패터닝한다. 이에 따라 제1 절연층(52) 및 제2 절연층(53)에 활성층(61)의 드레인 영역 및 소스 영역의 일부를 노출시키는 컨택홀들(CH1, CH2)과, 베퍼층(51), 제1 절연층(52) 및 제2 절연층(53)에 도전성 물질(40)의 일부를 노출시키는 컨택홀(CH3)이 형성될 수 있다.

[0068] 제2 절연층(53)은 제1 절연층(52)과 유사하게 무기 절연막으로 단일층 또는 복수층으로 형성될 수 있다.

[0069] 도 4d를 참조하면, 제2 절연층(53) 상에 컨택홀들(CH1, CH2, CH3)을 메우도록 제4 도전층을 형성한 후 패터닝한다. 이에 따라 박막 트랜지스터(60)의 드레인 전극(65) 및 소스 전극(67)이 형성될 수 있다. 드레인 전극(65) 및 소스 전극(67)은 활성층(61)의 양 단, 즉 드레인 영역 및 소스 영역과 전기적으로 연결될 수 있다. 동시에 박막 트랜지스터(60)(도 4d에서는 박막 트랜지스터(60)의 소스 전극(67))와 커패시터(20)를 연결하는 연결 전극(69)이 형성될 수 있다.

[0070] 도 4e를 참조하면, 박막 트랜지스터(60) 상부에 제3 절연층(54)을 형성하고, 제3 절연층(54)을 패터닝한다. 이에 따라 제3 절연층(54)에 박막 트랜지스터(60)의 드레인 전극(65)의 일부를 노출하는 비아홀(VH)이 형성될 수 있다.

[0071] 제3 절연층(54)은 박막 트랜지스터(60)를 포함하는 화소회로부를 덮는다.

[0072] 제3 절연층(54)은 제2 절연층(54)과 유사하게 단일층 또는 복수층의 무기 절연막으로 형성될 수 있다. 다른 실시예에서, 제3 절연층(54)은 단일층 또는 복수층의 유기 절연막으로 형성될 수 있다.

[0073] 다음으로, 제3 절연층(54) 상에 제5 도전층을 형성하고, 제5 도전층을 패터닝하여 발광소자(70)의 제1 전극(71)을 형성한다. 제1 전극(71)은 비아홀(VH)을 통해 박막 트랜지스터(60)의 드레인 전극(65)과 전기적으로 연결될 수 있다. 제1 전극(71)은 박막 트랜지스터(60) 및 커패시터(20)와 적어도 일부 중첩하게 배치될 수 있다.

[0074] 다음으로, 발광소자(70)의 제1 전극(71) 상에 제4 절연층을 형성하고, 제4 절연층을 패터닝하여 화소 정의막(55)을 형성한다. 화소 정의막(55)은 각 화소의 제1 전극(71)의 가장자리를 덮도록 형성될 수 있다.

[0075] 제4 절연층은 제3 절연층(54)과 유사하게 단일층 또는 복수층의 유기 절연막으로 형성될 수 있다.

[0076] 이후 중간층(73, 도 3) 및 제2 전극(75, 도 3)이 제1 전극(71) 상에 형성되고, 기판(10)은 밀봉 부재에 의해 밀봉될 수 있다. 기판(10)과 밀봉 부재 사이에는 캡핑층 및 충진재가 구비될 수 있다.

[0077] 도 5는 본 발명의 다른 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.

[0078] 도 5를 참조하면, 일 실시예에 따른 표시장치용 기판(1a)은 기판(10)의 제1 면(11)의 제1 영역(A1)에 형성된 커패시터(20a) 및 제2 영역(A2)에 형성된 소자 구조체(80a)를 포함할 수 있다.

[0079] 커패시터(20a)는 제1 전극(21a) 및 제1 전극(21a) 상부의 제2 전극(23a)을 포함할 수 있다. 절연층(25)은 제1 전극(21a)과 제2 전극(23a)의 사이에서 커패시터(20a)의 유전체층으로 기능할 수 있다.

[0080] 소자 구조체(80a)는 제1 패턴층(81) 및 제2 패턴층(83)을 포함할 수 있다. 제1 패턴층(81)은 양 단의 불순물 도핑 영역과 양 도핑 영역 사이의 채널 영역을 포함하는 반도체층일 수 있다. 제2 패턴층(83)은 도전성 물질의 전극층일 수 있다.

[0081] 소자 구조체(80a)는 제1 패턴층(81) 및 제2 패턴층(83)을 각각 활성층 및 게이트 전극으로 하는 박막 트랜지스터로 이용될 수 있다. 이 경우, 절연층(25)은 제1 패턴층(81)과 제2 패턴층(83) 사이에서 게이트 절연층으로 기능할 수 있다.

[0082] 기판(10)은 글라스재, 플라스틱재 또는 금속재 등 다양한 재질의 기판을 이용할 수 있다.

[0083] 기판(10)에는 커패시터(20a)의 제1 전극(21a)의 일부를 노출하는 제1 홀(SH1), 제1 패턴층(81)의 양단 각각의 일부를 노출하는 제2 홀(SH2)이 구비될 수 있다.

- [0084] 제1 홀(SH1) 및 제2 홀(SH2) 내에는 각각 제1 도전성 물질(40a) 및 제2 도전성 물질(40b)이 구비될 수 있다. 제1 도전성 물질(40a)은 커패시터(20a)와 기판(10)의 제2 면(12) 상에 형성되는 회로소자를 전기적으로 연결할 수 있다. 제2 도전성 물질(40b)은 소자 구조체(80a)와 기판(10)의 제2 면(12) 상에 형성되는 소자 구조체 및/또는 회로소자를 전기적으로 연결할 수 있다.
- [0085] 커패시터(20a) 및 소자 구조체(80a) 상부에는 기판(10)의 제1 면(11)을 전체적으로 커버하는 보호층(30)이 구비될 수 있다.
- [0086] 도 6a 내지 도 6e는 도 5의 표시장치용 기판의 제조 공정을 개략적으로 도시한 단면도들이다.
- [0087] 도 6a를 참조하면, 기판(10)을 준비하고, 기판(10)의 제1 면(11)에 반도체층을 형성한 후, 반도체층을 패터닝하여 제1 전극(21a) 및 제1 패턴층(81)을 형성할 수 있다.
- [0088] 도 6a에서는 제1 전극(21a) 및 제1 패턴층(81)을 동일 물질로 형성하고 있으나, 본 발명의 실시예는 이에 한정되지 않는다. 예를 들어, 기판(10)의 제1 면(11)에 반도체층을 형성한 후, 반도체층을 패터닝하여 제1 패턴층(81)을 형성하고, 도전층을 형성한 후, 도전층을 패터닝하여 제1 전극(21a)을 형성할 수 있다. 이때 제1 전극(21a)과 제1 패턴층(81)의 형성 순서는 특별히 한정되지 않는다.
- [0089] 도 6b를 참조하면, 제1 전극(21a) 및 제1 패턴층(81) 상부에 절연층(25)이 형성되고, 절연층(25) 상부에 도전층을 형성한 후, 도전층을 패터닝하여 제2 전극(23a) 및 제2 패턴층(83)을 각각 형성할 수 있다. 이에 따라 제1 영역(A1)에 커패시터(20a)가 형성되고, 제2 영역(A2)에 소자 구조체(80a)가 형성될 수 있다.
- [0090] 절연층(25)은 단일층 또는 복수층의 무기 절연막으로 형성될 수 있다.
- [0091] 도 6c를 참조하면, 제2 전극(23a) 및 제2 패턴층(83) 상부에 보호층(30)을 형성한다.
- [0092] 보호층(30)은 무기 절연물 또는 유기 절연물의 증착 또는 필름 라미네이션 공정에 의해 형성될 수 있다. 보호층(30)은 유전체층(22)과 동일 또는 상이한 물질을 포함할 수 있다.
- [0093] 도 6d를 참조하면, 기판(10)을 반전하고, 기판(10)에 제1 홀(SH1) 및 제2 홀(SH2)을 형성한다.
- [0094] 제1 홀(SH1) 및 제2 홀(SH2)은 반전된 기판(10)의 제2 면(12)의 영역(P)에 레이저를 조사하여 형성될 수 있다. 제1 홀(SH1) 및 제2 홀(SH2)은 예를 들어 레이저 드릴 공법을 이용하여 형성될 수 있다. 제1 홀(SH1)은 기판(10)을 관통하여 커패시터(20)의 제1 전극(21)의 일부를 노출하는 소정의 직경으로 형성될 수 있다. 제2 홀(SH2)은 기판(10)을 관통하여 제1 패턴층(81)의 양 단을 노출하는 소정의 직경으로 형성될 수 있다.
- [0095] 도 6e를 참조하면, 기판(10)의 제1 홀(SH1) 및 제2 홀(SH2)을 각각 제1 도전성 물질(40a) 및 제2 도전성 물질(40b)로 충진할 수 있다. 제1 도전성 물질(40a) 및 제2 도전성 물질(40b)은 동일 또는 상이한 물질일 수 있다.
- [0096] 도 7은 도 5의 표시장치용 기판을 이용한 유기발광 표시장치를 개략적으로 도시한 단면도이다.
- [0097] 도 7을 참조하면, 일 실시예에 따른 유기발광 표시장치(2a)는 기판(10), 기판(10)의 제1 면(11) 상에 구비된 제1 소자층(102), 기판(10)의 제2 면(12) 상에 구비된 제2 소자층(104)을 포함할 수 있다.
- [0098] 기판(10)에는 제1 홀(SH1) 및 제2 홀(SH2)에 충진된 제1 도전성 물질(40a) 및 제2 도전성 물질(40b)이 구비될 수 있다. 제1 도전성 물질(40a) 및 제2 도전성 물질(40b)은 제1 소자층(102)의 소자와 제2 소자층(104)의 소자를 전기적으로 연결할 수 있다.
- [0099] 제1 소자층(102)은 커패시터(20a) 및 소자 구조체(80a)를 포함할 수 있다. 커패시터(20a) 및 소자 구조체(80a) 상부에는 기판(10)의 제1 면(11)을 전체적으로 커버하는 보호층(30)이 구비될 수 있다.
- [0100] 커패시터(20a)는 제1 전극(21a), 제2 전극(23a), 및 제1 전극(21a)과 제2 전극(23a) 사이의 절연층(25)을 포함한다.
- [0101] 소자 구조체(80a)는 제1 패턴층(81) 및 제2 패턴층(83)을 포함한다.
- [0102] 커패시터(20a)의 제1 전극(21a)과 소자 구조체(80a)의 제1 패턴층(81)은 동일 물질 또는 상이한 물질을 포함할 수 있다.
- [0103] 제2 소자층(104)은 제1 박막 트랜지스터(60) 및 발광소자(70)를 포함할 수 있다.
- [0104] 제1 박막 트랜지스터(60)는 활성층(61), 게이트 전극(63), 드레인 전극(65) 및 소스 전극(67)을 포함한다. 드레

인 전극(65) 및 소스 전극(67)은 각각 활성층(61)의 드레인 영역 및 소스 영역과 전기적으로 연결된다. 제1 박막 트랜지스터(60)의 일 전극(도 7에서는 소스 전극(67))으로부터 연장된 연결 전극(69)은 제1 도전성 물질(40a)과 컨택함으로써 제1 박막 트랜지스터(60)와 커페시터(20)를 전기적으로 연결한다.

[0105] 기판(10)과 제1 박막 트랜지스터(60) 사이에는 베퍼층(51)이 배치될 수 있다. 활성층(61)과 게이트 전극(63) 사이에는 제1 절연층(52)이 배치되고, 게이트 전극(63)과 드레인 전극(65) 및 소스 전극(67) 사이에는 제2 절연층(53)이 배치될 수 있다.

[0106] 제1 절연층(52)과 제2 절연층(53)에 형성된 활성층(61)의 양단의 일부를 노출하는 컨택홀들(CH1, CH2)을 통해 드레인 전극(65) 및 소스 전극(67)은 각각 활성층(61)과 전기적으로 연결될 수 있다. 연결 전극(69)은 베퍼층(51), 제1 절연층(52) 및 제2 절연층(53)에 형성된 제1 도전성 물질(40a)의 일부를 노출시키는 컨택홀(CH3)을 통해 제1 도전성 물질(40a)에 컨택한다. 이에 따라 연결 전극(69)은 제1 박막 트랜지스터(60)와 커페시터(20a)를 전기적으로 연결할 수 있다.

[0107] 발광소자(70)는 제1 전극(71), 제1 전극(71)에 대향된 제2 전극(75) 및 제1 전극(71)과 제2 전극(75)의 사이에 배치되며 유기 발광층을 포함하는 중간층(73)을 포함한다. 제1 전극(71)은 제3 절연층(54) 상에 배치되고, 드레인 전극(65) 또는 소스 전극(67)(도 7의 실시예에서는 드레인 전극(65))과 전기적으로 연결된다. 제1 전극(71)의 가장자리는 화소 정의막(55)으로 덮여있다.

[0108] 제1 소자층(102)과 제2 소자층(104)에 걸쳐 제2 박막 트랜지스터(80)가 구비될 수 있다.

[0109] 제2 박막 트랜지스터(80)는 기판(10)의 제1 면(11) 상에 구비된 제1 패턴층(81) 및 제2 패턴층(83)을 각각 활성층 및 게이트 전극으로 포함하고, 기판(10)의 제2 면(12) 상에 구비된 드레인 전극(85) 및 소스 전극(87)을 포함한다.

[0110] 드레인 전극(85) 및 소스 전극(87)은 베퍼층(51), 제1 절연층(52) 및 제2 절연층(53)에 형성된 제2 도전성 물질(40b)의 일부를 노출시키는 컨택홀들(CH4, CH5)을 통해 제2 도전성 물질(40b)에 각각 컨택한다. 이에 따라 드레인 전극(85) 및 소스 전극(87)은 제1 패턴층(81)의 양단과 전기적으로 연결될 수 있다.

[0111] 도 8은 본 발명의 또 다른 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.

[0112] 도 8을 참조하면, 일 실시예에 따른 표시장치용 기판(1b)은 기판(10)의 제1 면(11)의 제1 영역(A1)에 형성된 커페시터(20b) 및 제2 영역(A2)에 형성된 제3 박막 트랜지스터(80b)를 포함할 수 있다.

[0113] 커페시터(20b)는 제1 전극(21b), 제1 전극(21b) 상부의 제2 전극(23b)을 포함할 수 있다. 절연층(25)은 제1 전극(21b)과 제2 전극(23b)의 사이에서 커페시터(20b)의 유전체층으로 기능할 수 있다.

[0114] 제3 박막 트랜지스터(80b)는 활성층(81b), 게이트 전극(83b), 드레인 전극(85b) 및 소스 전극(87b)을 포함할 수 있다. 드레인 전극(85b) 및 소스 전극(87b)은 제6 컨택홀(CH6) 및 제7 컨택홀(CH7)을 통해 활성층(81b)의 드레인 영역 및 소스 영역과 컨택한다.

[0115] 절연층(25)은 활성층(81b)과 게이트 전극(83b) 사이에서 게이트 절연층으로 기능한다. 절연층(27)은 게이트 전극(83b)과 드레인 전극(85b) 및 소스 전극(87b) 사이에서 중간 절연층으로 기능한다.

[0116] 커페시터(20b) 및 제3 박막 트랜지스터(80b) 상부에는 기판(10)의 제1 면(11)을 전체적으로 커버하는 보호층(30b)이 구비될 수 있다.

[0117] 기판(10)은 글라스재, 플라스틱재 또는 금속재 등 다양한 재질의 기판을 이용할 수 있다.

[0118] 기판(10)에는 커페시터(20b)의 제1 전극(21b)의 일부를 노출하는 홀(SH)이 구비될 수 있다.

[0119] 홀(SH)에는 도전성 물질(40)이 구비될 수 있다. 도전성 물질(40)은 커페시터(20b)와 기판(10)의 제2 면(12) 상에 형성되는 회로소자를 전기적으로 연결할 수 있다.

[0120] 도 9a 내지 도 9d는 도 8의 표시장치용 기판의 제조 공정을 개략적으로 도시한 단면도들이다.

[0121] 도 9a를 참조하면, 도 6a 및 도 6b에 도시된 바와 같이, 기판(10)을 준비하고, 기판(10)의 제1 면(11)에 반도체층을 형성한 후, 반도체층을 패터닝하여 제1 영역(A1)과 제2 영역(A2)에 각각 제1 전극(21b) 및 활성층(81b)을 형성할 수 있다. 다른 실시예에서, 기판(10)의 제1 면(11)에 반도체층을 형성한 후, 반도체층을 패터닝하여 활성층(81b)을 형성하고, 도전층을 형성한 후, 도전층을 패터닝하여 제1 전극(21b)을 형성할 수 있다. 이때 제1

전극(21b)과 활성층(81b)의 형성 순서는 특별히 한정되지 않는다.

[0122] 다음으로, 제1 전극(21b) 및 활성층(81b) 상부에 절연층(25)이 형성되고, 절연층(25) 상부에 도전층을 형성한 후, 도전층을 패터닝하여 제2 전극(23b) 및 게이트 전극(83b)을 각각 형성할 수 있다.

[0123] 이어서, 제2 전극(23b) 및 게이트 전극(83b) 상부에 절연층(27)이 형성되고, 제2 영역(A2)의 절연층(27)에 활성 층(81b)의 드레인 영역 및 소스 영역의 일부를 노출하는 제6 컨택홀(CH6) 및 제7 컨택홀(CH7)을 형성한다.

[0124] 도 9b를 참조하면, 절연층(27) 상부에 도전층을 형성한 후, 도전층을 패터닝하여 제2 영역(A2)에 드레인 전극(85b) 및 소스 전극(87b)을 형성한다. 드레인 전극(85b) 및 소스 전극(87b)은 제6 컨택홀(CH6) 및 제7 컨택홀(CH7)을 통해 활성층(81b)의 드레인 영역 및 소스 영역과 컨택한다. 이에 따라 제1 영역(A1)에 커페시터(20b)가 형성되고, 제2 영역(A2)에 제3 박막 트랜지스터(80b)가 형성될 수 있다.

[0125] 절연층(25, 27)은 단일층 또는 복수층의 무기 절연막으로 형성될 수 있다.

[0126] 드레인 전극(85b) 및 소스 전극(87b) 상부에 보호층(30b)을 형성한다.

[0127] 도 9c를 참조하면, 기판(10)을 반전하고, 기판(10)에 홀(SH)을 형성한다.

[0128] 홀(SH)은 예를 들어 레이저 드릴 공법을 이용하여 형성될 수 있다. 레이저 드릴링법에는 다양한 펄스 레이저들이 사용될 수 있다. 홀(SH)은 기판(10)을 관통하여 커페시터(20b)의 제1 전극(21b)의 일부를 노출하는 소정의 직경으로 형성될 수 있다.

[0129] 도 9d를 참조하면, 기판(10)의 홀(SH)을 도전성 물질(40)로 충진할 수 있다.

[0130] 도 10은 도 8의 표시장치용 기판을 이용한 유기발광 표시장치의 일부를 개략적으로 도시한 단면도이다.

[0131] 도 10을 참조하면, 일 실시예에 따른 유기발광 표시장치(2b)는 기판(10), 기판(10)의 제1 면(11) 상에 구비된 제1 소자층(105), 기판(10)의 제2 면(12) 상에 구비된 제2 소자층(107)을 포함할 수 있다.

[0132] 기판(10)에는 홀(SH)에 충진된 도전성 물질(40)이 구비될 수 있다. 도전성 물질(40)은 제1 소자층(105)의 소자와 제2 소자층(107)의 소자를 전기적으로 연결할 수 있다.

[0133] 제1 소자층(102)은 커페시터(20b) 및 제3 박막 트랜지스터(80b)를 포함할 수 있다.

[0134] 커페시터(20b)는 제1 전극(21b) 및 제2 전극(23b)을 포함한다. 절연층(25)은 제1 전극(21b)과 제2 전극(23b) 사이에서 유전체층으로 기능할 수 있다.

[0135] 제3 박막 트랜지스터(80b)는 활성층(81b), 게이트 전극(83b), 드레인 전극(85b) 및 소스 전극(87b)을 포함한다. 드레인 전극(85b) 및 소스 전극(87b)은 각각 제6 컨택홀(CH6) 및 제7 컨택홀(CH7)을 통해 활성층(81b)의 드레인 영역 및 소스 영역과 전기적으로 연결된다.

[0136] 제2 소자층(107)은 제1 박막 트랜지스터(60), 제4 박막 트랜지스터(90) 및 발광소자(70)를 포함할 수 있다.

[0137] 제1 박막 트랜지스터(60)는 활성층(61), 게이트 전극(63), 드레인 전극(65) 및 소스 전극(67)을 포함한다. 제1 절연층(52)과 제2 절연층(53)에 형성된 활성층(61)의 양단의 일부를 노출하는 컨택홀들(CH1, CH2)을 통해 드레인 전극(65) 및 소스 전극(67)은 각각 활성층(61)과 전기적으로 연결될 수 있다. 연결 전극(69)은 버퍼층(51), 제1 절연층(52) 및 제2 절연층(53)에 형성된 도전성 물질(40)의 일부를 노출시키는 컨택홀(CH3)을 통해 도전성 물질(40)에 컨택한다. 이에 따라 연결 전극(69)은 제1 박막 트랜지스터(60)와 커페시터(20b)를 전기적으로 연결 할 수 있다.

[0138] 제4 박막 트랜지스터(90)는 활성층(91), 게이트 전극(93), 드레인 전극(95) 및 소스 전극(97)을 포함한다. 제1 절연층(52)과 제2 절연층(53)에 형성된 활성층(91)의 양단의 일부를 노출하는 컨택홀들(CH8, CH9)을 통해 드레인 전극(95) 및 소스 전극(97)은 각각 활성층(91)과 전기적으로 연결될 수 있다.

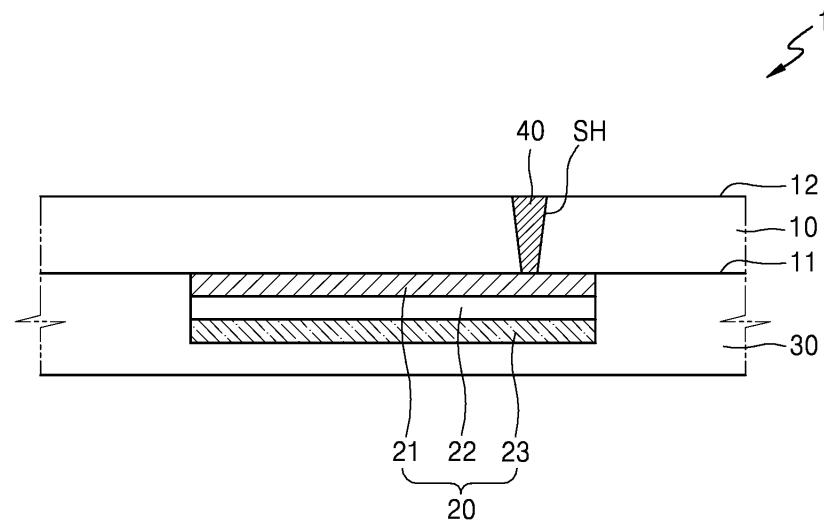
[0139] 발광소자(70)는 제1 전극(71), 제1 전극(71)에 대향된 제2 전극(75) 및 제1 전극(71)과 제2 전극(75)의 사이에 배치되며 유기 발광층을 포함하는 중간층(73)을 포함한다.

[0140] 도 9 및 도 10의 실시예는 기판(10)의 제1 면(11)과 제2 면(12)에 각각 박막 트랜지스터를 구비함으로써 양면 발광 표시장치를 구현하거나 또는 제1 면(11) 상에는 센서를 배치하고 제2 면(12) 상에는 표시장치를 구현하는 등의 변형이 가능하다.

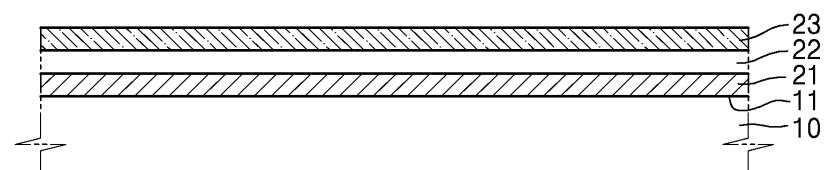
- [0141] 도 11 및 도 12는 본 발명의 또 다른 실시예에 따른 표시장치용 기판을 개략적으로 도시한 단면도이다.
- [0142] 도 11에 도시된 실시예는, 기판(10)의 제1 면(11)에 도 5에 도시된 커패시터(20a)와 소자 구조체(80a), 및 도 8에 도시된 제3 박막 트랜지스터(80b)가 구비된 변형예이다. 도 11에 도시된 표시장치용 기판(1d)을 이용하여 유기발광표시장치를 제조할 수 있다.
- [0143] 도 12에 도시된 실시예는, 기판(10)의 제1 면(11) 상에 커패시터(20d)가 형성된 후 소자 구조체(80d)가 형성된 점에서, 전술된 실시예들과 같이 커패시터의 제1 전극과 소자 구조체의 제1 패턴층 또는 박막 트랜지스터의 활성층이 동시에 형성된 예와 차이가 있다.
- [0144] 도 12를 참조하면, 도 2a 및 도 2b에 도시된 바와 같이 기판(10)의 제1 면(11)에 제1 도전층, 유전체층, 제2 도전층을 순차로 증착한 후 패터닝하여 제1 영역(A1)에 제1 전극(21d), 유전체층(22d), 제2 전극(23d)을 포함하는 커패시터(20d)를 형성한다.
- [0145] 다음으로, 제2 영역(A2)에 반도체층을 형성한 후 패터닝하여 제1 패턴층(81d)을 형성한다. 그리고, 기판(10)의 제1 면(11) 전체에 절연층(25)을 형성한다. 이어서, 절연층(25) 상에 도전층을 형성한 후 패터닝하여 제2 패턴층(83d)을 형성한다.
- [0146] 이후 제2 패턴층(83d) 상부에 절연층을 형성하여 소자 구조체(80d)를 형성하거나, 드레인 전극 및 소스 전극을 추가하여 박막 트랜지스터를 형성할 수 있다.
- [0147] 도 13은 계산에 의한 커패시터 면적 증가와 커패시터 용량 관계를 보여주는 그래프이다. 도 13을 참조하면, 커패시터 면적이 증가함에 따라 커패시터 용량이 증가하고 있다. 커패시터 용량이 클수록 표시장치는 안정적인 발광을 유지할 수 있다.
- [0148] 유기발광표시장치에서 스토리지 커패시터는 데이터 전압을 저장하고 한 프레임 동안 화소의 발광을 유지하는 역할을 한다. 스토리지 커패시터의 커패시턴스가 클수록 안정적인 발광을 유지할 수 있다. 고해상도로 갈수록 유기발광표시장치의 화소 사이즈가 감소하여 스토리지 커패시터의 사이즈가 제한된다.
- [0149] 본 발명의 실시예들은 회로소자가 형성되는 기판 면의 반대면에 스토리지 커패시터를 형성하고, 기판 내에 데이터 드릴 공법에 의한 도전로를 형성함으로써 활성 영역에 제한받지 않으면서 커패시터의 면적을 증가시킬 수 있다. 따라서, 스토리지 커패시터의 충분한 용량을 확보할 수 있어 공정 마진을 증가시키고 안정적 소자 제조가 가능하다.
- [0150] 본 발명의 실시예들은 기판의 양면에 커패시터, 박막 트랜지스터 및 기타 소자들을 화소 사이즈 및 용도 등에 따라 자유롭게 변형하여 형성함으로써 다양한 표시장치를 구현할 수 있다.
- [0151] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

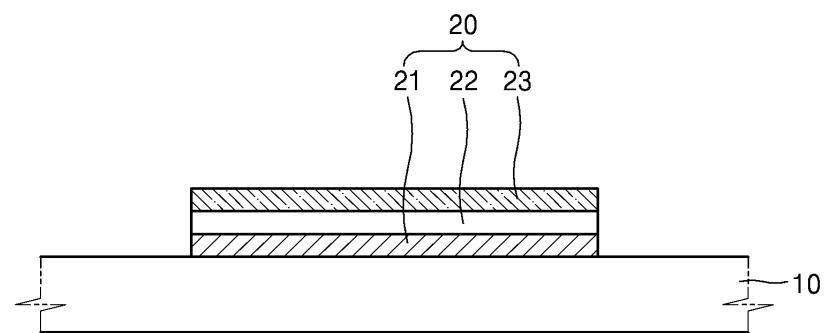
도면1



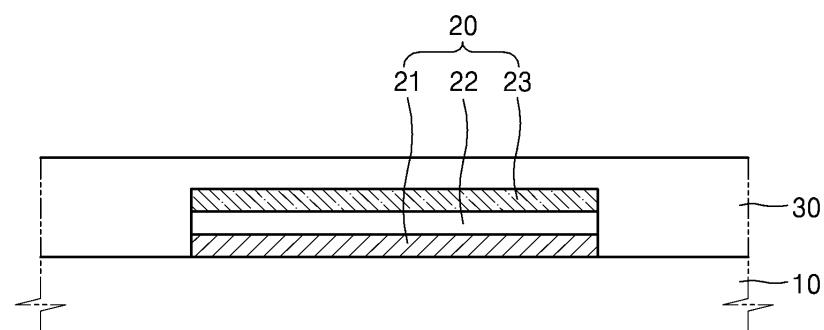
도면2a



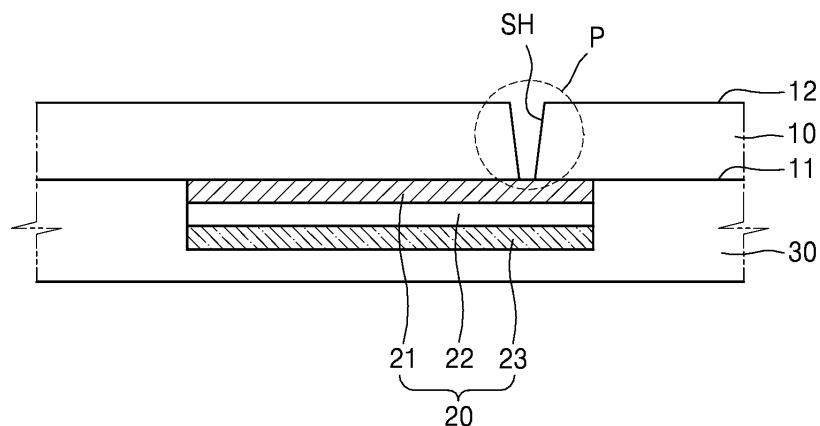
도면2b



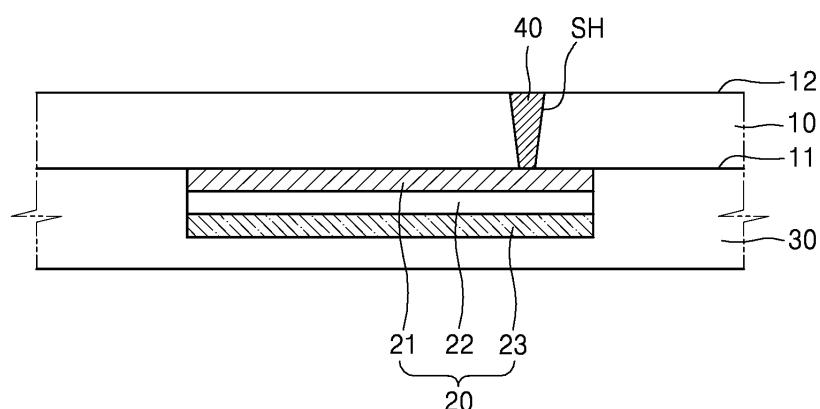
도면2c



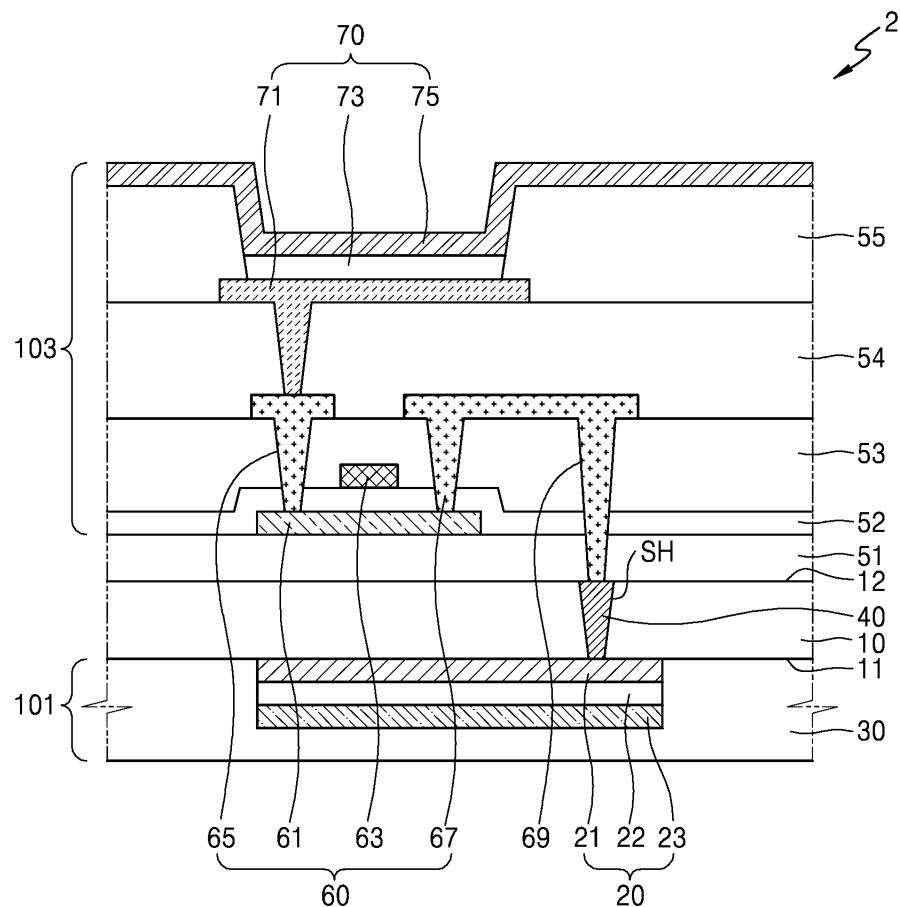
도면2d



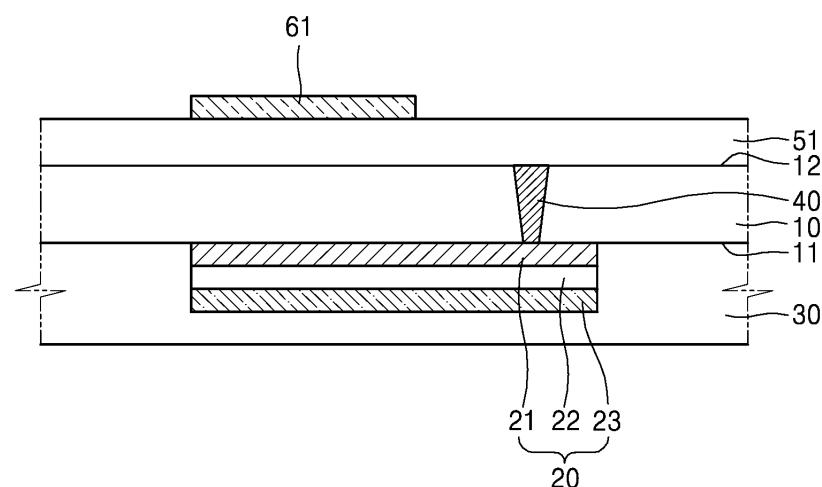
도면2e



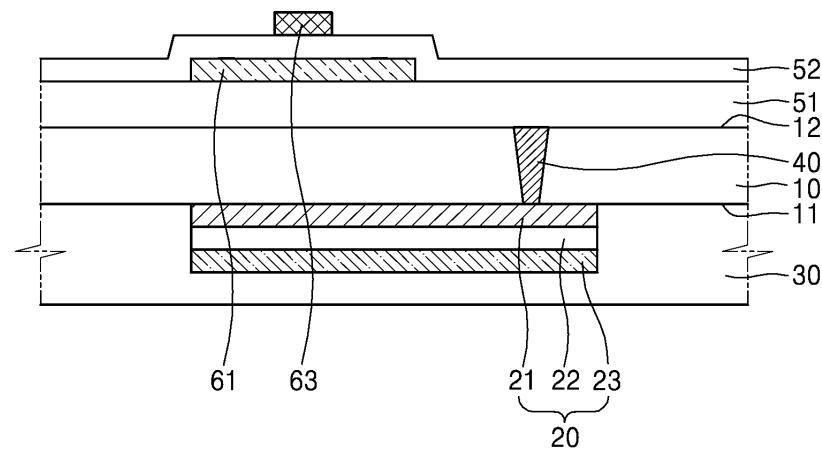
도면3



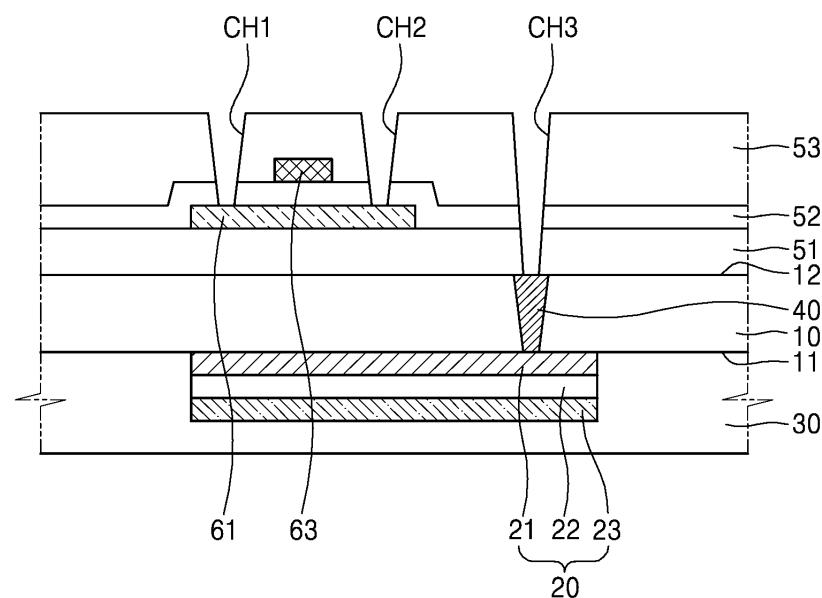
도면4a



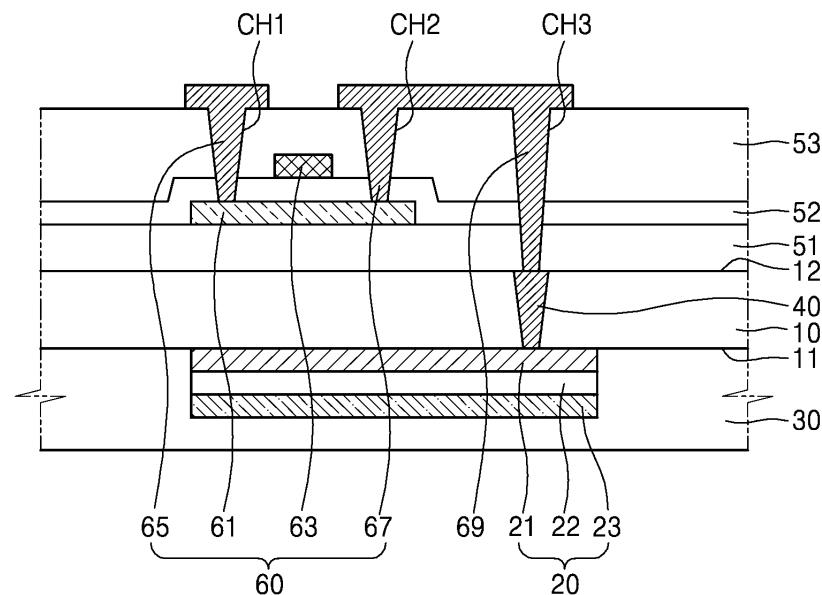
도면4b



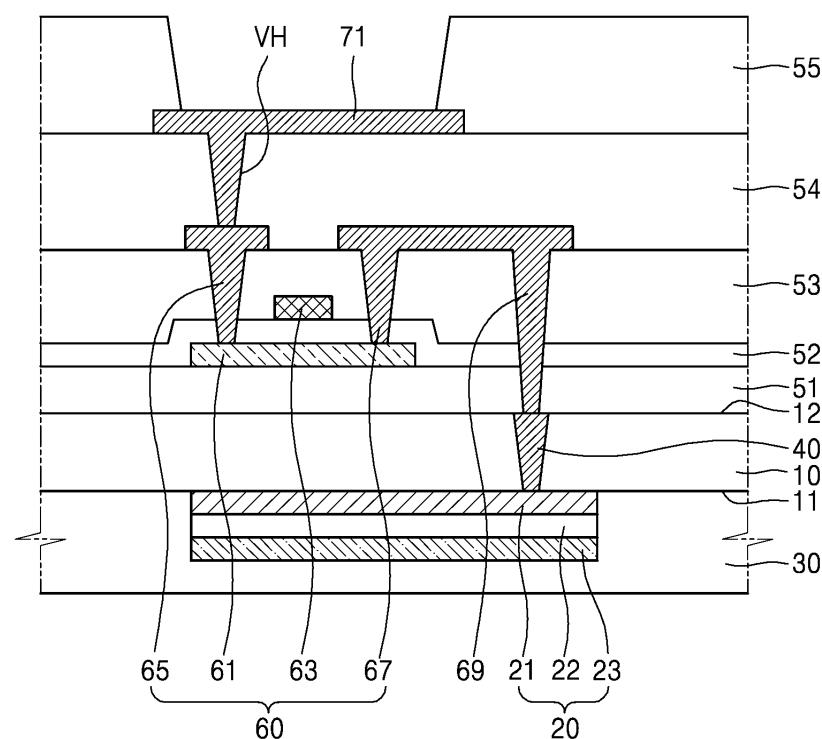
도면4c



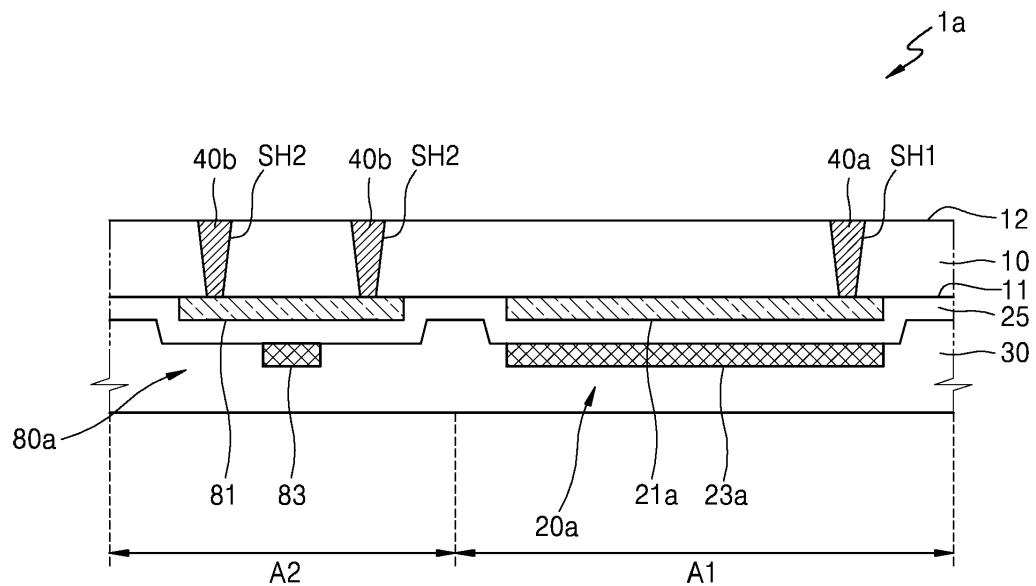
도면4d



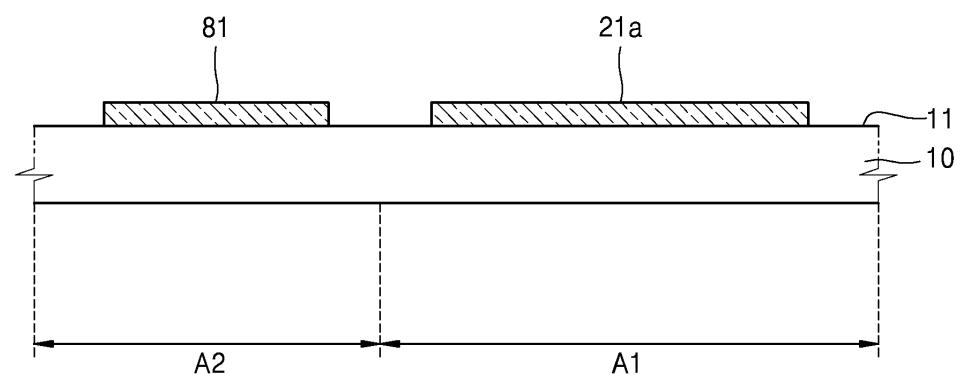
도면4e



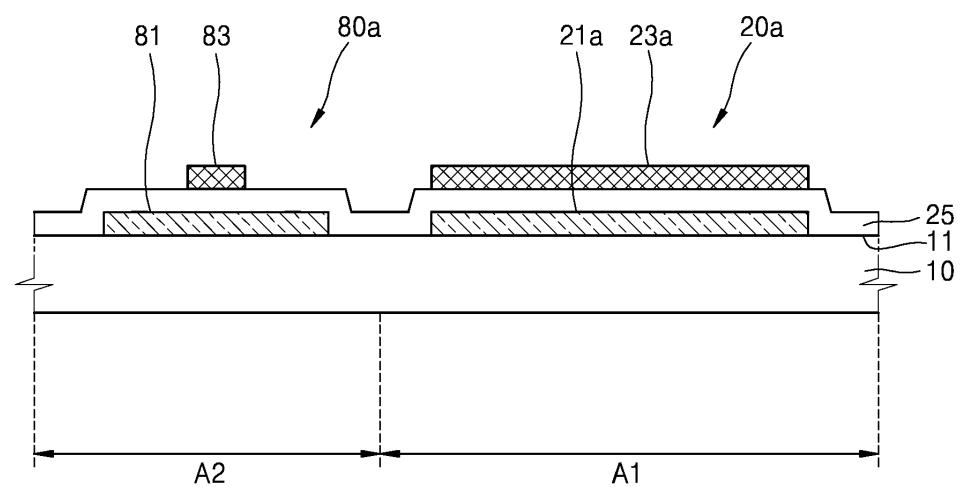
도면5



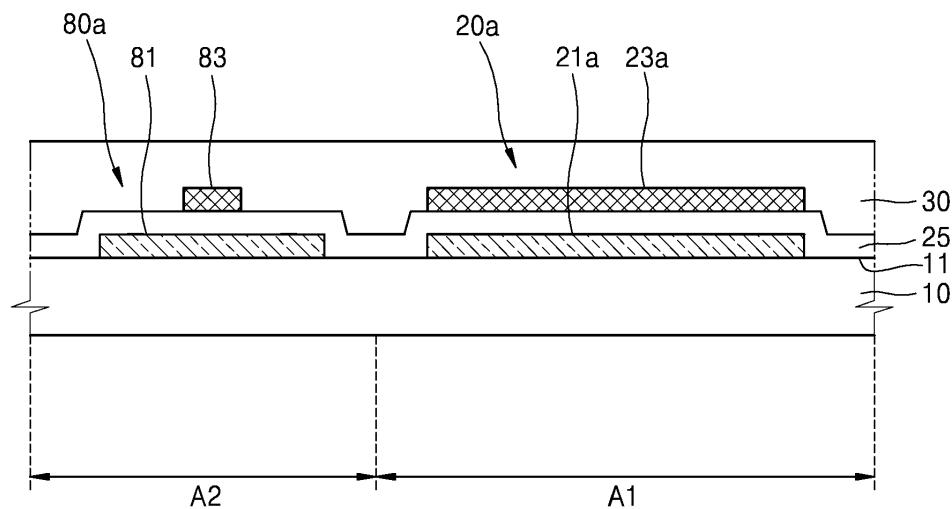
도면6a



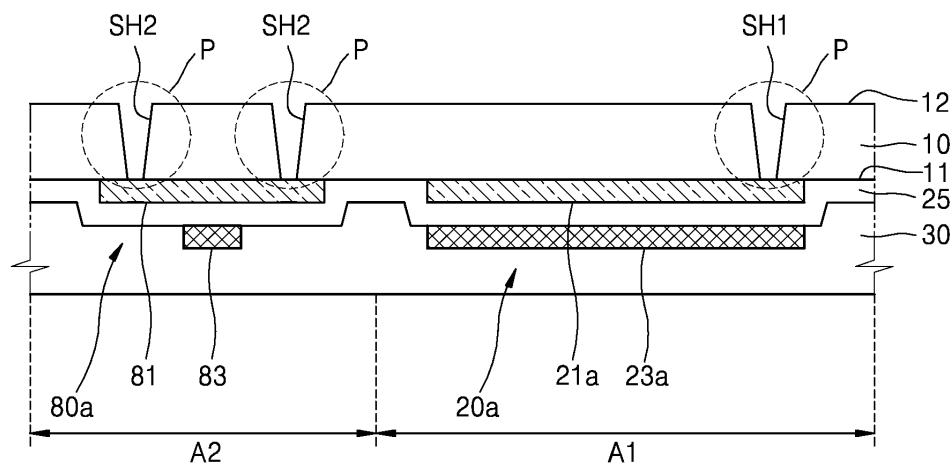
도면6b



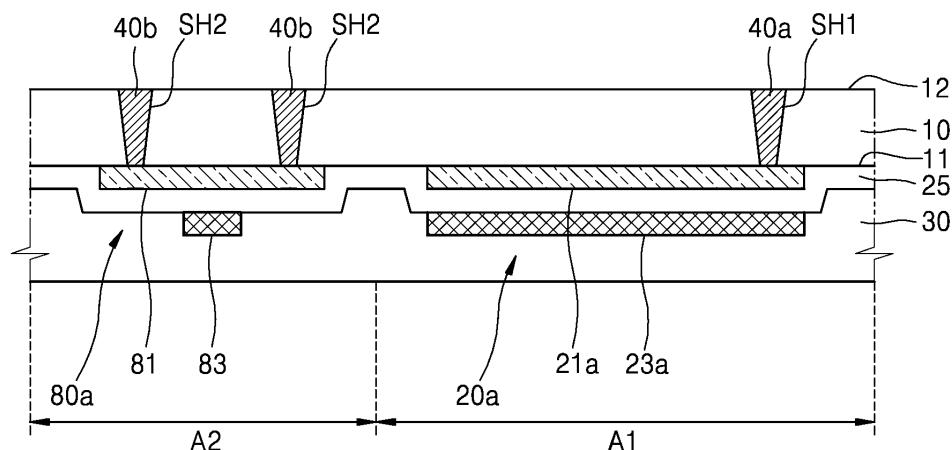
도면6c



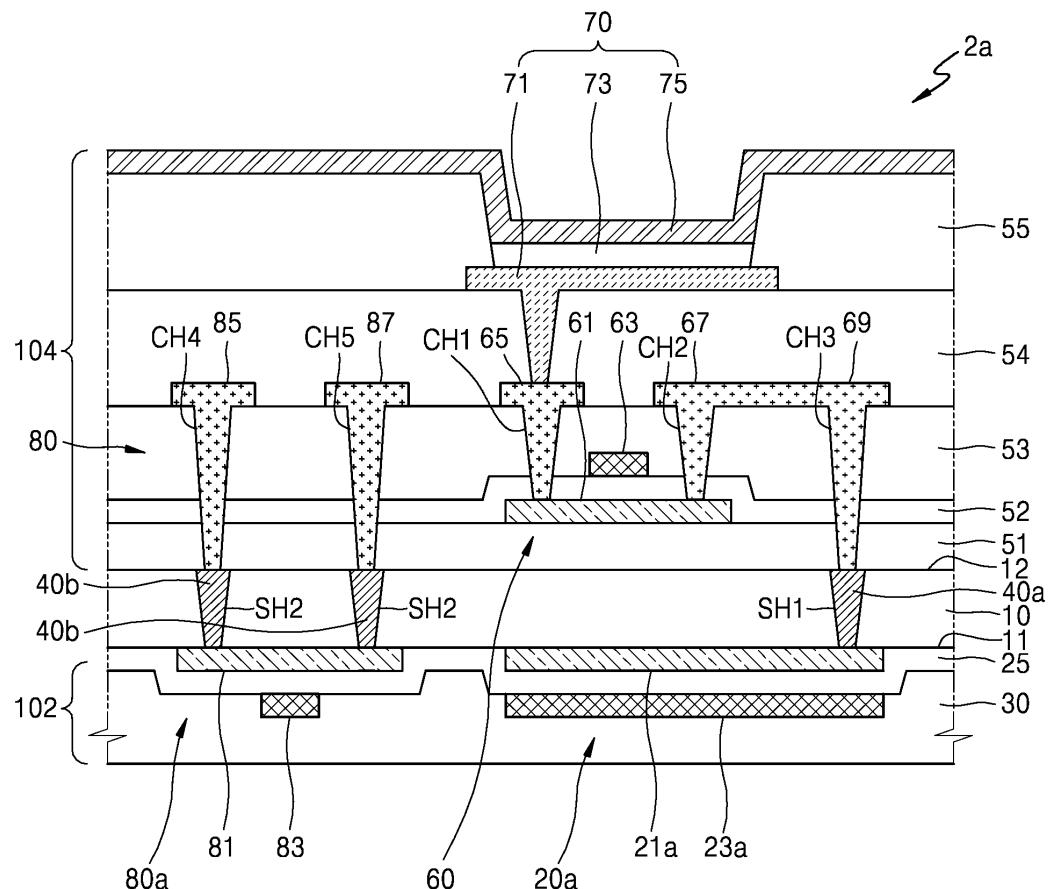
도면6d



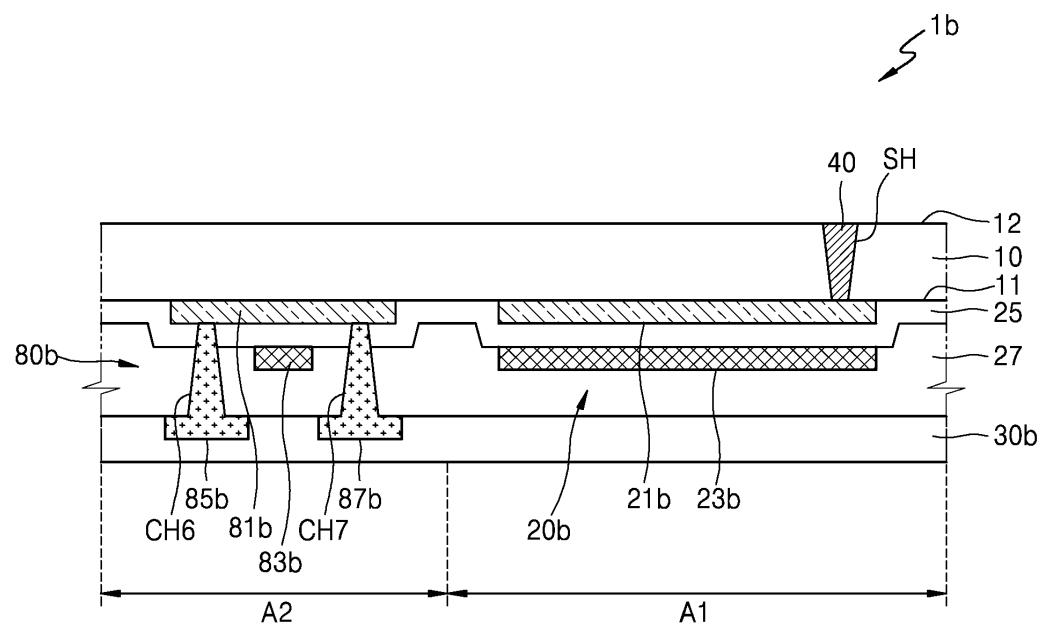
도면6e



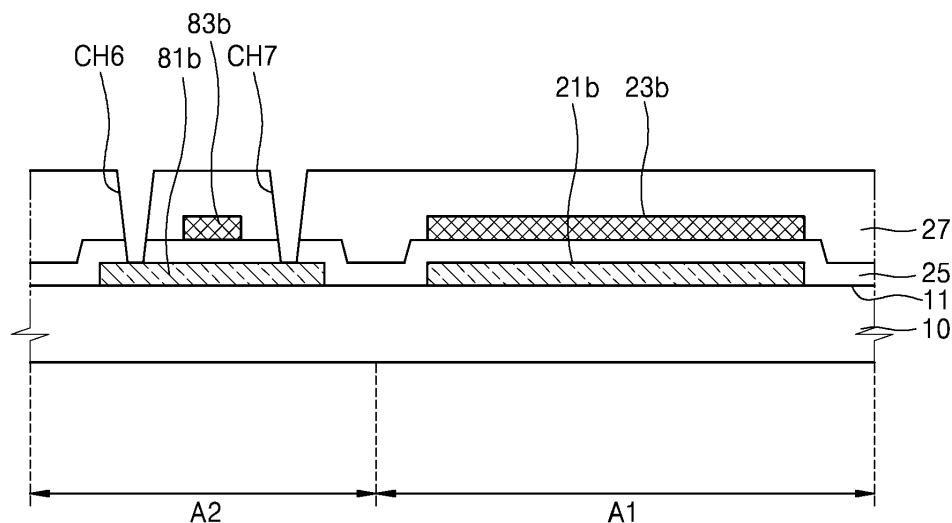
도면7



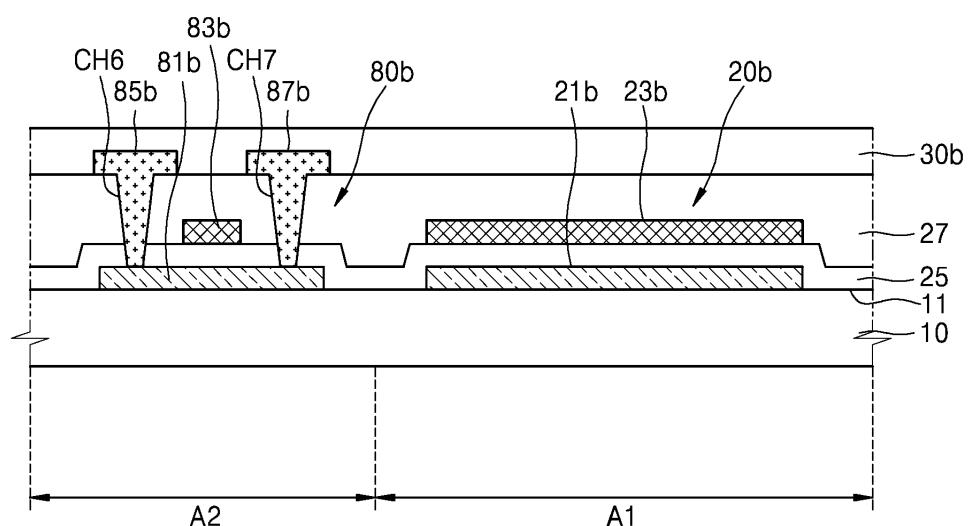
도면8



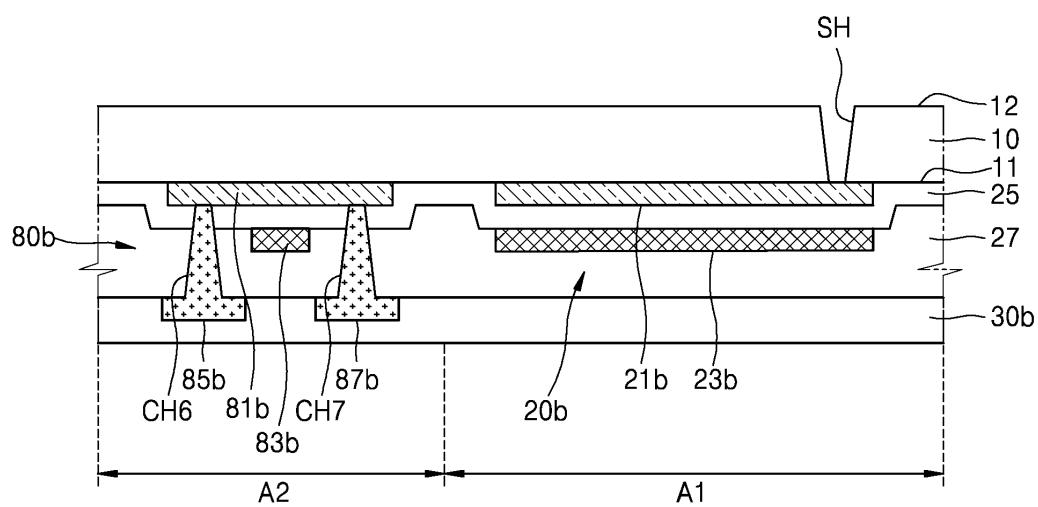
도면9a



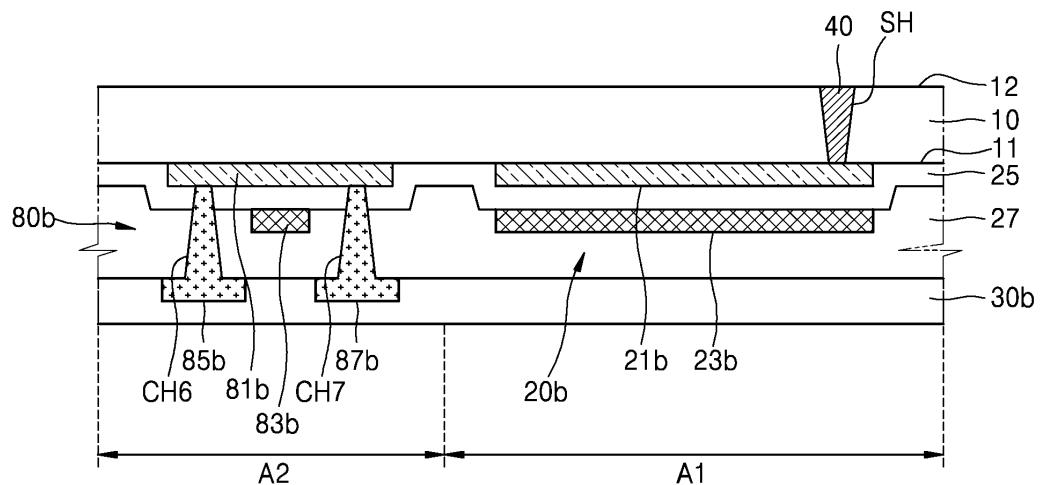
도면9b



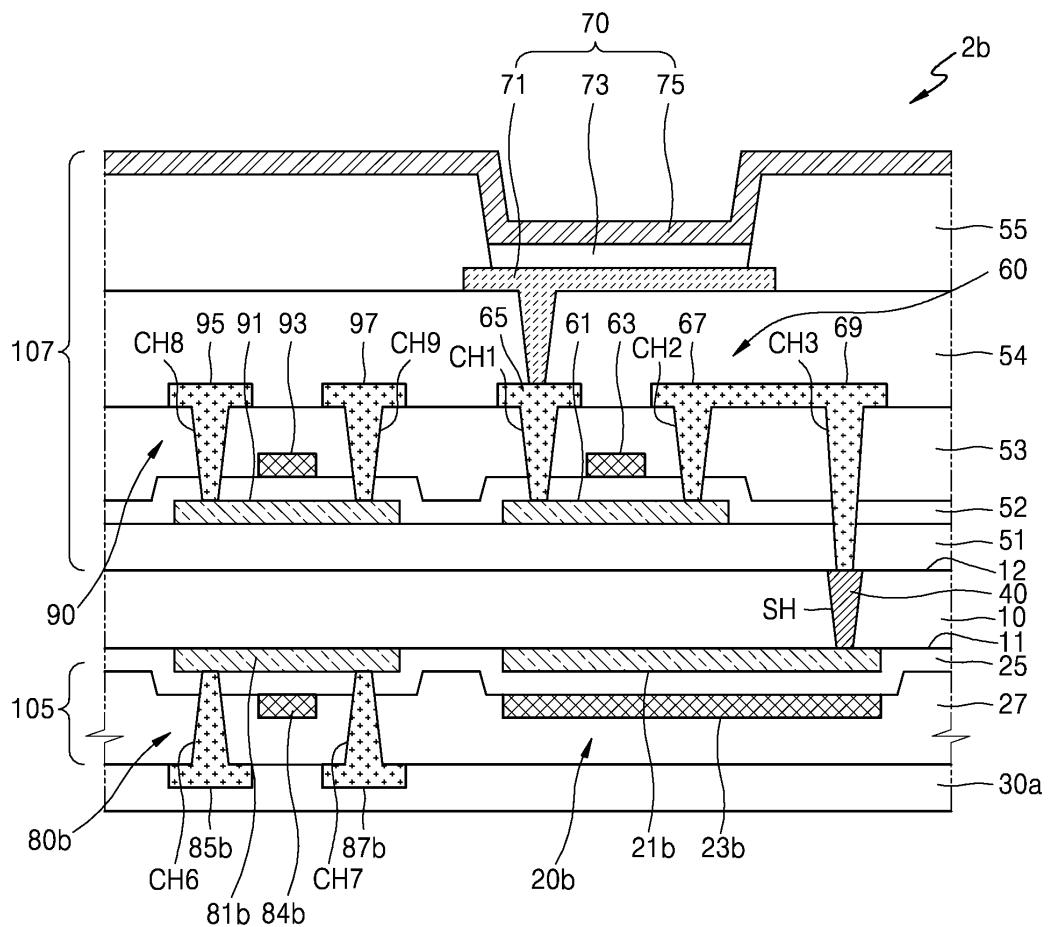
도면9c



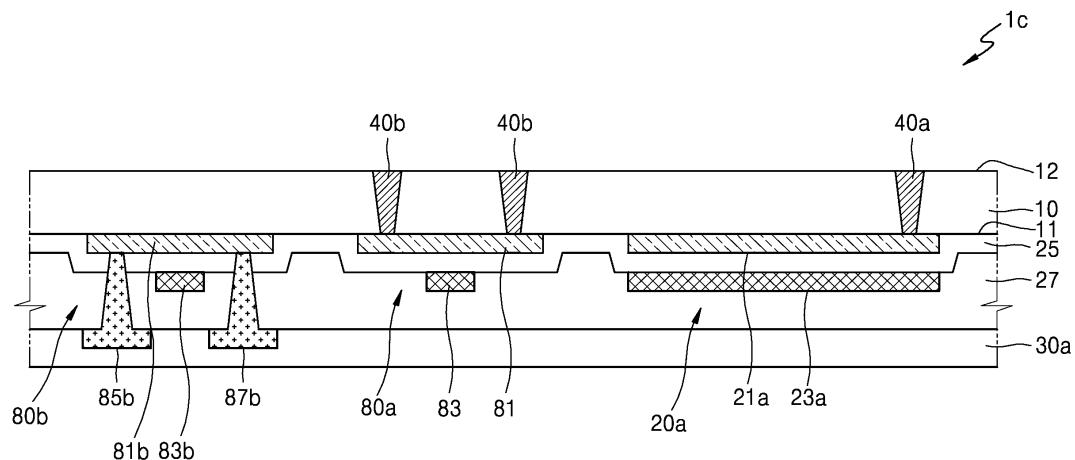
도면9d



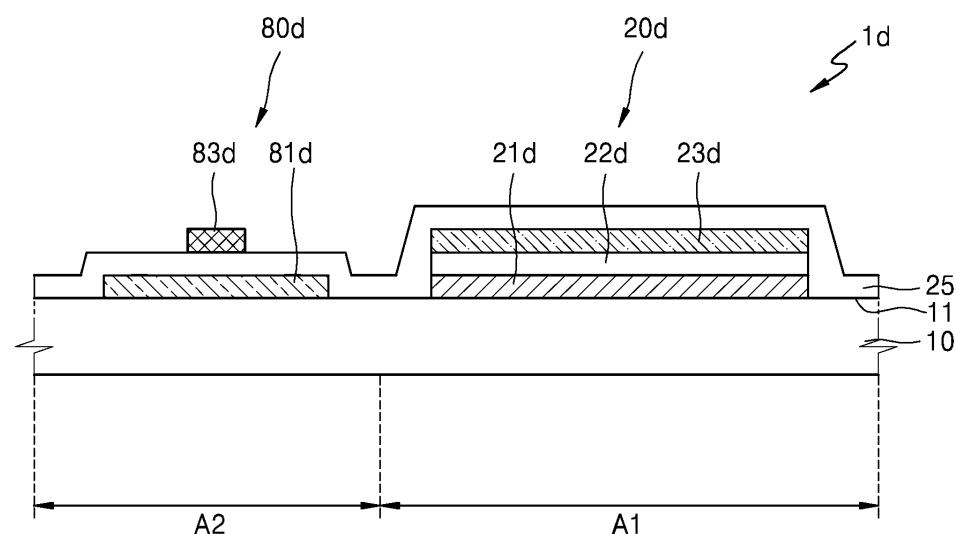
도면10



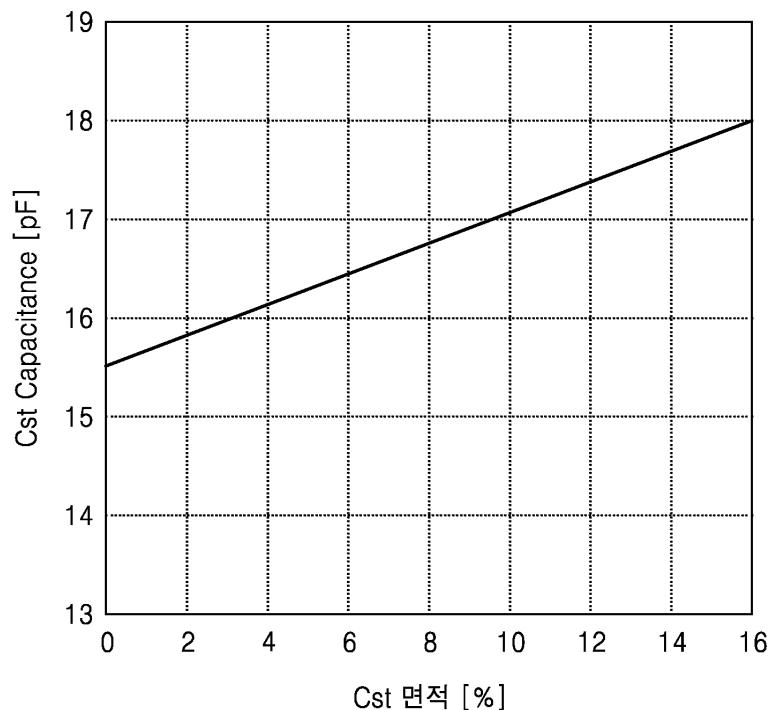
도면11



도면12



도면13



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 用于显示装置的基板，有机发光显示装置和有机发光显示装置的制造方法 | | |
| 公开(公告)号 | KR1020190014217A | 公开(公告)日 | 2019-02-12 |
| 申请号 | KR1020170096377 | 申请日 | 2017-07-28 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | 박상진 김영대 김하나 류용환 최태혁 허의강 | | |
| 发明人 | 박상진 김영대 김하나 류용환 최태혁 허의강 | | |
| IPC分类号 | H01L51/56 H01L27/32 H01L51/00 H01L51/52 | | |
| CPC分类号 | H01L51/56 H01L27/3262 H01L27/3265 H01L51/0096 H01L51/5237 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明的实施方式公开了一种用于显示装置的基板，有机发光显示装置及其制造方法。根据本发明实施例的显示装置基板，所述基板；在基板的第一面上，包括第一电极，面对第一电极的第二电极以及在第一电极和第二电极之间的介电层的电容器，其中，基板包括：电容器在与第一电极的第一电极的一部分相对应的区域中的第一孔中穿透基板和第一导电材料的第一孔。

