



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0003239  
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 27/32 (2006.01)  
H01L 51/50 (2006.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 51/5206 (2013.01)  
H01L 27/3246 (2013.01)

(21) 출원번호 10-2017-0083857

(22) 출원일자 2017년06월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

방형석

경기도 파주시 월롱면 엘지로 245

윤중근

경기도 파주시 월롱면 엘지로 245

임형준

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

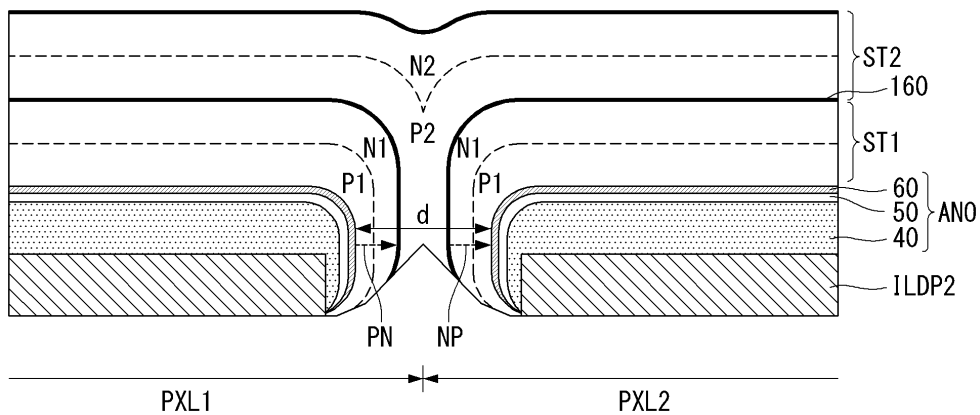
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시패널 및 이의 제조방법

(57) 요약

본 발명에 의한 유기발광 표시패널은 트랜지스터층, 제1 및 제2 절연막 패턴, 애노드 전극, 발광부 및 캐소드 전극을 포함한다. 트랜지스터층은 기판 위에 배치된다. 제1 절연막 패턴은 픽셀 마다 하나씩 배치되고, 트랜지스터층을 덮는 층간절연막상에 배치된다. 제2 절연막 패턴은 제1 절연막 패턴 보다 더 큰 면적을 갖고, 제1 절연막 패턴을 덮는다. 애노드 전극은 제2 절연막 패턴을 덮으며, 모서리 영역의 단면이 라운드 형태로 이루어진다. 발광부는 애노드 전극을 덮으며, 발광부 위에는 캐소드 전극이 배치된다.

대표도 - 도4



(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 51/5012* (2013.01)

*H01L 51/5221* (2013.01)

*H01L 51/5271* (2013.01)

*H01L 51/56* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판 위에 배치되는 트랜지스터층;  
 픽셀 마다 하나씩 배치되고, 상기 트랜지스터층을 덮는 층간절연막상에 배치되는 제1 절연막 패턴;  
 상기 제1 절연막 패턴 보다 더 큰 면적을 갖고, 상기 제1 절연막 패턴을 덮는 제2 절연막 패턴;  
 상기 제2 절연막 패턴을 덮으며, 모서리 영역의 단면이 라운드 형태로 이루어지는 애노드전극;  
 상기 애노드 전극을 덮는 하나 이상의 발광부; 및  
 상기 발광부 위에 배치되는 캐소드 전극을 포함하는 유기발광 표시패널.

#### 청구항 2

제 1 항에 있어서,  
 상기 발광부는  
 상기 애노드 전극의 측면 및 상부를 감싸는 제1 발광부;  
 상기 제1 발광부의 측면 및 상부를 감싸는 전하생성층; 및  
 상기 전하생성층의 측면 및 상부를 감싸는 제2 발광부를 포함하고,  
 상기 전하생성층은 인접하는 상기 픽셀들 간의 경계에서 불연속적인 유기발광 표시패널.

#### 청구항 3

제 2 항에 있어서,  
 인접하는 상기 픽셀들의 상기 제2 발광부는 적어도 일부분이 서로 연결되는 유기발광 표시패널.

#### 청구항 4

제 2 항에 있어서,  
 인접하는 상기 픽셀들의 상기 캐소드 전극은 서로 연결되는 유기발광 표시패널.

#### 청구항 5

제 2 항에 있어서,  
 상기 제1 발광부는 상기 애노드 전극 상에서 순차적으로 적층되는 p형 반도체층 및 n형 반도체층을 포함하고,  
 상기 제2 발광부는 상기 전하생성층 상에서 순차적으로 적층되는 p형 반도체층 및 n형 반도체층을 포함하며,  
 인접하는 상기 픽셀들 각각의 상기 제1 발광부는 상기 전하생성층에 의해서 서로 분리되는 유기발광 표시패널.

#### 청구항 6

제 5 항에 있어서,

인접하는 상기 픽셀 사이에서 서로 대면하는 상기 전하생성층들 사이에는 상기 제2 발광부의 상기 p형 반도체층이 개재되는 유기발광 표시패널.

#### 청구항 7

제 1 항에 있어서,

상기 애노드 전극은

상기 제2 절연막 패턴상에 위치하는 반사 금속층;

상기 반사 금속층 상에 위치하는 절연막; 및

상기 절연막 상에 위치하는 투명 전극을 포함하고,

제1 색상을 표시하는 제1 픽셀에 위치하는 상기 절연막과 제2 색상을 표시하는 제2 픽셀에 위치하는 상기 절연막은 다른 두께를 갖는 유기발광 표시패널.

#### 청구항 8

기관 위에 배치되는 트랜지스터층을 형성하는 단계;

픽셀 마다 하나씩 배치되고, 상기 트랜지스터층을 덮는 절연막상에 머쉬롬 형태를 갖도록 제1 절연막 패턴 및 제2 절연막 패턴을 순차적으로 형성하는 단계;

상기 제2 절연막 패턴을 덮도록 애노드전극을 형성하는 단계; 및

상기 애노드 전극을 덮는 하나 이상의 발광부를 형성하는 단계를 포함하고,

상기 애노드 전극을 형성하는 단계는 금속 물질을 증착하는 방법을 이용하는 유기발광 표시패널의 제조방법.

#### 청구항 9

제 8 항에 있어서,

상기 발광부를 형성하는 단계는

상기 애노드 전극의 측면 및 상부를 감싸도록 제1 발광부를 형성하는 단계;

상기 제1 발광부의 측면 및 상부를 감싸도록 전하생성층을 형성하는 단계; 및

상기 전하생성층의 측면 및 상부를 감싸도록 제2 발광부를 형성하는 단계를 포함하여,

상기 전하생성층은 인접하는 상기 픽셀들 간의 경계에서 불연속적으로 형성되는 유기발광 표시패널의 제조방법.

#### 청구항 10

제 9 항에 있어서,

상기 애노드 전극을 형성하는 단계는 인접하는 애노드 전극들 간의 간격이

상기 제1 발광부의 수직폭의 두 배 두께보다 넓고, 상기 제1 발광부의 수직폭의 두 배와 상기 제2 발광부의 수직폭의 두 배의 두께를 합한 것보다 좁게하여, 상기 제2 발광부를 형성하는 과정에서, 상기 제2 발광부의 일부가 인접하는 상기 애노드 전극들 사이에 개재되는 형태를 갖는 유기발광 표시패널의 구조 및 제조방법.

#### 발명의 설명

**기술 분야**

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시패널 및 이의 제조방법에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광다이오드(OLED)는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 고해상도를 갖는 유기발광다이오드 표시장치는 픽셀들의 사이즈가 작아지면서 픽셀 내의 각 패턴들의 사이즈도 미세해지고, 각 구성들 간의 거리도 짧아진다. 그 결과 픽셀들 간의 누설 전류등으로 인한 문제점이 발생하고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 고해상도 모델에 적합한 유기발광 표시패널 및 이의 제조방법을 제공하기 위한 것이다.

**과제의 해결 수단**

[0006] 본 발명에 의한 유기발광 표시패널은 트랜지스터층, 제1 및 제2 절연막 패턴, 애노드 전극, 발광부 및 캐소드 전극을 포함한다. 트랜지스터층은 기판 위에 배치된다. 제1 절연막 패턴은 픽셀 마다 하나씩 배치되고, 트랜지스터층을 덮는 층간절연막상에 배치된다. 제2 절연막 패턴은 제1 절연막 패턴 보다 더 큰 면적을 갖고, 제1 절연막 패턴을 덮는다. 애노드 전극은 제2 절연막 패턴을 덮으며, 모서리 영역의 단면이 라운드 형태로 이루어진다. 발광부는 애노드 전극을 덮으며, 발광부 위에는 캐소드 전극이 배치된다.

[0007] 본 발명에 의한 유기발광 표시패널의 제조방법은 트랜지스터층을 형성하는 단계, 제1 및 제2 절연막 패턴을 형성하는 단계, 애노드 전극을 형성하는 단계 및 발광부를 형성하는 단계를 포함한다. 애노드 전극을 형성하는 단계는 금속 물질을 증착하는 방법을 이용한다.

**발명의 효과**

[0008] 본 발명은 애노드의 모서리 영역이 둥근 형태를 갖게 함으로써, 날카로운 애노드 모서리에서 발생할 수 있는, 누설전류 발생 이슈를 개선할 수 있다.

[0009] 본 발명은 인접 애노드 전극 간의 간극을 적절히 줄임으로써 유기발광층이 전극 간 간극을 메우게 하며, 이를 통해 애노드 - 캐소드 간의 거리가 짧아짐에 의해 발생할 수 있는 애노드 - 캐소드 간 전류 누설을 방지할 수 있다.

[0010] 본 발명은 인접 픽셀들의 멀티스택 구조의 유기발광층 내 전하생성층 또는 일부 고전도성 HIL 또는 HTL과 같은 유기층을 단절 시킴으로써, 인접 픽셀 간 누설전류 발생 이슈를 개선할 수 있다.

[0011] 본 발명은 인접하는 애노드 전극들 사이에서, 발광부의 pn접합과 np접합이 대향됨으로써 애노드 전극 간 누설전류가 발생하는 것을 개선할 수 있다.

[0012] 본 발명은 애노드 전극 간 간격을 최소화 하여, 발광 면적의 비율을 극대화 함으로써, 휘도 향상의 효과를 얻을 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 본 발명에 의한 표시장치를 나타내는 도면이다.

도 2의 (a) 및 (b)는 픽셀회로의 실시 예를 나타내는 도면들이다.

도 3은 본 발명에 의한 표시패널의 단면을 나타내는 도면이다.

도 4는 도 3에서 인접하는 픽셀들의 애노드 전극들 사이를 확대한 도면이다

도 5는 발광부들의 적층 구조를 나타내는 도면이다.

도 6의 (a)는 비교 예에 의한 애노드 전극의 형태를 나타내는 도면이고, 도 6의 (b)는 본 발명의 제1 실시 예에 의한 애노드 전극의 형태를 나타내는 도면이고, 도 6의 (c)는 본 발명의 제2 실시 예에 의한 애노드 전극의 형태를 나타내는 도면이다.

도 7은 하나의 픽셀의 애노드 전극 상에 제1 발광부 및 제2 발광부를 형성한 것을 나타내는 모식도이다

도 8은 본 발명의 제2 실시 예에 의한 유기발광 표시패널을 나타내는 단면도이다.

도 9의 (a) 내지 (f)는 본 발명에 의한 유기발광 표시패널의 제조방법을 나타내는 도면들이다.

도 10 내지 도 13은 애노드 전극 간의 간격에 따른 제1 발광부 및 제2 발광부가 증착된 형상을 나타내는 시뮬레이션 결과를 나타내는 도면들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 여러 실시예들을 설명함에 있어서, 실질적으로 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.
- [0015] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0016] 이하, 도 1 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0017] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- [0018] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀(PXL)들이 형성된 표시패널(10)과, 데이터 라인들(14)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(15)을 구동시키기 위한 게이트 구동회로(13)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(11)를 구비한다.
- [0019] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀(PXL)들이 매트릭스 형태로 배치된다. 동일 수평라인 상에 배치된 픽셀(PXL)들은 하나의 픽셀행을 이룬다. 일 픽셀행에 배치된 픽셀(PXL)들은 일 게이트라인(15)에 접속되며, 일 게이트라인(15)은 적어도 하나 이상의 스캔라인과 적어도 하나 이상의 에미션라인을 포함할 수 있다. 즉, 각 픽셀(PXL)는 1개의 데이터라인(14)과, 적어도 하나 이상의 스캔라인 및 에미션라인에 접속될 수 있다. 픽셀(PXL)들은 도시하지 않은 전원발생부로부터 고전위 및 저전위 구동전압(VDD, VSS)과 초기화전압(Vini)을 공통으로 공급받을 수 있다.
- [0020] 픽셀(PXL)을 구성하는 트랜지스터(TFT)들은 산화물 반도체층을 포함한 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), 또는 IGZO(Indium Gallium Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 또는 유기물(organic) 반도체 등으로 형성될 수 있다.
- [0021] 도 2의 (a) 및 (b)는 실시 예에 의한 픽셀 구조를 나타내는 도면들이다.
- [0022] 도 2의 (a)를 참조하면, 실시 예에 의한 픽셀은 구동 트랜지스터(DR), 제1 및 제2 스위칭 트랜지스터(SW1, SW2), 커패시터(Cst)를 포함한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에

따라 빛을 발광하도록 동작한다. 제1 스위칭 트랜지스터(SW1)는 스캔라인(SCL)을 통해 공급된 스캔신호(SCAN)에 응답하여, 데이터 라인(DL)을 통해 공급되는 데이터전압(Vdata)을 제1 노드(N1)에 공급한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(VSS) 사이로 구동 전류가 흐르도록 동작한다. 제2 트랜지스터(SW2)는 센스라인(SEL)을 통해서 공급된 센스신호(SENSE)에 응답하여, 제2 노드(N2)와 이니셜라인을 연결시킨다. 이니셜라인은 이니셜전압(Vinit)의 입력단과 연결되거나, 구동 트랜지스터(DR)의 문턱전압을 센싱한 센싱값을 획득하는 아날로그 디지털 컨버터(미도시)와 연결된다.

- [0023] 도 2의 (b)에 도시된 바와 같이, 픽셀(PXL)은 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 하나 이상의 트랜지스터들을 포함할 수 있고, 이를 위해서 게이트라인(GL1)은 내부보상회로(CC)의 트랜지스터들을 제어하기 위한 게이트신호를 공급하는 신호라인(GL1b)을 포함한다. 게이트라인은 스위칭 트랜지스터(SW)를 제어하는 신호라인(GL1a)을 더 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다.
- [0024] 본 발명의 픽셀의 구조는 이에 한정되지 않고 다양한 실시 예로 구현될 수 있다.
- [0025] 도 3은 본 발명에 의한 유기발광 표시패널의 단면을 나타내는 도면이고, 도 4는 도 3에서 애노드 전극들 사이의 영역을 확대한 것을 나타내는 도면이다.
- [0026] 도 3 및 도 4를 참조하면 본 발명에 의한 유기발광 표시패널은 기판(PI) 위에 배치되는 트랜지스터층(TA), 제1 절연막 패턴(ILDP1), 제2 절연막 패턴(ILDP2), 애노드 전극(ANO), 제1 발광부(ST1), 전하생성층(CGL), 제2 발광부(ST2) 및 캐소드 전극(CAT)을 포함한다.
- [0027] 기판(PI)은 유연한 특성을 위해서 폴리이미드(Polyimide)로 이루어질 수 있다.
- [0028] 트랜지스터층(TA)은 도 2의 (a) 및 (b)에 도시된 구동 트랜지스터(DT) 및 스위칭 트랜지스터(SW)들을 포함한다.
- [0029] 트랜지스터층(TA)상에는 층간 절연막(ILD)이 배치된다. 층간 절연막(ILD)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx)의 다중층일 수 있다
- [0030] 제1 절연막 패턴(ILDP1)은 층간 절연막(ILD) 위에 배치되고, 픽셀 영역의 경계부에는 배치되지 않는다. 제1 절연막 패턴(ILDP1)은 실리콘 산화막(SiOx)일 수 있다.
- [0031] 제2 절연막 패턴(ILDP2)은 제1 절연막 패턴(ILDP1)위에 배치되고, 패널의 전면부에서 바라볼 때에 제1 절연막 패턴(ILDP1) 보다 넓은 영역을 갖는다. 그 결과, 제1 절연막 패턴(ILDP1)과 제2 절연막 패턴(ILDP2)이 적층된 구조는 머쉬룸(mushroom) 형태를 갖는다. 제2 절연막 패턴(ILDP2)은 실리콘 질화막(SiNx)일 수 있다.
- [0032] 제2 절연막 패턴(ILDP2) 상에는 애노드 전극(ANO)과 캐소드 전극(CAT) 사이에 위치하는 발광부들(ST1, ST2) 및 발광부들(ST1, ST2) 사이에 위치하는 전하생성층(CGL)을 포함한다.
- [0033] 발광부들(ST1, ST2) 상에는 인캡(Encap) 공정 이후에, 컬러필터(CF)가 위치한다. 컬러필터(CF)는 각각의 픽셀들(P1,P2,P3)에서 서로 분리되는 분할형 컬러필터(CF)가 이용될 수 있다.
- [0034] 본 발명에 의한 제1 발광부(ST1)는 애노드 전극(ANO) 상에 p형 반도체층(p)과 n형 반도체층(n)이 순차적으로 적층되어 pn 접합이 된다. 본 발명에 의한 애노드 전극(ANO)은 단면이 라운드 형태를 갖는다.
- [0035] 인접하는 픽셀들 간의 제1 발광부(ST1)는 서로 분리된다. 제2 발광부(ST2)는 전하생성층(CGL)상에는 p형 반도체층(p)과 n형 반도체층(n)이 순차적으로 적층된다. 인접하는 픽셀(PXL)들 간의 제2 발광부(ST2)는 서로 이어진다. 제2 발광부(ST2)의 p형 반도체층(p)은 인접하는 픽셀(PXL)들 간의 애노드 전극(ANO) 사이에 개재된다. 제2 발광부(ST2)의 n형 반도체층(n)은 인접하는 픽셀(PXL)들 간의 애노드 전극(ANO)의 상부에서 서로 이어진다. 또는 제2 발광부(ST2)의 n형 반도체층(n)은 인접하는 픽셀(PXL)들 사이에서 일부분 개재되는 형태가 될 수도 있다.
- [0036] 그 결과, 인접하는 픽셀(PXL)들의 애노드 전극(ANO)들은 전하생성층(CGL)에 의해서 분리되기 때문에, 제1 픽셀(PXLXL1)의 PN접합과 제2 픽셀(PXLXL2)의 PN접합이 서로 대향된다. 그 결과, 제1 픽셀(PXLXL1)의 n형 반도체층(n)과 제2 픽셀(PXLXL2)의 n형 반도체층(n)이 대면한다. 즉, 인접하는 제1 픽셀(PXLXL1)의 애노드 전극(ANO)과 제2 픽셀(PXL2)의 애노드 전극(ANO) 사이에는 정 바이어스의 PN 접합과 역 바이어스의 NP 접합이 대향된 형태를 갖는다. 이처럼 인접하는 애노드 전극(ANO)들 간에는 역 바이어스의 NP 접합이 형성되기 때문에, 인접

하는 애노드 전극(ANO)들 간에 누설전류가 발생하는 것을 방지할 수 있다. 예컨대, 제1 픽셀(PXL)의 애노드 전극(ANO)에 고전압이 인가될지라도, 제1 픽셀(PXL)과 제2 픽셀(PXL) 사이에 형성되는 NP접합에 의해서 제1 픽셀(PXL)의 애노드 전극(ANO)으로부터 제2 픽셀(PXL)의 애노드 전극(ANO)으로 누설전류가 발생하지 않는다.

- [0037] 도 5는 발광부들(ST1, ST2)의 적층 구조를 나타내는 도면이다.
- [0038] 도 3 내지 도 5를 참조하면, 애노드 전극(ANO)은 제2 절연막 패턴(ILDP2) 상에 위치하고, 도면에는 도시하지 않았지만 비어홀을 통해서 트랜지스터층(TA)에 배치되는 구동트랜지스터(DT)의 드레인 전극과 접속된다. 애노드 전극(ANO)은 금속 반사층(40), 절연층(50) 및 투명전극(60)을 포함할 수 있다.
- [0039] 애노드 전극(ANO)은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있다.
- [0040] 제1 발광부(ST1)는 애노드 전극(ANO) 상에 위치한다. 제1 발광부(ST1)는 제1 발광층(140)을 포함한다. 제1 발광층(140)은 적색(R), 녹색(G), 청색(B) 또는 백색(W)을 발광할 수 있으며, 형광 또는 인광 물질로 이루어질 수 있다.
- [0041] 제1 발광부(ST1)는 애노드 전극(ANO)과 제1 발광층(EML1) 사이에 정공주입층(HIL)과 제1 정공수송층(HTL1)을 포함하고, 제1 발광층(EML1) 상에 제1 전자수송층(ETL)을 포함한다. 따라서, 애노드 전극(ANO) 상에 정공주입층(HIL), 제1 정공수송층(HTL1), 제1 발광층(EML1) 및 제1 전자수송층(ETL)을 포함하는 제1 발광부(ST1)를 구성한다.
- [0042] 제1 발광부(ST1)와 제2 발광부(ST2) 사이에는 전하생성층(Charge Generation Layer)(CGL)이 위치한다. 제1 발광부(ST1)와 상기 제2 발광부(ST2)는 전하생성층(CGL)에 의해 연결된 구조로 이루어져 있다. 전하생성층(CGL)은 N형 전하생성층(160N)과 P형 전하생성층(160P)이 접합된 PN접합 전하생성층일 수 있다. 이때, PN접합 전하생성층(CGL)은 전하를 생성하거나 정공 및 전자로 분리하여 상기 발광층에 정공 및 전자를 주입한다. 즉, N형 전하생성층(160N)은 제1 전자수송층(ETL)으로 전자를 전달하고, 제1 전자수송층(ETL)은 양극에 인접한 제1 발광층(EML1)에 전자를 공급하고, P형 전하생성층(160P)은 제2 정공수송층(HTL2)으로 정공을 전달하고, 제2 발광부(ST2)의 제2 발광층(EML2)에 정공을 공급함으로써, 제1 발광층(EML1)과 제2 발광층(190)의 발광 효율을 더욱 증대시킬 수 있으며, 구동 전압도 낮출 수 있다.
- [0043] N형 전하생성층(160N)은 금속 또는 N형이 도핑된 유기물질로 이루어질 수 있다.
- [0044] P형 전하생성층(160P)은 정공주입층(HIL)과 동일한 물질로 구성될 수 있다.
- [0045] 전하생성층(CGL) 상에 제2 정공수송층(EML2), 제2 발광층(EML2), 제2 전자수송층(ETL2) 및 전자주입층(EIL)을 포함하는 제2 발광부(ST2)가 위치한다.
- [0046] 제2 발광층(190)은 적색(R), 녹색(G), 청색(B) 또는 백색(W)을 발광할 수 있으며, 형광 물질 또는 인광 물질로 이루어질 수 있다.
- [0047] 제2 발광부(ST2)는 전하생성층(CGL)과 상기 제2 발광층(EML2) 사이에 제2 정공수송층(HTL2)을 포함하고, 제2 발광층(EML2) 상에 제2 전자수송층(ETL2) 및 전자주입층(EIL)을 포함한다. 제2 정공수송층(HTL2)은 도 1에 설명한 정공수송층(130)과 동일한 물질로 구성될 수 있으나, 이에 한정되는 것은 아니다.
- [0048] 따라서, 전하생성층(CGL) 상에 제2 정공수송층(HTL2), 제2 발광층(EML2), 제2 전자수송층(ETL2) 및 전자주입층(EIL)을 포함하는 제2 발광부(ST2)를 구성한다.
- [0049] 캐소드 전극(CAT)은 제2 발광부(ST2) 상에 위치한다. 캐소드 전극(CAT)은 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다.
- [0050] 본 발명에 의한 애노드 전극(ANO)은 라운드 형태를 갖는다.
- [0051] 도 6의 (a)는 비교 예에 의한 애노드 전극의 형태를 나타내는 도면이고, 도 6의 (b)는 본 발명에 의한 애노드 전극의 제1 실시 예를 나타내는 도면이다. 도 6의 (c)는 애노드전극의 제2 실시 예를 나타내는 도면이다. 도 6의 (a) 및 (b)를 참조하면, 비교 예의 애노드 전극(ANO)은 모서리 끝단이 첨예한데 반해서 본 발명의 애노드 전극(ANO)은 모서리 끝단이 라운드 형태로 구현된다. 즉, 애노드 전극(ANO)의 모서리는 상측 모서리 영역(e1)과 하측 모서리 영역(e2)을 포함하고, 상측 모서리 영역(e1)과 하측 모서리 영역(e2) 중에서 최소한 상측 모서리 영역(e1)은 라운드 형태로 구현된다. 예컨대, 애노드 전극(ANO)의 상측 모서리 영역은 가상의 중심에서 일정간격 이격된 원호의 형태일 수 있다. 애노드 전극(ANO) 하측 모서리 영역(e2)이 라운드 형태일 경우에, 하측 모

서리 영역(e2)의 끝단은 도 6의 (b)에서와 같이 제2 절연막 패턴(ILDP2)의 하부 끝단과 맞닿을 수 있다. 또는 애노드 전극(ANO)의 하측 모서리 영역(e2) 끝단은 도 6의 (c)에서와 같이 제2 절연막 패턴(ILDP2)의 측면의 일부를 노출시키도록 제2 절연막 패턴(ILDP2)의 측면에 맞닿을 수 있다.

[0052] 도 6의 (a)에서 "L1"은 비교 예의 애노드 전극(ANO)과 캐소드 전극(CAT) 사이의 간격을 나타내고, 도 6의 (b)에서 "L2"는 본 발명의 애노드 전극(ANO)과 캐소드 전극(CAT) 사이의 간격을 나타낸다. 비교 예의 발광부들(ST1, ST2)과 본 발명의 발광부들(ST1, ST2)의 두께가 동일하면 "L2"는 "L1" 보다 길다. 즉, 본 발명은 애노드 전극(ANO) 모서리와 캐소드 전극(CAT) 간의 간격을 비교 예에서의 애노드 전극(ANO) 모서리와 캐소드 전극(CAT) 간의 간격에 비하여 넓게 할 수 있다. 비교 예에서와 같이, 애노드 전극(ANO)과 캐소드 전극(CAT) 간의 간격(L1)이 좁아지면 해당 영역에서 전류가 집중되어서 비정상적인 발광이 발생할 수 있다. 이에 반해서 본 발명은 모서리 끝단에서 애노드 전극(ANO)과 캐소드 전극(CAT) 간의 간격(L2)이 좁아지는 것을 개선할 수 있어서, 비정상적인 발광을 방지할 수 있다. 또한, 본 발명의 애노드 전극(ANO)은 라운드 형태로 이루어지기 때문에 피뢰침 효과를 개선할 수 있다. 비교 예에서와 같이, 애노드 전극(ANO)이 첨예한 형상일 때에는 애노드 전극(ANO)의 모서리 부분에서 피뢰침 효과로 인한 누설 전류가 발생할 수 있다. 본 발명의 애노드 전극(ANO)의 모서리가 라운드 형태이기 때문에, 이와 같은 피뢰침 효과를 방지할 수 있다.

[0053] 본 발명에 의한 전하생성층(CGL)은 픽셀 단위로 분리된다. 즉, 제1 픽셀(PXL1)의 전하생성층(CGL)과 제2 픽셀(PXL2)의 전하생성층(CGL)은 서로 연결되지 않는다. 따라서, 전하생성층을 통해서 수평 누설 전류(Lateral Current Leakage)가 발생하는 것이 방지된다. 전하생성층(CGL)은 전도성이 높기 때문에, 전하생성층(CGL)을 통해서 누설전류가 발생하기 쉽다. 만약 제1 픽셀(PXL1)과 제2 픽셀(PXL2)에 배치되는 전하생성층이 서로 연결되어 있으면, 전하생성층을 통해서 제1 픽셀(PXL1)과 제2 픽셀(PXL2) 간의 누설전류가 발생하기 쉽다. 하지만, 본 발명에 의한 전하생성층(CGL)는 각각의 픽셀 단위로 분리되기 때문에 인접하는 픽셀들 간의 누설전류를 방지할 수 있다.

[0054] 이하, 본 발명에 의한 픽셀 구조를 구현하기 위한 조건 및 공정을 살펴보면 다음과 같다. 제1 픽셀(PXL1)과 제2 픽셀(PXL2)들의 전하생성층(CGL)을 픽셀(PXL) 서로 분리시키는 구조를 갖기 위한 조건을 살펴보면 다음과 같다.

[0055] 도 7은 비교 예를 나타내는 도면으로써, 인접하는 픽셀들(PXL1, PXL2)의 제1 발광부(ST1) 및 제2 발광부(ST2)가 분리된 구조를 나타내는 모식도이다. 전하생성층(CGL)도 7에서, "d1"은 제1 발광부(ST1)의 수평부 두께를 나타내고, "d2"는 제2 발광부(ST2)의 수평부 두께를 나타내며, "d1'"은 제1 발광부(ST1) 수직폭을 나타내고, "d2'"는 제2 발광부(ST2)의 수직폭을 나타낸다. 이하의 설명에서, 제1 및 제2 픽셀들(PXL1, PXL2) 각각의 제1 수직폭(d1')은 서로 동일한 폭을 갖고, 애노드 전극(ANO)들 각각의 제2 수직폭(d2')은 서로 동일한 폭을 갖는다고 가정한다.

[0056] 도 4에 도시된 바와 같이, 본 발명에서 인접하는 픽셀들 간의 전하생성층(CGL)이 서로 분리되기 위해서 서로 인접하는 애노드 전극(ANO)들 간의 간격은 인접하는 제1 발광부(ST1)들의 제1 수직폭(d1')의 합 보다 넓어야 한다. 즉, 한 픽셀의 제1 발광부(ST1)의 수직폭(d1') 보다 2배 이상 넓어야 하고, 이를 정리하면 애노드 전극(ANO)들 간의 간격(d)은  $d > 2d1'$  의 조건을 만족하여야 한다. 또한, 본 발명에 의한 캐소드 전극(CAT)은 인접하는 픽셀들 영역에서 이어지되, 애노드 전극(ANO)들 사이에 개재되지 않는다. 캐소드 전극(CAT)이 애노드 전극(ANO)들 사이에 개재되지 않기 위해서는 애노드 전극(ANO)들 간의 간격은 제1 픽셀(PXL1)의 제1 및 제2 수직폭(d1', d2')과 제2 픽셀(PXL2)의 제1 및 제2 수직폭(d1', d2')을 합한 크기보다 작아야 한다. 즉 애노드 전극(ANO)들 간의 간격(d)은 도 7에 도시된 제1 수직폭(d1') 및 제2 수직폭(d2')의 합을 두 배한 것보다 작게 설정되고, 이를 정리하면 애노드 전극(ANO)들 간의 간격(d)은 " $d < 2(d1'+d2')$ "의 조건을 만족하도록 한다.

[0057] 이와 같은 조건을 만족하기 위한 제조 공정은 도 10 내지 도 13을 참조로 후술하기로 한다.

[0058] 도 8은 본 발명의 제2 실시 예에 의한 유기발광 표시패널을 나타내는 단면도이다. 도 8에서 기술한 제1 실시 예와 실질적으로 동일한 구성에 대해서는 동일한 도면부호를 사용하고 자세한 설명을 생략하기로 한다.

[0059] 도 8을 참조하면, 본 발명의 제2 실시 예에 의한 유기발광 표시패널은 기관(PI) 위에 배치되는 트랜지스터층(TA), 제1 절연막 패턴(ILDP1), 제2 절연막 패턴(ILDP2), 애노드 전극(ANO), 제1 발광부(ST1), 전하생성층(CGL), 제2 발광부(ST2) 및 캐소드 전극(CAT)을 포함한다.

[0060] 애노드 전극(ANO)은 금속 반사층(40), 절연층(50) 및 투명 전극층(60)이 순차적으로 적층된 구조를 갖는다. 절연층(50)은 픽셀(PXL) 마다 다른 두께를 갖는다. 제1 픽셀(PXL1)이 적색 발광영역이고, 제2 픽셀(PXL2)이 녹색 발광영역이고 및 제3 픽셀(PXL3)이 청색 발광영역일 때에 각 픽셀들(P1, P2, P3)의 애노드 전극(ANO)에 속하는 절

연층(50)들의 두께는 다음과 같다. 제2 픽셀(PXL2)의 절연층 두께(h2)는 제1 픽셀(PXL1)의 절연층 두께(h1)보다 두껍고, 제3 픽셀(PXL3)의 절연층 두께(h3)보다 얇게 설정된다. 그 결과 각각의 픽셀들(P1,P2,P3)은 애노드 전극(ANO)들과 캐소드 전극(CAT)들 간의 마이크로캐비티(microcavity) 효과를 높일 수 있다.

- [0061] 도 9의 (a) 내지 (f)는 본 발명에 의한 유기발광 표시패널의 제조방법을 나타내는 도면들이다.
- [0062] 도 9의 (a)를 참조하면, 층간 절연막(ILD) 상에 제1 절연막 패턴(ILDP1) 및 제2 절연막 패턴(ILDP2)을 형성한다. 제1 절연막 패턴(ILDP1) 및 제2 절연막 패턴(ILDP2)은 공지된 공정을 이용하여 머쉬룸 형태로 적층된다.
- [0063] 도 9의 (b)를 참조하면, 제2 절연막 패턴(ILDP2) 상에 반사 금속층(40)을 형성한다. 반사 금속층(40)은 스퍼터링 증착 방법을 이용하여 형성될 수 있다. 제2 절연막 패턴(ILDP2) 상에 금속 물질을 스퍼터링 증착하면, 반사 금속층(40)은 제2 절연막 패턴(ILDP2)의 모서리 영역에서 라운드 형태로 증착될 수 있다. 특히, 본 발명에 의한 머쉬룸 형태로 적층된 제1 절연막 패턴(ILDP1) 및 제2 절연막 패턴(ILDP2)을 이용하여 셀프 얼라인(Self-align) 방식으로 금속 물질을 증착할 수 있다. 따라서 고해상도에서 픽셀 사이즈가 미세할 경우에도 반사율이 높은 은(Ag)을 이용하여 반사 금속층(40)을 형성할 수 있다. 종래에는 반사 금속층을 형성하는 과정에서 드라이 에칭(Dry etching), 윌 에칭(Wet etching), 리프트 오프(Lift off) 등의 공정을 이용하였고, 이러한 경우 픽셀 사이즈가 작아질 경우에 은(Ag)을 이용하여 반사 금속층을 형성하기에 곤란하였다. 이에 반해서, 본 발명은 머쉬룸 형태의 제1 절연막 패턴(ILDP1) 및 제2 절연막 패턴(ILDP2)을 이용하여 증착 공정을 수행하기 때문에 픽셀 사이즈가 작은 표시패널에서도 은(Ag)을 이용하여 반사 금속층(40)을 형성할 수 있다.
- [0064] 반사 금속층(40)을 형성하는 과정에서 인접 픽셀(PXL)들 사이에서 제1 절연막 패턴(ILDP1) 및 제2 절연막 패턴(ILDP2)이 개구된 영역에는 더미 반사패턴(RP)이 잔존한다.
- [0065] 도 9의 (c)를 참조하면, 반사 금속층(40) 상에 절연막(50)을 형성한다. 제1 실시 예에서와 같이 각각의 픽셀(PXL)들에서 절연막(50)은 동일한 두께로 이루어질 수 있고, 제2 실시 예에서와 같이 각각의 픽셀(PXL)들에서 절연막(50)은 서로 다른 두께로 이루어질 수 있다.
- [0066] 도 9의 (d)를 참조하면, 절연막(50)상에 투명 금속층(60)을 형성한다.
- [0067] 도 9의 (e)를 참조하면, 투명 금속층(60)상에 발광부들(ST1, ST2)을 형성한다.
- [0068] 도 9의 (f)를 참조하면, 발광부들(ST1, ST2)을 덮도록 인캡 공정을 수행하고, 컬러필터를 형성한다.
- [0069] 도 9의 (e)에 개시된 공정은 유기물을 증착하는 방법을 이용한다. 앞서 설명한 바와 같이, 본 발명에 의한 제1 발광부(ST1)는 인접하는 픽셀(PXL)들 사이에서 서로 분리되고, 제2 발광부(ST2)는 픽셀(PXL)들 사이에서 서로 이어진다. 특히, 제2 발광부(ST2)의 n형 반도체층(n)은 인접하는 픽셀(PXL)들의 애노드 전극(ANO) 사이에 개재된다. 이와 같은 특징을 갖는 발광부들(ST1, ST2)을 구현하기 위해서, 애노드 전극(ANO) 간의 간격은 주요한 조건이 된다.
- [0070] 도 10 내지 도 13들은 애노드 전극 간의 간격에 따른 제1 발광부 및 제2 발광부가 증착된 형상을 나타내는 시뮬레이션 결과이다. 도 9 내지 도 12에서 제1 애노드 전극(ANO)은 제1 픽셀(PXL)의 애노드 전극을 지칭하고, 제2 애노드 전극(ANO)은 제2 픽셀(PXL)의 애노드 전극을 지칭한다. 도 10 내지 도 13에 도시된 공정은 제1 발광부(ST1)의 수직폭(d1')이 약 80nm로 형성되는 증착 공정의 조건을 이용한 시뮬레이션 결과를 나타내고 있다. 또한, 도 10 내지 도 13은 제1 및 제2 발광부가 증착되는 기관의 면을 하부에서 노출시켜서 증착 공정을 수행하는 실시 예를 중심으로 설명된 것으로, 도 4에 도시된 픽셀 구조와는 상부와 하부가 바뀐 형태를 도시하고 있다.
- [0071] 도 10은 제1 애노드 전극(ANO)과 제2 애노드 전극(ANO) 간의 간격이 150nm인 조건에서 제1 발광부(ST1) 및 제2 발광부(ST2)를 증착한 상태를 도시하고 있다. 도 9에서와 같이 제1 애노드 전극(ANO)과 제2 애노드 전극(ANO) 간의 간격이 지나치게 좁으면, 제1 픽셀(PXL)의 제1 발광부(ST1)와 제2 픽셀(PXL)이 제1 발광부(ST1)는 서로 이어지고, 제1 픽셀(PXL)의 제2 발광부(ST2)와 제2 픽셀(PXL)의 제2 발광부(ST2) 또한 서로 이어진다.
- [0072] 도 11은 제1 애노드 전극(ANO)과 제2 애노드 전극(ANO) 간의 간격이 175nm인 조건에서 제1 발광부(ST1) 및 제2 발광부(ST2)를 증착한 상태를 도시하고 있다. 도 12는 제1 애노드 전극(ANO)과 제2 애노드 전극(ANO) 간의 간격이 200nm인 조건에서 제1 발광부(ST1) 및 제2 발광부(ST2)를 증착한 상태를 도시하고 있다. 도 11 및 도 12에서, 제1 픽셀(PXL)의 제1 발광부(ST1)와 제2 픽셀(PXL)의 제1 발광부(ST1)는 서로 분리된다. 그리고 제1 픽셀(PXL)의 제2 발광부(ST2)와 제2 픽셀(PXL)의 제2 발광부(ST2)의 일부영역이 제1 애노드 전극(ANO)과 제2 애노드

드 전극(ANO) 사이에 개재된다.

[0073] 도 13은 제1 애노드 전극(ANO)과 제2 애노드 전극(ANO) 간의 간격이 225nm인 조건에서 제1 발광부(ST1) 및 제2 발광부(ST2)를 증착한 상태를 도시하고 있다. 도 13에서, 제1 픽셀(PXL)의 제1 발광부(ST1)는 제2 픽셀(PXL)의 제1 발광부(ST1)와 서로 분리되고, 제1 픽셀(PXL)의 제2 발광부(ST2)는 제2 픽셀(PXL)의 제2 발광부(ST2)와 분리된다.

[0074] 도 10 내지 도 13에서 살펴본 바와 같이, 본 발명에 의한 발광부들(ST1, ST2)의 구조를 구현하기 위해서는 제1 애노드 전극(ANO)과 제2 애노드 전극(ANO) 간의 간격을 175nm~200nm 인 범위로 설정하고, 유기화합물을 증착하는 것이 바람직하다.

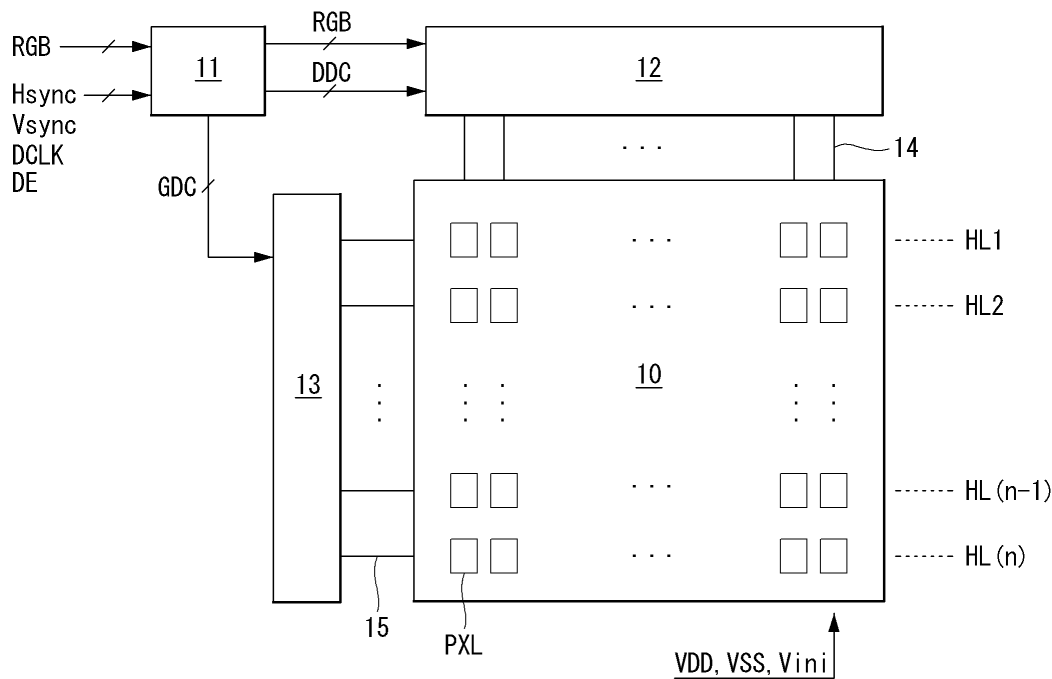
[0075] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

**부호의 설명**

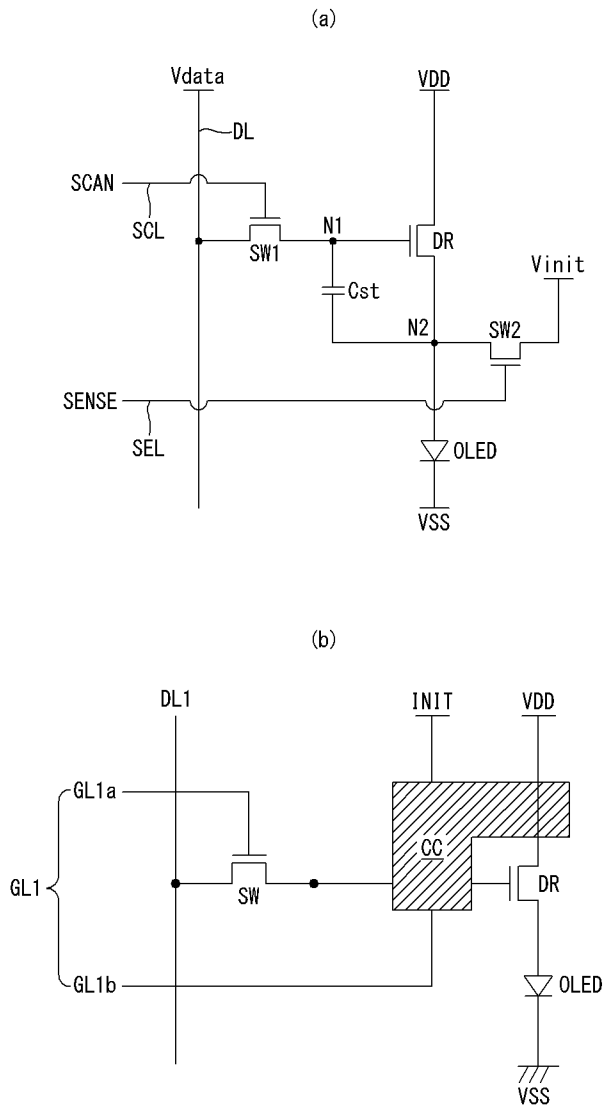
- [0076] 10: 표시패널      11: 타이밍 컨트롤러
- 12: 데이터 구동회로      13: 게이트 구동회로
- 14: 데이터라인      15: 게이트라인
- ANO: 애노드 전극      CAT: 캐소드 전극
- ST1, ST2: 제1 및 제2 발광부

**도면**

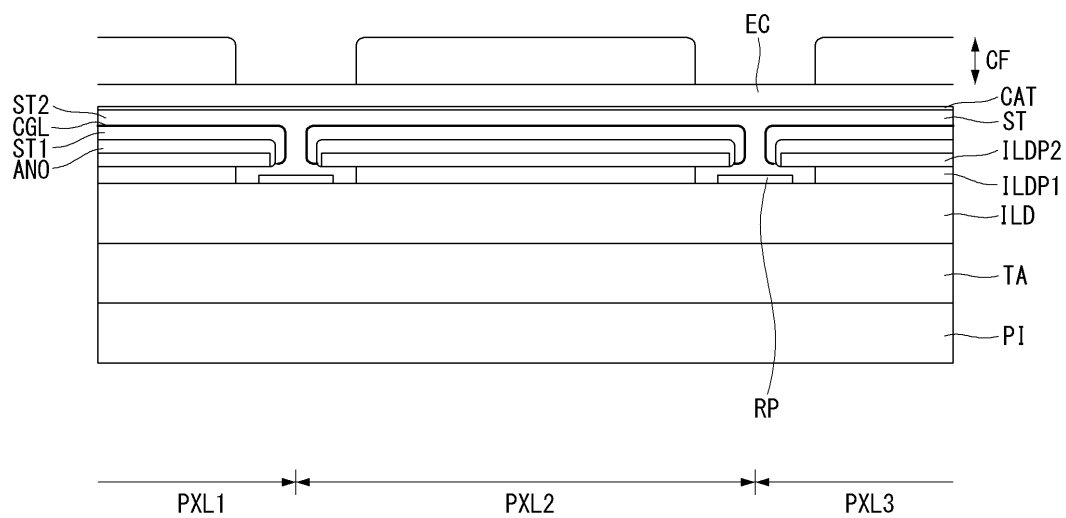
**도면1**



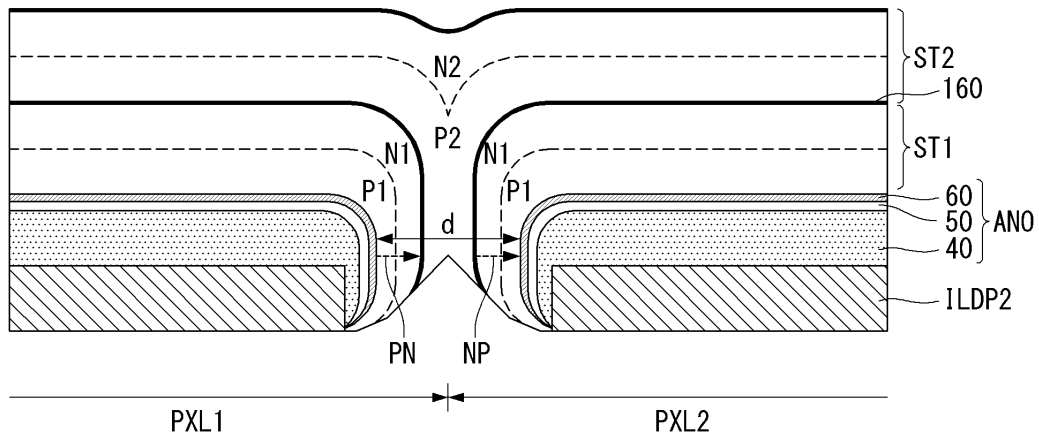
도면2



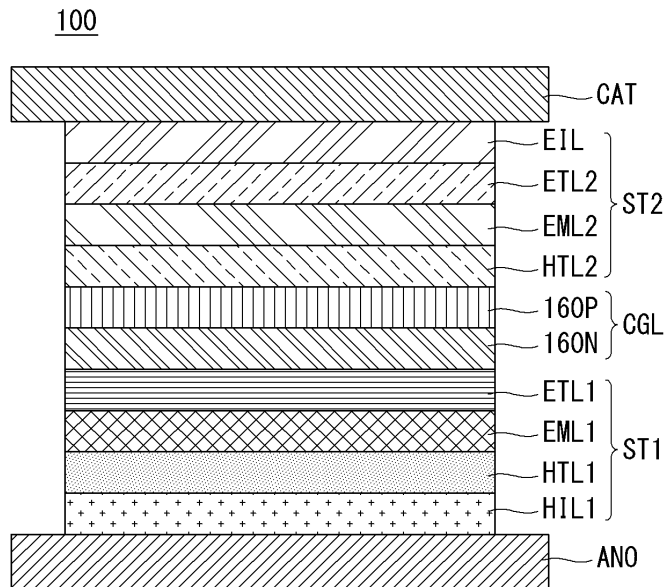
도면3



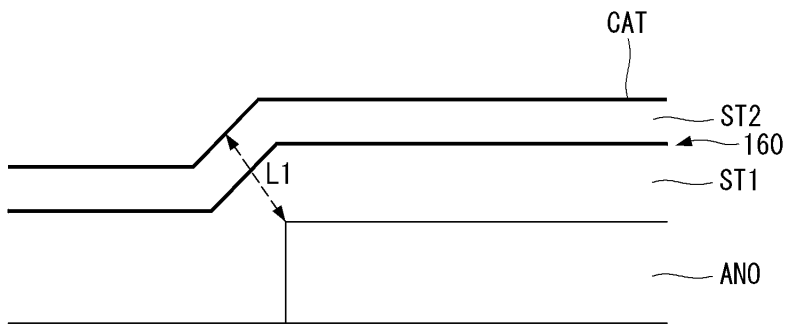
도면4



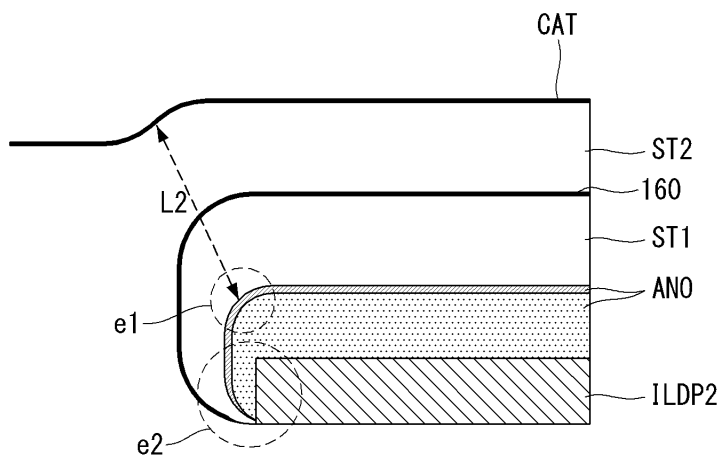
도면5



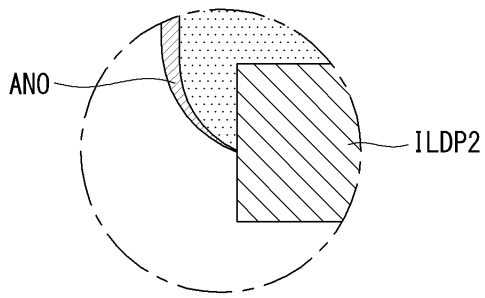
도면6



(a)

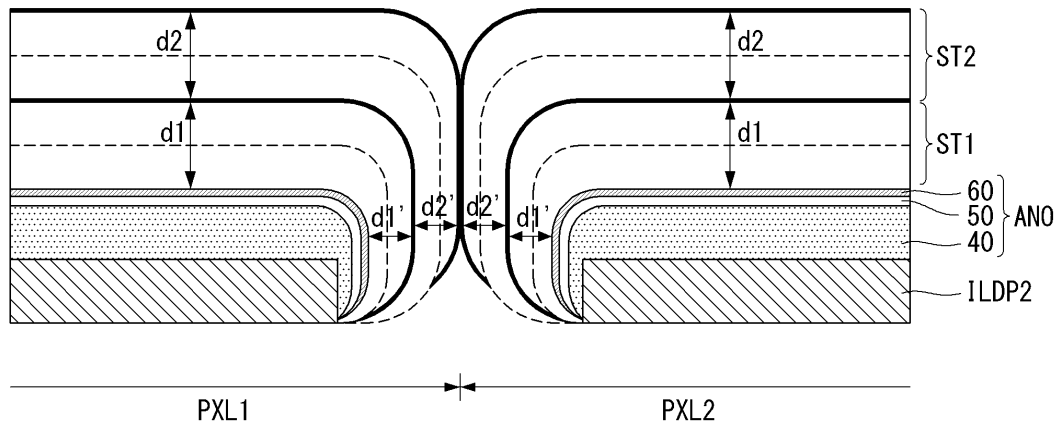


(b)

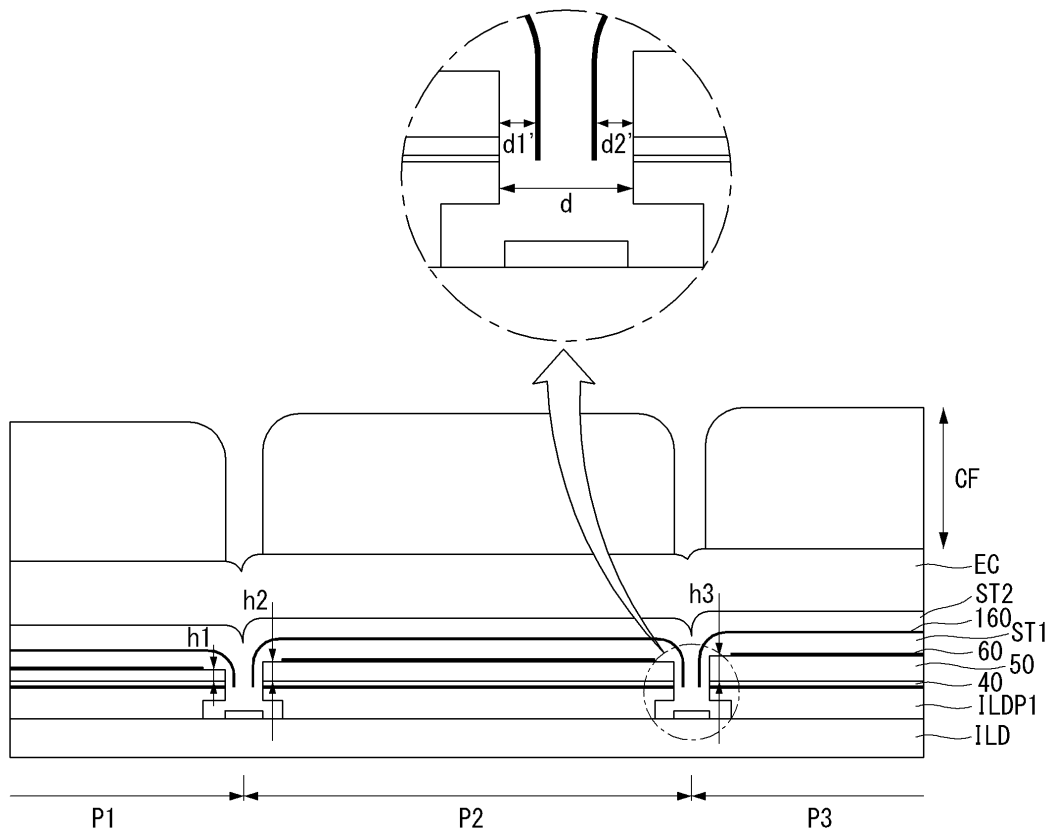


(c)

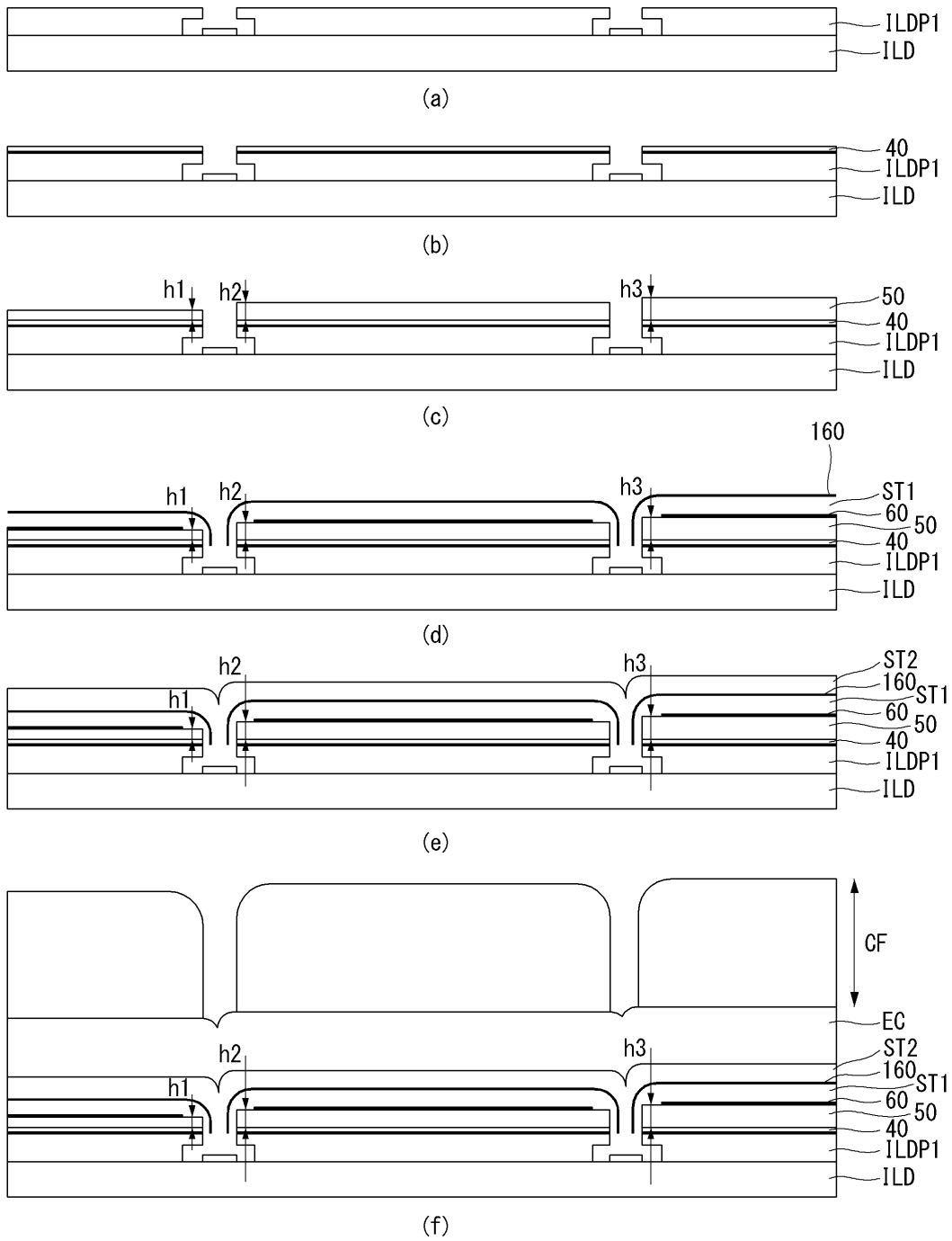
도면7



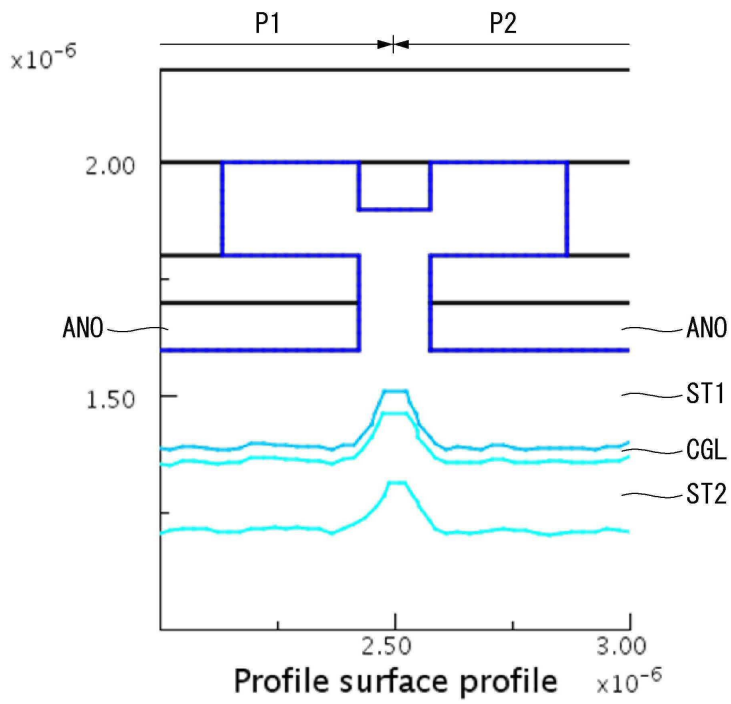
도면8



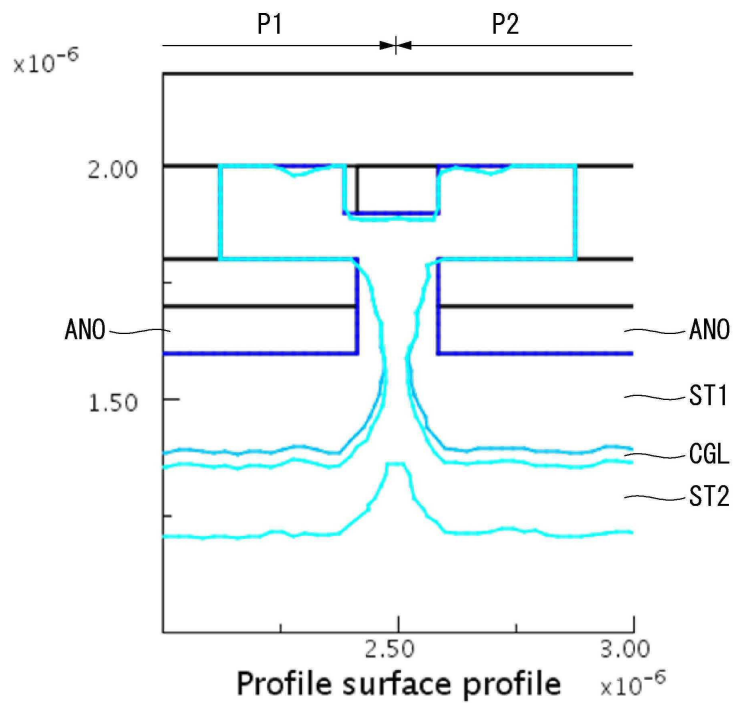
도면9



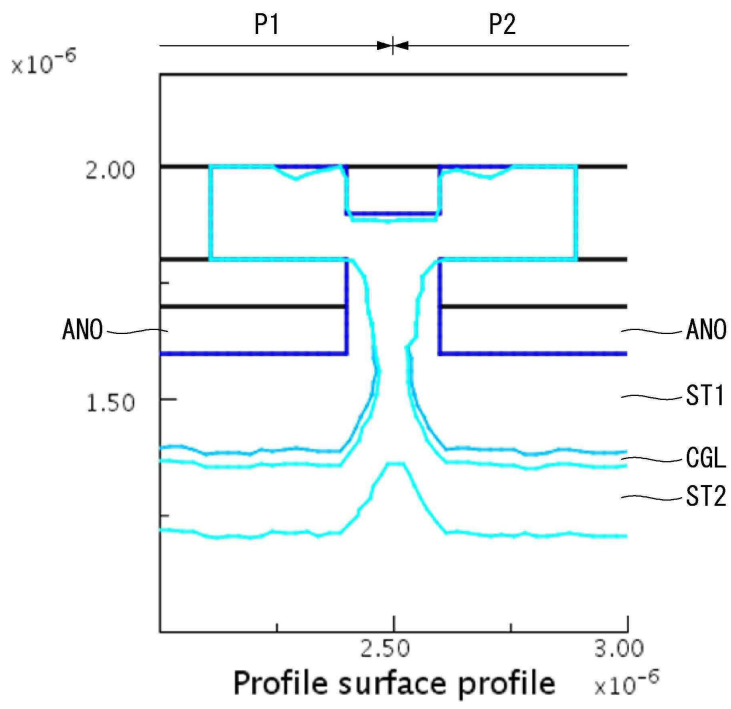
도면10



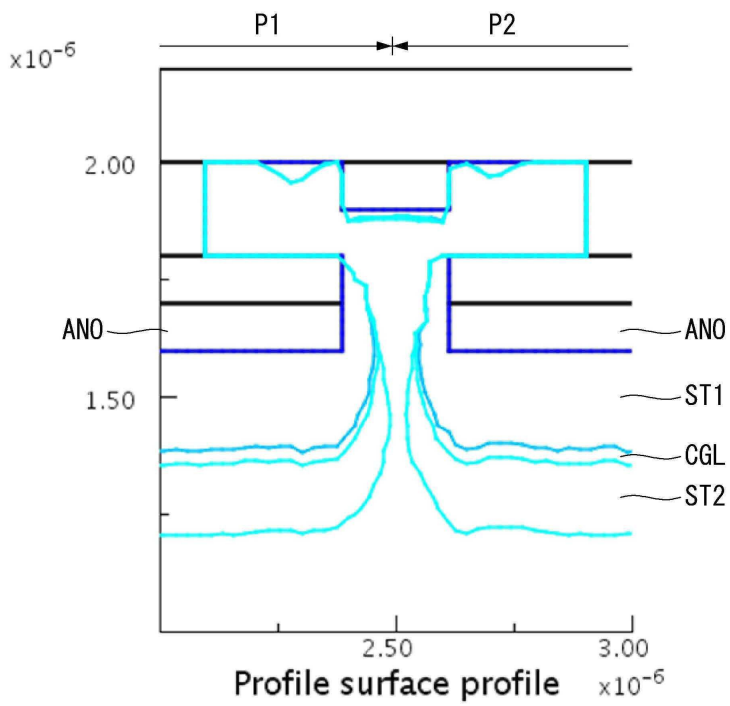
도면11



도면12



도면13



专利名称(译)	有机发光显示面板及其制造方法		
公开(公告)号	<a href="#">KR1020190003239A</a>	公开(公告)日	2019-01-09
申请号	KR1020170083857	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	방형석 윤종근 임형준		
发明人	방형석 윤종근 임형준		
IPC分类号	H01L51/52 H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L51/5206 H01L27/3246 H01L27/3258 H01L27/3262 H01L51/5012 H01L51/5221 H01L51/5271 H01L51/56 H01L27/3244 H01L51/5209 H01L2227/323 H01L27/1225 H01L27/1248 H01L51/5278 H01L2251/558 G09G3/3233 H01L51/504		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的有机发光显示面板包括晶体管层，第一和第二绝缘膜图案，阳极，发光部分和阴极。晶体管层设置在基板上方。为每个像素设置一个第一绝缘膜图案，并且将其设置在覆盖晶体管层的层间绝缘膜上。第二绝缘膜图案具有比第一绝缘膜图案更大的面积并且覆盖第一绝缘膜图案。阳极电极覆盖第二绝缘膜图案，并且拐角区域的横截面是圆形的。发光部分覆盖阳极，并且阴极设置在发光部分上。

