



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0072440  
(43) 공개일자 2018년06월29일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)  
H01L 27/12 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2013.01)  
G09G 3/3233 (2013.01)  
(21) 출원번호 10-2016-0176001  
(22) 출원일자 2016년12월21일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
임상현  
경기도 고양시 덕양구 화신로 233 (화정동) 옥빛  
마을 15단지 1509동 1204호  
(74) 대리인  
특허법인로알

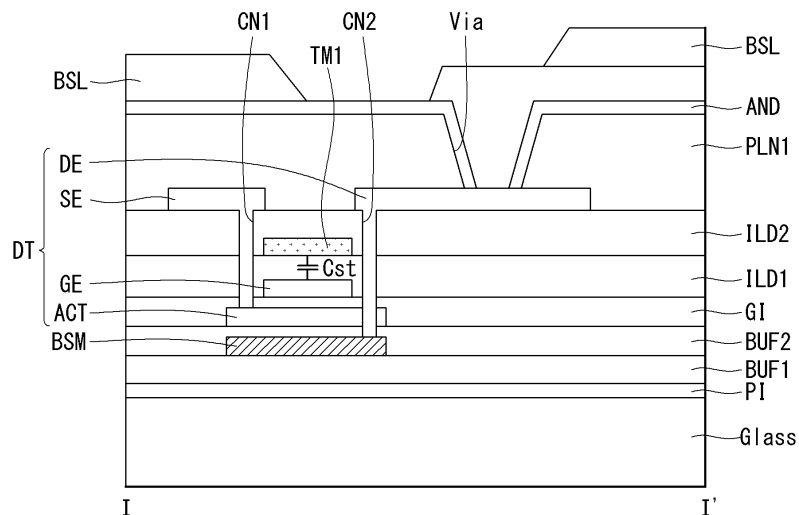
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 픽셀들, 게이트라인들 및 이니셜 라인을 포함한다. 픽셀들은 유기발광다이오드를 구동하는 구동 트랜지스터를 포함한다. 게이트라인들은 픽셀들 각각에 연결되며, 이니셜 라인은 유기발광다이오드의 애노드 전극의 전압을 초기화하는 초기화 전압을 공급한다. 쉘드 패턴은 구동트랜지스터의 게이트 전극 하부에 위치한다. 이니셜 라인은 쉘드 패턴과 동일한 어레이층에 위치한다.

대표도 - 도6



(52) CPC특허분류

*H01L 27/124* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 27/3272* (2013.01)

*G09G 2300/0842* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

유기발광다이오드를 구동하는 구동 트랜지스터를 포함하는 픽셀들;  
 상기 픽셀들 각각에 연결되는 하나 이상의 게이트라인들; 및  
 상기 유기발광다이오드의 애노드 전극의 전압을 초기화하는 초기화 전압을 공급하는 이니셜 라인을 포함하고,  
 상기 픽셀들은 상기 구동트랜지스터의 게이트전극 하부에 위치하는 쉘드 패턴을 더 포함하고,  
 상기 이니셜 라인은 상기 쉘드 패턴과 동일한 어레이층에 위치하는 유기발광 표시장치.

#### 청구항 2

제 1 항에 있어서,  
 상기 이니셜 라인은 상기 게이트라인들 중에서 어느 하나와 평면 상에서 중첩하는 유기발광 표시장치.

#### 청구항 3

제 1 항에 있어서,  
 제 $n$  픽셀라인에 배치되는 상기 픽셀들과 연결되는 상기 게이트라인들은 제 $n$  스캔신호를 공급하는 제 $n$  스캔라인을 포함하고,  
 $n$  번째 픽셀라인에 배치되는 상기 픽셀은  
 상기 구동트랜지스터의 드레인전극에 연결되는 소스전극, 상기 구동트랜지스터의 게이트전극에 연결되는 드레인 전극, 및 상기 제 $n$  스캔신호를 입력받는 제1 트랜지스터를 더 포함하고,  
 상기 이니셜 라인은 상기 제 $n$  스캔라인과 평면상에서 중첩되는 유기발광 표시장치.

#### 청구항 4

제 1 항에 있어서,  
 상기 이니셜 라인은 제1 버퍼층 상에 위치하고,  
 상기 구동트랜지스터의 반도체층은 상기 제1 버퍼층을 덮는 제1 버퍼층 상에 위치하며,  
 상기 구동트랜지스터의 게이트전극은 상기 제1 버퍼층을 덮는 제2 버퍼층 상에 위치하는 유기발광 표시장치.

#### 청구항 5

제 1 항에 있어서,  
 상기 초기화 전압은 상기 유기발광다이오드의 동작전압 보다 낮은 전압인 유기발광 표시장치.

#### 청구항 6

제 1 항에 있어서,  
 상기 쉘드 패턴은 정전압을 공급받는 유기발광 표시장치.

#### 청구항 7

제 3 항에 있어서,  
 상기 제1 트랜지스터의 문턱전압은 상기 초기화 전압에 따라 가변되는 유기발광 표시장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치에 관한 것이다.

### 배경 기술

[0002] 자발광 소자인 유기발광소자(OLED)는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다. 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광소자(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점으로 인해서 다양하게 이용되고 있다.

[0003] 유기발광 표시장치는 유기발광다이오드를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트-소스 간 전압에 따라 유기발광다이오드에 흐르는 구동전류를 제어하는 구동 트랜지스터, 및 구동 트랜지스터의 게이트-소스 간 전압을 프로그래밍하는 적어도 하나 이상의 스위치 트랜지스터를 포함한다. 구동전류는 데이터전압에 따른 구동 트랜지스터의 게이트-소스 간 전압과, 구동 트랜지스터의 문턱전압에 의해 결정되며, 픽셀의 휘도는 유기발광다이오드에 흐르는 구동전류의 크기에 비례한다. 각 픽셀의 유기발광다이오드는 매 프레임 기간마다 프로그래밍되는 영상데이터를 바탕으로 발광하고, 유기발광다이오드의 애노드 전극은 프레임 기간마다 새로운 영상데이터를 프로그래밍하기 이전에 초기화 전압을 이용하여 초기화된다. 픽셀에 공급되는 초기화 전압은 이니셜 라인을 통해서 공급된다.

[0004] 근래에는 표시장치의 해상도가 커지면서 픽셀의 사이즈가 커지고 있다. 따라서, 이니셜 라인을 포함하는 픽셀 어레이의 설계도 더욱 중요해지고 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 이니셜 라인과 인접하는 라인들 간의 쇼트 현상을 개선할 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

### 과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광 표시장치는 픽셀들, 게이트라인들 및 이니셜 라인을 포함한다. 픽셀들은 유기발광다이오드를 구동하는 구동 트랜지스터를 포함한다. 게이트라인들은 픽셀들 각각에 연결되며, 이니셜 라인은 유기발광다이오드의 애노드 전극의 전압을 초기화하는 초기화 전압을 공급한다. 쉘드 패턴은 구동트랜지스터의 게이트전극 하부에 위치한다. 이니셜 라인은 쉘드 패턴과 동일한 어레이층에 위치한다.

### 발명의 효과

[0007] 본 발명에 의하면, 이니셜 라인은 인접하는 신호 배선들과 버퍼층을 사이에 두고 위치하기 때문에, 이니셜 라인과 다른 신호 배선들과의 쇼트 현상이 개선된다. 또한, 본 발명의 이니셜 라인은 스캔라인과 중첩되기 때문에, 스캔라인과 연결되는 게이트전극을 포함하는 트랜지스터들의 문턱전압은 이니셜 라인으로 공급되는 초기화 전압에 의해서 가변될 수 있다.

### 도면의 간단한 설명

[0008] 도 1은 본 발명의 실시예에 의한 유기발광 표시장치를 보여주는 도면.

도 2는 본 발명의 실시예에 의한 픽셀의 등가 회로로.

도 3은 도 2에 도시된 픽셀의 구동신호들의 파형도 및 주요 노드의 전압 변화를 나타내는 도면.

도 4a 내지 도 4c는 구동기간에 따른 픽셀들의 증가회로도.

도 5는 본 발명에 의한 픽셀의 평면 어레이 구조를 나타내는 도면.

도 6은 도 5에 도시된 I-I'를 따라 절단한 단면도.

도 7은 도 5에 도시된 II-II'를 따라 절단한 단면도.

도 8은 비교 예에 의한 픽셀의 평면 어레이 구조를 나타내는 도면.

도 9는 도 8에서 III-III'를 따라 절단한 단면도.

도 10은 본 발명에 의한 초기화 전압과 제1 트랜지스터의 문턱전압의 관계를 나타내는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0009] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0010] 본 발명의 게이트 구동 회로에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 n 타입 트랜지스터를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로서 인하여 발명이 제한되어서는 안된다.
- [0011] 본 발명의 실시예에서는 픽셀을 구성하는 트랜지스터들이 모두 P 타입으로 구현되는 것만을 개시하고 있으나, 본 발명의 기술적 사상은 이에 한정되지 않고 N 타입으로 구현되는 경우에도 적용될 수 있다.
- [0012] 이하, 도 1 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0013] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 나타내는 도면이고, 도 2는 도 1에 도시된 픽셀의 증가회로도이다.
- [0014] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀들(PXL)이 형성된 표시패널(10)과, 데이터라인들(DL1~DLm)을 구동하기 위한 데이터 구동부(12), 게이트라인들(GL1~GL(n))을 구동시키기 위한 게이트 구동부(13), 데이터 구동부(12) 및 게이트 구동부(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.
- [0015] 표시패널(10)에는 다수의 픽셀(PXL)들이 매트릭스 형태로 배치된다. n 번째 수평라인에 배치된 픽셀(PXL)들은 제n 게이트라인(GLn)과 연결된다. 제n 게이트라인(GLn)은 제n 스캔라인(SL[n]) 및 제(n-1) 스캔라인(SL[n-1])을 포함한다. 각각의 컬럼라인에 배치된 픽셀(PXL)들은 하나의 데이터라인(DL)과 연결된다.
- [0016] 픽셀(PXL)들은 도시하지 않은 전원발생부로부터 고전위 및 저전위 구동전압(ELVDD, ELVSS)과 초기화 전압(Vini)을 공통으로 공급받을 수 있다. 이니셜 기간 및 샘플링 기간에서 유기발광소자(OLED)의 불필요한 발광이 방지되도록 초기화 전압(Vini)은 유기발광소자(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택될 수 있다. 즉, 저전위 구동전압(VSS)과 같거나 저전위 구동전압(VSS)보다 낮게 설정될 수 있다. 따라서, 이니셜 기간에 초기화 전압(Vini)이 저전위 구동전압(VSS)보다 낮은 전압이 인가됨으로써, 유기발광소자(OLED)의 수명을 향상시킬 수 있다.

- [0017] 픽셀(PXL)을 구성하는 트랜지스터(TFT)들은 산화물 반도체층을 포함한 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), 또는 IGZO(Indium Gallium Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 또는 유기물(organic) 반도체 등으로 형성될 수 있다.
- [0018] 타이밍 콘트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동부(12)에 공급한다. 또한, 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0019] 데이터 구동부(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.
- [0020] 게이트 구동부(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 발광제어신호를 생성할 수 있다. 게이트 구동부(13)는 스캔 구동부와 에미션 구동부를 포함할 수 있다. 스캔 구동부는 제1 내지 제n 스캔신호(SCAN1~SCAN[n])를 생성하고, 에미션 구동부는 제1 내지 제n 발광제어신호(EM1~EMn)를 생성한다. 게이트 구동부(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비표시영역 상에 직접 형성될 수 있다.
- [0021] 도 2를 참조하여, 픽셀의 세부적인 구성을 살펴보면 다음과 같다.
- [0022] 픽셀(PXL)들 각각은 유기발광다이오드(OLED) 구동트랜지스터(DT), 제1 내지 제6 트랜지스터(T1~T6) 및 커패시터(Cst)를 포함한다.
- [0023] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광소자(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 적어도 하나의 정공전달층 및 전자전달층과, 발광층(Emission layer, EML)을 포함할 수 있다. 여기서, 정공전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 및 전자저지층(Electron blocking layer, EBL) 등일 수 있다. 그리고, 전자전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL), 및 정공저지층(Hole blocking layer, HBL) 등일 수 있다. 유기발광소자(OLED)의 애노드전극은 제4 노드(N4)에 접속되고, 유기발광소자의 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0024] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 소스전극은 제1 노드(N1)에 접속되고, 게이트전극은 제2 노드(N2)에 접속되고, 드레인전극은 제3 노드(N3)에 접속된다.
- [0025] 제1 트랜지스터(T1)는 제3 노드(N3)에 접속되는 소스전극, 제2 노드(N2)에 접속되는 드레인전극 및 제n 스캔라인(SL[N])에 접속하는 게이트전극을 포함한다. 제1 트랜지스터(T1)는 제n 스캔신호(SCAN[N])에 응답하여, 구동트랜지스터(DT)의 게이트-드레인 전극을 다이오드 커패시터로 만든다.
- [0026] 제2 트랜지스터(T2)는 데이터라인(DL)에 연결되는 소스전극, 제1 노드(N1)에 연결되는 드레인전극 및 제n 스캔라인(SL[n])에 연결되는 게이트전극을 포함한다. 그 결과, 제2 트랜지스터(T2)는 제n 스캔신호(SCAN[N])에 응답하여, 데이터라인(DL1)으로부터 공급받는 데이터전압(Vdata)을 제1 노드(N1)에 인가한다.
- [0027] 제3 트랜지스터(T3)는 고전위 구동전압라인(VDD)에 연결되는 소스전극, 제1 노드(N1)에 연결되는 드레인전극 및 에미션라인에 연결되는 게이트전극을 포함한다. 그 결과, 제3 트랜지스터(T3)는 발광제어신호(EM)에 응답하여 고전위 구동전압(VDD)을 제1 노드(N1)에 인가한다.
- [0028] 제4 트랜지스터(T4)는 제3 노드(N3)에 접속하는 소스전극, 제4 노드(N4)에 접속하는 드레인전극 및 에미션라인(EL)에 접속하는 게이트전극을 포함한다. 제4 트랜지스터(T4)는 발광제어신호(EM)에 응답하여 제3 노드(N3)와 제4 노드(N4) 간의 전류 패스를 형성한다.
- [0029] 제5 트랜지스터(T5)는 제2 노드(N2)에 연결되는 드레인전극, 초기화전압(Vini) 입력단에 연결되는 소스전극 및 제(n-1) 스캔라인(SL[N-1])에 연결되는 게이트전극을 포함한다. 제5 트랜지스터(T5)는 제(n-1) 스캔신호

(SCAN[N-1])에 응답하여 초기화전압(Vini)을 제2 노드(N2)에 인가한다.

- [0030] 제6 트랜지스터(T6)는 제4 노드(N4)에 연결되는 드레인전극 초기화전압(Vini) 입력단에 연결되는 소스전극 및 제n 스캔라인(SL[N])에 연결되는 게이트전극을 포함한다. 제5 트랜지스터(T5)는 제n 스캔신호(SCAN[N])에 응답하여 초기화전압(Vini)을 제4 노드(N4)에 인가한다.
- [0031] 스토리지 커패시터(Cst)는 제2 노드(N2)에 연결되는 제1 전극 및 고전위 구동전압라인(VDD)에 연결되는 제2 전극을 포함한다.
- [0032] 도 3은 픽셀을 구동하는 게이트신호를 나타내는 파형도 및 이에 따른 픽셀들의 주요 노드 전압을 나타내는 도면이다. 도 4a는 이니셜 기간 동안 화소의 증가회로도이고, 도 4b는 샘플링 기간 동안 화소의 증가회로도이고, 도 4c는 에미션 기간 동안 화소의 증가회로도이다.
- [0033] 도 2 내지 도 4c를 참조하여, 본 발명에 의한 유기발광 표시장치의 구동을 살펴보면 다음과 같다.
- [0034] 본 발명에 의한 유기발광 표시장치에서 한 프레임 기간은 이니셜 기간(Ti), 샘플링 기간(Ts) 및 에미션 기간(Te)으로 구분될 수 있다. 이니셜 기간(Ti)은 구동트랜지스터의 게이트전극의 전압 초기화하는 기간이다. 샘플링 기간(Ts)은 유기발광다이오드(OLED)의 애노드 전극의 전압을 초기화하며, 구동트랜지스터(DT)의 문턱전압을 샘플링하여 노드 B에 저장하는 기간이다. 에미션 기간(Te)은 샘플링된 문턱전압을 포함하여 구동트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자(OLED)를 발광시키는 기간이다.
- [0035] n 번째 픽셀라인의 이니셜 기간(Pi)은 n-1번째 픽셀라인의 샘플링 기간과 중첩한다. 즉, 본 발명은 샘플링 기간(Ts)을 충분히 확보할 수 있어서 문턱전압의 보상을 더욱 정확하게 할 수 있다.
- [0036] 이니셜 기간(Pi) 동안, 제5 트랜지스터(T5)는 제(n-1) 스캔신호(SCAN(n-1))에 응답하여, 제2 노드(N2)에 초기화 전압(Vini)을 인가한다. 그 결과 구동트랜지스터(DT)의 게이트전극은 초기화전압(Vini)으로 초기화된다. 초기화전압(Vini)은 유기발광소자(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택할 수 있으며, 저전위 구동전압(ELVSS)과 같거나 낮은 전압으로 설정될 수 있다. 그리고, 이니셜 기간(Pi)에서, 제1 노드(N1)에는 이전 프레임의 데이터전압(Vdata)이 유지되어 있다.
- [0037] 샘플링 기간(Ts) 동안, 제6 트랜지스터(T6)는 제n 스캔신호(SCAN(n))에 응답하여, 초기화전압(Vini)을 제4 노드(N4)에 인가한다. 그 결과 유기발광다이오드(OLED)의 애노드 전극은 초기화전압(Vini)으로 초기화된다.
- [0038] 제2 트랜지스터(T2)는 제n 스캔신호(SCAN[N])에 응답하여, 데이터라인(DL1)으로부터 공급받는 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 그리고 제1 트랜지스터(T1)는 제n 스캔신호(SCAN[N])에 응답하여 턴 온됨으로써, 구동트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터가 다이오드처럼 동작)된다.
- [0039] 샘플링 기간(Ps)에서, 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐른다. 구동트랜지스터(DT)의 게이트전극과 드레인전극은 다이오드 커넥션 된 상태이기 때문에, 소스전극에서 드레인전극으로 흐르는 전류(Ids)에 의해서 제2 노드(N2)의 전압은 점차 상승한다. 샘플링 기간(Ts) 동안에, 제2 노드(N2)의 전압은 데이터전압(Vdata(n))에서 구동트랜지스터(DT)의 문턱전압(Vth)을 뺀 값(Vdata(n)-Vth)까지 높아진다.
- [0040] 에미션 기간(Pe) 동안, 제3 트랜지스터(T3)는 발광제어신호(EM(n))에 응답하여, 제1 노드(N1)에 고전위 구동전압(VDD)을 인가한다. 제4 트랜지스터(T4)는 제n 발광제어신호(EM(n))에 응답하여, 제3 노드(N3) 및 제4 노드(N4)의 전류 패스를 형성한다. 결국, 구동트랜지스터(DT)의 소스전극과 드레인전극을 경유하는 구동전류(Ioled)는 유기발광다이오드(OLED)에 인가된다.
- [0041] 에미션 기간(Pe) 동안, 유기발광소자(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학식 1과 같이 된다.
- [0042] [수학식 1]
- [0043] 
$$I_{OLED} = k/2(V_{gs} + |V_{th}|)^2 = k/2(V_g - V_s + |V_{th}|)^2 = k/2(V_{data} - |V_{th}| - V_{DD} + |V_{th}|)^2 = k/2(V_{data} - V_{DD})^2$$
- [0044] 수학식 1에서, k/2는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 나타낸다.



- [0045] [수학적식 1]에서 보는 바와 같이 구동전류(Ioled)의 관계식에는 구동트랜지스터(DT)의 문턱전압(Vth) 성분이 소거되고, 이는 본 발명에 의한 유기발광 표시장치는 문턱전압(Vth)이 변한다고 할지라도 구동전류(Ioled)는 변하지 않는다는 것을 의미한다.
- [0046] 살펴본 바와 같이, 본 발명에 의한 유기발광 표시장치는 샘플링 기간(Ts) 동안에 문턱전압(Vth)의 변화량에 관계없이 데이터전압을 프로그래밍할 수 있다.
- [0047] 하지만, 샘플링 기간(Ts) 동안에 구동트랜지스터(DT)의 게이트-소스 간의 전압을 원하는 전압으로 프로그래밍하여도, 구동 트랜지스터(DT)의 게이트전극 전압이 변동되면 원하는 휘도를 표시하지 못하게 된다. 구동트랜지스터(DT)의 게이트전극은 인접하는 전극 또는 신호 배선들과 기생 커패시턴스를 형성하고, 기생 커패시턴스에 의한 커플링 효과로 게이트전극의 전압은 변동될 수 있다.
- [0048] 도 5는 본 발명에 의한 제n 픽셀라인에 배치된 픽셀의 평면을 모식화 한 도면이다. 도 6은 도 5에서 I-I'를 따라 절단한 단면을 나타내는 도면이고, 도 7은 도 5에서 II-II'를 따라 절단한 단면을 나타내는 도면이다.
- [0049] 도 5 내지 도 7을 참조하면, 제n 픽셀라인에 배치되는 픽셀(PXL)은 제n 스캔라인(SL[n]), 제(n-1) 스캔라인(SL[n-1]), 제n 에미션 라인(EML), 및 이니셜 라인(VIL)과 연결된다. 구동 트랜지스터(DT)의 게이트전극(GE)은 제2 노드(N2)와 연결되고, 소스전극(SE)은 제1 노드(N1)와 연결되며, 드레인전극(DE)은 제3 노드(N3)와 연결된다. 커패시터 금속층(TM1)은 구동 트랜지스터(DT)의 게이트전극(GE)과 평면상에서 중첩된다. 쉘드 패턴(BSM)은 구동 트랜지스터(DT)의 게이트전극(GE)을 커버할 수 있는 면적으로 형성된다. 이니셜 라인(VIL)은 제n 스캔라인(SL[n])과 평면상에서 중첩된다.
- [0050] 도 6을 참조하여 구동 트랜지스터(DT)의 단면 구조를 살펴보면 다음과 같다.
- [0051] 구동 트랜지스터(DT)의 소스전극은 제1 노드(N1)에 연결되고, 게이트전극은 제2 노드(N2)에 연결되며, 드레인전극은 제3 노드(N3)에 연결된다.
- [0052] 표시영역(AA)에서 베이스 기판(Glass) 상에는 폴리이미드(PI)층이 위치할 수 있다. 폴리이미드(PI) 층 상에는 제1 버퍼층(BUF1)이 위치한다. 제1 버퍼층(BUF1)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0053] 제1 버퍼층(BUF1) 상에 쉘드 패턴(BSM)이 위치한다. 폴리이미드계열의 절연막은 이동전하(mobile charge)를 형성하여 트랜지스터의 반도체층에 영향을 주고, 구동전류를 감소시키는 문제가 발생할 수 있다. 쉘드 패턴(BSM)은 폴리이미드(PI)층의 전하 흐름으로 인해서 반도체층(ACT)의 전류량이 감소되는 것을 방지하는 역할을 한다. 쉘드 패턴(BSM)은 플로팅 상태일 수도 있고, 도면에서와 같이 드레인전극에 연결될 수도 있다. 본 명세서에서는 쉘드 패턴(BSM)이 드레인전극에 연결되는 실시 예를 도시하고 있지만, 쉘드 패턴은 전압레벨이 일정한 다른 정전압원에 연결될 수도 있다.
- [0054] 쉘드 패턴(LS) 상에는 제2 버퍼층(BUF2)이 위치한다. 제2 버퍼층(BUF2)은 쉘드 패턴(LS)에서 유출되는 알칼리이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 제2 버퍼층(BUF2)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0055] 제2 버퍼층(BUF2) 상에 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100cm<sup>2</sup>/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다.
- [0056] 반도체층(ACT) 상에는 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트전극(GA)이 위치한다. 게이트전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트전극(GA)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알



루미늄의 2중층일 수 있다.

- [0057] 게이트전극(GA) 상에 게이트전극(GA)을 절연시키는 제1 층간 절연막(ILD)이 위치한다. 제1 층간 절연막(ILD)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있다.
- [0058] 제1 층간 절연막(ILD1) 상에는 커패시터 금속층(TM1)이 위치한다. 커패시터 금속층(TM1)은 게이트 절연막(GI)을 사이에 두고 게이트전극(GE)과 대면하며, 커패시터 금속층(TM1) 및 게이트전극(GE)은 스토리지 커패시터(Cst)를 형성한다.
- [0059] 커패시터 금속층(TM1) 상에는 제2 층간 절연막(ILD2)이 위치한다. 제2 층간 절연막(ILD2)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있다.
- [0060] 제2 층간 절연막(ILD) 상에는 드레인전극(DE)과 소스전극(SE)이 위치한다. 소스전극(SE)은 제1 컨택홀(CN1)을 통해서 반도체층(ACT)에 접속되고, 드레인전극(DE)은 제2 컨택홀(CN2)을 통해서 반도체층(ACT)에 접속된다.
- [0061] 소스전극(SE) 및 드레인전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스전극(SE) 및 드레인전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스전극(SE) 및 드레인전극(DE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0062] 반도체층(ACT), 게이트전극(GE), 드레인전극(DE) 및 소스전극(SE)은 구동 트랜지스터(DT)를 구성한다.
- [0063] 소스전극(SE) 및 드레인전극(DE) 상에는 픽셀 평탄화막(PLN1)이 위치한다. 픽셀 평탄화막(PLN1)은 구동 트랜지스터(DT) 및 표시영역(AA)에 배치되는 트랜지스터를 보호하고, 표시영역(AA)의 단차를 완하시킨다.
- [0064] 픽셀 평탄화막(PLN1) 상에는 유기발광 다이오드(OLED)의 애노드 전극(AND)이 위치한다. 애노드 전극(AND)은 비아홀(Via)을 통해서 구동 트랜지스터(DT)의 드레인전극(DE)과 접속한다. 애노드 전극(AND)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다.
- [0065] 애노드 전극(AND) 상에는 화소를 구획하는 बैं크층(BSL)이 위치한다. बैं크층(BSL)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다.
- [0066] 도 7을 참조하여 이니셜 라인(VIL)과 제n 스캔라인(SL[n])이 중첩되는 영역의 단면 구조를 살펴보면 다음과 같다.
- [0067] 제1 트랜지스터(T1)의 게이트 영역(GE1)은 제n 스캔라인(SL[n])과 반도체층(ACT1)이 평면상에서 중첩되는 영역을 지칭한다. 이니셜 라인(VIL)은 쉘드 패턴(BSM)과 동일한 물질을 이용하여, 제1 버퍼층(BUF1)에 배치된다. 이니셜 라인(VIL)을 덮는 제2 버퍼층(BUF2) 상에는 반도체층(ACT1)이 배치된다. 반도체층(ACT1)을 덮는 게이트 절연막(GI) 상에는 제1 트랜지스터(T1)의 게이트전극(GE1)이 배치된다.
- [0068] 도 8은 본 발명과 대비되는 비교 예에 의한 픽셀 구조를 나타내는 도면이고, 도 9는 도 8에서 III-III'를 따라 절단한 단면을 나타내는 도면이다.
- [0069] 도 8 및 도 9를 참조하면, 비교 예에 의한 픽셀은 제(n-1) 스캔라인(SL[n-1])과 평면상에서 나란히 배치되는 이니셜 라인(VIL)을 포함한다. 이니셜 라인(VIL)은 커패시터 금속층(TM1)과 동일한 어레이층에 위치한다. 이니셜 라인(VIL)은 제(n-1) 스캔라인(SL[n-1])과 매우 근접한 상태에 위치하기 때문에, 이니셜 라인(VIL)과 제(n-1) 스캔라인(SL[n-1]) 간에는 쇼트(short) 현상이 발생할 수 있다.
- [0070] 이에 반해서, 본 발명에 의한 이니셜 라인(VIL)은 도 7에서와 같이, 쉘드 패턴(BSM)과 동일한 어레이층에 배치되기 때문에, 이니셜 라인(VIL)과 제n 스캔라인(SL[n]) 사이에는 제1 버퍼층(BUF1) 및 제2 버퍼층(BUF2)이 위치한다. 본 발명은 이니셜 라인(VIL)과 제n 스캔라인(SL[n]) 간의 간격이 충분히 이격되기 때문에 이니셜 라인(VIL)과 제n 스캔라인(SL[n]) 간의 쇼트 현상이 발생할 가능성이 적다.
- [0071] 또한, 이니셜 라인(VIL)은 제n 스캔라인(SL[n])과 중첩되기 때문에, 이니셜 라인(VIL)에 공급되는 초기화 전압(Vini)은 제n 스캔라인(SL[n])을 게이트전압으로 공급받는 트랜지스터들의 백 바이어스 전압이 된다. 따라서, 이니셜 라인(VIL)에 공급되는 초기화 전압(Vini)을 이용하여 제n 스캔라인(SL[n])을 게이트전압으로 공급받는 트랜지스터들의 문턱전압을 나타내는 도면이다.

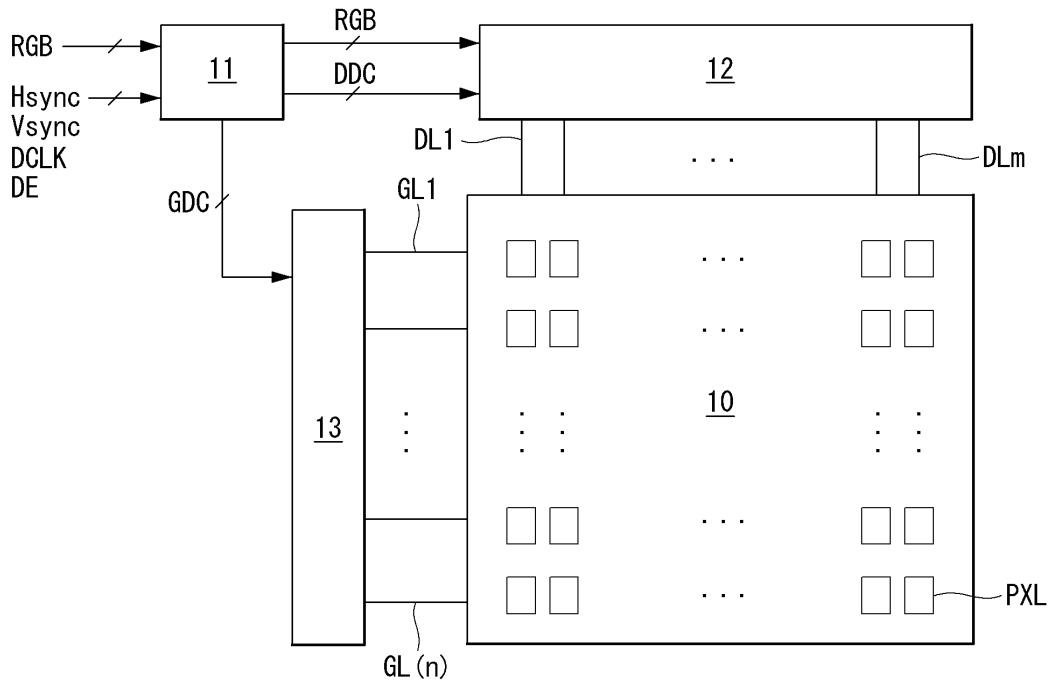
- [0072] 도 10은 초기화 전압의 크기에 따라 도 5에 도시된 제1 트랜지스터의 문턱전압 변화를 나타내는 도면이다.
- [0073] 도 10을 참조하면, 초기화 전압(Vini)의 전위가 높을수록 제1 트랜지스터(T1)의 문턱전압(Vth)은 낮아진다.
- [0074] 이니셜 라인(VIL)은 제1 트랜지스터(T1)의 게이트전극(GE1)과 평면상에서 중첩되기 때문에, 이니셜 라인(VIL)에 인가되는 초기화 전압(Vini)은 제1 트랜지스터(T1)의 백 바이어스(back bias) 전압에 해당한다. 따라서, 본 발명의 표시장치는 초기화 전압(Vini)과 제1 트랜지스터(T1)의 문턱전압(Vth)의 관계를 이용하여, 표시패널(10)의 검사 공정에서 초기화 전압(Vini)을 제어하여 제1 트랜지스터(T1)의 문턱전압(Vth)의 편차를 개선할 수 있다.
- [0075] 표시패널(10)의 픽셀(P)들 각각에 배치되는 제1 트랜지스터(T1)들은 공정 편차에 의해서 문턱전압(Vth)이 달라질 수 있다. 특히, 제1 트랜지스터(T1)들의 문턱전압(Vth)이 설계된 값에서 쉬프트되어 있으면, 구동 트랜지스터(DT)의 샘플링 동작이 원활하지 못하게 되는 문제가 발생한다.
- [0076] 본 발명의 표시장치는 표시패널(10)의 검사 공정에서 제1 트랜지스터(T1)의 문턱전압(Vth)을 측정하고, 이를 바탕으로 초기화 전압(Vini)의 크기를 설정할 수 있다. 예컨대, 제1 트랜지스터(T1)의 문턱전압(Vth)의 설계값이 -1.21V 인데 측정값이 -1.70V이면, 초기화 전압(Vini)의 크기를 낮춤으로써 제1 트랜지스터(T1)의 문턱전압(Vth)이 쉬프트된 것을 개선할 수 있다.
- [0077] 본 명세서는 도 2에 도시된 7T1C 화소 구조를 갖는 유기발광다이오드 표시장치를 중심으로 설명되었다. 하지만 본 발명의 기술적 사상은 도 2에 도시된 화소 구조 이외에도 공지된 여러 화소 구조를 갖는 유기발광다이오드 표시장치에 적용될 수 있는 것은 물론이다. 즉, 본 발명은 초기화전압을 공급하는 이니셜 라인이 픽셀에 연결되는 유기발광다이오드 표시장치에서, 이니셜 라인을 쉘드 메탈과 동일한 어레이층에 배치시키는 구조로 적용될 수 있다. 또한, 이니셜 라인과 중첩되는 게이트라인은 도 5에 도시된 제n 스캔라인에 한정되지 않는다. 이니셜 라인은 도 5에 도시된 제(n-1) 스캔라인(SL[n-1]) 및 에미션라인과 중첩될 수 있다. 이니셜 라인이 제(n-1) 스캔라인(SL[n-1])과 중첩될 경우에, 초기화 전압을 이용하여 제5 트랜지스터(T5)의 문턱전압을 조절할 수 있다. 또한, 이니셜 라인이 에미션 라인(EL)과 중첩될 경우에, 초기화 전압을 이용하여 제4 트랜지스터(T4)의 문턱전압을 조절할 수 있다. 마찬가지로, 다른 화소 구조에서는 이니셜 라인과 중첩되는 스캔라인에 따라서 초기화 전압을 이용하여 문턱전압을 조절할 수 있는 트랜지스터가 결정될 것이다.
- [0078] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

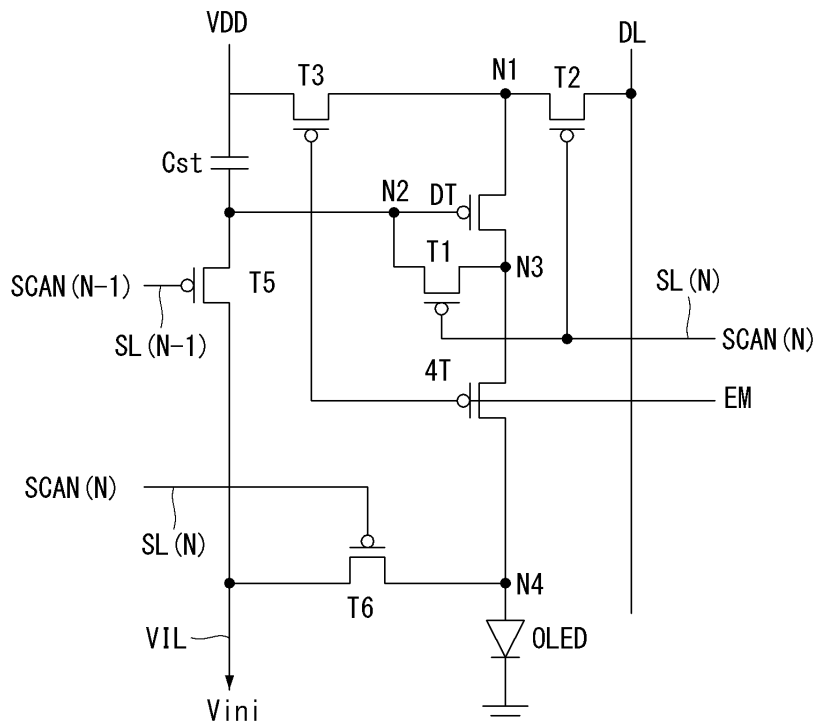
- [0079] 10 : 표시패널      11 : 타이밍 컨트롤러
- 12 : 데이터 구동부      13 : 게이트 구동부
- DL : 데이터라인      SL : 스캔라인
- EL: 에미션라인      VIL: 이니셜 라인
- BSM: 쉘드 패턴

도면

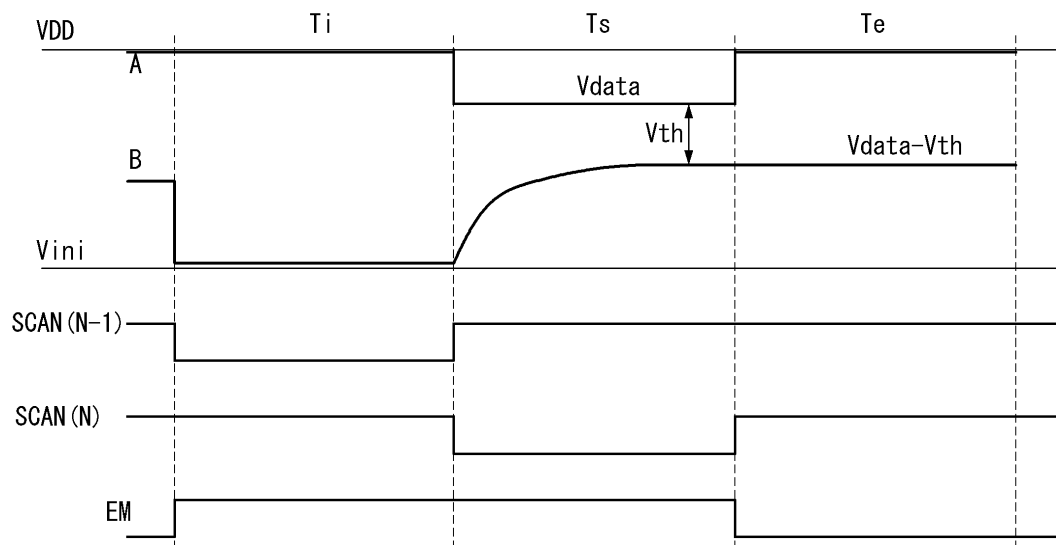
도면1



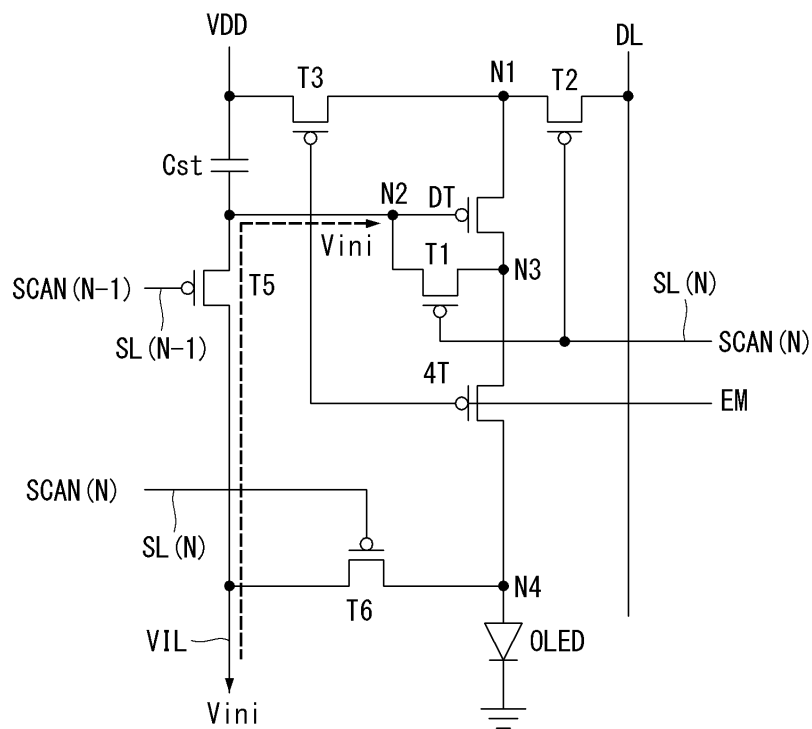
도면2



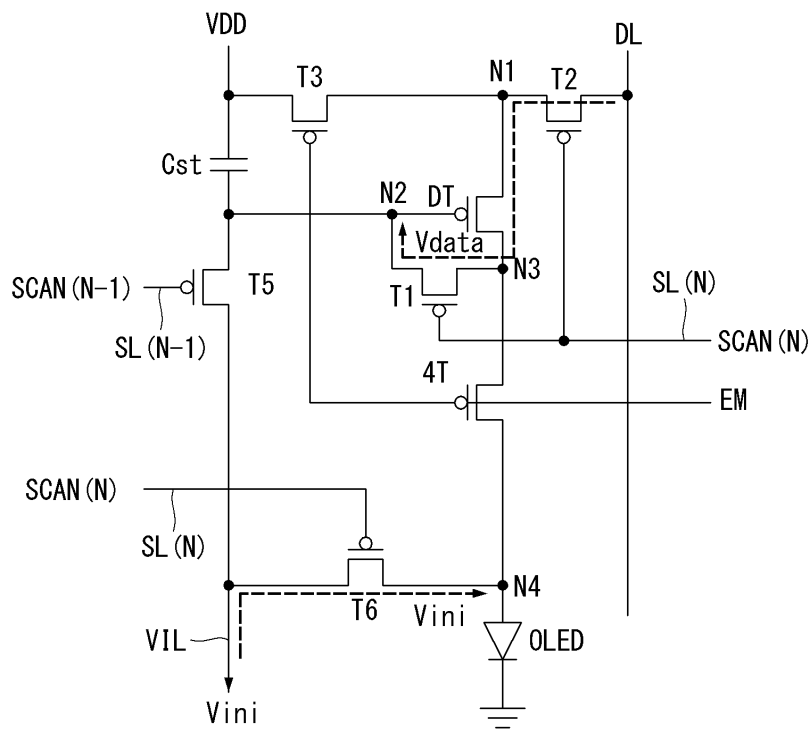
도면3



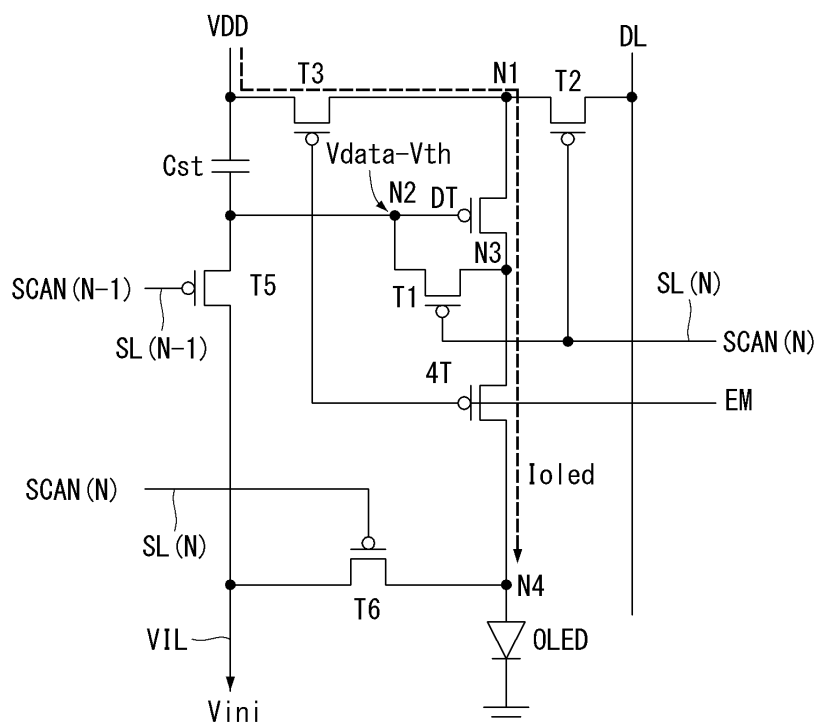
도면4a



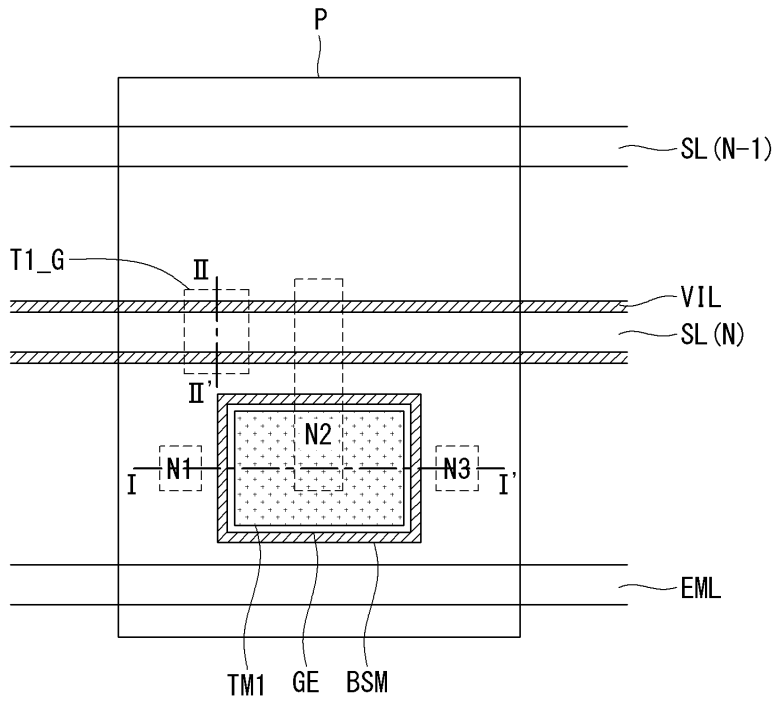
도면4b



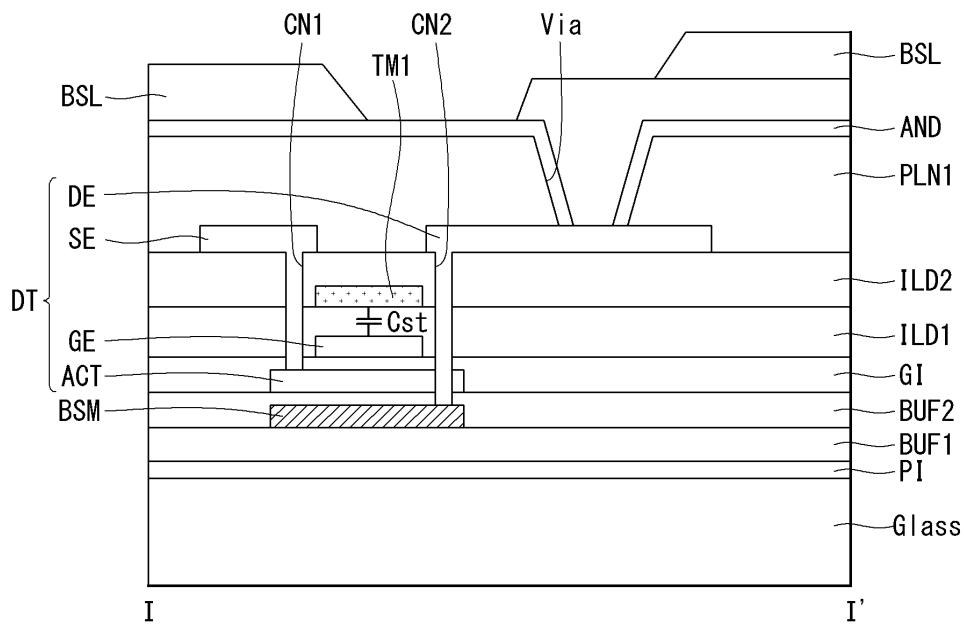
도면4c



도면5

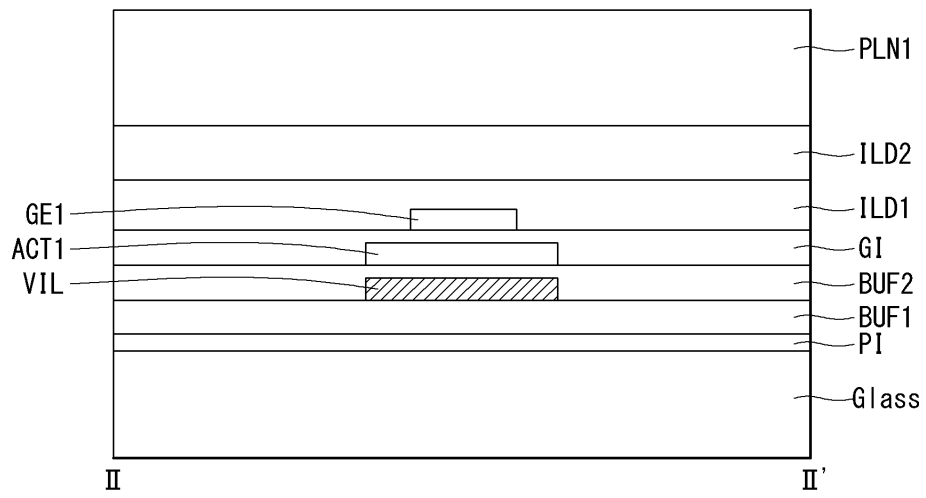


도면6

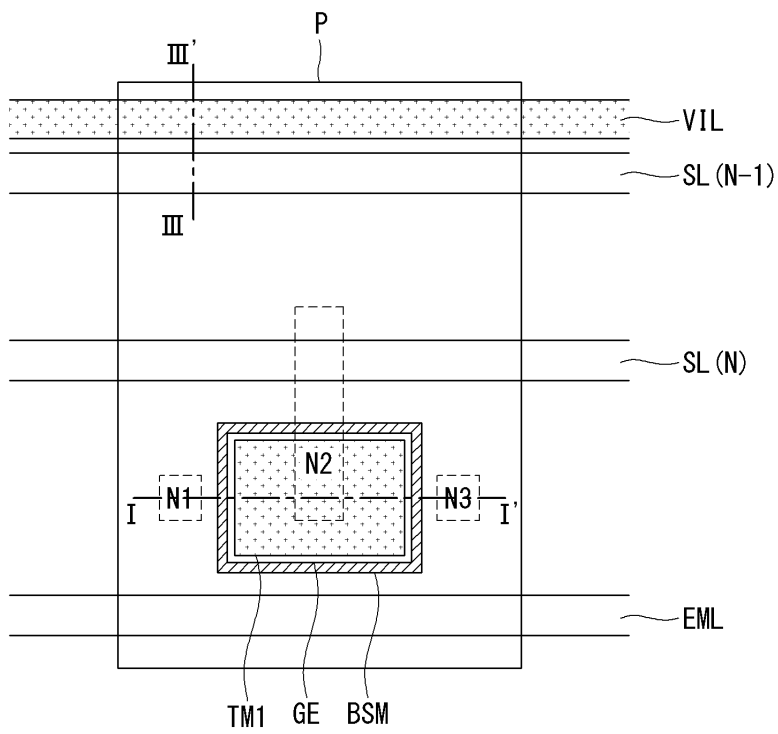




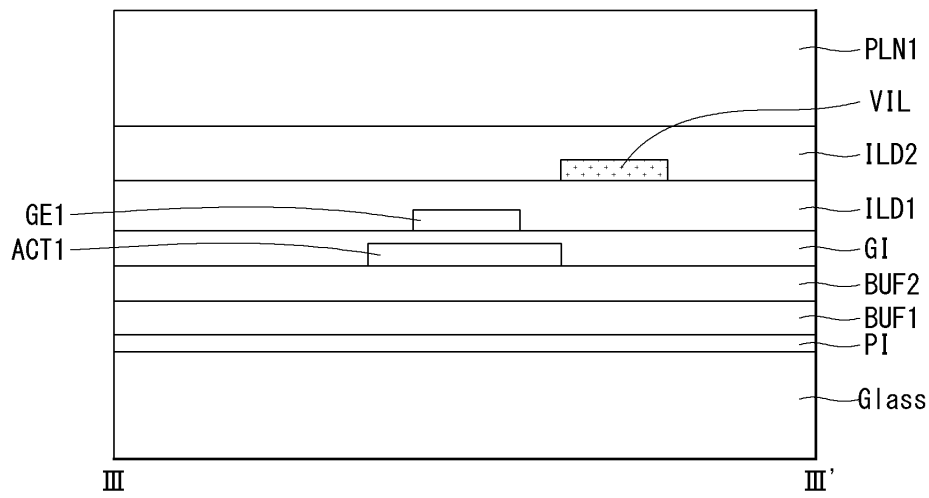
도면7



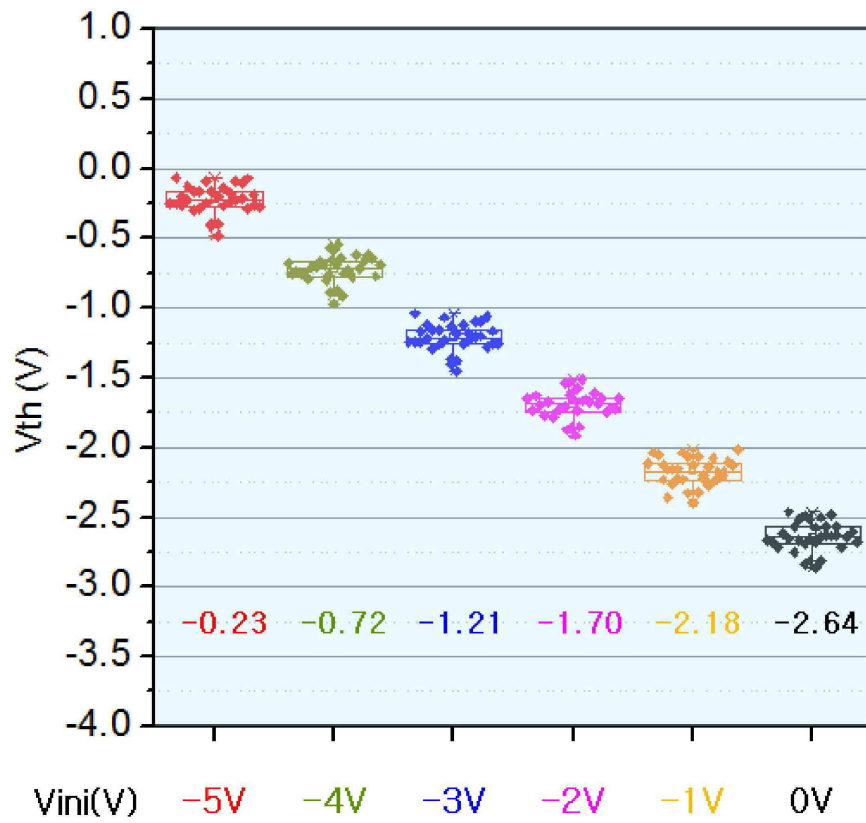
도면8



도면9



도면10



专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">KR1020180072440A</a>	公开(公告)日	2018-06-29
申请号	KR1020160176001	申请日	2016-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM SANG HYUN 임상현		
发明人	임상현		
IPC分类号	H01L27/32 G09G3/3233 H01L27/12		
CPC分类号	H01L27/3276 H01L27/3272 H01L27/3262 H01L27/124 G09G3/3233 G09G2300/0842		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

根据本发明的有机发光二极管显示器包括像素，栅极线和初始线。像素包括用于驱动有机发光二极管的驱动晶体管。栅极线连接到每个像素，并且初始线提供初始化电压，用于初始化有机发光二极管的阳极电压。屏蔽图案位于驱动晶体管的栅电极下方。初始线位于与屏蔽图案相同的阵列层中。

