



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0041793
(43) 공개일자 2018년04월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2016-0133525
(22) 출원일자 2016년10월14일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김왕준
경기도 화성시 동탄숲속로 96, 숲속마을모아미래
도1단지아파트 851동 1003호 (능동)
장용재
서울특별시 마포구 상암산로1길 92, 상암월드컵파
크7단지아파트 706동 403호 (상암동)
(74) 대리인
특허법인가산

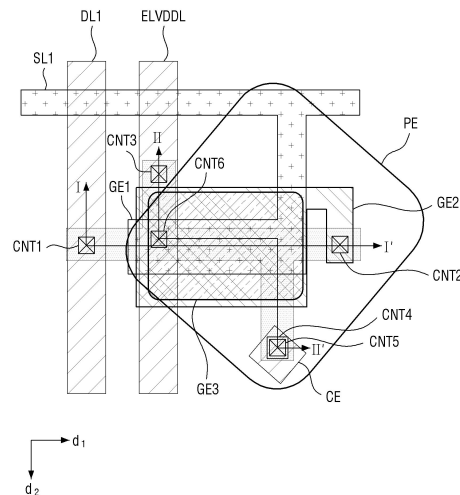
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판, 기판 상에 배치되는 제1 게이트 전극, 제1 게이트 전극 상에 배치되며, 제1 게이트 전극과 적어도 일부가 중첩되는 제2 게이트 전극, 제1 게이트 전극 및 제2 게이트 전극 사이에 배치되며, 제1 게이트 전극 및 제2 게이트 전극과 적어도 일부가 중첩되는 반도체 패턴, 제2 게이트 전극 상에 배치되며, 반도체 패턴과 전기적으로 연결되는 연결 전극 및 연결 전극 상에 배치되며, 연결 전극과 전기적으로 연결되는 화소 전극을 포함한다.

대표도 - 도3



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5206 (2013.01)

(72) 발명자

안기완

서울특별시 양천구 목동동로 257, 하이페리온 102
동 (목동)

윤주선

서울특별시 강남구 도곡로93길 12, 래미안 하이스
턴 아파트 202동 401호 (대치동)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 배치되며, 상기 제1 게이트 전극과 적어도 일부가 중첩되는 제2 게이트 전극;

상기 제1 게이트 전극 및 상기 제2 게이트 전극 사이에 배치되며, 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 적어도 일부가 중첩되는 반도체 패턴;

상기 제2 게이트 전극 상에 배치되며, 상기 반도체 패턴과 전기적으로 연결되는 연결 전극; 및

상기 연결 전극 상에 배치되며, 상기 연결 전극과 전기적으로 연결되는 화소 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제2 게이트 전극은 상기 반도체 패턴과 직접 연결되는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 연결 전극은 상기 반도체 패턴과 직접 연결되며, 상기 화소 전극은 상기 연결 전극과 직접 연결되는 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 제2 게이트 전극과 상기 연결 전극 사이에 배치되는 제3 게이트 전극; 및

상기 연결 전극과 동일 층에 배치되며, 상기 제3 게이트 전극과 전기적으로 연결되는 구동 전압 라인을 더 포함하는 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 연결 전극은 상기 화소 전극과 중첩되는 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 반도체 패턴은 산화물 반도체를 포함하는 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

제1 방향으로 연장되는 제1 스캔 라인 및 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제1 데이터 라인을 더 포함하는 유기 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 반도체 패턴은 제1 소스 영역, 상기 제1 소스 영역과 제1 방향으로 대향되는 제1 드레인 영역, 제2 소스 영역 및 상기 제2 소스 영역과 제2 방향으로 대향되는 제2 드레인 영역을 포함하고,

상기 제1 데이터 라인은 상기 제1 소스 영역과 전기적으로 연결되며, 상기 제2 게이트 전극은 상기 제1 드레인 영역과 전기적으로 연결되고, 상기 연결 전극은 상기 제2 드레인 영역과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 제2 방향으로 연장되며, 상기 제1 데이터 라인과 동일 층에 배치되는 구동 전압 라인을 더 포함하고,

상기 구동 전압 라인은 상기 제2 소스 영역과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 10

기관;

상기 기관 상에 배치되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 배치되며, 제1 소스 영역, 제2 소스 영역, 제1 드레인 영역 및 제2 드레인 영역을 포함하는 반도체 패턴;

상기 반도체 패턴 상에 배치되며, 상기 반도체 패턴의 제1 드레인 영역과 전기적으로 연결되는 제2 게이트 전극;

상기 제2 게이트 전극 상에 배치되며, 상기 반도체 패턴의 제2 드레인 영역과 전기적으로 연결되는 연결 전극;

상기 연결 전극과 동일 층에 배치되며, 상기 제1 소스 영역과 전기적으로 연결되는 데이터 라인; 및

상기 데이터 라인과 동일 층에 배치되며, 상기 제2 소스 영역과 전기적으로 연결되는 구동 전압 라인을 포함하는 유기 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 연결 전극 상에 배치되는 화소 전극을 더 포함하고,

상기 화소 전극은 상기 연결 전극과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 화소 전극은 상기 연결 전극과 적어도 일부가 중첩되는 유기 발광 표시 장치.

청구항 13

제10항에 있어서,

상기 제2 게이트 전극은 상기 제1 드레인 영역과 직접 연결되며, 상기 연결 전극은 상기 제2 드레인 영역과 직접 연결되는 유기 발광 표시 장치.

청구항 14

제10항에 있어서,

상기 연결 전극과 상기 제2 게이트 전극 사이에 배치되는 제3 게이트 전극을 더 포함하고,

상기 제3 게이트 전극은 상기 구동 전압 라인과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 15

제10항에 있어서,

상기 반도체 패턴은 산화물 반도체를 포함하는 유기 발광 표시 장치.

발명의 설명**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 그 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시한다. 유기 발광 표시 장치는 빠른 응답 속도를 가지며, 휘도 및 시야각이 크고, 동시에 낮은 소비 전력으로 구동되는 장점이 있다.

발명의 내용**해결하려는 과제**

[0004] 본 발명이 해결하고자 하는 과제는 적층형 스위칭 소자를 포함함으로써, 고 집적화를 구현할 수 있는 유기 발광 표시 장치를 제공한다.

[0005] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판, 기판 상에 배치되는 제1 게이트 전극, 제1 게이트 전극 상에 배치되며, 제1 게이트 전극과 적어도 일부가 중첩되는 제2 게이트 전극, 제1 게이트 전극 및 제2 게이트 전극 사이에 배치되며, 제1 게이트 전극 및 제2 게이트 전극과 적어도 일부가 중첩되는 반도체 패턴, 제2 게이트 전극 상에 배치되며, 반도체 패턴과 전기적으로 연결되는 연결 전극 및 연결 전극 상에 배치되며, 연결 전극과 전기적으로 연결되는 화소 전극을 포함한다.

[0007] 또한, 상기 제2 게이트 전극은 상기 반도체 패턴과 직접 연결될 수 있다.

[0008] 또한, 상기 연결 전극은 상기 반도체 패턴과 직접 연결되며, 상기 화소 전극은 상기 연결 전극과 직접 연결될 수 있다.

[0009] 또한, 상기 제2 게이트 전극과 상기 연결 전극 사이에 배치되는 제3 게이트 전극; 및 상기 연결 전극과 동일 층에 배치되며, 상기 제3 게이트 전극과 전기적으로 연결되는 구동 전압 라인을 더 포함할 수 있다.

[0010] 또한, 상기 연결 전극은 상기 화소 전극과 중첩될 수 있다.

[0011] 또한, 상기 반도체 패턴은 산화물 반도체를 포함할 수 있다.

[0012] 또한, 제1 방향으로 연장되는 제1 스캔 라인 및 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제1 데이터 라인을 더 포함할 수 있다.

[0013] 또한, 상기 반도체 패턴은 제1 소스 영역, 상기 제1 소스 영역과 제1 방향으로 대향되는 제1 드레인 영역, 제2 소스 영역 및 상기 제2 소스 영역과 제2 방향으로 대향되는 제2 드레인 영역을 포함하고, 상기 제1 데이터 라인은 상기 제1 소스 영역과 전기적으로 연결되며, 상기 제2 게이트 전극은 상기 제1 드레인 영역과 전기적으로 연결되고, 상기 연결 전극은 상기 제2 드레인 영역과 전기적으로 연결될 수 있다.

[0014] 또한, 상기 제2 방향으로 연장되며, 상기 제1 데이터 라인과 동일 층에 배치되는 구동 전압 라인을 더

포함하고, 상기 구동 전압 라인은 상기 제2 소스 영역과 전기적으로 연결될 수 있다.

- [0015] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는, 기판; 상기 기판 상에 배치되는 제1 게이트 전극; 상기 제1 게이트 전극 상에 배치되며, 제1 소스 영역, 제2 소스 영역, 제1 드레인 영역 및 제2 드레인 영역을 포함하는 반도체 패턴; 상기 반도체 패턴 상에 배치되며, 상기 반도체 패턴의 제1 드레인 영역과 전기적으로 연결되는 제2 게이트 전극; 상기 제2 게이트 전극 상에 배치되며, 상기 반도체 패턴의 제2 드레인 영역과 전기적으로 연결되는 연결 전극; 상기 연결 전극과 동일 층에 배치되며, 상기 제1 소스 영역과 전기적으로 연결되는 데이터 라인; 및 상기 데이터 라인과 동일 층에 배치되며, 상기 제2 소스 영역과 전기적으로 연결되는 구동 전압 라인을 포함한다.
- [0016] 또한, 상기 연결 전극 상에 배치되는 화소 전극을 더 포함하고, 상기 화소 전극은 상기 연결 전극과 전기적으로 연결될 수 있다.
- [0017] 또한, 상기 화소 전극은 상기 연결 전극과 적어도 일부가 중첩될 수 있다.
- [0018] 또한, 상기 제2 게이트 전극은 상기 제1 드레인 영역과 직접 연결되며, 상기 연결 전극은 상기 제2 드레인 영역과 직접 연결될 수 있다.
- [0019] 또한, 상기 연결 전극과 상기 제2 게이트 전극 사이에 배치되는 제3 게이트 전극을 더 포함하고, 상기 제3 게이트 전극은 상기 구동 전압 라인과 전기적으로 연결될 수 있다.
- [0020] 또한, 상기 반도체 패턴은 산화물 반도체를 포함할 수 있다.
- [0021] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0022] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 적층형 스위칭 소자를 포함함으로써, 고 집적화를 구현할 수 있다.
- [0023] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 적층형 소자를 포함하는 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 도 1에 도시한 화소부의 일 실시예를 나타낸 등가 회로도이다.
- 도 3은 도 1에 도시한 화소부의 일 실시예를 개략적으로 나타낸 레이아웃도이다.
- 도 4는 도 3에 도시한 화소부의 구성 중 제1 게이트 도전체를 나타낸 도면이다.
- 도 5는 도 3에 도시한 화소부의 구성 중 반도체 패턴 및 제2 게이트 전극을 나타낸 도면이다.
- 도 6은 도 3에 도시한 화소부의 구성 중 데이터 도전체를 나타낸 도면이다.
- 도 7은 도 3에 도시한 I-I'선을 따라 자른 단면도이다.
- 도 8은 도 3에 도시한 II-II'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0026] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위

(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0027] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "위(on)", "상(on)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래"로 기술된 소자는 다른 소자의 "위"에 놓여질 수 있다. 또한 도면을 기준으로 다른 소자의 "좌측"에 위치하는 것으로 기술된 소자는 시점에 따라 다른 소자의 "우측"에 위치할 수도 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0028] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는다.

[0029] 명세서 전체를 통하여 동일하거나 유사한 부분에 대해서는 동일한 도면 부호를 사용한다.

[0030] 이하, 첨부된 도면을 참조로 하여 본 발명의 실시예들에 대해 설명한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타낸 블록도이다.

[0032] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 표시 패널(100), 스캔 드라이버(200), 데이터 드라이버(300) 및 타이밍 제어부(400)를 포함할 수 있다.

[0033] 표시 패널(100)은 화상을 표시하는 영역이다. 표시 패널(100)은 제1 내지 제n 스캔 라인(SL1 내지 SLn, n은 2 이상의 자연수)을 통해 스캔 드라이버(200)와 연결될 수 있다. 또한, 표시 패널(100)은 제1 내지 제m 데이터 라인(DL1 내지 DLm, m은 2 이상의 자연수)을 통해 데이터 드라이버(300)와 연결될 수 있다. 표시 패널(100)은 화소부(PX)를 포함하는 복수의 화소부를 포함할 수 있다. 복수의 화소부는 일 실시예로 각각 제1 내지 제n 스캔 라인(SL1 내지 SLn) 중 하나 및 제1 내지 제m 데이터 라인(DL1 내지 DLm) 중 하나와 전기적으로 연결될 수 있다.

[0034] 제1 내지 제n 스캔 라인(SL1 내지 SLn)은 제1 방향(d1)을 따라 연장될 수 있다. 또한, 제1 내지 제m 데이터 라인(DL1 내지 DLm)은 제2 방향(d2)을 따라 연장될 수 있다. 제1 방향(d1)은 제2 방향(d2)과 일 실시예로 교차될 수 있다. 도 1을 기준으로, 제1 방향(d1)을 행 방향으로, 제2 방향(d2)을 열 방향으로 예시한다. 복수의 화소부는 하나의 기판 상에서 서로 절연된 상태로 배치될 수 있으며, 일 실시예로 매트릭스(matrix) 형태로 배치될 수 있다.

[0035] 스캔 드라이버(200)는 타이밍 제어부(400)로부터 제1 제어 신호(CONT1)를 제공받을 수 있다. 스캔 드라이버(200)는 제공받은 제1 제어 신호(CONT1)에 따라 제1 내지 제n 스캔 신호(SS1 내지 SSn)를 표시 패널(100)에 제공할 수 있다.

[0036] 데이터 드라이버(300)는 일 실시예로 쉬프트 레지스터(shift register), 래치(latch) 및 디지털-아날로그 변환부(DAC) 등을 포함할 수 있다. 데이터 드라이버(300)는 타이밍 제어부(400)로부터 제2 제어 신호(CONT2) 및 영상 데이터(DATA)를 제공받을 수 있다. 데이터 드라이버(300)는 제2 제어 신호(CONT2)에 대응하여 기준 전압을 선택할 수 있으며, 선택된 기준 전압에 따라 입력되는 디지털 파형의 영상 데이터(DATA)를 제1 내지 제m 데이터 신호(DS1 내지 DSm)로 변환할 수 있다. 데이터 드라이버(300)는 생성된 복수의 데이터 신호(DS1 내지 DSm)를 표시 패널(100)로 제공할 수 있다.

[0037] 타이밍 제어부(400, timing controller)는 외부로부터 영상 신호(R.G.B) 및 제어 신호(CS)를 입력 받을 수 있다. 제어 신호(CS)는 일 실시예로 수직 동기 신호(Vsync), 수평 동기 신호, 메인 클럭 신호 및 데이터 인에이블 신호 등을 포함할 수 있다. 타이밍 제어부(400)는 외부로부터 제공받은 신호들을 표시 패널(100)의 동작 조건에 적합하도록 처리한 이후, 영상 데이터(DATA), 제1 제어 신호(CONT1) 및 제2 제어 신호(CONT2)를 생성할 수

있다.

- [0038] 제1 제어 신호(CONT1)는 제1 내지 제n 스캔 신호(SS1 내지 SSn)의 출력 시작을 지시하는 스캔 개시 신호 및 스캔 온 펄스의 출력 시기를 제어하는 게이트 클럭 신호 등을 포함할 수 있다. 제2 제어 신호(CONT2)는 영상 데이터(DATA)의 입력 시작을 지시하는 수평 동기 시작 신호 및 제1 내지 제m 데이터 라인(DL1 내지 DLm)에 제1 내지 제m 데이터 신호(DS1 내지 DSm)의 인가를 제어하는 로드 신호 등을 포함할 수 있다.
- [0039] 도면에는 도시하지 않았으나, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 전원 제공부를 더 포함할 수 있다. 전원 제공부는 타이밍 제어부(400)로부터 제공받은 제어 신호에 따라 복수의 화소부에 제1 구동 전압(ELVDD) 및 제2 구동 전압(ELVSS)을 제공할 수 있다. 여기서, 제1 구동 전압(ELVDD)의 전위는 제2 구동 전압(ELVSS)의 전위보다 높다.
- [0040] 도 2는 도 1에 도시한 화소부를 개략적으로 나타낸 등가 회로도이다. 도 2에서는 제1 스캔 라인(SL1) 및 제1 데이터 라인(DL1)과 각각 전기적으로 연결되는 화소부(PX)를 기준으로 설명하기로 한다.
- [0041] 도 2를 참조하면, 화소부(PX)는 제1 스위칭 소자(TR1), 제2 스위칭 소자(TR2), 유기 발광 소자(OLED) 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0042] 제1 스위칭 소자(TR1)는 제1 스캔 라인(SL1), 제1 데이터 라인(DL1) 및 제2 스위칭 소자(TR2)와 전기적으로 연결될 수 있다. 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)는 일 실시예로 박막 트랜지스터와 같은 삼 단자 소자일 수 있다. 이하, 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)가 박막 트랜지스터인 것으로 예를 들어 설명하기로 한다.
- [0043] 제1 스위칭 소자(TR1)는 제1 스캔 라인(SL1)과 전기적으로 연결되는 제어 전극, 제1 데이터 라인(DL1)과 전기적으로 연결되는 일 전극 및 제2 스위칭 소자(TR2)의 제어 전극과 전기적으로 연결되는 타 전극을 포함할 수 있다.
- [0044] 제2 스위칭 소자(TR2)는 제2 스위칭 소자(TR2)의 타 전극과 전기적으로 연결되는 제어 전극, 제1 구동 전압(ELVDD)이 제공되는 구동 전압 라인(ELVDDL, 도 3 참조)과 전기적으로 연결되는 일 전극 및 유기 발광 소자(OLED)와 전기적으로 연결되는 타 전극을 포함할 수 있다.
- [0045] 스토리지 커패시터(Cst)는 일 전극이 제1 스위칭 소자(TR1)의 타 전극과 전기적으로 연결될 수 있으며, 타 전극이 제1 구동 전압(ELVDD)이 제공되는 구동 전압 라인(ELVDDL, 도 3 참조)과 전기적으로 연결될 수 있다.
- [0046] 제1 스위칭 소자(TR1)는 제1 스캔 라인(SL1)으로부터 제공받은 스캔 신호에 따라 턴 온 되어, 제1 데이터 라인(DL1)으로부터 제공받은 데이터 신호를 스토리지 커패시터(Cst)에 제공할 수 있다. 스토리지 커패시터(Cst)는 제공받은 데이터 신호의 전압과 제1 구동 전압(ELVDD)의 전압 차를 충전할 수 있다. 제2 스위칭 소자(TR2)는 스토리지 커패시터(Cst)에 충전되는 전압에 따라, 유기 발광 소자(OLED)에 제공되는 구동 전류의 전류량을 제어할 수 있다. 즉, 제1 스위칭 소자(TR1)는 스위칭 트랜지스터일 수 있으며, 제2 스위칭 소자(TR2)는 구동 트랜지스터일 수 있다.
- [0047] 여기서, 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)는 하나의 적층형 스위칭 소자로 형성될 수 있다. 이에 대해서 도 3 내지 도 7을 참조하여 설명하기로 한다. 다만, 적층형 스위칭 소자가 배치되는 기판을 위주로 설명하기로 한다.
- [0048] 도 3은 도 1에 도시한 화소부의 일 실시예를 개략적으로 나타낸 레이아웃도이다. 도 4는 도 3에 도시한 화소부의 구성 중 제1 게이트 도전체를 나타낸 도면이다. 도 5는 도 3에 도시한 화소부의 구성 중 반도체 패턴 및 제2 게이트 전극을 나타낸 도면이다. 도 6은 도 3에 도시한 화소부의 구성 중 데이터 도전체를 나타낸 도면이다. 도 7은 도 3에 도시한 I-I'선을 따라 자른 단면도이다. 도 8은 도 3에 도시한 II-II'선을 따라 자른 단면도이다.
- [0049] 도 3 내지 도 8을 참조하면, 기판(110)은 일 실시예로 절연 기판일 수 있다. 기판(110)은 유리 기판, 석영 기판, 세라믹 기판 또는 플라스틱 기판을 포함할 수 있다. 기판(110)은 다른 실시예로 벤딩(bending), 폴딩(folding)이나 롤링(rolling)이 가능한 플렉서블(flexible) 기판일 수 있다. 이 경우 기판(110)은 폴리이미드(polyimide)를 포함하여 이루어질 수 있으나, 이에 제한되는 것은 아니다.
- [0050] 버퍼층(120)은 기판(110) 상에 배치될 수 있다. 버퍼층(120)은 불순 원소의 침투를 방지할 수 있으며, 표면을 평탄화할 수 있다. 버퍼층(120)은 일 실시예로 질화 규소(SiNx)막, 산화 규소(SiO2)막, 산질화규소(SiOxNy)막 중 어느 하나를 포함할 수 있다. 버퍼층(120)은 기판(110)의 종류 또는 공정 조건 등에 따라 생략될 수도 있다.

- [0051] 제1 게이트 도전체(GW1)는 버퍼층(120) 상에 배치될 수 있다. 여기서, 제1 게이트 도전체(GW1)는 제1 스캔 라인(SL1)을 포함하는 복수의 스캔 라인 및 제1 게이트 전극(GE1)을 포함할 수 있다. 제1 게이트 전극(GE1)은 제1 스캔 라인(SL1)으로부터 연장될 수 있으며, 제1 스캔 라인(SL1)과 동일 층에 배치되어 전기적으로 연결될 수 있다. 다만, 이에 제한되는 것은 아니며, 제1 게이트 전극(GE1)과 제1 스캔 라인(SL1)이 서로 다른 층에 배치될 수도 있다. 이 경우, 제1 게이트 전극(GE1)과 제1 스캔 라인(SL1)은 별도의 콘택홀을 통해 서로 전기적으로 연결될 수 있다.
- [0052] 제1 게이트 전극(GE1)은 후술하는 반도체 패턴(ACT)과 적어도 일부가 중첩될 수 있다. 제1 게이트 도전체(GW1)는 일 실시예로, 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티탄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다. 즉, 제1 게이트 전극(GE1) 및 제1 스캔 라인(SL1)은 서로 동일한 마스크 공정을 통해 동시에 형성될 수 있다. 한편, 제1 게이트 전극(GE1)의 형상은 반드시 도 3에 도시된 것으로 제한되지 않는다.
- [0053] 제1 절연층(130)은 제1 게이트 도전체(GW1) 상에 배치될 수 있다. 제1 절연층(130)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다. 즉, 제1 절연층(130)은 일 실시예로 게이트 절연층(gate insulator)일 수 있다.
- [0054] 반도체 패턴(ACT)은 제1 절연층(130) 상에 배치될 수 있다. 반도체 패턴(ACT)은 적어도 일부가 제1 게이트 전극(GE1)과 중첩될 수 있다. 또한, 반도체 패턴(ACT)은 적어도 일부가 후술하는 제2 게이트 전극(GE2)과 중첩될 수 있다. 본 명세서에서 ?중첩?은 두 구성 간에 기판(110)을 기준으로 수직 방향으로 중첩(overlap)되는 것을 의미한다. 즉, 반도체 패턴(ACT)은 제1 게이트 전극(GE1) 및 제2 게이트 전극(GE2) 사이에 배치될 수 있다.
- [0055] 반도체 패턴(ACT)은 일 실시예로 비정질 실리콘, 다결정 실리콘, 단결정 실리콘, 저온 다결정 실리콘 중 선택되는 하나 또는 적어도 두 개를 혼합하여 형성될 수 있다. 반도체 패턴(ACT)은 다른 실시예로 산화물 반도체를 포함할 수 있다.
- [0056] 반도체 패턴(ACT)은 제1 소스 영역(S1), 제1 드레인 영역(D1), 제2 소스 영역(S2) 및 제2 드레인 영역(D2)을 포함할 수 있다. 여기서, 제1 소스 영역(S1)은 반도체 패턴(ACT) 중 제1 데이터 라인(DL1)과 제1 콘택홀(CNT1)을 통해 전기적으로 연결되는 영역으로 정의된다. 제1 드레인 영역(D1)은 반도체 패턴(ACT) 중 제2 게이트 전극(GE2)과 제2 콘택홀(CNT2)을 통해 전기적으로 연결되는 영역으로 정의된다. 또한, 제2 소스 영역(S2)은 반도체 패턴(ACT) 중 구동 전압 라인(ELVDDL)과 제3 콘택홀(CNT3)을 통해 전기적으로 연결되는 영역으로 정의된다. 제2 드레인 영역(D2)은 반도체 패턴(ACT) 중 연결 전극(CE) 및 화소 전극(PE)과 제4 콘택홀(CNT4)을 통해 전기적으로 연결되는 영역으로 정의된다.
- [0057] 제2 절연층(140)은 반도체 패턴(ACT) 상에 배치될 수 있다. 제2 절연층(140)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연 물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0058] 제2 게이트 전극(GE2)은 제2 절연층(140) 상에 배치될 수 있다. 제2 게이트 전극(GE2)은 적어도 일부가 반도체 패턴(ACT)과 중첩될 수 있다. 제2 게이트 전극(GE2)은 예컨대, 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티탄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다.
- [0059] 제2 게이트 전극(GE2)은 반도체 패턴(ACT)과 전기적으로 연결될 수 있다. 일 실시예로, 제2 게이트 전극(GE2)은 제2 콘택홀(CNT2)을 통해 반도체 패턴(ACT)과 전기적으로 연결될 수 있다. 여기서, 제2 게이트 전극(GE2)은 제2 스위칭 소자(TR2)의 구성 중 하나이다. 즉, 제2 게이트 전극(GE2)은 반도체 패턴(ACT)의 제1 드레인 영역(D1)과 제2 콘택홀(CNT2)을 통해 직접 전기적으로 연결될 수 있다. 다시 말하면, 제1 스위칭 소자(TR1)는 별도의 드레인 전극을 형성하지 않고, 반도체 패턴(ACT) 내에 제1 드레인 영역(D1)을 통해, 제2 게이트 전극(GE2)과 직접(directly) 연결될 수 있다.
- [0060] 이에 따라, 제2 게이트 전극(GE2)은 제1 스위칭 소자(TR1)의 스위칭 동작을 통해 제1 데이터 라인(DL1)으로부터 데이터 신호를 제공할 수 있다. 또한, 제2 게이트 전극(GE3)은 후술하는 제3 게이트 전극(GE3)과 중첩됨에 따라, 스토리지 커패시터(Cst)를 형성할 수 있다.

- [0061] 제3 절연층(150)은 제2 게이트 전극(GE2) 상에 배치될 수 있다. 제3 절연층(150)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다.
- [0062] 제3 게이트 전극(GE3)은 제3 절연층(150) 상에 배치될 수 있다. 제3 게이트 전극(GE3)은 제2 게이트 전극(GE2)과 적어도 일부가 중첩될 수 있다. 제3 게이트 전극(GE3)은 예컨대, 알루미늄 합금을 포함하는 알루미늄(Al) 계열의 금속, 은 합금을 포함하는 은(Ag) 계열의 금속, 구리 합금을 포함하는 구리(Cu) 계열의 금속, 몰리브덴 합금을 포함하는 몰리브덴(Mo) 계열 금속, 크롬(Cr), 티탄(Ti), 및 탄탈륨(Ta) 중 어느 하나 이상을 포함할 수 있다.
- [0063] 제3 게이트 전극(GE3)은 후술하는 구동 전압 라인(ELVDDL)과 제6 컨택홀(CNT6)을 통해 전기적으로 연결될 수 있다. 즉, 제3 게이트 전극(GE3)은 구동 전압 라인(ELVDDL)으로부터 제1 구동 전압(ELVDD)을 제공받을 수 있다. 전술한 바와 같이, 제3 게이트 전극(GE3)은 제2 게이트 전극(GE2)과 스토리지 커패시터(Cst)를 형성할 수 있다. 따라서, 스토리지 커패시터(Cst)는 제2 게이트 전극(GE2)에 제공되는 데이터 신호와, 제3 게이트 전극(GE3)에 제공되는 제1 구동 전압(ELVDD) 간의 전압 차에 해당하는 전압을 충전할 수 있다.
- [0064] 제4 절연층(160)은 제3 게이트 전극(GE3) 상에 배치될 수 있다. 제4 절연층(160)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등의 무기 절연물질, BCB(BenzoCycloButene), 아크릴계 물질, 및 폴리이미드와 같은 유기 절연물질로 이루어진 군에서 선택된 어느 하나 또는 하나 이상의 물질을 혼합하여 형성할 수 있다. 여기서, 제3 게이트 전극(GE3)이 생략되는 경우, 제4 절연층(160)도 생략될 수 있다.
- [0065] 데이터 도전체(DW)는 제4 절연층(160) 상에 배치될 수 있다. 데이터 도전체(DW)는 제1 데이터 라인(DL1), 구동 전압 라인(ELVDDL) 및 연결 전극(CE)을 포함할 수 있다. 데이터 도전체(DW)는 일 실시예로 니켈(Ni), 코발트(Co), 티탄(Ti), 은(Ag), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 베릴륨(Be), 니오브(Nb), 금(Au), 철(Fe), 셀렌(Se) 또는 탄탈륨(Ta) 등으로 이루어진 단일막 또는 다중막 구조를 가질 수 있다. 또한, 상기 금속에 티탄(Ti), 지르코늄(Zr), 텅스텐(W), 탄탈륨(Ta), 니오브(Nb), 백금(Pt), 하프늄(Hf), 산소(O) 및 질소(N)로 이루어진 군에서 선택된 하나 이상의 원소를 포함시켜 형성한 합금이 데이터 도전체(DW)의 재료로서 이용될 수 있다.
- [0066] 한편, 제1 스위칭 소자(TR1)의 소스 전극은 제1 데이터 라인(DL1)과 전기적으로 연결될 수 있다. 즉, 제1 스위칭 소자(TR1)의 소스 전극은 제1 데이터 라인(DL1)과 일체로 형성될 수 있다. 제2 스위칭 소자(TR2)의 소스 전극은 구동 전압 라인(ELVDDL)과 전기적으로 연결될 수 있다. 즉, 제2 스위칭 소자(TR2)의 소스 전극은 구동 전압 라인(ELVDDL)과 일체로 형성될 수 있다.
- [0067] 한편, 전술한 바와 같이, 제1 스위칭 소자(TR1)의 드레인 전극은 별도로 형성되지 않으며, 반도체 패턴(ACT) 중 제1 드레인 영역(D1)이 제2 스위칭 소자(TR2)의 제2 게이트 전극(GE2)과 직접 연결될 수 있다.
- [0068] 제2 스위칭 소자(TR2)의 드레인 전극은 연결 전극(CE)과 일체로 형성될 수 있다. 연결 전극(CE)은 반도체 패턴(ACT) 중 제2 드레인 영역(D2)과 제4 컨택홀(CNT4)을 통해 직접 연결될 수 있다.
- [0069] 평탄화층(170)은 데이터 도전체(DW) 상에 배치될 수 있다. 평탄화층(170)은 일 실시예로 유기 물질을 포함할 수 있다. 예를 들어, 평탄화층(170)은 폴리이미드(polyimide), 폴리아크릴(polyacryl) 및 폴리실록산(polysiloxane) 중 선택된 어느 하나 이상을 포함하여 이루어질 수 있다. 평탄화층(170)에는 연결 전극(CE)의 적어도 일부를 노출시키는 제5 컨택홀(CNT5)이 형성될 수 있다.
- [0070] 화소 전극(PE)은 평탄화층(170) 상에 배치될 수 있다. 화소 전극(PE)은 제5 컨택홀(CNT5)에 의해 노출된 연결 전극(CE)과 전기적으로 연결될 수 있다. 여기서, 연결 전극(CE)은 제4 컨택홀(CNT4)에 의해 노출된 반도체 패턴(ACT)의 제2 드레인 영역(D2)과 전기적으로 연결되므로, 결국 화소 전극(PE)은 반도체 패턴(ACT)의 제2 드레인 영역(D2)과 전기적으로 연결될 수 있다. 화소 전극(PE)은 정공 주입 전극인 애노드(anode)일 수 있다. 화소 전극(PE)은 일 실시예로 ITO 및 IZO 등의 투명 도전 물질이나, 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 형성될 수 있다.
- [0071] 도면에는 도시하지 않았으나, 화소 전극(PE) 상에는, 화소 정의막, 유기 발광층 및 공통 전극이 더 배치될 수 있다.
- [0072] 이에 따라, 제1 데이터 라인(DL1)을 통해 제공받은 데이터 신호는 제1 스위칭 소자(TR1)의 스위칭 동작을 통해 제2 스위칭 소자(TR2)의 제2 게이트 전극(GE2)으로 제공될 수 있다. 여기서, 제2 게이트 전극(GE2)은 스토리지

커패시터(Cst)의 일 전극에 해당된다. 한편, 구동 전압 라인(ELVDDL)으로부터 제1 구동 전압(ELVDD)을 제공받는 제3 게이트 전극(GE3)은 스토리지 커패시터(Cst)의 타 전극에 해당된다. 이에 따라, 스토리지 커패시터(Cst)는 제2 게이트 전극(GE2)에 제공된 데이터 신호 및 제3 게이트 전극(GE3)에 제공된 제1 구동 전압(ELVDD) 간의 전압 차에 해당하는 전압을 충전하게 된다. 제2 스위칭 소자(TR2)는 스토리지 커패시터(Cst)에 충전되는 전압에 따라 스위칭 동작을 수행하여, 구동 전압 라인(ELVDDL)으로부터 화소 전극(PE) 사이의 구동 전류량을 조절할 수 있다.

[0073] 한편, 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)는 하나의 적층형 스위칭 소자로서 동작될 수 있다. 이를 통해, 하나의 화소부 내에서 스위칭 소자가 차지하는 면적을 줄일 수 있으므로, 고 집적화를 구현할 수 있다.

[0074] 한편, 본 명세서에서는 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)가 pMOS 트랜지스터인 것으로 예를 들어 설명하였으나, 반도체 패턴(ACT)에 도핑되는 불순물에 따라 nMOS 또는 CMOS로 구현될 수 있다.

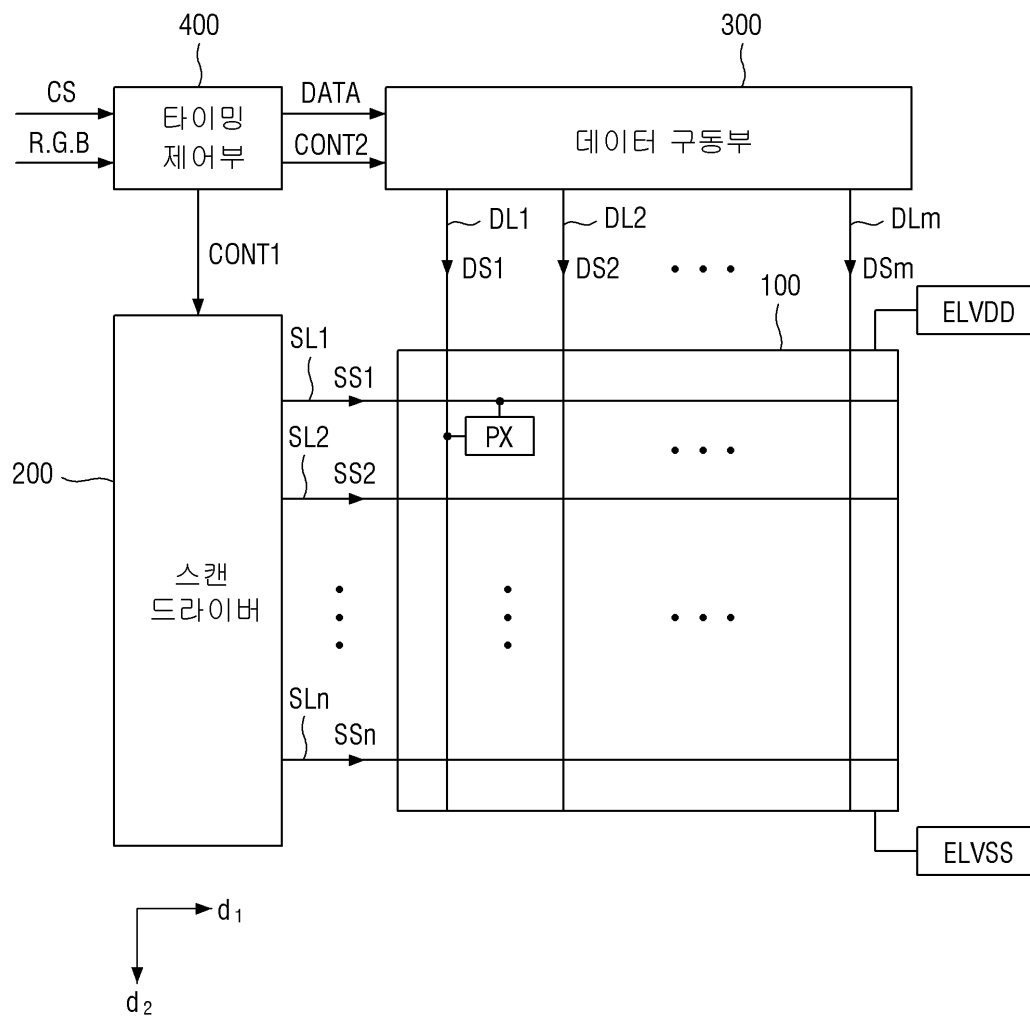
[0075] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이지 않는 것으로 이해해야 한다.

부호의 설명

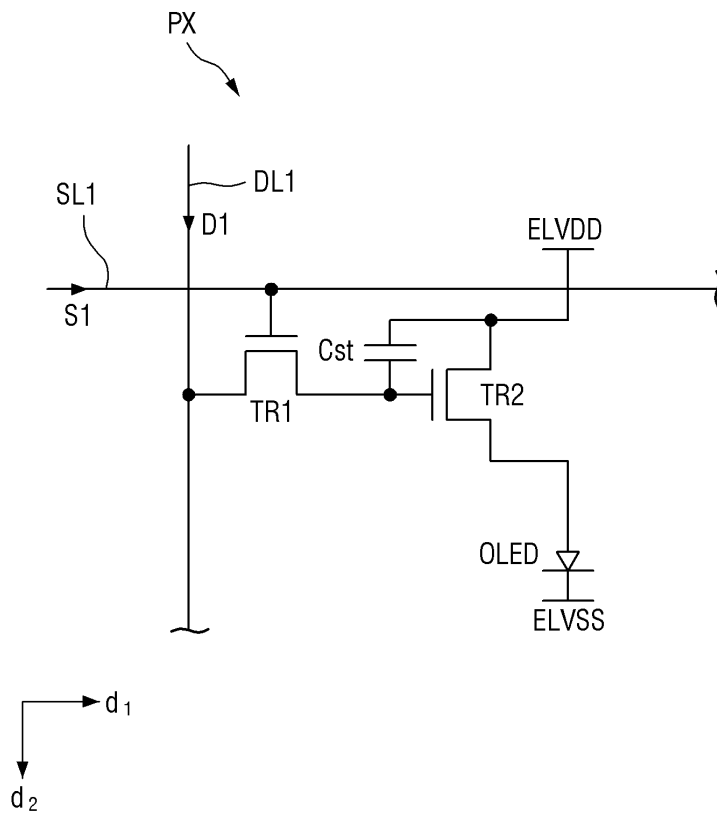
[0076] PX: 화소부;
TR1: 제1 스위칭 소자;
TR2: 제2 스위칭 소자;
ELVDD: 제1 구동 전압;
ELVSS: 제2 구동 전압;
ACT: 반도체 패턴;
PE: 화소 전극;
110: 기관;
120: 버퍼층;

도면

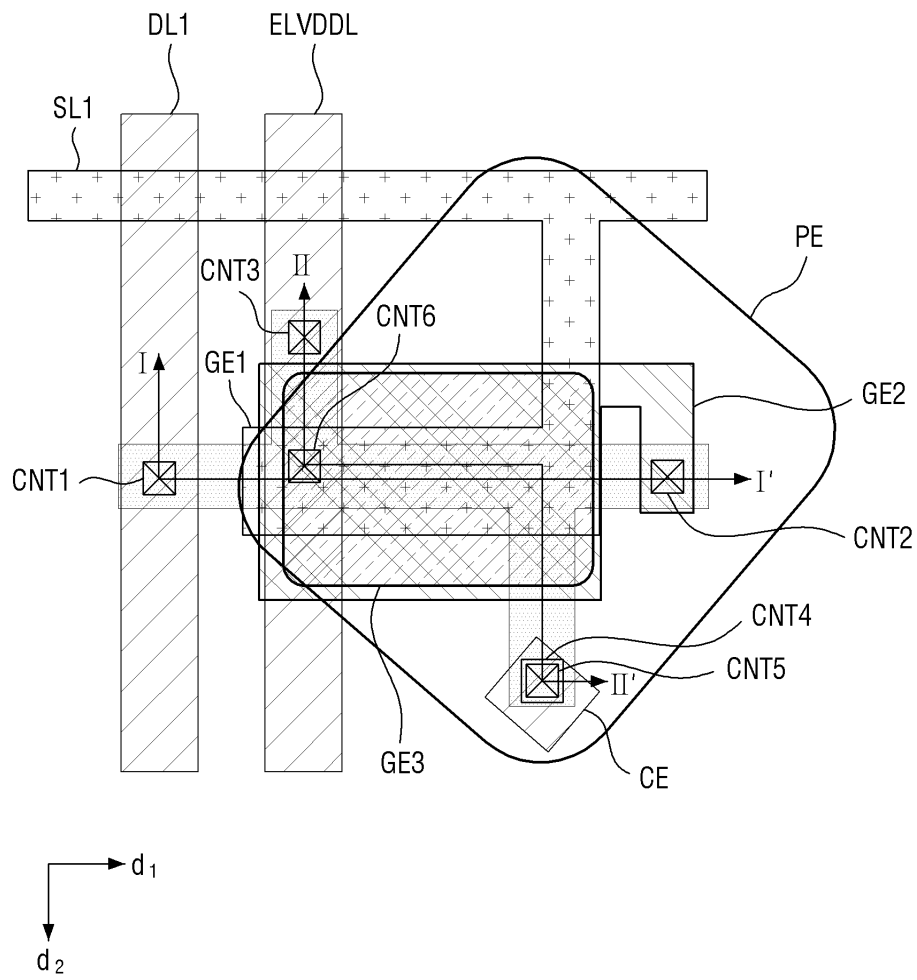
도면1



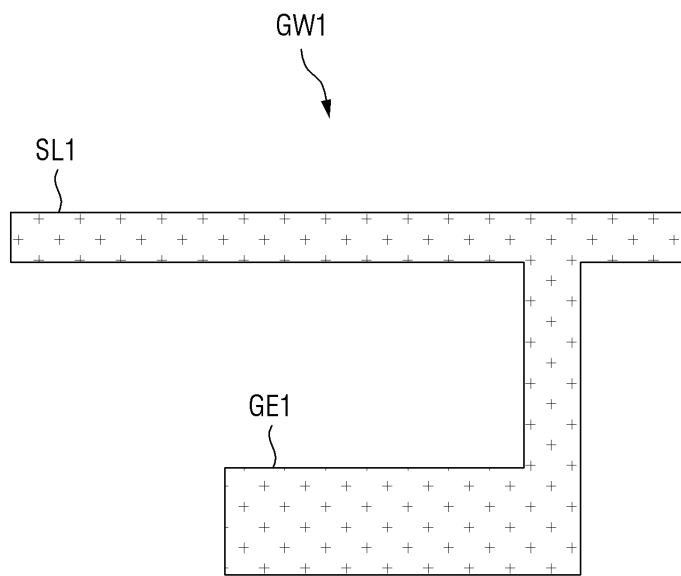
도면2



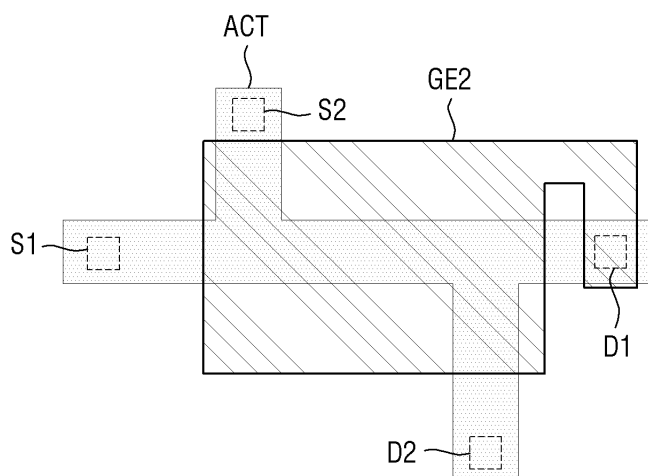
도면3



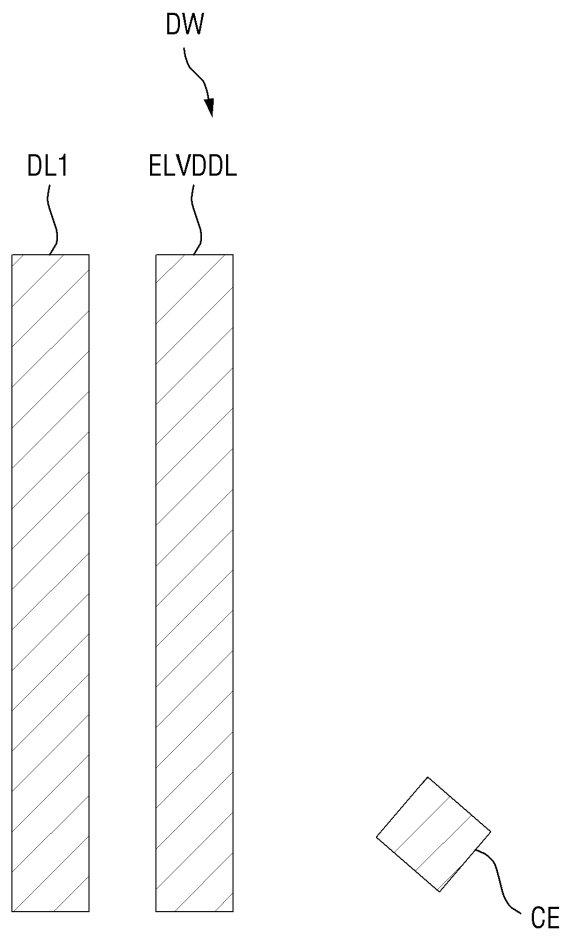
도면4



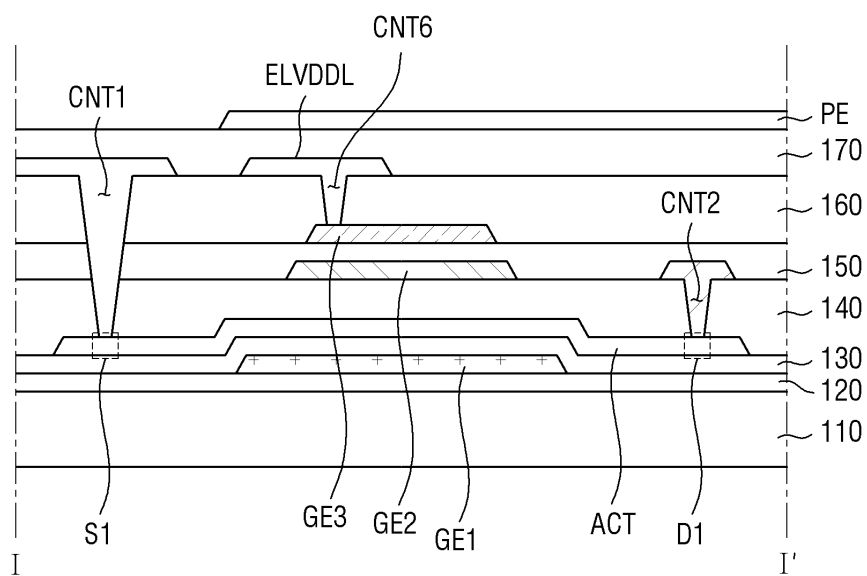
도면5



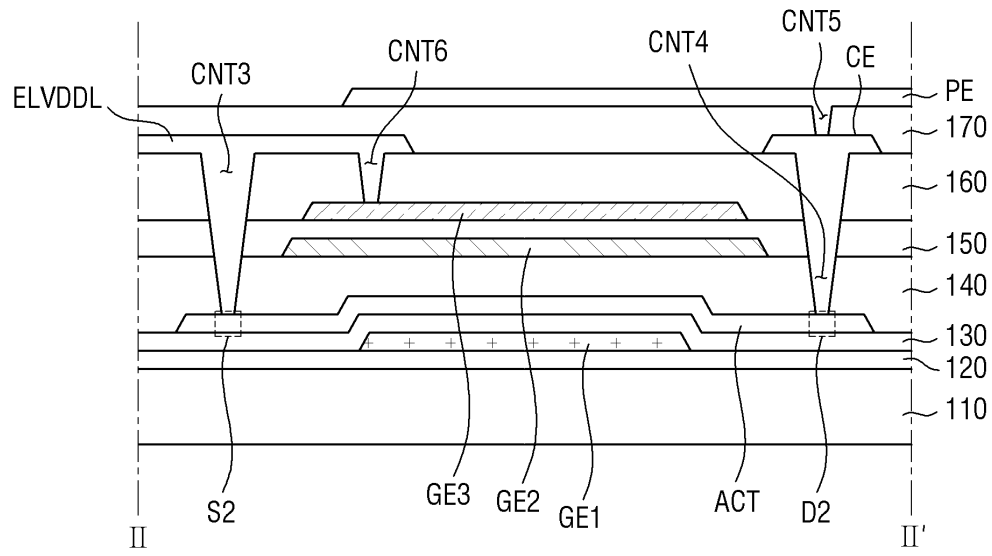
도면6



도면7



도면8



专利名称(译)	有机发光显示设备		
公开(公告)号	KR1020180041793A	公开(公告)日	2018-04-25
申请号	KR1020160133525	申请日	2016-10-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM WAL JUN 김왈준 JANG YONG JAE 장용재 AHN KI WAN 안기완 YOON JOO SUN 윤주선		
发明人	김왈준 장용재 안기완 윤주선		
IPC分类号	H01L27/32 H01L27/12 H01L51/52		
CPC分类号	H01L27/3262 H01L27/3248 H01L27/3276 H01L51/5206 H01L27/1225 G09G3/3233 G09G3/3266 G09G3/3275 G09G2310/08 H01L27/124 H01L27/1255 H01L27/3265 H01L29/78648 H01L29/7869		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施例的有机发光显示装置包括基板，布置在基板上的第一栅电极和基板的第一栅电极，布置在第一栅电极上，其中第二栅电极至少一部分重叠，并且第一栅电极和与半导体图案电连接的连接电极被布置在其中第一栅电极，第二栅电极和至少一部分重叠的半导体图案上而第二栅极布置在电极和布置在连接电极上并与连接电极电连接的像素电极之间的第二栅极中。

