



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0013356  
(43) 공개일자 2018년02월07일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3275 (2016.01) G09G 3/3233 (2016.01)  
(52) CPC특허분류  
G09G 3/3275 (2013.01)  
G09G 3/3233 (2013.01)  
(21) 출원번호 10-2016-0096949  
(22) 출원일자 2016년07월29일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이해승  
서울특별시 강동구 아리수로64길 16-6 (고덕동)  
이주석  
경기도 파주시 월롱면 엘씨디로 231, 정다운마을  
103동 419호  
(74) 대리인  
특허법인천문

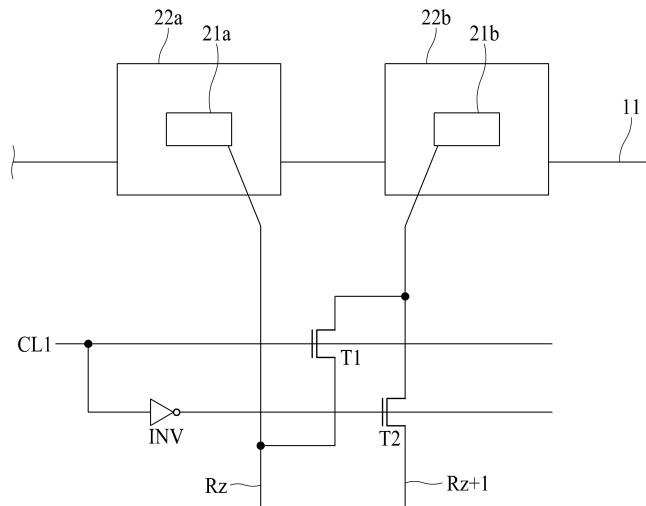
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명은 아날로그 디지털 컨버터의 특성 변화에 따라 아날로그 디지털 컨버터들의 센싱 데이터 간에 차이가 발생하는 것을 보상할 수 있는 유기발광표시장치에 관한 것이다. 본 발명의 일 실시예에 따른 유기발광표시장치는 데이터 라인들과 기준전압 라인들에 접속된 화소들을 포함하는 표시패널, 디지털 보상 데이터를 데이터 전압들로 변환하여 데이터 라인들에 공급하는 데이터 전압 공급부와 기준전압 라인들을 통해 화소들의 소정의 전압들을 센싱하여 디지털 데이터인 센싱 데이터로 출력하는 아날로그 디지털 컨버터를 각각 포함하는 소스 드라이브 IC들, 외부로부터 입력된 디지털 비디오 데이터를 센싱 데이터에 기초하여 디지털 보상 데이터로 변환하여 데이터 전압 공급부에 공급하는 타이밍 컨트롤러를 구비한다. 소스 드라이브 IC들 중 적어도 두 개의 소스 드라이브 IC들의 아날로그 디지털 컨버터들은 동일한 라인으로부터 동일한 센싱 전압을 입력받는다.

대표도 - 도10



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/08 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터 라인들과 기준전압 라인들에 접속된 화소들을 포함하는 표시패널; 및

디지털 보상 데이터를 데이터 전압들로 변환하여 상기 데이터 라인들에 공급하는 데이터 전압 공급부와 상기 기준전압 라인들을 통해 상기 화소들의 소정의 전압들을 센싱하여 디지털 데이터인 센싱 데이터로 출력하는 아날로그 디지털 컨버터를 각각 포함하는 소스 드라이브 IC들; 및

외부로부터 입력된 디지털 비디오 데이터를 상기 센싱 데이터에 기초하여 상기 디지털 보상 데이터로 변환하여 상기 데이터 전압 공급부에 공급하는 타이밍 컨트롤러를 구비하고,

상기 소스 드라이브 IC들 중 적어도 두 개의 소스 드라이브 IC들의 아날로그 디지털 컨버터들은 동일한 라인으로부터 동일한 센싱 전압을 입력받는 것을 특징으로 하는 유기발광표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 화소들에 센싱용 데이터 전압들을 공급하고, 상기 기준전압 라인들을 통해 상기 화소들의 소정의 전압들을 센싱하는 센싱 모드에서,

상기 제 $i+1$ ( $i$ 는 양의 정수) 소스 드라이브 IC는 상기 제 $i$  소스 드라이브 IC에 접속된 기준전압 라인들 중 어느 한 기준전압 라인에 접속되는 것을 특징으로 하는 유기발광표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 센싱 모드에서,

상기 제 $i$  소스 드라이브 IC는 제1 내지 제 $z$ ( $z$ 는 2 이상의 정수) 기준전압 라인들에 접속되고, 상기 제 $i+1$  소스 드라이브 IC는 제1 내지 제 $z$  기준전압 라인들 중 어느 한 기준전압 라인에 접속되는 것을 특징으로 하는 유기발광표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 화소들에 표시용 데이터 전압들을 공급하고, 상기 화소들이 발광하는 표시 모드에서,

상기 제 $i$  소스 드라이브 IC는 상기 제1 내지 제 $z$  기준전압 라인들에 접속되고, 상기 제 $i+1$  소스 드라이브 IC는 제 $z+1$  내지 제 $2z$  기준전압 라인들에 접속되는 것을 특징으로 하는 유기발광표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 어느 한 기준전압 라인과 제 $i+1$  소스 드라이브 IC 사이에 접속된 제1 트랜지스터; 및

상기 어느 한 기준전압 라인과 상기 제 $i$  소스 드라이브 IC 사이에 접속된 제2 트랜지스터를 더 구비하는 유기발광표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 센싱 모드에서 상기 제1 트랜지스터는 제1 스위치 제어라인의 제1 로직 레벨 전압을 갖는 제1 스위치 제어

신호에 의해 턴-오프되고, 상기 제2 트랜지스터는 제2 로직 레벨 전압을 갖는 제1 스위치 제어신호의 반전 신호에 의해 턴-온되는 것을 특징으로 하는 유기발광표시장치.

**청구항 7**

제 6 항에 있어서,

상기 표시 모드에서 상기 제1 트랜지스터는 상기 제2 로직 레벨 전압을 갖는 제1 스위치 제어신호에 의해 턴-온되고, 상기 제2 트랜지스터는 상기 제1 로직 레벨 전압을 갖는 제1 스위치 제어신호의 반전 신호에 의해 턴-오프되는 것을 특징으로 하는 유기발광표시장치.

**청구항 8**

제 1 항에 있어서,

상기 화소들에 센싱용 데이터 전압들을 공급하고, 상기 기준전압 라인들을 통해 상기 화소들의 소정의 전압들을 센싱하는 센싱 모드에서,

상기 소스 드라이브 IC들의 아날로그 디지털 컨버터들에 센싱 전압을 공급하는 전압 공급부를 더 구비하는 유기발광표시장치.

**청구항 9**

제 8 항에 있어서,

상기 소스 드라이브 IC들 각각이 실장된 연성 필름들; 및

상기 연성 필름들에 부착되는 소스 회로보드를 더 구비하고,

상기 소스 회로보드는,

상기 전원 공급원로부터 상기 센싱 전압이 공급되며, 상기 상기 소스 드라이브 IC들의 아날로그 디지털 컨버터들에 접속된 센싱 전압 라인; 및

상기 센싱 전압 라인에 접속된 커패시터를 포함하는 것을 특징으로 하는 유기발광표시장치.

**청구항 10**

제 9 항에 있어서,

상기 센싱 전압 라인과 상기 소스 드라이브 IC들 각각 사이에 접속된 트랜지스터들을 더 구비하고,

상기 트랜지스터들은 상기 센싱 모드에서 제2 제어라인의 제2 제어신호에 의해 턴-온되는 것을 특징으로 하는 유기발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다. 이들 중에서 유기발광표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다.

[0003] 유기발광표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 서브 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터전압들을 공급하는 데이터 구동부를 포함한다. 서브 화소들 각각은 유기발광다이오드(organic light emitting diode),

게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 공급하는 스캔 트랜지스터를 포함한다.

[0004] 유기발광표시장치의 제조시의 공정 편차 또는 장기간 구동으로 인한 구동 트랜지스터의 열화 등의 원인으로 인하여, 구동 트랜지스터의 문턱전압(threshold voltage)과 전자 이동도(mobility)는 화소마다 달라질 수 있다. 즉, 화소들에 동일한 데이터전압을 인가하는 경우 유기발광다이오드에 공급되는 전류는 동일하여야 한다. 하지만, 화소들 사이의 구동 트랜지스터의 문턱전압과 전자 이동도의 차이로 인하여 화소들에 동일한 데이터전압을 인가하더라도 유기발광다이오드에 공급되는 전류가 화소마다 달라질 수 있다. 이에 따라, 화소들에 동일한 데이터전압을 인가하더라도, 유기발광다이오드가 발광하는 휘도가 화소마다 달라질 수 있다. 이를 해결하기 위해, 구동 트랜지스터의 문턱전압과 전자 이동도를 보상하는 보상 방법이 제안되었다.

[0005] 구동 트랜지스터의 문턱전압과 전자 이동도는 다음과 같은 외부 보상 방법에 의해 보상될 수 있다. 외부 보상 방법은 화소에 미리 설정된 데이터 전압을 공급하고, 미리 설정된 데이터 전압에 따라 구동 트랜지스터의 소스 전압 또는 구동 트랜지스터의 구동 전류를 소정의 센싱 라인을 통해 센싱하며, 아날로그 디지털 컨버터(analog digital converter)를 이용하여 센싱된 전압을 디지털 데이터인 센싱 데이터로 변환하고, 센싱 데이터에 따라 화소(P)에 공급될 디지털 비디오 데이터를 보상하는 방법이다.

[0006] 아날로그 디지털 컨버터는 도 1과 같이 데이터 전압들을 데이터 라인들에 공급하는 소스 드라이브 IC들(SIC1~SIC8) 각각에 내장될 수 있다. 표시패널(DIS)의 블록들(BL1~BL8)은 소스 드라이브 IC에 따라 분할될 수 있다. 즉, 제i(i는 2 이상의 정수) 소스 드라이브 IC의 아날로그 디지털 컨버터는 표시패널(DIS)의 제i 블록의 센싱 라인들에 접속되므로, 제i 블록의 센싱 라인들을 통해 소정의 전압을 센싱한다.

[0007] 한편, 아날로그 디지털 컨버터의 특성은 제품 출하 후에 온도, 습도, 및 압력 등의 요인에 의해 영향을 받을 수 있다. 이 경우, 아날로그 디지털 컨버터들 각각이 센싱 라인을 통해 동일한 전압을 센싱하더라도, 아날로그 디지털 컨버터의 특성 변화에 따라 아날로그 디지털 컨버터들 사이에서 센싱 데이터에 차이가 발생할 수 있다. 이에 따라, 외부 보상 방법에 의해 구동 트랜지스터의 문턱전압과 전자 이동도를 보상하더라도, 아날로그 디지털 컨버터의 특성에 따른 센싱 데이터의 차이로 인하여, 도 2와 같이 소스 드라이브 IC(SIC)에 따라 분할된 표시패널(DIS)의 블록들(BL1~BL8)에서 휘도의 차이가 발생하는 블록 뎀(block dim)이 사용자에게 시인될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은 아날로그 디지털 컨버터의 특성 변화에 따라 아날로그 디지털 컨버터들의 센싱 데이터 간에 차이가 발생하는 것을 보상할 수 있는 유기발광표시장치를 제공한다.

**과제의 해결 수단**

[0009] 본 발명의 일 실시예에 따른 유기발광표시장치는 데이터 라인들과 기준전압 라인들에 접속된 화소들을 포함하는 표시패널, 디지털 보상 데이터를 데이터 전압들로 변환하여 데이터 라인들에 공급하는 데이터 전압 공급부와 기준전압 라인들을 통해 화소들의 소정의 전압들을 센싱하여 디지털 데이터인 센싱 데이터로 출력하는 아날로그 디지털 컨버터를 각각 포함하는 소스 드라이브 IC들, 외부로부터 입력된 디지털 비디오 데이터를 센싱 데이터에 기초하여 디지털 보상 데이터로 변환하여 데이터 전압 공급부에 공급하는 타이밍 컨트롤러를 구비한다. 소스 드라이브 IC들 중 적어도 두 개의 소스 드라이브 IC들의 아날로그 디지털 컨버터들은 동일한 라인으로부터 동일한 센싱 전압을 입력받는다.

**발명의 효과**

[0010] 본 발명의 실시예는 소스 드라이브 IC들 중 적어도 두 개의 소스 드라이브 IC들의 아날로그 디지털 컨버터들이 동일한 라인으로부터 동일한 센싱 전압을 입력받는다. 그 결과, 본 발명의 실시예는 아날로그 디지털 컨버터의 특성 변화에 따라 아날로그 디지털 컨버터들의 센싱 데이터 간에 차이가 발생하는 것을 보상할 수 있다. 따라서, 본 발명의 실시예는 블록 뎀이 사용자에게 시인되는 것을 방지할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1은 소스 드라이브 IC에 따라 분할된 표시패널의 블록들을 보여주는 일 예시도면이다.
- 도 2는 도 1의 표시패널의 블록 덩을 보여주는 일 예시도면이다.
- 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다.
- 도 4는 도 1의 표시패널의 하부기관, 소스 드라이브 IC들, 타이밍 제어부, 데이터 보상부, 연성필름들, 소스 회로보드, 연성 케이블, 및 제어 회로보드를 보여주는 일 예시도면이다.
- 도 5는 도 4의 소스 드라이브 IC를 상세히 보여주는 블록도이다.
- 도 6은 도 5의 화소를 상세히 보여주는 회로도이다.
- 도 7은 표시 모드에서 화소에 공급되는 스캔신호와 센싱신호, 스위치에 공급되는 스위치 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다.
- 도 8은 제1 센싱 모드에서 화소에 공급되는 스캔신호와 센싱신호, 스위치에 공급되는 스위치 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다.
- 도 9는 제2 센싱 모드에서 화소에 공급되는 스캔신호와 센싱신호, 스위치에 공급되는 스위치 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다.
- 도 10은 본 발명의 일 실시예에 따른 서로 인접한 소스 드라이브 IC들에 접속된 센싱 라인들을 보여주는 예시도면이다.
- 도 11은 본 발명의 또 다른 실시예에 따른 소스 드라이브 IC들과 소스 회로보드를 보여주는 예시도면이다.
- 도 12는 본 발명의 또 다른 실시예에 따른 소스 드라이브 IC들과 소스 회로보드를 보여주는 예시도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0018] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

- [0020] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0021] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0023] 도 3은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 4는 도 1의 표시패널의 하부 기관, 소스 드라이브 IC들, 타이밍 제어부, 데이터 보상부, 연성필름들, 소스 회로보드, 연성 케이블, 및 제어 회로보드를 보여주는 일 예시도면이다. 도 5는 도 4의 소스 드라이브 IC를 상세히 보여주는 블록도이다.
- [0024] 도 3 내지 도 5를 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 연성필름(22)들, 스캔 구동부(40), 소스 회로보드(50), 타이밍 제어부(60), 데이터 보상부(70), 기준전압 공급부(50), 연성 케이블(91), 및 제어 회로보드(90)를 포함한다.
- [0025] 표시패널(10)은 표시영역(AA)과 표시영역(AA)의 주변에 마련된 비표시영역(NDA)을 포함한다. 표시영역(AA)은 화소(P)들이 형성되어 화상을 표시하는 영역이다. 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 기준전압 라인들(R1~Rp, p는 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 및 센싱신호라인들(SE1~SEn)이 마련된다. 데이터라인들(D1~Dm)과 기준전압 라인들(R1~Rp)은 스캔라인들(S1~Sn)과 센싱신호라인들(SE1~SEn)과 교차될 수 있다. 데이터라인들(D1~Dm)과 기준전압 라인들(R1~Rp)은 서로 나란할 수 있다. 스캔라인들(S1~Sn)과 센싱신호라인들(SE1~SEn)은 서로 나란할 수 있다.
- [0026] 화소(P)들 각각은 데이터라인들(D1~Dm) 중 어느 하나, 기준전압 라인들(R1~Rp) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 및 센싱신호라인들(SE1~SEn) 중 어느 하나에 접속될 수 있다. 표시패널(10)의 화소(P)들 각각은 도 6과 같이 유기발광다이오드(organic light emitting diode, OLED)와 유기발광다이오드(OLED)에 전류를 공급하기 위한 다수의 트랜지스터들을 포함할 수 있다. 표시영역의 화소(P)들 각각에 대한 자세한 설명은 도 6을 결부하여 후술한다.
- [0027] 데이터 구동부(20)는 도 2와 같이 다수의 소스 드라이브 IC(21)들을 포함할 수 있다. 소스 드라이브 IC(21)들 각각은 연성필름(22)들 각각에 실장될 수 있다. 연성필름(22)들 각각은 테이프 캐리어 패키지(tape carrier package) 또는 칩 온 필름(chip on film)일 수 있다. 연성필름(22)들 각각은 휘어지거나 구부러질 수 있다. 연성필름(22)들 각각은 하부기관(11)과 소스 회로보드(50)에 부착될 수 있다. 연성필름(22)들 각각은 이방성 도전 필름(anisotropic conductive flim)을 이용하여 TAB(tape automated bonding) 방식으로 하부기관(11)상에 부착될 수 있으며, 이로 인해 소스 드라이브 IC(21)들은 데이터라인들(D1~Dm)에 연결될 수 있다. 소스 회로보드(50)는 연성 케이블(91)에 의해 제어 회로보드(90)에 연결될 수 있다. 소스 회로보드(50)는 인쇄회로보드(printed circuit board)일 수 있다.
- [0028] 소스 드라이브 IC(21)들 각각은 도 4와 같이 데이터전압 공급부(110), 아날로그 디지털 컨버터(analog digital converter, 이하 "ADC"라 칭함, 140), 및 스위치(SW)를 포함할 수 있다. 도 3에서는 설명의 편의를 위해, 하나의 소스 드라이브 IC(21)가 w(w는  $1 \leq w \leq m$ 을 만족하는 양의 정수) 개의 데이터라인들(D1~Dw)과 z(z는  $1 \leq z \leq p$ 을 만족하는 양의 정수) 개의 기준전압 라인들(R1~Rz)에 접속되는 것을 중심으로 설명하였다.
- [0029] 데이터전압 공급부(110)는 데이터라인들(D1~Dw)에 접속되어 데이터전압들을 공급한다. 데이터전압 공급부(110)는 타이밍 제어부(60)로부터 보상 데이터(CDATA) 또는 센싱용 데이터(PDATA)와 데이터 타이밍 제어신호(DCS)를 입력 받는다.
- [0030] 데이터전압 공급부(110)는 표시모드에서 데이터 타이밍 제어신호(DCS)에 따라 보상 데이터(CDATA)를 발광 데이터전압들로 변환하여 데이터라인들(D1~Dw)에 공급한다. 발광 데이터전압은 화소(P)의 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위한 전압이다.
- [0031] 데이터전압 공급부(110)는 센싱 모드에서 데이터 타이밍 제어신호(DCS)에 따라 센싱용 데이터(PDATA)를 센싱 데이터전압으로 변환하여 데이터라인들(D1~Dw)에 공급한다. 센싱 데이터전압은 화소(P)의 구동 트랜지스터의 전류를 센싱하기 위한 전압이다.

- [0032] ADC(140)는 기준전압 라인들(R1~Rz) 각각의 전압을 디지털 데이터인 센싱 데이터(SD1, SD2, SD3)로 변환한다. 또는, ADC(140)는 기준전압 라인들(R1~Rz) 각각에 흐르는 전류를 전압으로 변환하고, 변환된 전압을 디지털 데이터인 센싱 데이터(SD1, SD2, SD3)로 변환한다. ADC(140)는 센싱 모드에서 기준전압 라인들(R1~Rz) 각각의 전압 또는 전류를 센싱 데이터(SD1, SD2, SD3)로 변환하여 데이터 보상부(70)로 출력한다.
- [0033] 스위치(SW)는 기준전압 라인들(R1~Rz)과 전압 공급부(80) 사이에 접속되어 기준전압 라인들(R1~Rz)과 전압 공급부(80) 사이의 접속을 스위칭한다. 스위치(SW)는 타이밍 제어부(60)로부터 입력되는 스위치 제어신호(SCS)에 의해 턴-온 및 턴-오프될 수 있다. 스위치(SW)가 스위치 제어신호(SCS)에 의해 턴-온되는 경우 기준전압 라인들(R1~Rz)은 전압 공급부(80)에 접속되므로, 전압 공급부(80)의 기준전압이 기준전압 라인들(R1~Rz)에 공급될 수 있다.
- [0034] 스캔 구동부(40)는 스캔신호 출력부(41)와 센싱신호 출력부(42)를 포함한다. 스캔신호 출력부(41)는 스캔라인들(S1~Sn)에 접속되어 스캔신호들을 공급한다. 스캔신호 출력부(41)는 타이밍 제어부(60)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다.
- [0035] 센싱신호 출력부(42)는 센싱신호라인들(SE1~SEn)에 접속되어 센싱신호들을 공급한다. 센싱신호 출력부(42)는 타이밍 제어부(60)로부터 입력되는 센싱 타이밍 제어신호(SENCS)에 따라 센싱신호라인들(SE1~SEn)에 센싱신호들을 공급한다.
- [0036] 스캔신호 출력부(41)와 센싱신호 출력부(42)는 다수의 트랜지스터들을 포함하여 GIP(Gate driver In Panel) 방식으로 표시패널(10)의 비표시영역(NDA)에 직접 형성될 수 있다. 또는, 스캔신호 출력부(41)와 센싱신호 출력부(42)는 구동 칩(chip) 형태로 형성되어 표시패널(10)에 접속되는 연성필름(미도시)상에 실장될 수 있다.
- [0037] 타이밍 제어부(60)는 데이터 보상부(70)로부터 보상 데이터(CDATA) 또는 센싱용 데이터(PDATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함할 수 있다.
- [0038] 타이밍 제어부(60)는 데이터 구동부(20), 스캔신호 출력부(41), 및 센싱신호 출력부(42)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS), 스캔신호 출력부(41)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 및 센싱신호 출력부(42)의 동작 타이밍을 제어하기 위한 센싱 타이밍 제어신호(SENCS)를 포함한다.
- [0039] 타이밍 제어부(60)는 보상 데이터(CDATA) 또는 센싱용 데이터(PDATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(60)는 스캔 타이밍 제어신호(SCS)를 스캔신호 출력부(41)로 출력하고, 센싱 타이밍 제어신호(SENCS)를 센싱신호 출력부(42)로 출력한다. 또한, 타이밍 제어부(60)는 데이터 구동부(20)의 스위치(SW)를 제어하기 위한 스위치 제어신호(SCS)를 출력할 수 있다.
- [0040] 타이밍 제어부(60)는 표시 모드와 센싱 모드로 제어할 수 있다. 표시 모드는 화소(P)들에 보상 데이터(CDATA)에 따른 발광 데이터 전압들을 공급하여 화소(P)들이 발광하는 모드이다. 센싱 모드는 화소(P)들에 센싱용 데이터 전압들을 공급하고, 기준전압 라인들(R1~Rp)을 통해 화소(P)들의 소정의 전압들을 센싱하는 모드이다.
- [0041] 센싱 모드는 제1 내지 제3 센싱 모드들로 구분될 수 있다. 제1 센싱 모드는 구동 트랜지스터의 문턱전압을 보상하기 위해 구동 트랜지스터의 소스 전압(또는 구동 트랜지스터의 구동 전류)를 센싱하는 모드이다. 제1 센싱 모드에서 센싱된 구동 트랜지스터의 소스 전압은 ADC(140)에 의해 제1 센싱 데이터(SD1)로 변환되어 데이터 보상부(70)의 메모리에 저장될 수 있다. 제1 센싱 데이터(SD1)는 구동 트랜지스터의 문턱전압이 반영된 데이터이다. 제1 센싱 모드는 유기발광표시장치의 전원이 오프되기 전에 수행될 수 있다.
- [0042] 제2 센싱 모드는 구동 트랜지스터의 전자 이동도를 보상하기 위해 구동 트랜지스터의 소스 전압(또는 구동 트랜지스터의 구동 전류)를 센싱하는 모드이다. 제2 센싱 모드에서 센싱된 구동 트랜지스터의 소스 전압은 ADC(140)에 의해 제1 센싱 데이터(SD1)로 변환되어 데이터 보상부(70)의 메모리에 저장될 수 있다. 제2 센싱 데이터(SD2)는 구동 트랜지스터의 전자 이동도가 반영된 데이터이다. 제2 센싱 모드는 유기발광표시장치의 전원이 켜지자마자 수행되거나, 유기발광표시장치의 전원이 켜진 상태에서 소정의 주기로 수행될 수 있다.
- [0043] 제3 센싱 모드는 ADC(140)의 특성 변화를 보상하기 위해 적어도 두 개의 ADC(140)들에 동일한 라인으로부터 공급되는 동일한 센싱 전압을 공급하는 모드이다. 제3 센싱 모드에서 동일한 센싱 전압은 ADC(140)에 의해 제3 센싱 데이터(SD3)로 변환되어 데이터 보상부(70)의 메모리에 저장될 수 있다. 제3 센싱 데이터(SD3)는 ADC(140)의 특성 변화가 반영된 데이터이다. 제3 센싱 모드는 유기발광표시장치의 전원이 켜진 상태에서 소정의 주기로 수

행될 수 있다.

- [0044] 데이터 보상부(70)는 제1 내지 제3 센싱 데이터(SD1, SD2, SD3)를 이용하여 디지털 비디오 데이터(DATA)를 보정할 보정 데이터를 생성한다. 데이터 보상부(70)는 외부로부터 디지털 비디오 데이터(DATA)에 보정 데이터를 적용하여 보상 데이터(CDATA)를 생성한다. 데이터 보상부(70)는 보상 데이터(CDATA)를 타이밍 컨트롤러(60)로 출력한다.
- [0045] 데이터 보상부(70)는 제1 내지 제3 센싱 데이터(SD1, SD2, SD3)를 저장하는 메모리를 포함할 수 있다. 또한, 데이터 보상부(70)는 보정 데이터를 저장하는 메모리를 포함할 수 있다. 데이터 보상부(70)의 메모리는 EEPROM(electrically erasable programmable read-only memory)과 같은 비휘발성 메모리일 수 있다. 데이터 보상부(70)는 타이밍 제어부(60)에 내장될 수 있다.
- [0046] 전압 공급부(80)는 기준전압을 생성하여 데이터 구동부(20)의 소스 드라이브 IC(21)들에 공급한다. 전압 공급부(80)는 기준전압 이외에도 유기발광표시장치의 구동에 필요한 구동 전압들을 생성하여 필요한 구성에 공급할 수 있다.
- [0047] 타이밍 제어부(60), 데이터 보상부(70), 및 전압 공급부(80)는 제어 회로보드에 실장될 수 있다. 제어 회로보드(90)는 연성 케이블(91)에 의해 소스 회로보드(50)에 연결될 수 있다. 제어 회로보드(90)는 인쇄회로보드(printed circuit board)일 수 있다.
- [0048] 이상에서 살펴본 바와 같이, 본 발명의 실시예에 따른 유기발광표시장치는 제1 내지 제3 센싱 모드들에서 센싱된 제1 내지 제3 센싱 데이터(SD1, SD2, SD3)를 이용하여 보정 데이터를 생성하고, 디지털 비디오 데이터(DATA)에 보정 데이터를 적용하여 보상 데이터(CDATA)를 생성한다. 그 결과, 본 발명의 실시예는 화소들 각각의 구동 트랜지스터의 문턱전압과 전자 이동도, 및 소스 드라이브 IC(21)들 각각의 ADC(140)의 특성 변화를 보상할 수 있다. 이하에서는, 도 6 내지 도 9을 결부하여 본 발명의 실시예에 따른 표시 모드와 제1 내지 제2 센싱 모드들에서 화소(P)의 동작을 설명한다.
- [0049] 도 6은 도 5의 화소를 상세히 보여주는 회로도이다. 도 6에서는 설명의 편의를 위해 제 $j$ ( $j$ 는  $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인(D $j$ ), 제 $u$ ( $u$ 는  $1 \leq u \leq p$ 을 만족하는 양의 정수) 기준전압 라인(R $u$ ), 제 $k$ ( $k$ 는  $1 \leq k \leq n$ 을 만족하는 양의 정수) 스캔라인(S $k$ ), 및 제 $k$  센싱신호라인(SE $k$ )에 접속된 서브 화소, 전압 공급부(80), 데이터전압 공급부(110), ADC(140), 제 $u$  기준전압 라인(R $u$ )과 전압 공급부(80) 사이에 접속된 스위치(SW)만을 도시하였다.
- [0050] 도 6을 참조하면, 표시패널(10)의 화소(P)는 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 및 제2 스위칭 트랜지스터들(ST1, ST2), 및 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0051] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다. 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 제1 전원보다 낮은 제2 전원이 공급되는 제2 전원 라인(VSL)에 접속될 수 있다.
- [0052] 구동 트랜지스터(DT)는 게이트 전극과 소스 전극의 전압 차에 따라 제1 전원 라인(EVL)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 조정한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 스위칭 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 제1 전원 라인(EVL)에 접속될 수 있다.
- [0053] 제1 스위칭 트랜지스터(ST1)는 제 $k$  스캔라인(S $k$ )의 제 $k$  스캔신호에 의해 턴-온되어 제 $j$  데이터라인(D $j$ )을 구동 트랜지스터(DT)의 게이트 전극에 접속시킨다. 제1 스위칭 트랜지스터(T1)의 게이트 전극은 제 $k$  스캔라인(S $k$ )에 접속되고, 제1 전극은 제1 구동 트랜지스터(DT1)의 게이트 전극에 접속되며, 제2 전극은 제 $j$  데이터라인(D $j$ )에 접속될 수 있다.
- [0054] 제2 스위칭 트랜지스터(ST2)는 제 $k$  센싱신호라인(SE $k$ )의 제 $k$  센싱신호에 의해 턴-온되어 제 $u$  기준전압 라인(R $u$ )을 구동 트랜지스터(DT)의 소스 전극에 접속시킨다. 제2 스위칭 트랜지스터(ST3)의 게이트 전극은 제 $k$  센싱신호라인(SE $k$ )에 접속되고, 제1 전극은 제 $u$  기준전압 라인(R $u$ )에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소

스 전극에 접속될 수 있다.

- [0055] 제1 및 제2 스위칭 트랜지스터들(ST1, ST2) 각각의 제1 전극은 소스 전극이고, 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 및 제2 스위칭 트랜지스터들(ST1, ST2) 각각의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극일 수 있다.
- [0056] 스토리지 커패시터(Cst)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 사이에 형성된다. 스토리지 커패시터(Cst)는 구동 트랜지스터(DT)의 게이트 전압과 소스 전압의 차전압을 저장한다.
- [0057] 구동 트랜지스터(DT)와 제1 및 제2 스위칭 트랜지스터들(ST1, ST2)은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 또한, 도 6에서는 구동 트랜지스터(DT)와 제1 및 제2 스위칭 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 스위칭 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있다. 이 경우 도 7 내지 도 9의 타이밍도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.
- [0058] 도 7은 표시 모드에서 화소에 공급되는 스캔신호와 센싱신호, 스위치에 공급되는 스위치 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다.
- [0059] 도 7을 참조하면, 표시 모드의 제1 및 제2 기간들(t1, t2) 동안 스위치(SW)는 제1 로직 레벨 전압(V1)의 스위치 제어신호(SCS)에 의해 턴-온된다. 이로 인해, 표시 모드의 제1 및 제2 기간들(t1, t2) 동안 제u 기준 전압 라인(Ru)에 전압 공급부(80)로부터 기준전압(VREF)이 공급된다.
- [0060] 제1 기간(t1) 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 온 전압(Von)의 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 기간(t1) 동안 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 온 전압(Von)의 제k 센싱신호(SENSk)에 의해 턴-온된다. 제1 기간(t1) 동안 스위치(SW)는 제1 로직 레벨 전압(V1)의 스위칭 제어신호(SCS)에 의해 턴-온된다.
- [0061] 제1 기간(t1) 동안 제1 스위칭 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(Dj)의 발광 데이터전압(EVdata)이 공급된다. 제1 기간(t1) 동안 제2 스위칭 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 소스 전극에는 제u 기준전압 라인(Ru)의 기준전압(VREF)이 공급된다.
- [0062] 제2 기간(t2) 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(Voff)의 제k 스캔신호(SCANk)에 의해 턴-오프된다. 제2 기간(t2) 동안 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 오프 전압(Voff)의 제k 센싱신호(SENSk)에 의해 턴-오프된다.
- [0063] 제2 기간(t2) 동안 구동 트랜지스터(DT)의 게이트 전압(Vg)과 소스 전압(Vs) 간의 전압 차에 따른 전류(Ids)는 유기발광다이오드(OLED)로 흐른다. 이로 인해, 유기발광다이오드(OLED)는 발광한다. 이하에서는, 설명의 편의를 위해 "구동 트랜지스터(DT)의 게이트 전압(Vg)과 소스 전압(Vs) 간의 전압 차에 따라 구동 트랜지스터(DT)를 통해 흐르는 전류"를 "구동 트랜지스터의 전류"로 정의한다.
- [0064] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 표시모드에서 발광 데이터전압(EVdata)을 화소(P)에 공급한다. 발광 데이터 전압(EVdata)은 제1 및 제2 센싱 모드들에 따라 구동 트랜지스터(DT)의 문턱전압과 전자 이동도를 센싱한 후 이에 따라 디지털 비디오 데이터(DATA)를 보상한 보상 데이터(CDATA)에 따라 생성된 데이터 전압이다. 그 결과, 본 발명의 실시예는 화소(P)의 유기발광다이오드(OLED)는 구동 트랜지스터(DT)의 문턱전압과 전자 이동도에 의존하지 않는 구동 트랜지스터(DT)의 전류(Ids)에 따라 발광할 수 있다. 따라서, 본 발명의 실시예는 화소(P)들의 휘도 균일도를 높일 수 있다.
- [0065] 도 8은 제1 센싱 모드에서 화소에 공급되는 스캔신호와 센싱신호, 스위치에 공급되는 스위치 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다.
- [0066] 제1 기간(t1') 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(Voff)의 제k 스캔신호(SCANk)에 의해 턴-오프되고, 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 온 전압(Von)의 제k 센싱신호(SENSk)에 의해 턴-온된다. 제1 기간(t1') 동안 스위치(SW)는 제1 로직 레벨 전압(V1)의 스위치 제어신호(SCS)에 의해 턴-온된다.
- [0067] 제1 기간(t1') 동안 스위치(SW)의 턴-온으로 인해 제u 기준 전압 라인(Ru)에 전압 공급부(80)로부터 기준전압(VREF)이 공급된다. 제1 기간(t1') 동안 제2 스위칭 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의

소스 전극에는 제u 기준전압 라인(Ru)의 기준전압(VREF)이 공급된다. 즉, 구동 트랜지스터(DT)의 소스 전극은 기준전압(VREF)으로 초기화된다.

- [0068] 제2 기간(t2') 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 온 전압(Von)의 제k 스캔신호(SCANK)에 의해 턴-온되고, 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 온 전압(Von)의 제k 센싱신호(SENSk)에 의해 턴-온된다. 제2 기간(t2') 동안 스위치(SW)는 제2 로직 레벨 전압(V2)의 스위치 제어신호(SCS)에 의해 턴-오프된다.
- [0069] 제2 기간(t2') 동안 스위치(SW)의 턴-오프로 인해 제u 기준 전압 라인(Ru)에는 기준전압(VREF)이 공급되지 않으며, 제u 기준 전압 라인(Ru)은 ADC(140)에 접속된다. 제2 기간(t2') 동안 제1 스위칭 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 센싱용 데이터전압(SVdata)이 공급된다. 제2 기간(t2') 동안 제2 스위칭 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 소스 전극에는 제u 기준전압 라인(Ru)의 기준전압(VREF)이 공급된다.
- [0070] 제2 기간(t2') 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs=SVdata-VREF)가 문턱전압(threshold voltage, Vth)보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류를 흘리게 된다. 이로 인해, 구동 트랜지스터(DT)의 소스 전압은 도 8과 같이 "SVdata-Vth"까지 상승한다. 따라서, 제2 기간(t2') 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압이 센싱된다.
- [0071] 제3 기간(t3') 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 온 전압(Von)의 제k 스캔신호(SCANK)에 의해 턴-온되고, 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 온 전압(Von)의 제k 센싱신호(SENSk)에 의해 턴-온된다. 제3 기간(t3') 동안 스위치(SW)는 제2 로직 레벨 전압(V2)의 스위치 제어신호(SCS)에 의해 턴-오프된다.
- [0072] 제3 기간(t3') 동안 스위치(SW)의 턴-오프로 인해 제u 기준 전압 라인(Ru)에는 기준전압(VREF)이 공급되지 않으며, 제u 기준 전압 라인(Ru)은 ADC(140)에 접속된다. 제3 기간(t3') 동안 제2 스위칭 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 소스 전극은 제u 기준전압 라인(Ru)을 통해 ADC(140)에 접속된다. 따라서, ADC(140)는 구동 트랜지스터(DT)의 소스 전압, 즉, "SVdata-Vth"를 센싱할 수 있다.
- [0073] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 센싱모드에서 구동 트랜지스터(DT)의 문턱전압이 반영된 구동 트랜지스터의 소스 전압 "SVdata-Vth"를 센싱할 수 있다.
- [0074] 도 9는 제2 센싱 모드에서 화소에 공급되는 스캔신호, 센싱신호와 스위치에 공급되는 스위치 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다.
- [0075] 제1 기간(t1") 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(Voff)의 제k 스캔신호(SCANK)에 의해 턴-오프되고, 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 온 전압(Von)의 제k 센싱신호(SENSk)에 의해 턴-온된다. 제1 기간(t1") 동안 스위치(SW)는 제1 로직 레벨 전압(V1)의 스위치 제어신호(SCS)에 의해 턴-온된다.
- [0076] 제1 기간(t1") 동안 스위치(SW)의 턴-온으로 인해 제u 기준 전압 라인(Ru)에 전압 공급부(80)로부터 기준전압(VREF)이 공급된다. 제1 기간(t1") 동안 제2 스위칭 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 소스 전극에는 제u 기준전압 라인(Ru)의 기준전압(VREF)이 공급된다. 즉, 구동 트랜지스터(DT)의 소스 전극은 기준전압(VREF)으로 초기화된다.
- [0077] 제2 기간(t2") 동안 제1 스위칭 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 온 전압(Von)의 제k 스캔신호(SCANK)에 의해 턴-온되고, 제2 스위칭 트랜지스터(ST2)는 제k 센싱신호라인(SEk)으로 공급되는 게이트 온 전압(Von)의 제k 센싱신호(SENSk)에 의해 턴-온된다. 제2 기간(t2") 동안 스위치(SW)는 제2 로직 레벨 전압(V2)의 스위치 제어신호(SCS)에 의해 턴-오프된다.
- [0078] 제2 기간(t2") 동안 스위치(SW)의 턴-오프로 인해 제u 기준 전압 라인(Ru)에는 기준전압(VREF)이 공급되지 않으며, 제u 기준 전압 라인(Ru)은 ADC(140)에 접속된다. 제2 기간(t2") 동안 제1 스위칭 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 센싱용 데이터전압(SVdata)이 공급된다. 제2 기간(t2") 동안 제2 스위칭 트랜지스터(ST2)의 턴-온으로 인해, 구동 트랜지스터(DT)의 소스 전극에는 제u 기준전압 라인(Ru)의 기준전압(VREF)이 공급된다.
- [0079] 제2 기간(t2") 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs=SVdata-VREF)가 문턱전

압(threshold voltage, Vth)보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차 (Vgs)가 문턱전압(Vth)에 도달할 때까지 전류를 흘리게 된다. 하지만, 도 9의 제2 기간(t2")은 도 8의 제2 기간 (t2')에 비해 짧으며, 구동 트랜지스터(DT)의 소스전압(Vs)이 "Vdata-Vth"에 도달하기 전에 제2 기간(t2")이 끝나게 된다.

[0080] 이때, 구동 트랜지스터(DT)의 전류는 수학적 식 1과 같이 정의될 수 있다.

**수학적 식 1**

$$I_{ds} = \frac{K \times Cox \times W/L}{2} \times (Vgs - Vth)^2$$

[0081]

[0082] 수학적 식 1에서, "Ids"는 구동 트랜지스터(DT)의 전류, "K"는 전자 이동도, "Cox"는 절연막의 커패시턴스, "W"는 구동 트랜지스터(DT)의 채널 폭, "L"은 구동 트랜지스터(DT)의 채널 길이를 의미한다.

[0083] 구동 트랜지스터(DT)의 전류는 수학적 식 1과 같이 구동 트랜지스터(DT)의 전자 이동도(K)에 비례하므로, 제2 기간 (t2") 동안 구동 트랜지스터(DT)의 소스전압(Vs)의 상승량은 구동 트랜지스터(DT)의 전자 이동도(K)에 비례한다. 즉, 구동 트랜지스터(DT)의 전자 이동도가 클수록 제2 기간(t2") 동안 구동 트랜지스터(DT)의 소스 전압(Vs)의 상승량은 더욱 커진다.

[0084] 결국, 제2 기간(t2") 동안 구동 트랜지스터(DT)의 전자 이동도(K)에 따라 소스 전압(Vs)의 상승량이 달라지며, 도 9에서는 전자 이동도(K)에 따른 소스 전압(Vs)의 상승량을 α로 정의하였다. 구동 트랜지스터(DT)의 소스 전압은 전자 이동도(K)에 따라 도 9와 같이 "SVdata+α"까지 상승한다. 따라서, 제2 기간(t2") 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 전자 이동도(K)가 반영된 전압이 센싱된다.

[0085] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제2 센싱 모드에서 구동 트랜지스터(DT)의 전자 이동도(K)가 반영된 구동 트랜지스터의 소스 전압 "SVdata+α"를 센싱할 수 있다.

[0086] 도 10은 본 발명의 일 실시예에 따른 서로 인접한 소스 드라이브 IC들에 접속된 기준전압 라인들을 보여주는 예시도면이다.

[0087] 도 10에는 제3 센싱 모드를 구동하기 위한 본 발명의 일 실시예가 나타나 있다. 제3 센싱 모드는 ADC(140)의 특성 변화를 보상하기 위해 적어도 두 개의 ADC(140)들에 동일한 라인으로부터 공급되는 동일한 센싱 전압을 공급하는 모드이다. 도 10에서는 설명의 편의를 위해 제1 및 제2 소스 드라이브 IC들(21a, 21b)만을 예시하였다.

[0088] 도 10을 참조하면, 제1 소스 드라이브 IC(21a)는 제1 연성 필름(22a) 상에 실장되고, 제2 소스 드라이브 IC(21b)는 제2 연성 필름(22b) 상에 실장된다. 제1 및 제2 연성필름들(22a, 22b) 각각은 이방성 도전 필름(anisotropic conductive flim)을 이용하여 표시패널의 하부기판(11)에 부착될 수 있다. 이로 인해, 제1 및 제2 소스 드라이브 IC들(21a, 21b) 각각은 하부기판(11)의 데이터 라인들과 기준전압 라인들에 접속될 수 있다.

[0089] 제1 및 제2 소스 드라이브 IC들(21a, 21b) 각각은 도 4와 같이 z 개의 기준전압 라인들에 접속될 수 있다. 표시 모드, 제1 및 제2 센싱 모드들에서 제1 소스 드라이브 IC(21a)는 제1 내지 제z 기준전압 라인들(R1~Rz)에 접속될 수 있으며, 제2 소스 드라이브 IC(21b)는 제z+1 내지 제2z 기준전압 라인들(Rz+1~R2z)에 접속될 수 있다. 즉, 표시 모드, 제1 및 제2 센싱 모드들에서 제1 소스 드라이브 IC(21a)는 제1 내지 제z 기준전압 라인들(R1~Rz)로부터 화소(P)들의 소정의 전압들을 센싱하며, 제2 소스 드라이브 IC(21b)는 제z+1 내지 제2z 기준전압 라인들(Rz+1~R2z)로부터 화소(P)들의 소정의 전압들을 센싱할 수 있다.

[0090] 제3 센싱 모드에서 제2 소스 드라이브 IC(21b)는 제1 소스 드라이브 IC(21a)에 접속된 기준전압 라인들 중 어느 하나의 기준전압 라인에 접속될 수 있다. 예를 들어, 제3 센싱 모드에서 제2 소스 드라이브 IC(21b)는 제1 소스 드라이브 IC(21a)에 접속된 제z 기준전압 라인에 접속될 수 있다. 이 경우, 제2 소스 드라이브 IC(21b)는 제z+1 내지 제2z 기준전압 라인들(Rz+1~R2z) 중 어느 하나의 기준전압 라인과의 접속이 끊어질 수 있다. 예를 들어, 제2 소스 드라이브 IC(21b)는 제z+1 기준전압 라인들(Rz+1)과의 접속이 끊어질 수 있다.

[0091] 한편, 도 10에서는 제3 센싱 모드에서 제2 소스 드라이브 IC(21b)가 제1 소스 드라이브 IC(21a)에 접속된 기준전압 라인들 중 어느 하나의 기준전압 라인에 접속되고, 제z+1 내지 제2z 기준전압 라인들(Rz+1~R2z) 중 어느

하나의 기준전압 라인과의 접속이 끊어진 것을 예시하였으나, 이에 한정되지 않는다. 즉, 제3 센싱 모드에서 제1 소스 드라이브 IC(21a)가 제2 소스 드라이브 IC(21a)에 접속된 기준전압 라인들 중 어느 하나의 기준전압 라인에 접속되고, 제1 내지 제z 기준전압 라인들(R1~Rz) 중 어느 하나의 기준전압 라인과의 접속이 끊어질 수 있다.

[0092] 제2 소스 드라이브 IC(21b)와 제z 기준전압 라인(Rz) 사이의 접속을 제어하기 위해 제2 소스 드라이브 IC(21b)와 제z 기준전압 라인(Rz) 사이에는 제1 트랜지스터(T1)가 배치될 수 있다. 제1 트랜지스터(T1)는 제1 제어라인(CL1)의 제1 제어신호에 의해 턴-온되어 제2 소스 드라이브 IC(21b)와 제z 기준전압 라인(Rz)를 접속시킨다. 제1 트랜지스터(T1)의 게이트 전극은 제1 제어라인(CL1)에 접속되고, 제1 전극은 제2 소스 드라이브 IC(21b)에 접속되며, 제2 전극은 제z 기준전압 라인(Rz)에 접속될 수 있다.

[0093] 또한, 제2 소스 드라이브 IC(21b)와 제z+1 기준전압 라인(Rz+1) 사이의 접속을 제어하기 위해 제2 소스 드라이브 IC(21b)와 제z+1 기준전압 라인(Rz+1) 사이에는 제2 트랜지스터(T2)가 배치될 수 있다. 제2 트랜지스터(T2)는 제1 제어신호의 반전 신호에 의해 턴-온되어 제2 소스 드라이브 IC(21b)와 제z+1 기준전압 라인(Rz+1)를 접속시킨다. 제2 트랜지스터(T2)의 게이트 전극은 제1 제어라인(CL1)에 접속된 인버터(INV)에 접속되고, 제1 전극은 제2 소스 드라이브 IC(21b)에 접속되며, 제2 전극은 제z 기준전압 라인(Rz)에 접속될 수 있다. 인버터(INV)는 제1 제어라인(CL1)과 제2 트랜지스터(T2)의 게이트 전극 사이에 접속될 수 있다. 인버터(INV2)는 제1 제어라인(CL1)의 제1 제어신호를 반전한 반전 신호를 제2 트랜지스터(T2)의 게이트 전극에 공급한다.

[0094] 제1 및 제2 트랜지스터들(T1, T2) 각각의 제1 전극은 소스 전극이고, 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 및 제2 트랜지스터들(T1, T2) 각각의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극일 수 있다.

[0095] 제1 및 제2 트랜지스터들(T1, T2)은 박막 트랜지스터(thin film transistor)로 형성될 수 있다. 또한, 도 10에서는 제1 및 제2 트랜지스터들(T1, T2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 제1 및 제2 트랜지스터들(T1, T2)은 P 타입 MOSFET으로 형성될 수도 있다. 이 경우 제1 제어라인(CL1)의 제1 제어신호 역시 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.

[0096] 결국, 표시 모드, 제1 및 제2 센싱 모드들에서 제1 트랜지스터(T1)는 제1 제어라인(CL1)의 제1 로직 레벨 전압을 갖는 제1 제어신호에 의해 턴-오프되고, 제2 트랜지스터(T2)는 제2 로직 레벨 전압을 갖는 제1 제어신호의 반전신호에 의해 턴-온될 수 있다. 이에 따라, 표시 모드, 제1 및 제2 센싱 모드들에서 제1 소스 드라이브 IC(21a)는 제1 내지 제z 기준전압 라인들(R1~Rz)에 접속될 수 있으며, 제2 소스 드라이브 IC(21b)는 제z+1 내지 제2z 기준전압 라인들(Rz+1~R2z)에 접속될 수 있다. 즉, 표시 모드, 제1 및 제2 센싱 모드들에서 제1 소스 드라이브 IC(21a)는 제1 내지 제z 기준전압 라인들(R1~Rz)로부터 화소(P)들의 소정의 전압들을 센싱하며, 제2 소스 드라이브 IC(21b)는 제z+1 내지 제2z 기준전압 라인들(Rz+1~R2z)로부터 화소(P)들의 소정의 전압들을 센싱할 수 있다.

[0097] 또한, 제3 센싱 모드에서 제1 트랜지스터(T1)는 제1 제어라인(CL1)의 제2 로직 레벨 전압을 갖는 제1 제어신호에 의해 턴-온되고, 제2 트랜지스터(T2)는 제1 로직 레벨 전압을 갖는 제1 제어신호의 반전신호에 의해 턴-오프될 수 있다. 이에 따라, 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들은 제3 센싱 모드에서 동일한 제z 기준전압 라인(Rz)으로부터 동일한 센싱 전압을 입력받을 수 있다.

[0098] 이상에서 살펴본 바와 같이, 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들은 제3 센싱 모드에서 동일한 제z 기준전압 라인(Rz)으로부터 동일한 센싱 전압을 입력받을 수 있다. 예를 들어, 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들은 제3 센싱 모드에서 제1 센싱 모드에 따라 제z 기준전압 라인(Rz)을 통해 화소(P)의 구동 트랜지스터의 소스 전압을 센싱할 수 있다. 또는, 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들은 제3 센싱 모드에서 제2 센싱 모드에 따라 제z 기준전압 라인(Rz)을 통해 화소(P)의 구동 트랜지스터의 소스 전압을 센싱할 수 있다.

[0099] 한편, ADC(140)는 동일한 센싱 전압을 입력받는 경우 동일한 센싱 데이터를 출력하여야 하나, 제품 출하 후 온도, 습도, 및 압력 등의 요인에 의해 ADC(140)의 특성이 영향을 받을 수 있다. 이 경우, ADC(140)들 각각이 센싱 라인을 통해 동일한 전압을 센싱하더라도, ADC(140)의 특성 변화에 따라 ADC(140)들 사이에서 센싱 데이터에 차이가 발생할 수 있다.

[0100] 본 발명의 일 실시예는 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들이 동일한 제z 기준전압 라인

(Rz)으로부터 동일한 센싱 전압을 입력받도록 한 후 ADC(140)들이 출력하는 센싱 데이터를 분석한다. 예를 들어, 제3 센싱 모드에서 제1 소스 드라이브 IC(21a)의 ADC(140)로부터 출력된 제3 센싱 데이터(SD3)가 3V를 지시하고, 제2 소스 드라이브 IC(21a)의 ADC(140)로부터 출력된 제3 센싱 데이터(SD3)가 3.5V를 지시하는 경우를 가정하자. 이 경우, 제1 소스 드라이브 IC(21a)의 ADC(140)의 제3 센싱 데이터(SD3)가 제2 소스 드라이브 IC(21a)의 ADC(140)의 제3 센싱 데이터(SD3)에 비해 0.5V 만큼 낮다. 따라서, 데이터 보상부(70)는 제1 소스 드라이브 IC(21a)의 ADC(140)로부터 출력되는 제1 및 제2 센싱 데이터(SD1, SD2)를 0.5V 만큼 가산하거나 또는 소정의 개인값을 곱할 수 있다. 이로 인해, 본 발명의 실시예는 ADC(140)의 특성 변화로 인해 ADC(140)들의 센싱 데이터 간에 차이가 발생하는 것을 보상할 수 있다. 따라서, 본 발명의 실시예는 블록 덤이 사용자에게 시인되는 것을 방지할 수 있다.

- [0101] 도 11은 본 발명의 또 다른 실시예에 따른 소스 드라이브 IC들과 소스 회로보드를 보여주는 예시도면이다.
- [0102] 도 11에는 제3 센싱 모드를 구동하기 위한 본 발명의 또 다른 실시예가 나타나 있다. 제3 센싱 모드는 ADC(140)의 특성 변화를 보상하기 위해 적어도 두 개의 ADC(140)들에 동일한 라인으로부터 공급되는 동일한 센싱 전압을 공급하는 모드이다.
- [0103] 도 11을 참조하면, 소스 드라이브 IC들(21a, 21b, 21c, 21d) 각각은 연성 필름들(22a, 22b, 22c, 22d) 각각 상에 실장된다. 연성 필름들(22a, 22b, 22c, 22d)은 소스 회로보드(50)와 표시패널의 하부기관(11)에 부착될 수 있다.
- [0104] 소스 회로보드(50)는 전압 공급부(80)에 연결되며, 전압 공급부(80)로부터 센싱 전압을 공급받는 센싱 전압 라인(SVL)을 포함한다. 센싱 전압 라인(SVL)은 소스 드라이브 IC들(21a, 21b, 21c, 21d)의 ADC(140)들에 접속될 수 있다.
- [0105] 소스 회로보드(50)는 센싱 전압 라인(SVL)에 접속된 커패시터(C)들을 더 포함할 수 있다. 커패시터(C)들은 센싱 전압 라인(SVL)의 센싱 전압을 안정적으로 유지시키는 역할을 한다.
- [0106] 소스 회로보드(50)는 센싱 전압 라인(SVL)과 소스 드라이브 IC들(21a, 21b, 21c, 21d) 각각의 사이에 배치되어 센싱 전압 라인(SVL)과 소스 드라이브 IC들(21a, 21b, 21c, 21d) 각각의 접속을 제어하는 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)을 포함한다. 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)은 제3 센싱 모드에서 센싱 전압 라인(SVL)을 소스 드라이브 IC들(21a, 21b, 21c, 21d)의 ADC(140)들에 접속시킬 수 있다. 즉, 제3 센싱 모드에서 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6) 각각은 제2 제어라인(CL2)의 제2 제어신호에 의해 턴-온되어 센싱 전압 라인(SVL)을 소스 드라이브 IC들(21a, 21b, 21c, 21d)의 ADC(140)들에 접속시킬 수 있다. 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6) 각각의 제어 전극은 제2 제어라인(CL2)에 접속되고, 제1 전극은 소스 드라이브 IC들(21a, 21b, 21c, 21d)의 ADC(140)들에 접속되며, 제2 전극은 센싱 전압 라인(SVL)에 접속될 수 있다.
- [0107] 제1 및 제2 트랜지스터들(T1, T2) 각각의 제1 전극은 소스 전극이고, 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 및 제2 트랜지스터들(T1, T2) 각각의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극일 수 있다.
- [0108] 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)은 전계 효과 트랜지스터(field effect transistor) 또는 양극성 접합 트랜지스터(bipolar junction transistor)로 형성될 수 있다. 또한, 도 11에서는 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)은 P 타입 MOSFET으로 형성될 수도 있다. 이 경우 제2 제어라인(CL2)의 제2 제어신호 역시 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.
- [0109] 결국, 표시 모드, 제1 및 제2 센싱 모드들에서 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)은 제2 제어라인(CL2)의 제1 로직 레벨 전압을 갖는 제2 제어신호에 의해 턴-오프될 수 있다. 제3 센싱 모드에서 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)은 제2 제어라인(CL2)의 제2 로직 레벨 전압을 갖는 제2 제어신호에 의해 턴-온될 수 있다. 이에 따라, 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들은 제3 센싱 모드에서 동일한 센싱 전압 라인(SVL)으로부터 동일한 센싱 전압을 입력받을 수 있다.
- [0110] 이상에서 살펴본 바와 같이, 제1 및 제2 소스 드라이브 IC들(21a, 21b)의 ADC(140)들은 제3 센싱 모드에서 동일한 센싱 전압 라인(SVL)으로부터 동일한 센싱 전압을 입력받을 수 있다.

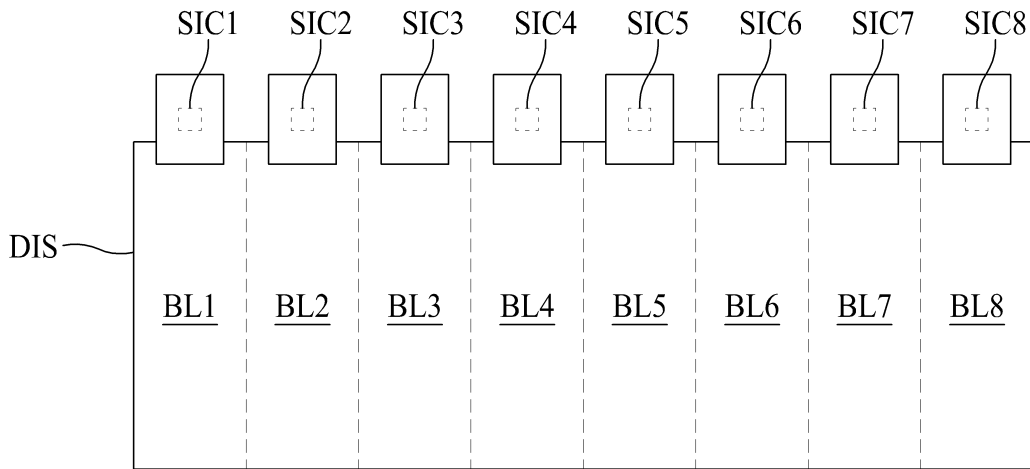
- [0111] 도 11에서는 소스 드라이브 IC들(21a, 21b, 21c, 21d)이 트랜지스터들(TR1, TR2, TR3, TR4, TR5, TR6)을 통해 하나의 센싱 전압 라인(SVL)에 접속되는 것을 예시하였으나, 이에 한정되지 않는다. 즉, 도 12와 같이 제1 및 제2 소스 드라이브 IC들(21a, 21b)이 제1 및 제2 트랜지스터들(TR1, TR2)을 통해 제1 센싱 전압 라인(SVL1)에 접속되고, 제2 및 제3 소스 드라이브 IC들(21b, 21c)이 제3 및 제4 트랜지스터들(TR3, TR4)을 통해 제2 센싱 전압 라인(SVL2)에 접속되며, 제3 및 제4 소스 드라이브 IC들(21c, 21d)이 제5 및 제6 트랜지스터들(TR5, TR6)을 통해 제3 센싱 전압 라인(SVL3)에 접속될 수 있다.
- [0112] 한편, ADC(140)는 동일한 센싱 전압을 입력받는 경우 동일한 센싱 데이터를 출력하여야 하나, 제품 출하 후에 온도, 습도, 및 압력 등의 요인에 의해 ADC(140)의 특성이 영향을 받을 수 있다. 이 경우, ADC(140)들 각각이 센싱 라인을 통해 동일한 전압을 센싱하더라도, ADC(140)의 특성 변화에 따라 ADC(140)들 사이에서 센싱 데이터에 차이가 발생할 수 있다.
- [0113] 본 발명의 실시예는 소스 드라이브 IC들(21a, 21b)의 ADC(140)들이 동일한 센싱 전압 라인(SVL)으로부터 동일한 센싱 전압을 입력받도록 한 후 ADC(140)들이 출력하는 센싱 데이터를 분석한다. 예를 들어, 제3 센싱 모드에서 제1 소스 드라이브 IC(21a)의 ADC(140)로부터 출력된 제3 센싱 데이터(SD3)가 3V를 지시하고, 제2 소스 드라이브 IC(21a)의 ADC(140)로부터 출력된 제3 센싱 데이터(SD3)가 3.5V를 지시하는 경우를 가정하자. 이 경우, 제1 소스 드라이브 IC(21a)의 ADC(140)의 제3 센싱 데이터(SD3)가 제2 소스 드라이브 IC(21a)의 ADC(140)의 제3 센싱 데이터(SD3)에 비해 0.5V 만큼 낮다. 따라서, 데이터 보상부(70)는 제1 소스 드라이브 IC(21a)의 ADC(140)로부터 출력되는 제1 및 제2 센싱 데이터(SD1, SD2)를 0.5V 만큼 가산하거나 또는 소정의 계인값을 곱할 수 있다. 이로 인해, 본 발명의 실시예는 ADC(140)의 특성 변화로 인해 ADC(140)들의 센싱 데이터 간에 차이가 발생하는 것을 보상할 수 있다. 따라서, 본 발명의 실시예는 블록 덤이 사용자에게 시인되는 것을 방지할 수 있다.
- [0114] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

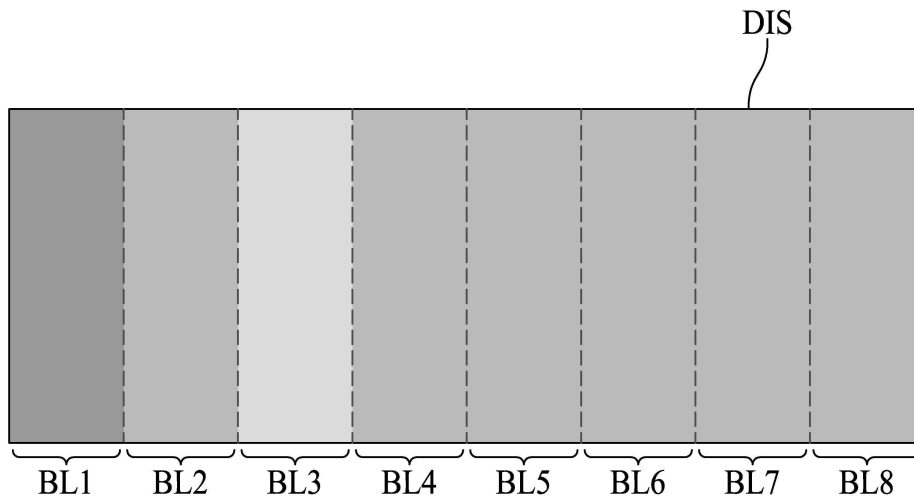
- [0115] 10: 표시패널    20: 데이터 구동부
- 21: 소스 드라이브 IC    22: 연성 필름
- 40: 스캔 구동부    41: 스캔신호 출력부
- 42: 센싱신호 출력부    50: 소스 회로보드
- 60: 타이밍 컨트롤러    70: 데이터 보상부
- 80: 전압 공급부    90: 제어 회로보드
- 91: 연성 케이블    110: 데이터 전압 공급부
- 140: 아날로그 디지털 컨버터

도면

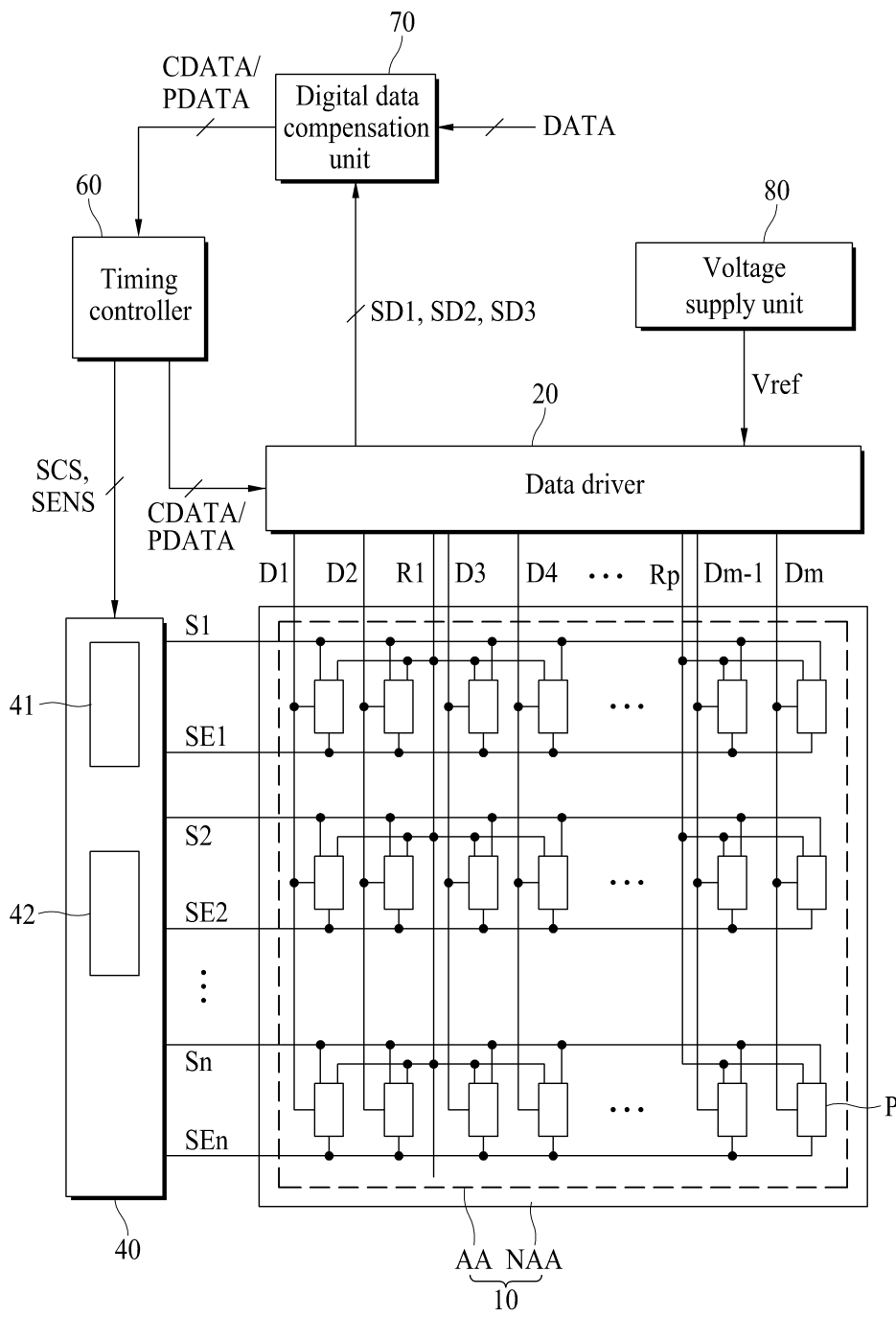
도면1



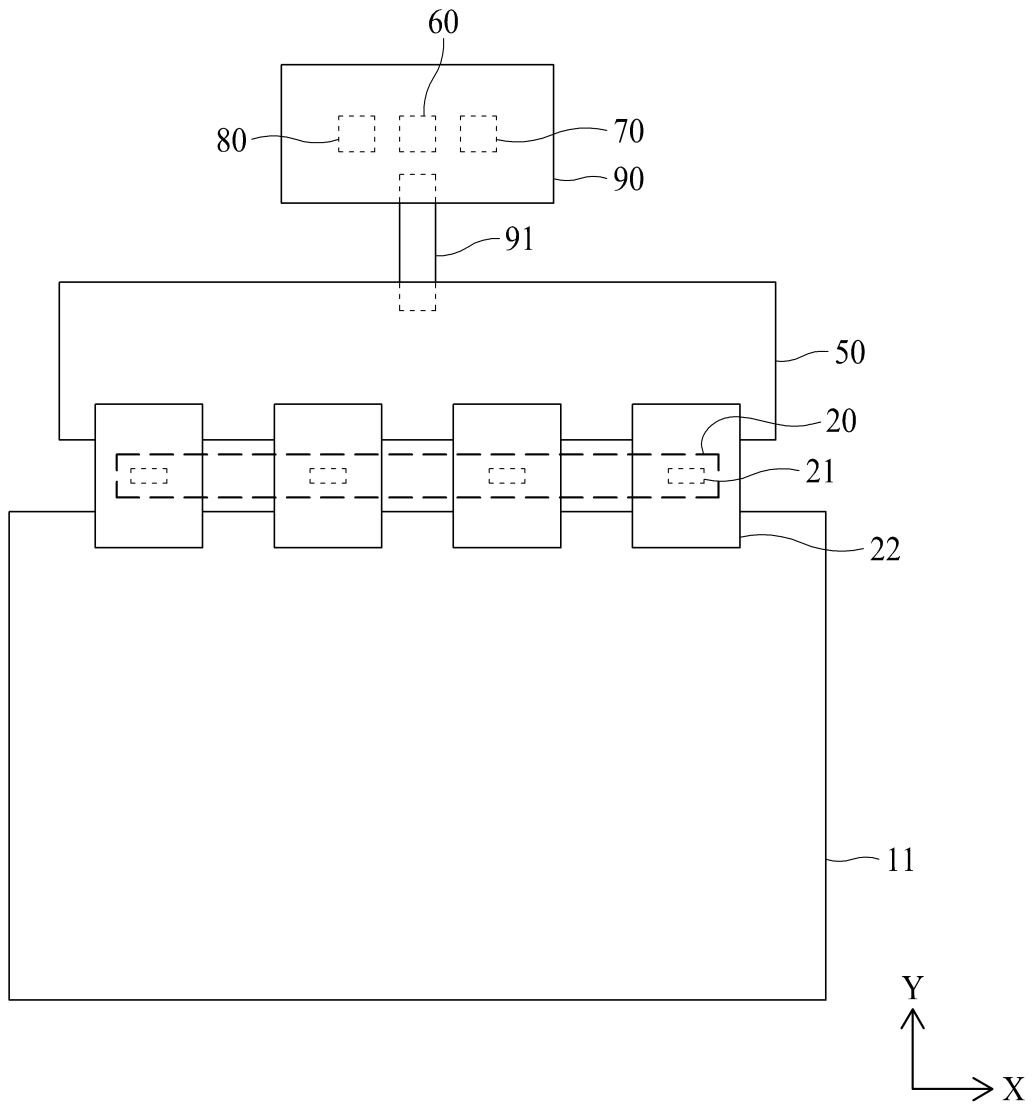
도면2



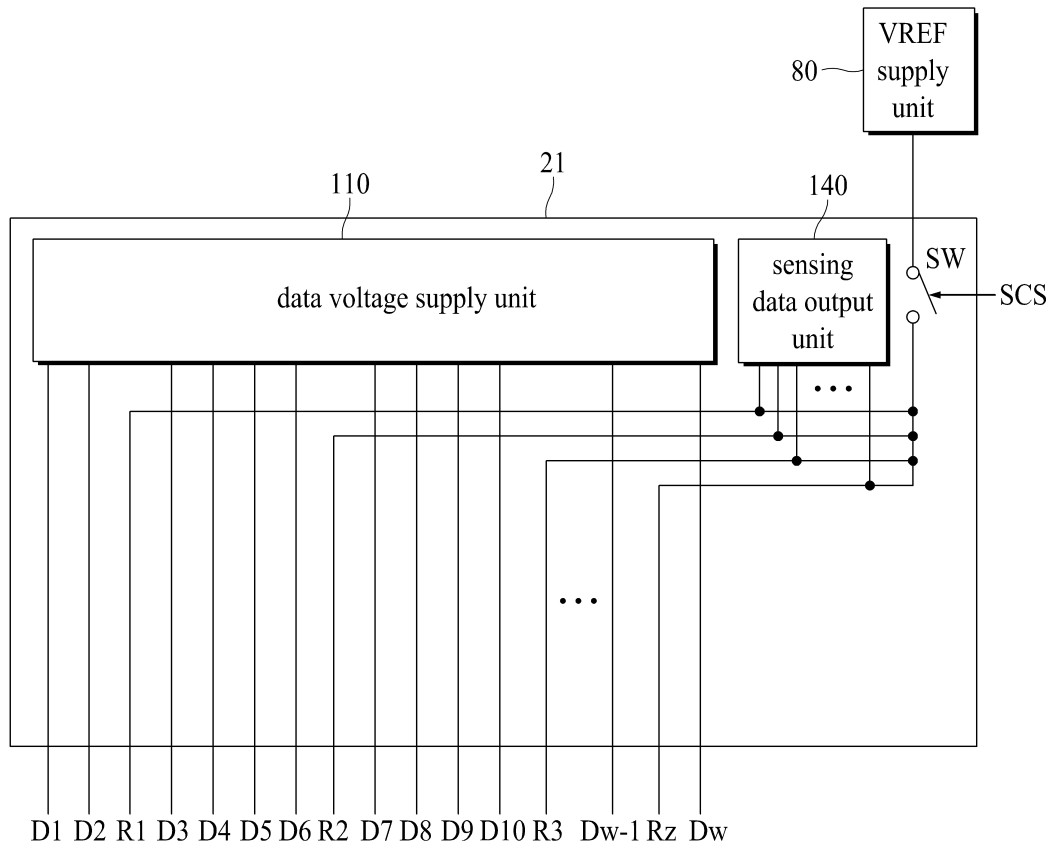
도면3



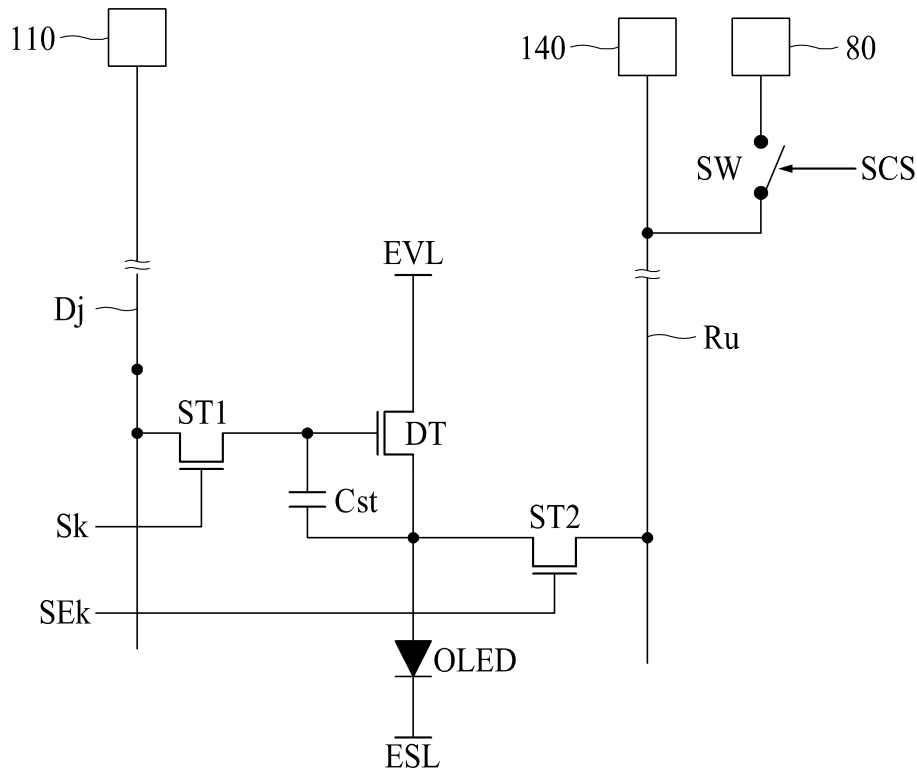
도면4



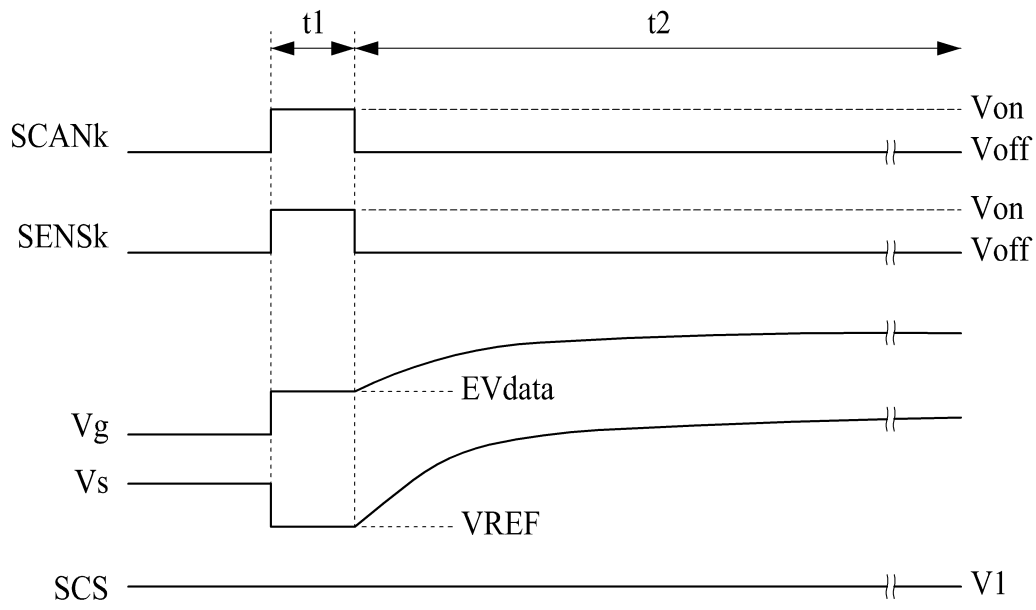
도면5



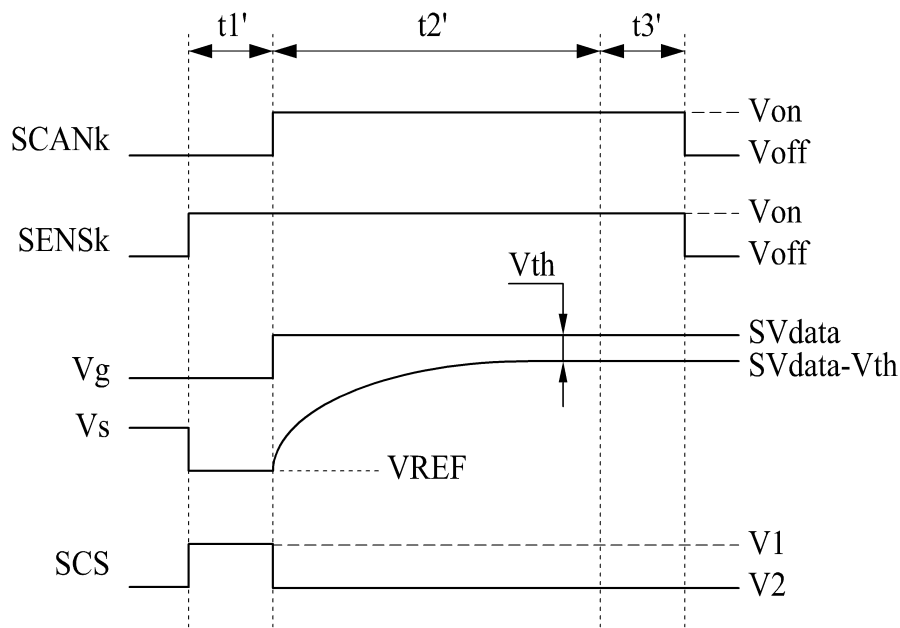
도면6



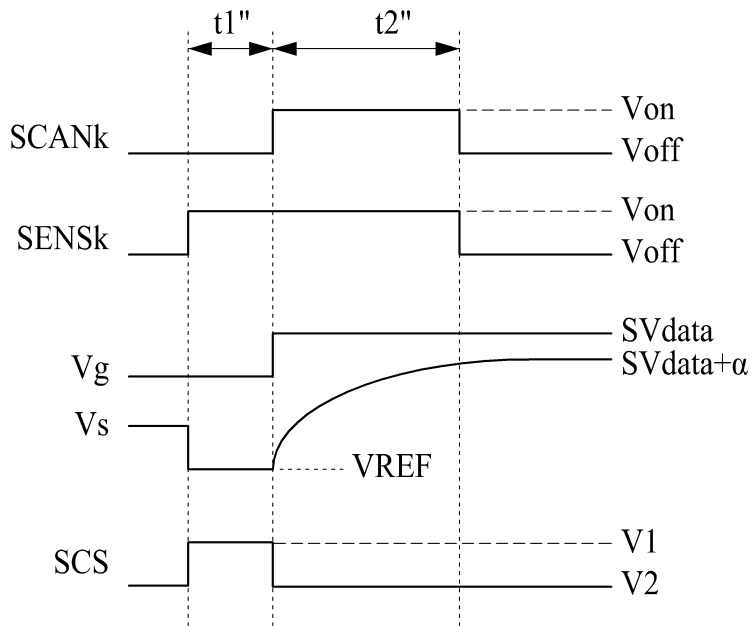
도면7



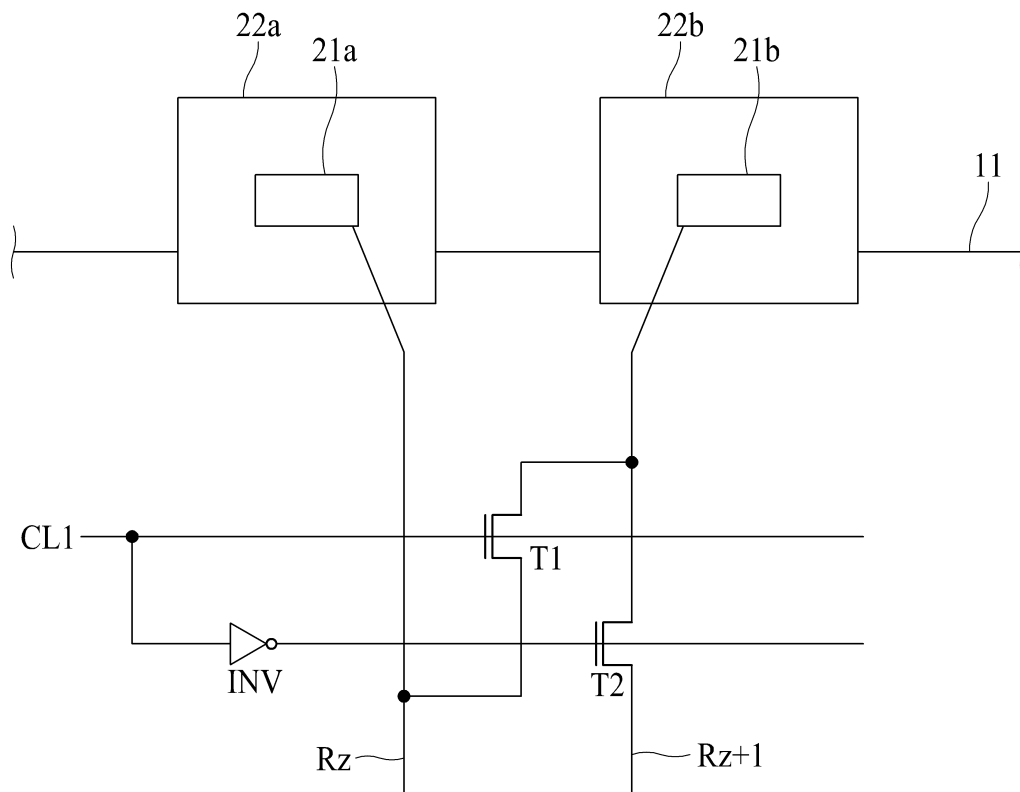
도면8



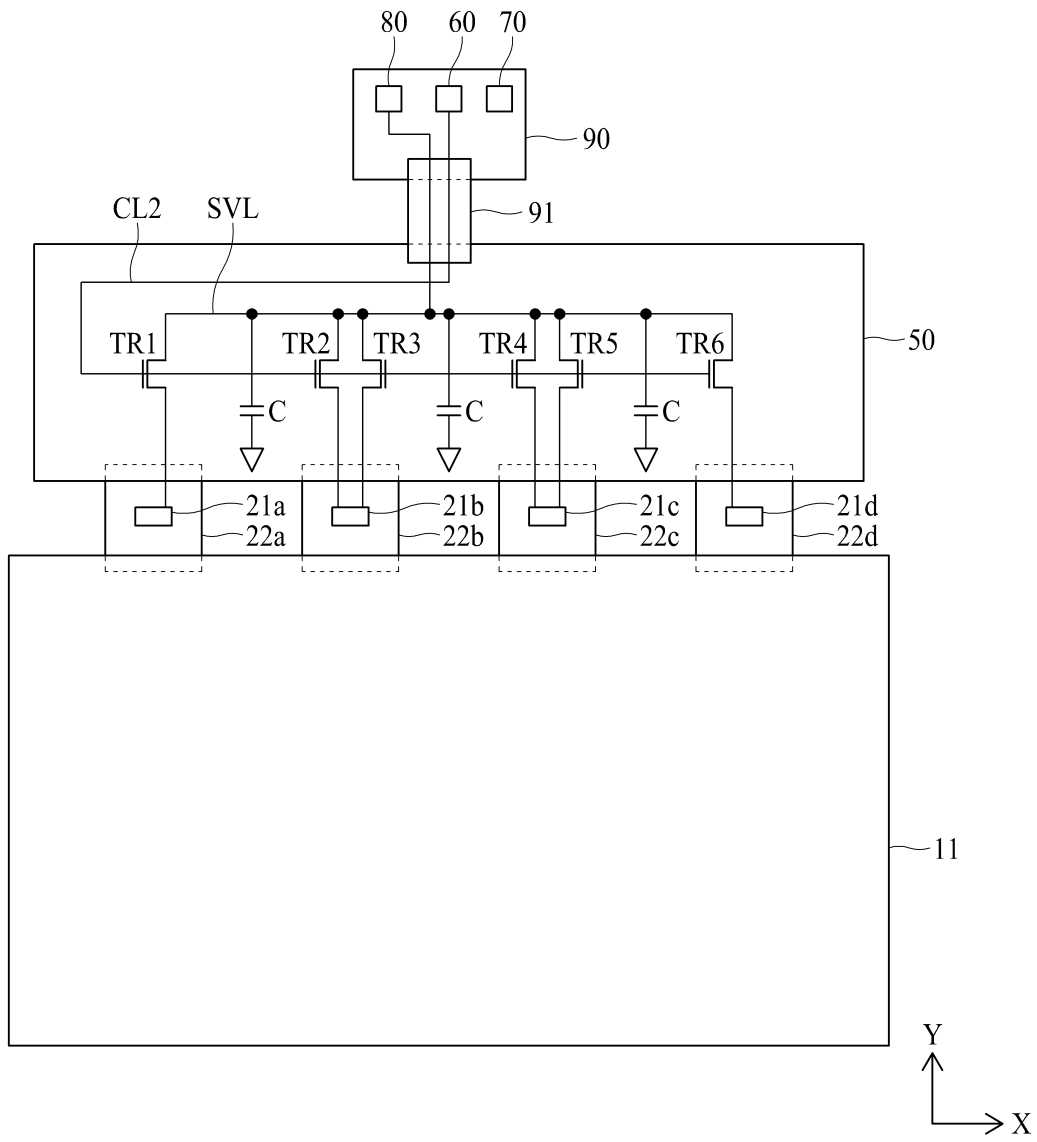
도면9



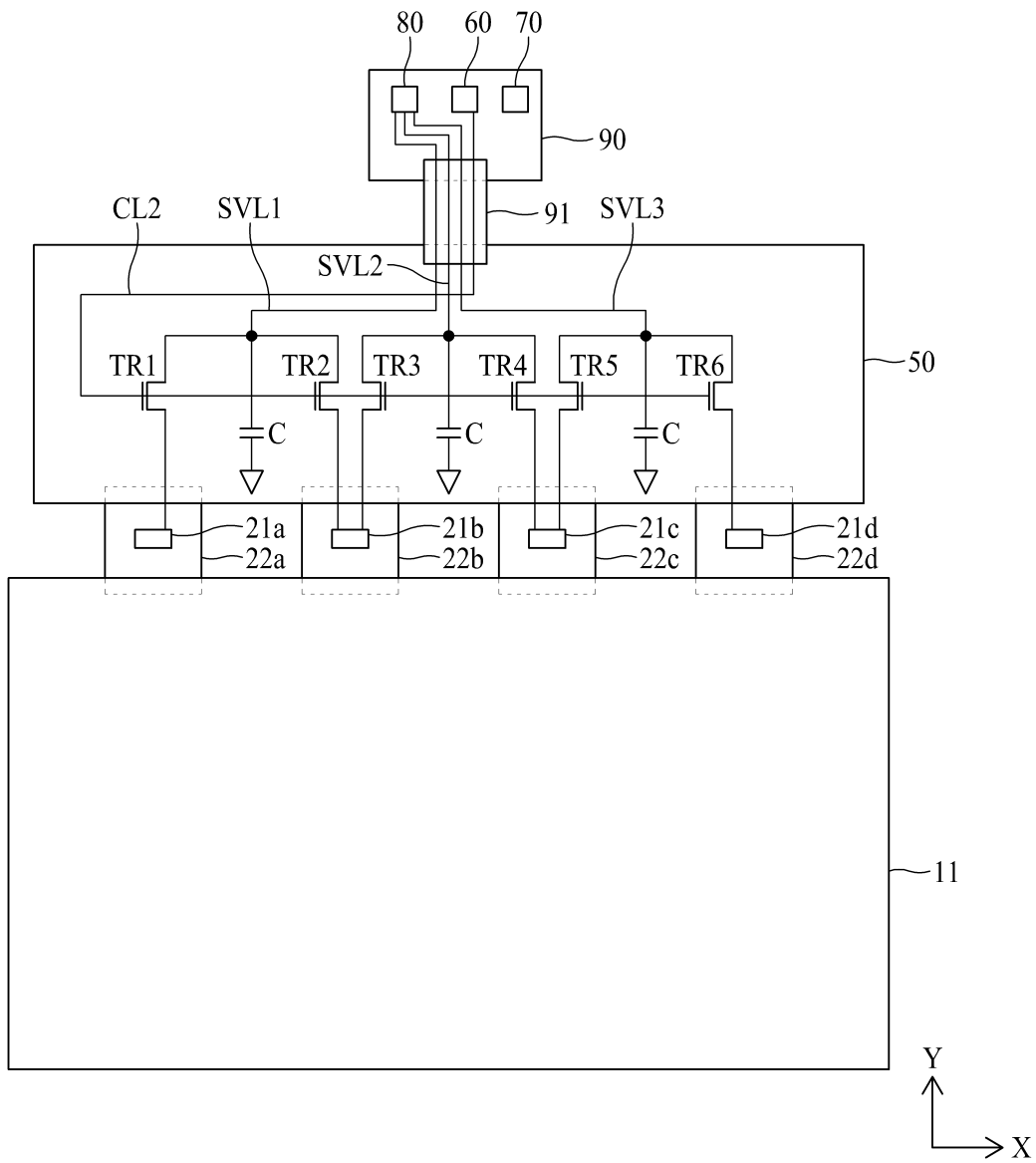
도면10



도면11



도면12



专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">KR1020180013356A</a>	公开(公告)日	2018-02-07
申请号	KR1020160096949	申请日	2016-07-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAESEUNG LEE 이해승 JUSEOK LEE 이주석		
发明人	이해승 이주석		
IPC分类号	G09G3/3275 G09G3/3233		
CPC分类号	G09G3/3275 G09G3/3233 G09G2300/0828 G09G2310/08 G09G2300/0842 G09G2230/00		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，其能够补偿根据模拟数字转换器的感测数据之间的模拟数字转换器的特性变化而产生的差异。根据本发明优选实施例的有机发光显示装置包括数据线，显示面板包括连接到参考电压线的像素，以及将数字补偿数据转换成数据电压并提供数据线的的数据电压提供单元，以及时序控制器，其通过参考电压线转换感测像素的预定电压的源驱动集成电路，并且包括模拟数字转换器，该模拟数字转换器基于感测数据和所提供的数据将从外部输入的作为数字数据数字视频数据的感测数据输出为数字补偿数据。电压供应单元。相同的感测电压从源驱动集成电路中的相同线路输入到两个或更多个源驱动集成电路的模拟数字转换器。

