



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081109
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) *G09G 3/32* (2016.01)
H01L 27/32 (2006.01) *H01L 51/00* (2006.01)
(52) CPC특허분류
H01L 51/56 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2015-0191868
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강해윤
경기도 파주시 시청로 63-1 (아동동) 210호
박광모
경기도 의정부시 시민로 49 606호 (가능동, 신동아
파라디움)
(74) 대리인
김은구, 송해모

전체 청구항 수 : 총 9 항

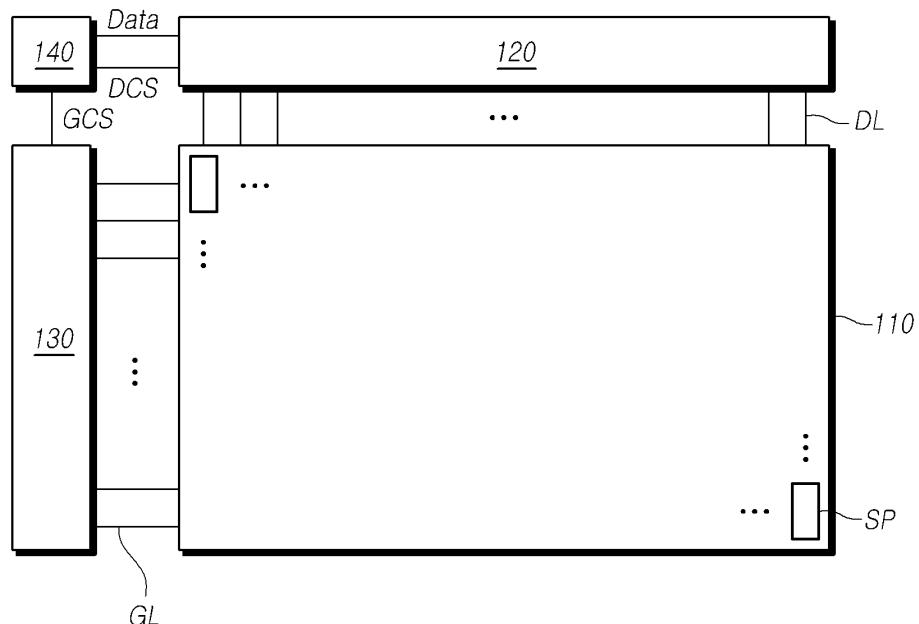
(54) 발명의 명칭 **어레이 기판 및 이를 구비한 유기발광 표시장치**

(57) 요 약

본 발명의 어레이 기판은, 복수의 서브픽셀들이 배치된 표시영역과 표시영역을 사이에 두고 서로 마주하도록 배치된 제1 및 제2비표시영역들이 구획된 기판을 포함하고, 데이터 패드들과 제1 기준전압 패드들이 배치된 제1패드영역과, 제2 기준전압 패드들이 배치된 제2패드영역을 포함함으로써, 기판 절단 후 이물에 의한 미세 단락 또
(뒷면에 계속)

대 표 도 - 도1

100



는 기준전압 라인 손상을 방지한 효과가 있다.

또한, 본 발명의 유기발광 표시장치는, 표시패널, 소스 드라이버, 스캔 드라이버, 컨트롤러를 포함하고, 표시패널의 제1비표시영역은 데이터 라인과 일체로 형성된 데이터 패드들과 기준전압 라인과 일체로 형성된 제1 기준전압 패드들이 배치된 제1패드영역, 제2비표시영역은 기준전압 라인과 일체로 형성된 제2 기준전압 패드들이 배치된 제2패드영역을 포함함으로써, 기준전압 라인의 단락 불량으로 인한 보상 특성 저하를 방지할 수 있는 효과가 있다.

(52) CPC특허분류

H01L 27/3211 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/0096 (2013.01)

G09G 2300/0842 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 복수의 서브픽셀들이 배치된 표시영역과 상기 표시영역을 사이에 두고 서로 마주하도록 배치된 제1 및 제2비표시영역들이 구획된 기판을 포함하고,

상기 제1비표시영역은 데이터 라인과 일체로 형성된 데이터 패드들과 표시영역에 배치된 기준전압 라인과 일체로 형성된 제1 기준전압 패드들이 배치된 제1패드영역과,

상기 제1패드영역의 데이터 패드들과 전기적으로 연결되는 복수의 쇼팅바를 포함하는 제1 쇼팅바 영역을 포함하고,

상기 제2비표시영역은 기준전압 라인과 일체로 형성된 제2 기준전압 패드들이 배치된 제2패드영역과,

상기 제2패드영역의 제2 기준전압 패드들과 전기적으로 연결되는 쇼팅바를 포함하는 제2 쇼팅바 영역을 포함하는 어레이 기판.

청구항 2

제1항에 있어서,

상기 제1패드영역의 데이터 패드들과 상기 제1 쇼팅바 영역의 쇼팅바들을 전기적으로 연결하는 제1 연장 신호라인들을 더 포함하는 어레이 기판.

청구항 3

제1항에 있어서,

상기 제2패드영역의 제2 기준전압 패드들과 제2 쇼팅바 영역의 쇼팅바를 전기적으로 연결하는 제2 연장 신호라인들을 더 포함하는 어레이 기판.

청구항 4

제1항에 있어서,

상기 제1패드영역에 배치된 제1 기준전압 패드들은 제1 컷팅라인으로부터 표시영역 방향으로 일정거리 이격 배치된 어레이 기판.

청구항 5

제1항에 있어서,

상기 제2패드영역에 배치된 제2 기준전압 패드들은 상기 제1패드영역에 배치된 데이터 패드들 중 4개의 데이터 패드들이 배치될 영역을 사이에 두고 서로 이격 배치된 어레이 기판.

청구항 6

복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 복수의 서브픽셀들이 배치된 표시영역과 상기 표시영역을 사이에 두고 서로 마주하도록 배치된 제1 및 제2비표시영역들을 구비한 표시패널;

상기 복수의 데이터 라인을 구동하는 소스 드라이버;

상기 복수의 게이트 라인을 구동하는 스캔 드라이버; 및

상기 소스 드라이버 및 상기 스캔 드라이버를 제어하는 컨트롤러를 포함하고,

상기 표시패널의 제1비표시영역은 데이터 라인과 일체로 형성된 데이터 패드들과 표시영역에 배치된 기준전압 라인과 일체로 형성된 제1 기준전압 패드들이 배치된 제1패드영역을 포함하고,

상기 제2비표시영역은 기준전압 라인과 일체로 형성된 제2 기준전압 패드들이 배치된 제2패드영역을 포함하는 유기발광 표시장치.

청구항 7

제6항에 있어서,

상기 제1패드영역에 배치된 제1 기준전압 패드들은 상기 표시패널의 가장자리 제1 컷팅라인의 절단단면으로부터 표시영역 방향으로 일정거리 이격 배치된 유기발광 표시장치.

청구항 8

제7항에 있어서,

상기 제1패드영역에 배치된 데이터 패드들은 상기 표시패널의 가장자리 제1 컷팅라인의 절단단면에 일부가 노출되도록 배치된 유기발광 표시장치.

청구항 9

제6항에 있어서,

상기 제2패드영역에 배치된 제2 기준전압 패드들은 상기 제1패드영역에 배치된 데이터 패드들 중 4개의 데이터 패드들이 배치될 영역을 사이에 두고 서로 이격 배치된 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 어레이 기판 및 이를 구비한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광 표시장치는 스스로 발광하는 유기발광 다이오드(OLED: Organic Light-Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광 표시장치는 유기발광 다이오드가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기발광 표시장치는 서브픽셀들이 배치되어 화상을 표시하는 표시영역(A/A: Active Area)과 표시영역(A/A)의 둘레를 따라 외부 구동 IC와의 연결을 위한 패드들(Pad)이 배치된 비표시영역(N/A: Non Active Area)을 갖는다.

[0005] 상기 비표시영역(N/A)에는 외부 구동 드라이버와 연결을 위한 게이트 패드들과 데이터 패드들이 나란히 정렬되어 있다. 또한, 게이트 패드들과 데이터 패드들은 정전기 방지 및 점등 검사(Auto Probe) 등을 위해 쇼팅바들(Shorting Bar)에 의해 서로 연결되어 있다.

[0006] 또한, 유기발광 표시장치의 최종 공정에서는 게이트 패드들과 데이터 패드들이 배치된 패드영역과 쇼팅바들이 배치된 쇼팅바 영역 사이를 절단하여 상시 쇼팅바 영역을 표시패널로부터 분리한다.

[0007] 이러한 유기발광 표시장치는 각 서브픽셀에 각종 기능을 더 수행하기 위해, 그에 맞는 트랜지스터를 더 포함할 수 있는데, 이로 인하여 트랜지스터들에 각종 신호를 공급하기 위한 신호라인들을 더 배치 된다.

[0008] 예를 들어, 서브픽셀 간 휘도 불균일을 개선하기 위해 내부 또는 외부 보상 회로가 서브픽셀에 적용되는 경우, 보상을 위한 센싱 동작에 관여하는 트랜지스터가 추가되어야 하고, 이와 연결되는 신호라인도 추가되어야 한다.

[0009] 상기 신호라인들 중에는 “센싱 라인”이라고도 불리는 기준전압 라인이 배치되는데, 내부 또는 외부 보상을 위해 기준전압 라인을 통해 서브픽셀에 초기화 신호 등을 공급해야 하기 때문에 기준전압 라인 끝단에 기준전압 패드들이 배치되고, 이들을 연결하기 위한 쇼팅바도 추가된다.

[0010] 이와 같이, 비표시영역(N/A)에는 추가적으로 기준전압 패드들과 이를 패드들로부터 연장되는 연결라인, 쇼팅바

들이 배치되어야 하기 때문에 공간적 제약으로 인하여 기존 데이터 패드들과의 단락(Short) 불량 등 라인 손상(Line Defect)에 취약해지는 문제가 있다.

발명의 내용

해결하려는 과제

[0011]

본 발명은, 표시영역(A/A)을 사이에 두고 제1비표시영역과 제2표시시영역을 마주하게 배치하고, 제1비표시영역에는 데이터패드들과 이들과 연결된 쇼팅바들을 배치하고, 제2비표시영역에는 기준전압 패드들과 이들과 연결된 쇼팅바를 배치함으로써 기판 절단 후 이물에 의한 미세 단락 또는 기준전압 라인 손상을 방지한 어레이 기판 및 이를 구비한 유기발광 표시장치를 제공하는데 그 목적이 있다.

[0012]

또한, 본 발명은, 표시영역(A/A)을 사이에 두고 데이터 패드들이 배치된 제1패드영역과 마주하도록 기준전압 패드들이 배치된 제2패드영역을 배치함으로써, 기준전압 라인의 단락 불량으로 인한 보상 특성 저하를 방지할 수 있는 어레이 기판 및 이를 구비한 유기발광 표시장치를 제공하는데 다른 목적이 있다.

과제의 해결 수단

[0013]

상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 어레이 기판은, 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 복수의 서브픽셀들이 배치된 표시영역과 상기 표시영역을 사이에 두고 서로 마주하도록 배치된 제1 및 제2비표시영역들이 구획된 기판을 포함하고, 상기 제1비표시영역은 데이터 라인과 일체로 형성된 데이터 패드들과 표시영역에 배치된 기준전압 라인과 일체로 형성된 제1 기준전압 패드들이 배치된 제1패드영역과, 상기 제1패드영역의 데이터 패드들과 전기적으로 연결되는 복수의 쇼팅바를 포함하는 제1 쇼팅바 영역을 포함하고, 상기 제2비표시영역은 기준전압 라인과 일체로 형성된 제2 기준전압 패드들이 배치된 제2패드영역과, 상기 제2패드영역의 제2 기준전압 패드들과 전기적으로 연결되는 쇼팅바를 포함하는 제2 쇼팅바 영역을 포함함으로써, 기판 절단 후 이물에 의한 미세 단락 또는 기준전압 라인 손상을 방지한 효과가 있다.

[0014]

또한, 본 발명의 유기발광 표시장치는, 복수의 데이터 라인과 복수의 게이트 라인에 의해 정의되는 복수의 서브픽셀들이 배치된 표시영역과 상기 표시영역을 사이에 두고 서로 마주하도록 배치된 제1 및 제2비표시영역들을 구비한 표시패널, 상기 복수의 데이터 라인을 구동하는 소스 드라이버, 상기 복수의 게이트 라인을 구동하는 스캔 드라이버, 상기 소스 드라이버 및 상기 스캔 드라이버를 제어하는 컨트롤러를 포함하고, 상기 표시패널의 제1비표시영역은 데이터 라인과 일체로 형성된 데이터 패드들과 표시영역에 배치된 기준전압 라인과 일체로 형성된 제1 기준전압 패드들이 배치된 제1패드영역을 포함하고, 상기 제2비표시영역은 기준전압 라인과 일체로 형성된 제2 기준전압 패드들이 배치된 제2패드영역을 포함함으로써, 기준전압 라인의 단락 불량으로 인한 보상 특성 저하를 방지할 수 있는 효과가 있다.

발명의 효과

[0015]

본 발명에 따른 어레이 기판 및 이를 구비한 유기발광 표시장치는, 표시영역(A/A)을 사이에 두고 제1비표시영역과 제2표시시영역을 마주하게 배치하고, 제1비표시영역에는 데이터패드들과 이들과 연결된 쇼팅바들을 배치하고, 제2비표시영역에는 기준전압 패드들과 이들과 연결된 쇼팅바를 배치함으로써 기판 절단 후 이물에 의한 미세 단락 또는 기준전압 라인 손상을 방지한 효과가 있다.

[0016]

또한, 본 발명에 따른 어레이 기판 및 이를 구비한 유기발광 표시장치는, 표시영역(A/A)을 사이에 두고 데이터 패드들이 배치된 제1패드영역과 마주하도록 기준전압 패드들이 배치된 제2패드영역을 배치함으로써, 기준전압 라인의 단락 불량으로 인한 보상 특성 저하를 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0017]

도 1은 본 발명에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.

도 2는 본 발명의 실시예들에 따른 유기발광 표시장치 서브픽셀 구조의 예시도이다.

도 3은 본 발명에 따른 유기발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다.

도 4a는 유기발광 표시장치의 어레이 기판에 배치된 패드들과 쇼팅바들의 구조를 도시한 도면이다.

도 4b는 유기발광 표시장치의 어레이 기판에 배치된 쇼팅바들을 제거한 경우, 절단면에서 발생되는 단락 불량을

도시한 도면이다.

도 5는 본 발명의 유기발광 표시장치의 어레이 기판의 표시영역과 비표시영역의 구조를 도시한 도면이다.

도 6은 도 5의 서브픽셀 영역, I-I'선 및 II-II'선을 도시한 단면도이다.

도 7은 도 5의 X 영역을 확대한 도면이다.

도 8은 도 5의 Y 영역을 확대한 도면이다.

도 9a 및 도 9b는 본 발명의 유기발광 표시장치의 기준전압 라인에 단락 불량이 발생된 경우와 단락 불량이 발생되지 않은 경우의 보상값 변동을 비교한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0019]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 헤릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0020]

본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0021]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0022]

위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0023]

시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0024]

제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0025]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0026]

이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0027]

도 1은 본 발명에 따른 유기발광 표시장치(100)의 개략적인 시스템 구성도이다.

[0028]

도 1을 참조하면, 본 발명에 따른 유기발광 표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub Pixel)이 배치된 표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 소스 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 스캔 드라이버(130)와, 소스 드라이버(120) 및 스캔 드라이버(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함한다.

[0029]

타이밍 컨트롤러(140)는, 소스 드라이버(120) 및 스캔 드라이버(130)로 각종 제어신호를 공급하여, 소스 드라이버(120) 및 스캔 드라이버(130)를 제어한다.

- [0030] 이러한 타이밍 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 소스 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 구동 데이터(DATA)를 출력하고, 스캔 신호에 맞춰 적당한 시간에 디스플레이 구동 데이터를 통제한다.
- [0031] 소스 드라이버(120)는, 다수의 데이터 라인(DL)으로 구동 데이터 전압(Vdata)을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 소스 드라이버(120)는 '데이터 드라이버'라고도 한다.
- [0032] 스캔 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 스캔 드라이버(130)는 '게이트 드라이버'라고도 한다.
- [0033] 스캔 드라이버(130)는, 타이밍 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0034] 소스 드라이버(120)는, 스캔 드라이버(130)에 의해 특정 게이트 라인이 열리면, 타이밍 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0035] 소스 드라이버(120)는, 도 1에서는 표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0036] 스캔 드라이버(130)는, 도 1에서는 표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0037] 전술한 타이밍 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0038] 타이밍 컨트롤러(140)는, 외부로부터 입력된 입력 영상 데이터를 소스 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하는 것 이외에, 소스 드라이버(120) 및 스캔 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 소스 드라이버(120) 및 스캔 드라이버(130)로 출력한다.
- [0039] 예를 들어, 타이밍 컨트롤러(140)는, 스캔 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0040] 여기서, 게이트 스타트 펄스(GSP)는 스캔 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로(Gate Driver IC)의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0041] 또한, 타이밍 컨트롤러(140)는, 소스 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0042] 여기서, 소스 스타트 펄스(SSP)는 소스 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로(Source Driver IC)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 소스 드라이버(120)의 출력 타이밍을 제어한다.
- [0043] 소스 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0044] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer), 감마전압 생성부 등을 포함할 수 있다.
- [0045] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0046] 스캔 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함하여 다수의 게이트 라인(GL)을 구동할 수 있다.

함할 수 있다.

[0047] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.

[0048] 표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.

[0049] 일 예로, 표시패널(110)에서, 각 서브픽셀(SP)은 유기발광 다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.

[0050] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.

[0051] 도 2는 본 발명의 실시예들에 따른 유기발광 표시장치 서브픽셀 구조의 예시도이고, 도 3은 본 발명에 따른 유기발광 표시장치의 표시패널의 일부를 간략하게 나타낸 평면도이다.

[0052] 도 2를 참조하면, 본 발명에 따른 유기발광 표시장치(100)는 각 서브픽셀 내에 서브픽셀의 특성치 보상을 위한 보상 구조가 배치될 수 있다.

[0053] 보상 구조를 갖는 서브픽셀 내 구동회로는, 일 예로, 3개의 트랜지스터(구동 트랜지스터(DRT), 스위칭 트랜지스터(SWT), 센싱 트랜지스터(SENT: Sensing Transistor)와 1개의 캐패시터(스토리지 캐패시터(Cstg))로 구성될 수 있다.

[0054] 이와 같이, 3개의 트랜지스터(DRT, SWT, SENT)와 1개의 캐패시터(Cstg)를 포함하여 구성된 서브픽셀을 "3T1C 구조"를 갖는다고 한다.

[0055] 도 2를 참조하면, 구동 트랜지스터(DRT)는, 유기발광 다이오드(OLED)로 구동 전류를 공급해주어, 유기발광 다이오드(OLED)를 구동하는 트랜지스터이다.

[0056] 구동 트랜지스터(DRT)에서, N1 노드는 유기발광다이오드(OLED)의 제1전극 또는 제2전극과 전기적으로 연결될 수 있고, N2 노드는 스위칭 트랜지스터(SWT)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, N3 노드는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL)과 전기적으로 연결될 수 있다.

[0057] 스위칭 트랜지스터(SWT)는, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 N2 노드로 데이터 전압(Vdata)을 전달해주는 트랜지스터이다.

[0058] 이러한 스위칭 트랜지스터(SWT)는, 게이트 노드에 인가되는 스캔 신호(SCAN: 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL))에 의해 제어되고, 구동 트랜지스터(DRT)의 N2 노드와 데이터 라인(DL) 사이에 전기적으로 연결된다.

[0059] 한편, 도 2를 참조하면, 일반적인 유기발광 표시장치의 서브픽셀에서 새롭게 센싱 트랜지스터(SENT)가 추가된다. 추가된 센싱 트랜지스터(SENT)는, 게이트 노드에 인가되는 스캔 신호의 일종인 센스 신호(SENSE)에 의해 제어되고, 기준전압 라인(RVL: Reference Voltage Line)과 구동 트랜지스터(DRT)의 N1 노드 사이에 전기적으로 연결될 수 있다.

[0060] 이러한 센싱 트랜지스터(SENT)는, 턴 온 되어, 기준전압 라인(RVL)을 통해 공급된 기준전압(Vref)을 구동 트랜지스터(DRT)의 N1 노드(예: 소스 노드 또는 드레인 노드)에 인가해줄 수 있다.

[0061] 또한, 센싱 트랜지스터(SENT)는, 구동 트랜지스터(DRT)의 N1 노드의 전압을 기준전압 라인(RVL)과 전기적으로 연결된 아날로그 디지털 컨버터(ADC)에 의해 센싱되도록 해주는 역할을 한다.

[0062] 이러한 센싱 트랜지스터(SETN)의 역할은, 구동 트랜지스터(DRT)의 고유 특성치에 대한 보상 기능과 관련된 것이다. 여기서, 구동 트랜지스터(DRT)의 고유 특성치는, 일 예로, 문턱전압(Vth: Threshold Voltage), 이동도(Mobility) 등을 포함할 수 있다.

[0063] 한편, 제1트랜지스터(T1)의 드레인 노드 또는 소스 노드에 전기적으로 연결된 기준전압 라인(RVL)은, 1개의 서브픽셀 열(Sub Pixel Column)마다 1개씩 배치될 수도 있고, 2개 이상의 서브픽셀 열마다 1개씩 배치될 수도 있다.

[0064] 예를 들어, 도 3을 참조하면, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀(SP1), 백색 서브픽셀(SP2), 녹색 서브픽셀(SP3), 청색 서브픽셀(SP4))로 구성된 경우, 기준전압 라인(RVL)은 4개의 서브픽셀 열(적색 서브픽셀 열,

백색 서브픽셀 열, 녹색 서브픽셀 열, 청색 서브픽셀 열)마다 1개씩 배치될 수도 있다.

[0065] 한편, 본 발명에 따른 유기발광 표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광 다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.

[0066] 이에 따라, 유기발광 다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자가 갖는 고유한 특성치(예: 문턱전압, 이동도 등)가 변할 수 있다.

[0067] 이러한 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기한다.

[0068] 여기서, 회로 소자의 특성치(이하, “서브픽셀 특성치”라고도 함)는, 일 예로, 구동 트랜지스터(DRT)의 문턱전압 및 이동도 등을 포함할 수 있고, 경우에 따라서, 유기발광 다이오드(OLED)의 문턱전압을 포함할 수도 있다.

[0069] 본 발명에 따른 유기발광 표시장치(100)는, 서브픽셀의 특성치 변화 또는 각 서브픽셀 간의 특성치 편차를 센싱(측정)하는 센싱 기능과, 센싱 결과를 이용하여 서브픽셀 특성치를 보상해주는 보상 기능을 제공할 수 있다.

[0070] 도 3에 도시된 바와 같이, 기준전압 라인(RVL)과 연결되는 4개의 서브픽셀(SP1~SP4)은 기준전압 라인(RVL)을 중심으로 서로 대칭적으로 배치된다.

[0071] 예를 들어, 기준전압 라인(RVL)과 제2 및 제3 서브픽셀(SP2, SP3)은 기준전압 라인(RVL)과 직접 연결되고, 제1 및 제4 서브픽셀(SP1, SP4)과는 연결패턴(CP)을 통해 연결된다.

[0072] 이러한 기준전압 라인 연결 구조에 따라, 각 서브픽셀(SP1~SP4)은 기준전압 라인(RVL)으로부터 각 서브픽셀(SP1~SP4)에 배치된 센싱 트랜지스터(SENT)를 N1 노드에 기준전압(Vref)을 공급한다.

[0073] 상기와 같이, 유기발광 표시장치의 각 서브픽셀에 보상회로가 배치되는 경우, 각 서브픽셀(SP1~SP4)은 디스플레이 모드 또는 센싱 모드로 동작할 수 있다. 센싱 모드에서는 각 서브픽셀(SP1~SP4)이 디스플레이 모드에서 열화가 발생하는 등 서브픽셀의 특성치가 변한 경우, 변화된 특성치를 센싱하여 보상된 데이터 전압을 디스플레이 모드에서 제공하는 방식으로 이루어진다.

[0074] 이와 같이, 유기발광 표시장치의 각 서브픽셀에 보상회로가 배치되면, 4개의 서브픽셀을 기준으로 하나의 기준전압 라인(RVL)이 추가되기 때문에 표시패널(100)의 패드영역에도 기준전압 패드들이 배치되어 패드들 간의 간격이 좁아지게 된다.

[0075] 본 발명의 어레이 기판 및 이를 구비한 유기발광 표시장치는, 추가되는 기준전압 라인의 기준전압 패드들을 데이터 패드들과 다른 영역에 배치함으로써, 기준전압 라인의 단락 불량 및 보상 오류를 방지하도록 하였다.

[0076] 도 4a는 유기발광 표시장치의 어레이 기판에 배치된 패드들과 쇼팅바들의 구조를 도시한 도면이고, 도 4b는 유기발광 표시장치의 어레이 기판에 배치된 쇼팅바들을 제거한 경우, 절단면에서 발생되는 단락 불량을 도시한 도면이다.

[0077] 도 4a 및 도 4b를 참조하면, 도 2 및 3에 도시된 바와 같이, 각 서브픽셀(SP1~SP4)에는 서브픽셀 특성치 보상을 위한 보상 회로를 포함한다. 이로 인하여, 기본적인 유기발광 표시장치에서 기준전압 라인(RVL)이 추가로 배치된다.

[0078] 표시패널(110)은 트랜지스터들과 유기발광 다이오드(OLED)가 형성되는 어레이 기판과 어레이 기판 상에 상부기판(봉지기판)을 배치하여 구성될 수 있다. 어레이 기판 상에 상부기판을 배치한 후, 어레이 기판 상에 형성된 쇼팅바들을 제거함으로써, 표시패널을 구현할 수 있다.

[0079] 도 3에서 설명한 바와 같이, 4개의 서브픽셀(SP1~SP4)에 하나의 기준전압 라인(RVL)이 배치되는 경우, 어레이 기판의 표시영역(A/A)에는 데이터 라인들(DL) 사이에 기준전압 라인(RVL)들이 배치된다.

[0080] 따라서, 표시패널(110)의 어레이 기판에 배치된 비표시영역(N/A)에는 패드들(PD)로 구성된 패드영역(PA), 패드들(PD)로부터 연장된 복수의 연장 신호라인(ESL)이 배치되는 그라인딩 영역(GDA), 연장 신호라인(ESL)들과 콘택홀(C)을 통해 연결된 복수의 쇼팅바들(SB1~SB5)로 구성된 쇼팅바 영역(SBP)을 포함한다.

[0081] 상기 패드들(PD)은 데이터 라인(DL)들 및 기준전압 라인(RVL)과 각각 연결된 데이터 패드들(DPD)과 기준전압 패드들(RVPD)을 포함하고, 패드들(PD)과 연장 신호라인(ESL)들은 서로 일체로 형성된다.

[0082] 또한, 쇼팅바 영역(SBP)에 배치된 제1쇼팅바(SB1)는 기준전압 라인(RVL)과 연결된 쇼팅바일 수 있고, 제2 내지 제5쇼팅바들(SB2~SB5)은 데이터 라인(DL)들과 연결된 쇼팅바일 수 있다.

- [0083] 상기와 같은 구조를 갖는 유기발광 표시장치의 어레이 기판은 쇼팅바들(SB1~SB5)을 통해 점등 검사 등 오토 프루브 검사 공정이 완료되면, 그라인딩 영역(GDA)을 절단하여 표시패널을 완성한다.
- [0084] 따라서, 도 4b에 도시된 바와 같이, 그라인딩 영역(GDA)을 따라 어레이 기판이 절단되면, 그라인딩 단면에 패드 영역(PA)에서 연장된 연장 신호라인들(ESL)들이 노출된다.
- [0085] 특히, 기준전압 라인(RVL)이 추가됨으로써, 연장 신호라인들(ESL) 간의 간격이 좁아져, 연장 신호라인(ESL)들 사이에서 이를 등에 의해 단락(Short) 불량이 발생된다.
- [0086] 기준전압 라인(RVL)이 인접한 다른 데이터 라인(DL)과 단락되면, 유기발광 표시장치가 센싱 모드로 동작할 때, 기준전압 라인(RVL)의 전압에 영향을 주어 센싱값(Vsen)에 오류가 발생하는 문제가 있다.
- [0087] 본 발명의 어레이 기판 및 유기발광 표시장치는, 서브픽셀(SP1~SP4)에 배치된 구동 트랜지스터 또는 유기발광 다이오드의 열화를 센싱하기 위해 배치한 기준전압 라인의 기준전압 패드들을 데이터 패드들이 배치되는 패드영역과 다른 패드영역에 배치함으로써, 쇼팅바들을 분리하기 위한 그라인딩 공정으로 인한 기준전압 라인과 데이터 라인의 단락 불량을 방지하도록 하였다.
- [0088] 즉, 본 발명에 따른 어레이 기판 및 이를 구비한 유기발광 표시장치는, 표시영역(A/A)을 사이에 두고 제1비표시 영역과 제2표시영역을 마주하게 배치하고, 제1비표시영역에는 데이터패드들과 이들과 연결된 쇼팅바들을 배치하고, 제2비표시영역에는 기준전압 패드들과 이들과 연결된 쇼팅바를 배치함으로써 기판 절단 후 이를에 의한 미세 단락 또는 기준전압 라인 손상을 방지한 효과가 있다.
- [0089] 또한, 본 발명에 따른 어레이 기판 및 이를 구비한 유기발광 표시장치는, 표시영역(A/A)을 사이에 두고 데이터 패드들이 배치된 제1패드영역과 마주하도록 기준전압 패드들이 배치된 제2패드영역을 배치함으로써, 기준전압 라인의 단락 불량으로 인한 보상 특성 저하를 방지할 수 있는 효과가 있다.
- [0090] 도 5는 본 발명의 유기발광 표시장치의 어레이 기판의 표시영역과 비표시영역의 구조를 도시한 도면이다.
- [0091] 도 5를 참조하면, 본 발명의 유기발광 표시장치(100)는, 화상을 표시하기 위해 복수의 서브픽셀(SP)들이 배치되는 표시영역(A/A)과, 상기 표시영역(A/A) 둘레를 따라 배치된 비표시영역(N/A)을 포함한다.
- [0092] 본 발명의 표시패널(110)에 배치된 비표시영역(N/A)은, 데이터 패드들(DPD)로 구성된 제1패드영역(PA1)을 포함하는 제1비표시영역(N/A_1)과, 표시영역(A/A)을 사이에 두고 제1비표시영역(N/A_1)과 마주하는 제2비표시영역(N/A_2)을 포함한다. 도면에는 도시하지 않았지만, 게이트 패드들(GPD)로 구성된 영역을 제3비표시영역(미도시)을 포함할 수 있다.
- [0093] 표시패널(110)의 어레이 기판에 배치된 제1비표시영역(N/A_1)은 복수의 데이터 라인들과 연결된 데이터 패드들(DPD)과 복수의 기준전압 라인(RVL)과 연결된 제1기준전압 패드들(Vref_PD1)이 배치된 제1패드영역(PA1)과, 제1 패드영역(PA1)의 데이터 패드들(DPD)과 전기적으로 연결된 제2 내지 제5 쇼팅바(SB2~SB5)를 포함하는 제1 쇼팅바 영역(SBP1)과, 상기 데이터 패드들(DPD)과 제2 내지 제5 쇼팅바들(SB2~SB5)을 각각 연결하는 제1 연장 신호라인(ESL1)이 배치된 제1 그라인딩 영역(GDA1)을 포함한다.
- [0094] 상기 제1 연장 신호라인(ESL1)은 데이터 패드들(DPD)과 일체로 형성되면서, 제1 콘택홀(C1)에 의해 제2 내지 제5 쇼팅바들(SB2~SB5)과 각각 연결된다.
- [0095] 또한, 어레이 기판의 제2비표시영역은(N/A_2) 복수의 기준전압 라인(RVL)과 연결된 제2기준전압 패드들(Vref_PD2)이 배치된 제2패드영역(PA2)과, 제2기준전압 패드들(Vref_PD2)과 전기적으로 연결된 제1 쇼팅바(SB1)를 포함하는 제2 쇼팅바 영역(SBP2)과, 상기 제2기준전압 패드들(Vref_PD2)로부터 연장되어 제1 쇼팅바(SB1)와 연결되는 제2 연장 신호라인(ESL2)이 배치된 제2 그라인딩 영역(GDA2)을 포함한다.
- [0096] 상기 제2 연장 신호라인(ESL2)은 제2 기준전압 패드들(Vref_PD2)과 일체로 형성되면서, 제2 콘택홀(C2)에 의해 제1 쇼팅바(SB1)와 연결된다.
- [0097] 또한, 본 발명에서는 어레이 기판의 제1패드영역(PA1)에 데이터 패드들(DPD) 사이에 제1 기준전압 패드들(Vref_PD1)이 배치되어 있지만, 제1 기준전압 패드들(Vref_PD1)의 가장자리는 제1 컷팅라인(CL1)으로부터 표시 영역 방향으로 일정 거리 이격 배치되어 있다.
- [0098] 즉, 데이터 패드들(DPD)은 제1 컷팅라인(CL1) 영역까지 배치되어 있고, 이들은 다시 제1 연장 신호라인들(ESL1)과 일체로 연결되어 있지만, 제1 기준전압 패드들(Vref_PD1)은 제1 컷팅라인(CL1) 내측까지만 배치되어 있다.

- [0099] 따라서, 제1 컷팅라인(CL1)을 따라 기판을 절단할 경우에 제1 기준전압 패드들(Vref_PD1)이 절단단면에 노출되지 않아, 인접한 데이터 패드들(DPD) 또는 제1 연장 신호라인들(ESL1)과의 단락 불량을 방지할 수 있다.
- [0100] 또한, 상기 제2패드영역(PA1)에는 제2 기준전압 패드들(Vref_PD2)이 배치되어 있는데, 제2 기준전압 패드들(Vref_PD2)과 인접한 영역에는 데이터 라인들과 연결된 데이터 패드들이 존재하지 않는다.
- [0101] 따라서, 제2 컷팅라인(CL2)을 따라 기판이 절단되면, 절단단면에는 제2 기준전압 패드들(Vref_PD2) 또는 이들과 연결된 제2 연장 신호라인들(ESL2) 만이 절단단면에 노출된다.
- [0102] 특히, 본 발명에서는 기준전압 라인(RVL)과 일체로 형성된 제2 기준전압 패드들(Vref_PD2)은 서로 4개의 데이터 라인들(데이터 패드들 또는 연장 신호라인들)이 배치될 간격을 두고 배치되기 때문에 제2 기준전압 패드들(Vref_PD2) 사이의 단락 불량을 줄일 수 있는 효과가 있다.
- [0103] 즉, 본 발명에서는 어레이 기판의 제1비표시영역(N/A_1)에서는 기준전압 라인(RVL)과 일체로 형성된 제1 기준전압 패드들(Vref_PD1)이 절단단면에 노출되지 않도록 하여 인접한 데이터 패드들과의 단락 불량을 근본적으로 방지할 수 있도록 하였다.
- [0104] 또한, 제2비표시영역(N/A_2)에서는 기준전압 라인(RVL)과 일체로 형성된 제2 기준전압 패드들(Vref_PD2)이 절단 단면에 노출되지만, 이들 패드들의 간격이 넓기 때문에 기준전압 라인(RVL)의 단락 불량을 방지할 수 있도록 하였다.
- [0105] 도 6은 도 5의 서브픽셀 영역, I-I '선 및 II-II '선을 도시한 단면도이고, 도 7은 도 5의 X 영역을 확대한 도면이며, 도 8은 도 5의 Y 영역을 확대한 도면이다.
- [0106] 도 5와 함께 도 6을 참조하면, 본 발명의 유기발광 표시장치(100)는, 서브픽셀들(SP)이 매트릭스 형태로 배치된 표시영역(A/A)과, 상기 표시영역(A/A) 둘레에 배치되는 비표시영역(N/A)을 포함한다. 상기 비표시영역(N/A)은 제1 및 제2 비표시영역(N/A_1, N/A_2)을 포함한다. 도면에 도시하지 않았지만, 비표시영역(N/A)은 게이트 패드들이 배치되는 패드영역을 제3비표시영역을 포함할 수 있다.
- [0107] 표시영역(A/A)의 서브픽셀 영역에 배치되는 구동 트랜지스터와 유기발광 다이오드 및 도 5의 I-I '선 및 II-II '선을 보면 다음과 같다.
- [0108] 본 발명의 유기발광 표시장치의 어레이 기판은, 기판(600) 상에 구동 트랜지스터(DRT)와 구동 트랜지스터 상에 유기발광 다이오드(614)가 배치되어 있다.
- [0109] 구동 트랜지스터(DRT)는 액티브층(604), 게이트패턴(603), 게이트전극(605), 충간절연막(624), 드레인 및 소스 전극(607a, 607b)으로 구성되어 있다. 여기서, 상기 드레인 전극(607a)은 도 2의 구동전압라인(DVL)으로부터 인출되는 제3노드(N3)와 대응되고, 상기 소스 전극(607b)은 유기발광 다이오드(614)의 제1전극(611)과 연결되는 제2노드(N2)와 대응된다.
- [0110] 또한, 상기 액티브층(304)은 반도체층으로 이루어지며 그 중앙부는 채널을 이루는 액티브영역(304a) 그리고 액티브영역(304a) 양측면에는 고농도의 불순물이 도핑된 드레인 및 소스영역(304b, 304c)으로 구성된다.
- [0111] 상기 반도체층은 실리콘 계열의 물질 또는 아연(Zn)을 포함하는 산화물 반도체물질로 형성될 수 있는데, 예를 들어 산화아연(ZnO), 산화인듐갈륨아연(InGaZnO4) 등이 사용될 수 있지만, 이에 한정되는 것은 아니다.
- [0112] 본 발명의 유기발광 표시장치는 상부 발광 방식 또는 하부 발광 방식일 수 있다.
- [0113] 상기 유기발광 다이오드(614)는 상기 구동 트랜지스터(DRT) 상에 적층 배치된 보호막(626) 및 평탄화막(618) 상에 배치되며, 투명성 도전물질로 형성된 제1전극(611), 유기발광층(612) 및 제2전극(613)을 포함한다. 상기 유기발광 다이오드(614) 상에는 패시베이션층, 폴리머를 포함하는 유기막, 접착층 및 보호필름들이 더 적층될 수 있다.
- [0114] 도면에 도시하지만, 설명하지 않은 616은 뱅크층이고, 상기 유기발광 다이오드(614)의 제1전극(611)은 뱅크층(616)이 오픈된 서브픽셀 영역에 각각 배치된다.
- [0115] 또한, 상기 유기발광 다이오드(614)의 유기발광층(612)은 백색(W) 광을 발생하는 발광층일 수 있는데, 해당 서브픽셀이 적색(R), 녹색(G) 또는 청색(B) 서브픽셀로 사용할 경우에는 유기발광 다이오드(614)와 대응되는 충간 절연막(624)과 보호막(626) 사이 또는 보호막(626)과 평탄화막(618) 사이에 컬러필터(CF)를 배치할 수 있다.

- [0116] 상기 컬러필터(CF)는 적색(R), 녹색(G) 또는 청색(B) 컬러필터로 구성되고, 백색(W) 서브픽셀에서는 별도의 컬러필터를 배치하지 않는다.
- [0117] 상기 유기발광 다이오드(614)의 제1전극(611)은 금속, 그 합금, 금속과 산화물 금속의 조합으로 형성될 수 있는데, 하부 발광 방식이기 때문에 금속은 투명성 도전물질인 것이 바람직하다. 상기 제1전극(611)은 ITO, IZO, ITO/APC/ITO, AlNd/ITO, Ag/ITO 또는 ITO/APC/ITO 중 하나로 형성할 수 있다.
- [0118] 상기 유기발광층(612)은 발광 효율을 높이기 위해 정공주입층(Hole injection layer), 정공수송층(Hole transport layer), 발광층(Emitting material layer), 전자수송층(Electron transport layer), 및 전자주입층(Electron injection layer)의 다중층으로 구성될 수 있다.
- [0119] 또한, 상기 정공수송층(HTL)에는 전자차단층(EBL)을 더 포함할 수 있고, 상기 전자수송층(ETL)은 PBD, TAZ, Alq3, BA1q, TPBI, Bepp2와 같은 저분자재료를 사용하여 형성할 수 있다.
- [0120] 상기 제2전극(613)은 알루미늄(Al), 은(Ag) 또는 그 합금과 같이 반사율이 높고 불투명한 물질로 형성할 수 있다.
- [0121] 또한, 제1비표시영역(N/A_1)의 제1 그라인딩 영역(GDA1)을 보면, 층간절연막(624) 상에 제1 연장 신호라인들(ESL1)이 배치되어 있다. 제1 연장 신호라인(ESL1)은 두 개의 금속패턴(603a, 603b)으로 구성될 수 있다.
- [0122] 상기 제1 연장 신호라인들(ESL1)은 도 5에서 설명한 바와 같이, 제1 패드영역(PA1)의 데이터 패드들(DPD)과 연결된 신호라인들이다. 따라서, 제1 연장 신호라인들(ESL1)에는 기준전압 패드들과 연결된 신호라인이 존재하지 않는다.
- [0123] 또한, 제2비표시영역(N/A_2)의 제2 그라인딩 영역(GDA2)에는 층간절연막(624)에 제2 연장 신호라인(ESL2)이 배치되어 있다. 제2 연장 신호라인(ESL2) 역시 두 개의 금속패턴(640a, 640b)으로 구성될 수 있다.
- [0124] 상기 제2 연장 신호라인(ESL2)은 도 5에서 설명한 바와 같이, 기준전압 라인의 제2 기준전압 패드들(Vref_PD2)과 일체로 형성된 신호라인이므로, 제2 연장 신호라인(ESL2) 사이에는 데이터 패드들과 연결된 신호라인이 존재하지 않아 이격 거리가 넓다.
- [0125] 이와 같이, 본 발명의 어레이 기판 및 유기발광 표시장치는, 제1비표시영역(N/A_1)에 제1 그라인딩 영역(GDA1)에 제1 기준전압 패드(Vref_PD1)와 일체로 연결된 연장 신호라인이 존재하지 않아 기판 절단으로 인한 단락 불량을 근본적으로 방지하였다.
- [0126] 또한, 제2비표시영역(N/A_2)에서는 기준전압 라인(RVL)과 대응되는 제2 연장 신호라인(ESL2)만 존재하기 때문에 기판 절단면에 노출된 제2 연장 신호라인(ESL2)의 간격이 넓어 기준전압 라인(RVL)의 단락 불량을 방지하도록 하였다.
- [0127] 도 7을 참조하면, 어레이 기판의 제1패드영역(PD1)의 구조를 보면(X 영역), 데이터 패드들(DPD)과 제1 기준전압 패드들(Vref_PD1)이 배치되어 있지만, 제1 기준전압 패드(Vref_PD1)는 데이터 패드들(DPD)과 달리 제1 컷팅라인(CL1)으로부터 L1 만큼 내측(표시영역 방향)으로 이격 배치되어 있음을 볼 수 있다.
- [0128] 따라서, 제1 컷팅라인을 따라 기판이 절단되어도 절단 단면에 기준전압 라인(RVL)과 일체로 형성된 제1 기준전압 패드(Vref_PD1)가 외부로 노출되지 않아 단락 불량을 방지할 수 있다.
- [0129] 또한, 어레이 기판의 Y 영역을 보면, 제2패드영역(PA2)에는 기준전압 라인(RVL)과 일체로 형성된 제2 기준전압 패드(Vref_PD2)만 배치되어 있어, 제2 컷팅라인(CL2)을 따라 기판을 절단하더라도 절단 단면에는 제2 기준전압 패드(Vref_PD2)들만 노출된다.
- [0130] 특히, 제2 기준전압 패드들(Vref_PD2)은 4개의 데이터 패드들(DPD)이 배치되는 영역과 대응되는 L2 거리로 이격되어 있어, 이를에 의한 기준전압 패드들의 단락 불량을 방지할 수 있다. 점선 처리된 DPD는 가장의 데이터 패드들(DPD)을 의미한다.
- [0131] 이와 같이, 본 발명에 따른 어레이 기판 및 이를 구비한 유기발광 표시장치는, 표시영역(A/A)을 사이에 두고 제1비표시영역과 제2표시영역을 마주하게 배치하고, 제1비표시영역에는 데이터패드들과 이들과 연결된 쇼팅바들을 배치하고, 제2비표시영역에는 기준전압 패드들과 이들과 연결된 쇼팅바를 배치함으로써 기판 절단 후 이를에 의한 미세 단락 또는 기준전압 라인 손상을 방지한 효과가 있다.
- [0132] 또한, 본 발명에 따른 어레이 기판 및 이를 구비한 유기발광 표시장치는, 표시영역(A/A)을 사이에 두고 데이터

패드들이 배치된 제1패드영역과 마주하도록 기준전압 패드들이 배치된 제2패드영역을 배치함으로써, 기준전압 라인의 단락 불량으로 인한 보상 특성 저하를 방지할 수 있는 효과가 있다.

[0133] 도 9a 및 도 9b는 본 발명의 유기발광 표시장치의 기준전압 라인에 단락 불량이 발생된 경우와 단락 불량이 발생되지 않은 경우의 보상값 변동을 비교한 도면이다.

[0134] 도 9a 및 도 9b는 기준전압 라인이 단락되는 경우, 서브픽셀 특성치의 열화보상을 위한 보상값을 계산할 때, 오류가 발생되는 것을 비교 설명한 것이다.

[0135] 도 3과 함께 도 9a를 설명하면, 기준전압 라인(RVL)과 공통으로 연결된 서브픽셀들(SP1~SP4)을 각각 적색 서브픽셀(SP1), 백색 서브픽셀(SP2), 녹색 서브픽셀(SP3) 및 청색 서브픽셀(SP4)이라고 하고 A 영역은 기준전압 라인과 백색 서브픽셀(SP2)의 데이터 라인이 서로 단락 된 경우이고, B 영역은 기준전압 라인과 적색 서브픽셀(SP1)의 데이터 라인이 서로 단락된 경우이다.

[0136] A 영역에서 백색 서브픽셀(SP2)에 대해 서브픽셀 특성치 센싱이 이루어지는 경우, 기준전압 라인은 백색 서브픽셀(SP2)로 공급되는 센싱용 데이터 전압으로 등가화되어(단락으로) 센싱값이 일정한 전압 크기로 나타나 보상값이 증가하지 않는다.

[0137] 하지만, 백색 서브픽셀(SP2)을 제외한 다른 서브픽셀(SP1, SP3, SP4)에 대해 센싱이 이루어질 때, 백색 서브픽셀(SP2)에는 센싱용 블랙 데이터가 공급되기 때문에 기준전압 라인은 언더플루우 형태로 센싱값이 센싱된다.

[0138] 이렇게 언더플루우 센싱값이 센싱되면, 보상부에서는 서브픽셀의 특성치 변화가 큰 것으로 판단하고(열화 심함으로 판단), 보상값을 높게 설정하기 때문에 단락되지 않은 서브픽셀들(SP1, SP3, SP4)에서는 높은 과보상값이 설정된 것을 볼 수 있다.

[0139] 이러한 과보상은 유기발광 표시장치가 디스플레이 모드로 동작할 때, 휘선 불량으로 감지된다.

[0140] 마찬가지 원리에 의해 B 영역에서는 단락이 발생된 적색 서브픽셀(SP1)에 대해서는 보상값의 큰 변동이 없으나, 단락되지 않은 서브픽셀들(SP2~SP4)에서는 언더플로우 센싱값이 센싱되어 과보상값이 설정된다. 이는 이후 디스플레이 모드에서 휘선 불량을 야기한다.

[0141] 하지만, 본 발명의 도 5와 같이, 기준전압 라인(RVL)의 단락 불량을 원천적으로 차단된 경우에는 도 9b와 같이, 표시패널의 전 영역에서 급격하게 보상값이 높이 설정되는 영역이 존재하지 않는다.

[0142] 따라서, 각 서브픽셀들의 특성치 보상을 위한 보상 데이터 전압이 비정상적으로 높게 공급되지 않아, 기준전압 라인의 단락으로 발생되는 휘선 불량이 발생되지 않는다.

[0143] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0144] 100: 유기발광 표시장치

120: 소스 드라이버

130: 스캔 드라이버

140: 타이밍 컨트롤러

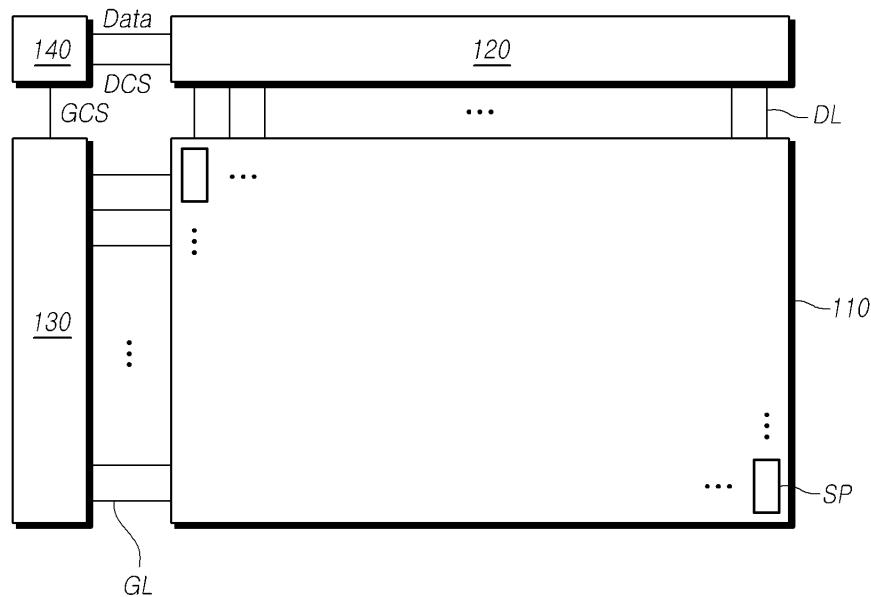
110: 표시패널

A/A: 표시영역

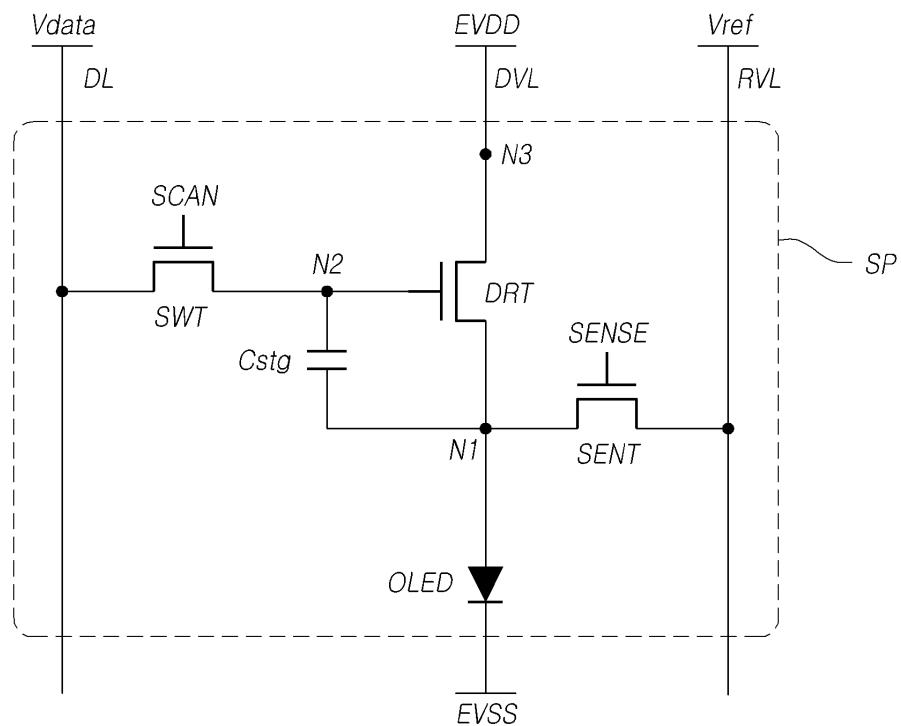
N/A: 비표시영역

도면

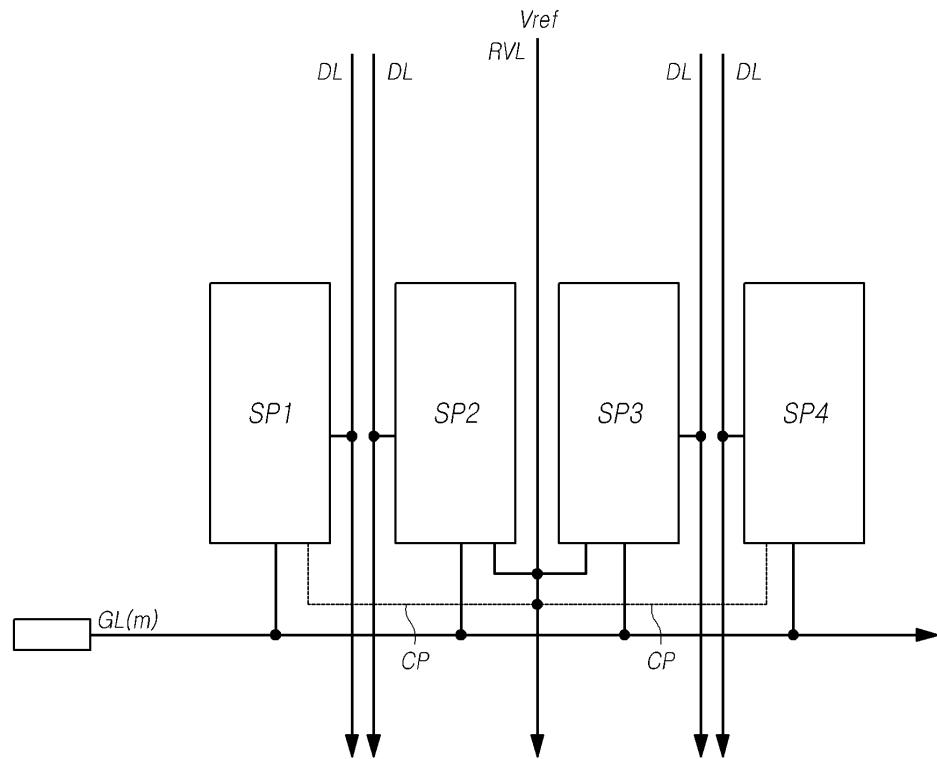
도면1

100

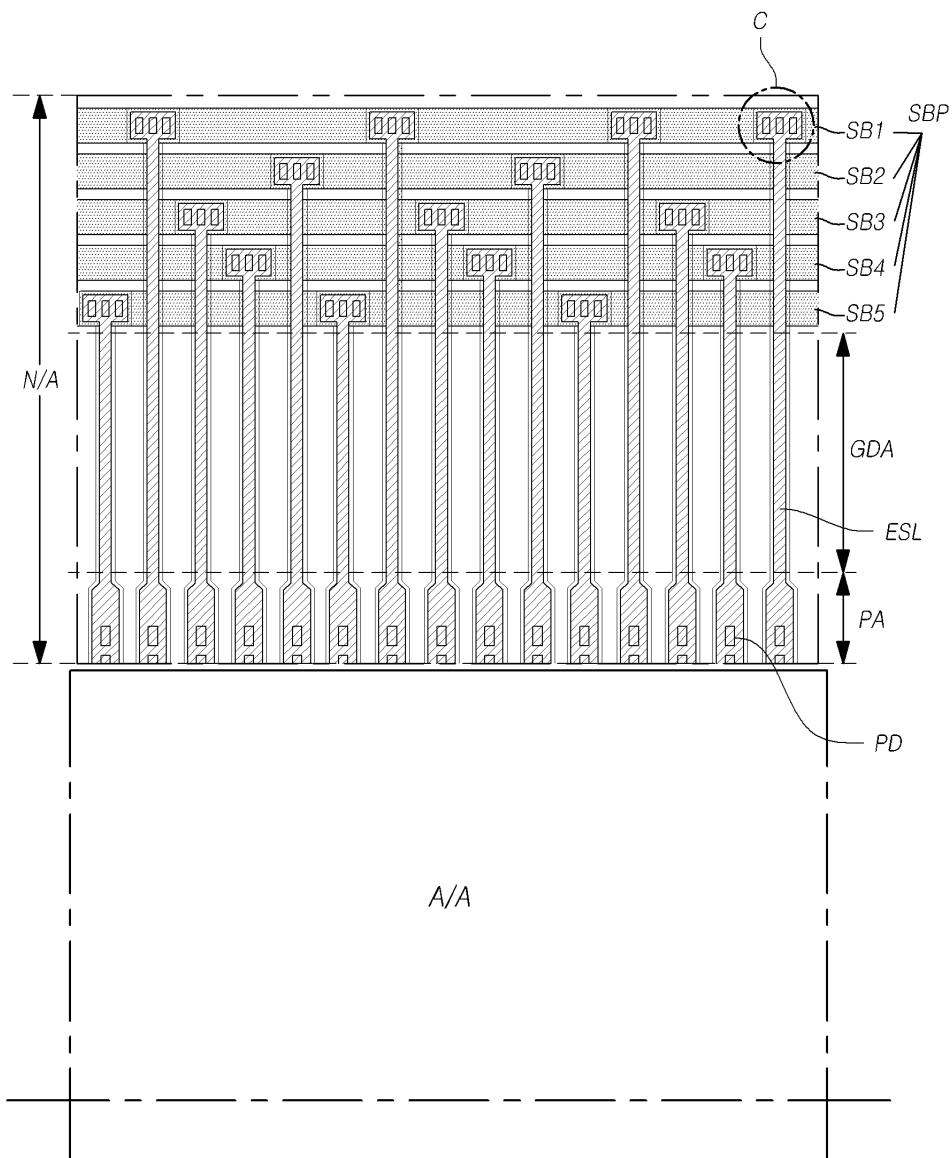
도면2



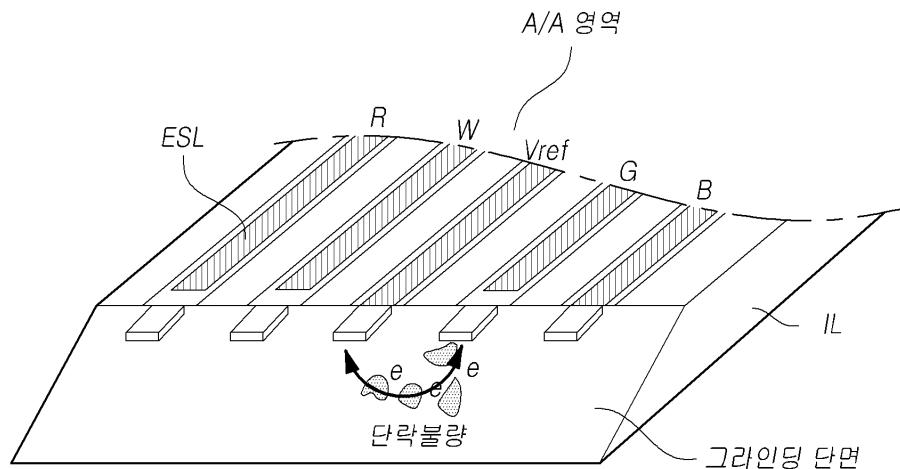
도면3



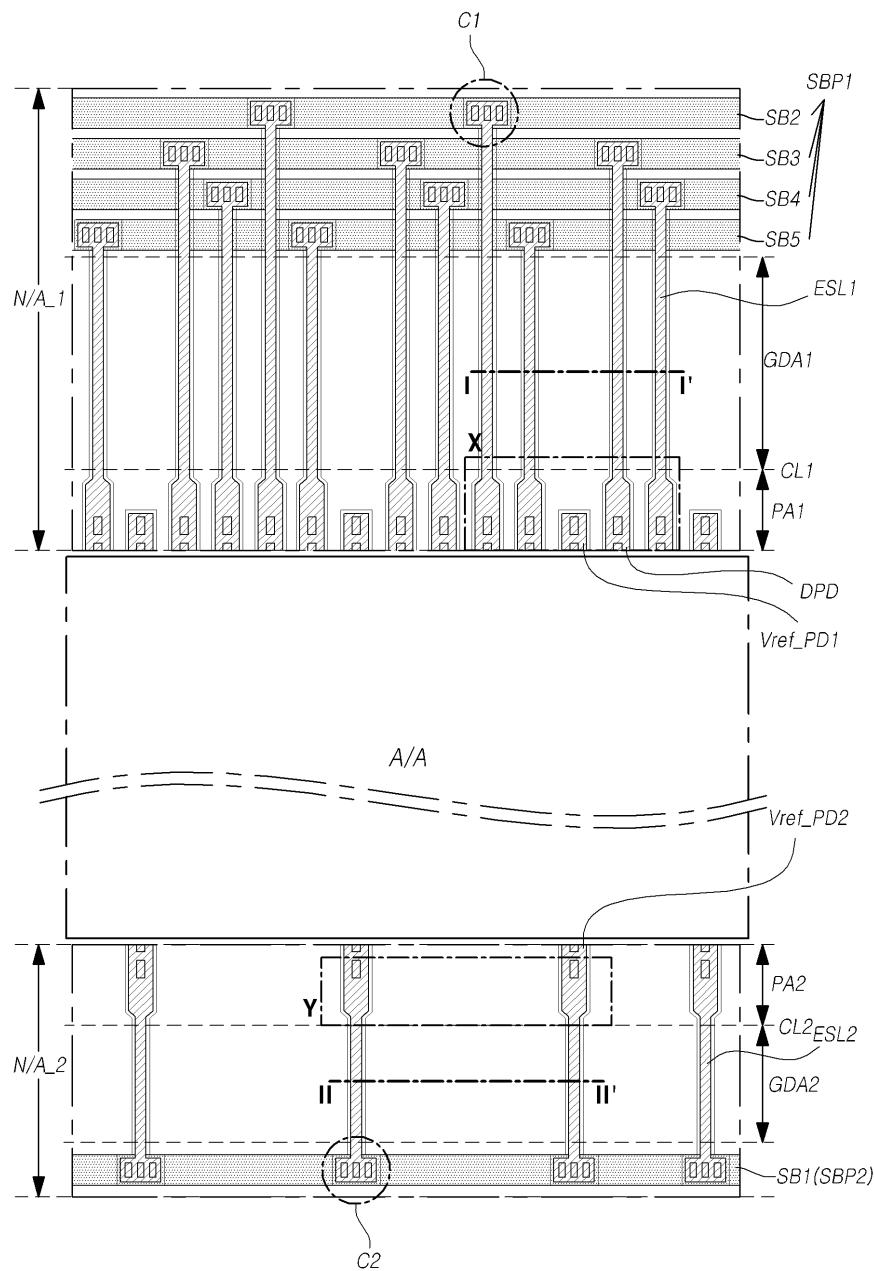
도면4a



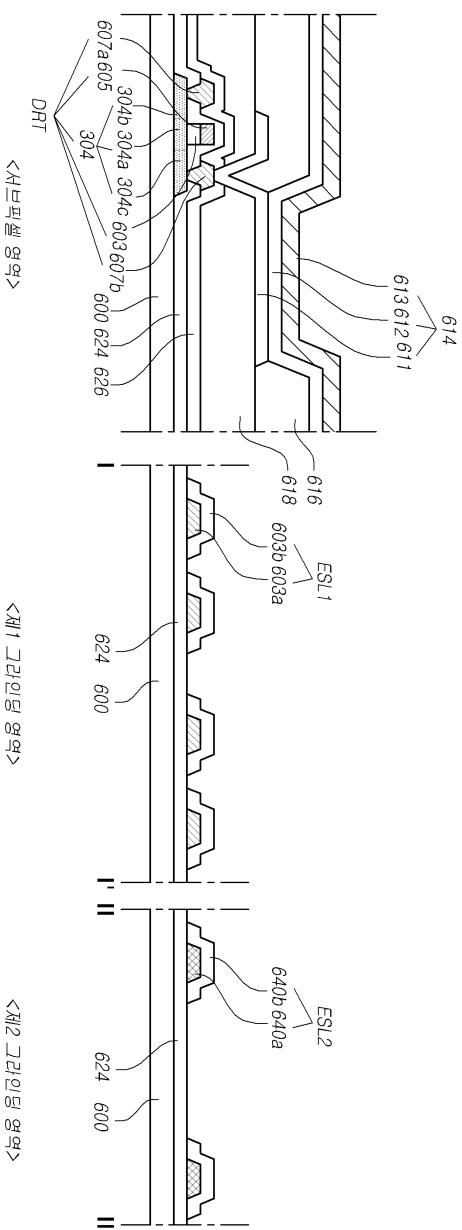
도면4b



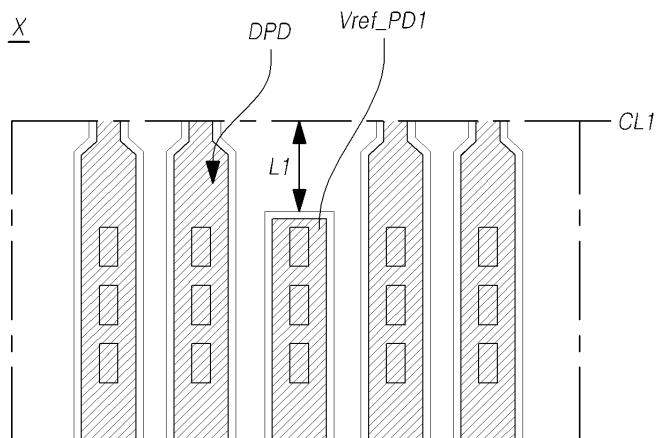
도면5



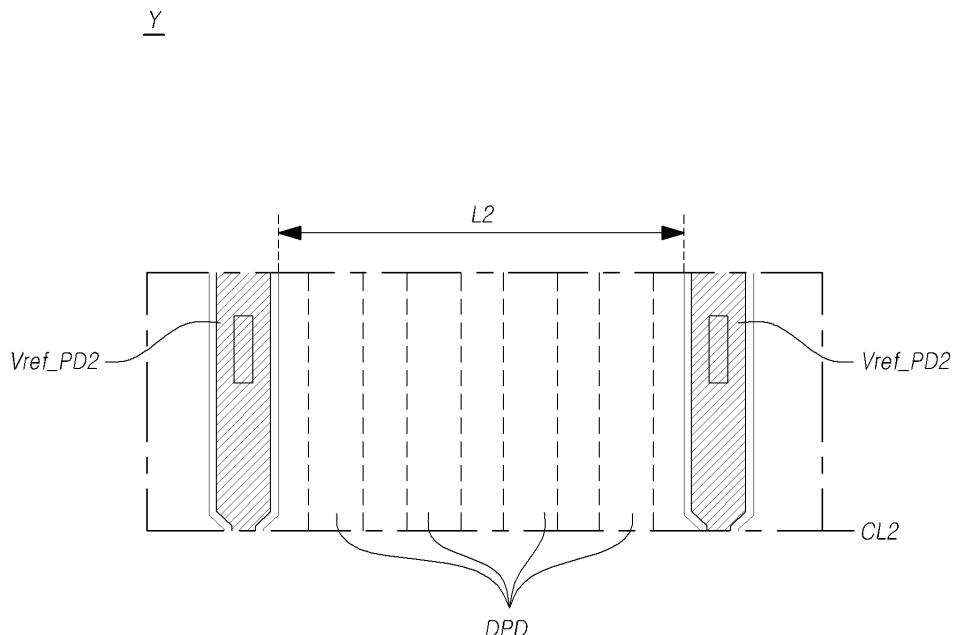
도면6



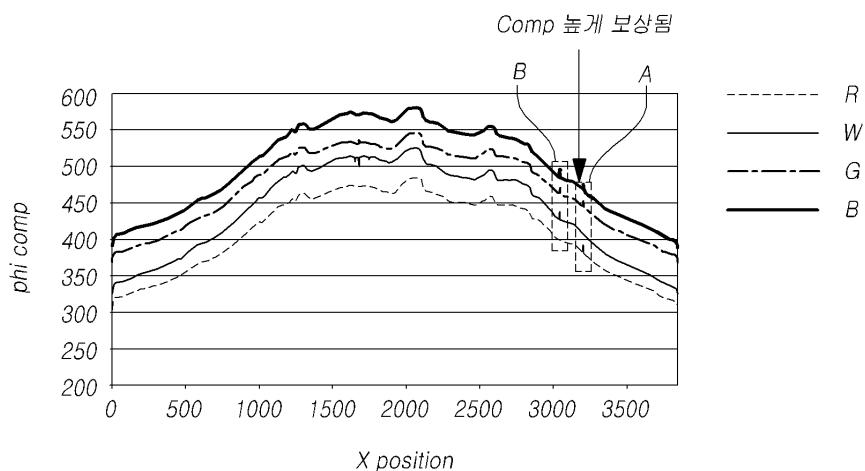
도면7



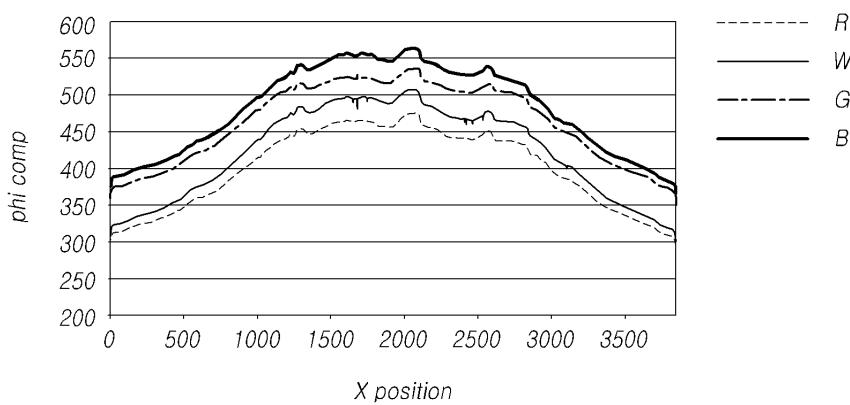
도면8



도면9a



도면9b



专利名称(译)	标题 : 阵列基板和具有该阵列基板的有机发光显示装置		
公开(公告)号	KR1020170081109A	公开(公告)日	2017-07-11
申请号	KR1020150191868	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG HAE YOON 강해윤 PARK KWANG MO 박광모		
发明人	강해윤 박광모		
IPC分类号	H01L51/56 G09G3/32 H01L27/32 H01L51/00		
CPC分类号	H01L51/56 H01L27/3211 H01L51/0096 H01L27/3276 H01L2227/32 G09G3/3233 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

在本发明中，第一和第二非显示，以及区域包括分隔板，数据焊盘和所述第一多个子像素之间间隔开的阵列基板被布置在显示区域和显示区域，以相互面对，通过包括参考电压焊盘被布置在第一焊盘区域和第二参考电压焊盘被置于第二焊盘区域，然后切割所述基片是有效的，以防止微小短路或造成异物参考电压线的损坏。显示面板的第一非显示区域包括与数据线一体形成的数据焊盘，以及与参考电压线一体形成的多条数据线。形成第一参考电压焊盘的第一焊盘区域和第二非显示区域包括第二焊盘区域，在第二焊盘区域中设置与参考电压线一体形成的第二参考电压焊盘，可以防止由于外力的影响导致的补偿特性的劣化。

