



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0055648  
(43) 공개일자 2016년05월18일

(51) 국제특허분류(Int. Cl.)

*H01L 27/32* (2006.01) *H01L 21/336* (2006.01)  
*H01L 29/786* (2006.01) *H01L 51/50* (2006.01)  
*H01L 51/56* (2006.01)

(21) 출원번호 10-2014-0155715

(22) 출원일자 2014년11월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

배종옥  
서울특별시 양천구 국회대로8길 8, 104동 1802호  
(신정동, 삼성아파트)

(74) 대리인

박장원

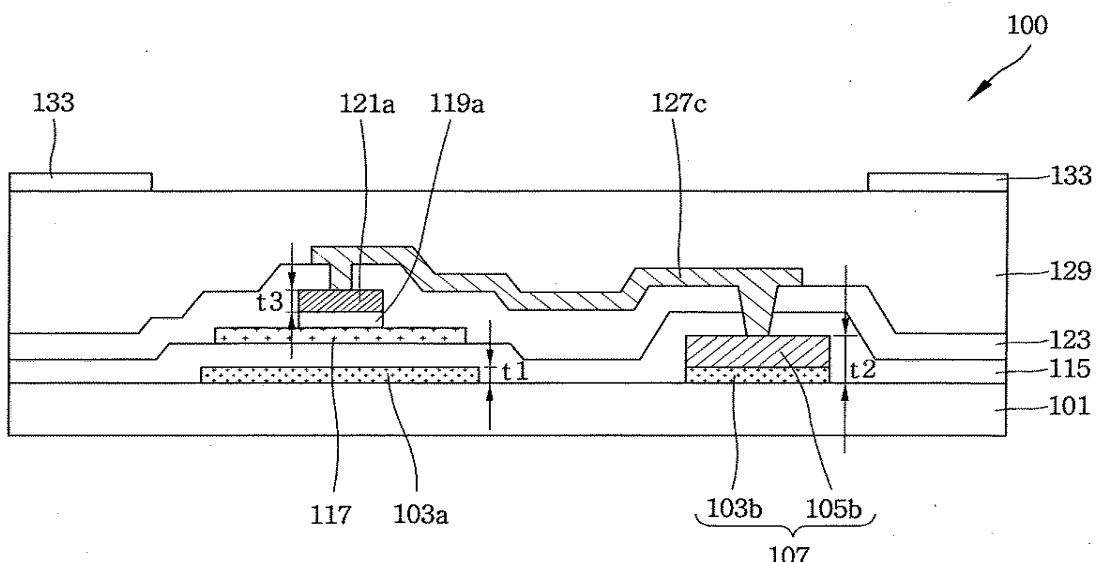
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 표시장치용 박막 트랜지스터 및 그 제조방법 그리고 이를 적용한 유기전계발광소자

### (57) 요 약

본 발명은 기판상에 있는 광차폐막 패턴 및 제1 두께의 게이트 배선; 상기 광차폐막 패턴과 게이트 배선을 구비한 기판상에 있는 버퍼 절연막; 상기 광차폐막 패턴 상의 버퍼 절연막 위에 있는 활성층; 상기 활성층 상에 있는 게이트 절연막 과, 상기 게이트 배선의 제1 두께보다 얇은 제2 두께의 게이트 전극; 상기 활성층의 소스영역 및 드레인 영역과, 게이트 전극 및 게이트 배선이 개구된 충간 절연막 ; 상기 활성층의 소스영역에 접촉된 소스전극 과, 상기 드레인 영역에 접촉된 드레인 전극; 및 상기 게이트 전극과 게이트 배선에 연결된 게이트 연결패턴을 포함하는 표시장치용 박막 트랜지스터를 제공한다.

대 표 도 - 도2b



## 명세서

### 청구범위

#### 청구항 1

기판상에 있는 광차폐막 패턴;

상기 기판상에 있으며, 상기 광차폐막 패턴과 이격된 제1 두께의 게이트 배선;

상기 광차폐막 패턴과 게이트 배선을 구비한 기판상에 있는 베퍼 절연막;

상기 광차폐막 패턴 상의 베퍼 절연막 위에 있는 활성층;

상기 활성층 상에 있는 게이트 절연막;

상기 게이트 절연막 위에 있으며, 상기 게이트 배선의 제1 두께보다 얇은 제2 두께의 게이트 전극;

상기 게이트 절연막과 게이트 전극 및 활성층을 포함하는 기판 전면에 있으며, 상기 활성층의 소스영역 및 드레인 영역과, 게이트 전극 및 게이트 배선이 개구된 충간 절연막;

상기 활성층의 소스영역에 접촉된 소스전극과, 상기 드레인 영역에 접촉된 드레인 전극; 및

상기 게이트 전극과 게이트 배선에 연결된 게이트 연결패턴을 포함하는 표시장치용 박막 트랜지스터.

#### 청구항 2

제1 항에 있어서, 상기 게이트 배선의 제1 두께는 상기 광차폐막 패턴의 두께보다 두꺼운 것을 특징으로 하는 표시장치용 박막 트랜지스터.

#### 청구항 3

제1 항에 있어서, 상기 광차폐막 패턴은 단일 금속층으로 구성되고, 상기 게이트 배선은 하부 금속층과 상부 금속층의 이중 적층 구조로 구성된 것을 특징으로 하는 표시장치용 박막 트랜지스터.

#### 청구항 4

제3 항에 있어서, 상기 광차폐막 패턴의 단일 금속층과 상기 게이트 배선의 하부 금속층은 동일 금속층인 것을 특징으로 하는 표시장치용 박막 트랜지스터.

#### 청구항 5

광차폐막 패턴 영역과 게이트 배선 영역이 정의된 기판상에 제1 금속층과 제2 금속층을 적층하는 단계;

상기 제1 금속층과 제2 금속층을 선택 노광한 후 패터닝하여 상기 기판의 광차폐막 패턴 영역과 게이트 배선 영역 각각에 제1 금속층으로 이루어진 광차폐막 패턴과, 상기 제1 금속층과 제2 금속층으로 이루어진 제1 두께의 게이트 배선을 형성하는 단계;

상기 광차폐막 패턴과 게이트 배선을 포함한 기판상에 베퍼 절연막을 형성하는 단계;

상기 광차폐막 패턴 상의 베퍼 절연막 위에 활성층을 형성하는 단계;

상기 활성층의 채널영역 상에 게이트 절연막과, 상기 게이트 배선의 제1 두께보다 얇은 제2 두께의 게이트 전극을 형성하는 단계;

상기 게이트 전극과, 게이트 절연막 및 활성층을 포함한 기판상에 충간 절연막을 형성하는 단계;

상기 충간 절연막 내에 상기 활성층의 소스영역 및 드레인 영역과, 게이트 전극 및 게이트 배선을 개구시키는 콘택홀들을 형성하는 단계; 및

상기 콘택홀들을 통해 상기 활성층의 소스영역 및 드레인 영역과 접촉하는 소스전극 및 드레인 전극과 함께, 상기 게이트 전극과 게이트 배선을 상호 접촉시키는 게이트 연결패턴을 형성하는 단계;를 포함하는 표시장치용 박

막 트랜지스터 제조방법.

### 청구항 6

제5항에 있어서, 상기 광차폐막 패턴과 제1 두께의 게이트 배선을 형성하는 단계는, 하프톤 마스크를 이용한 회절 노광 공정을 통해 이루어지는 것을 특징으로 하는 표시장치용 박막 트랜지스터 제조방법.

### 청구항 7

제6항에 있어서, 상기 광차폐막 패턴과 제1 두께의 게이트 배선을 형성하는 단계는,

기판상에 제1 금속층과 제2 금속층을 적층하는 공정과;

제2 금속층 상에 감광막을 도포하는 공정과;

상기 감광막을 하프톤 마스크를 이용한 회절 노광 공정 및 현상 공정을 통해 패터닝하여 얇은 두께의 감광막 패턴과 두꺼운 두께의 감광막 패턴을 상기 제2 금속층의 광차폐막 패턴 영역과 게이트 배선영역 상에 각각 형성하는 공정과;

상기 감광막 패턴들을 식각마스크로 상기 제1, 2 금속층을 패터닝하는 공정과;

상기 얇은 감광막패턴을 애쉬(ash) 공정을 통해 식각한 후 그 아래에 노출되는 제2 금속층을 제거하여 제1 금속층으로 구성된 광차폐막 패턴을 형성하는 공정과;

상기 두꺼운 감광막패턴을 제거하여 제1, 2 금속층으로 구성된 게이트 배선을 형성하는 공정으로 이루어지는 것을 특징으로 하는 표시장치용 박막 트랜지스터 제조방법.

### 청구항 8

제5항에 있어서, 상기 소스전극과 드레인 전극 및 게이트 연결패턴은, 상기 충간 절연막 상에 금속물질층을 형성한 후 사진 식각 기술을 통한 패터닝 공정을 통해 동시에 형성하는 것을 특징으로 하는 표시장치용 박막 트랜지스터 제조방법.

### 청구항 9

기판상에 있는 광차폐막 패턴;

상기 기판상에 있으며, 상기 광차폐막 패턴과 이격된 제1 두께의 게이트 배선;

상기 광차폐막 패턴과 게이트 배선을 구비한 기판상에 있는 베퍼 절연막;

상기 광차폐막 패턴 상의 베퍼 절연막 위에 있는 활성층;

상기 활성층 상에 있는 게이트 절연막;

상기 게이트 절연막 위에 있으며, 상기 게이트 배선의 제1 두께보다 얇은 제1 두께의 게이트 전극;

상기 게이트 절연막과 게이트 전극 및 활성층을 포함하는 기판 전면에 있으며, 상기 활성층의 소스영역 및 드레인 영역과, 게이트 전극 및 게이트 배선이 개구된 충간 절연막;

상기 소스영역에 접촉된 소스전극과, 상기 드레인 영역에 접촉된 드레인 전극;

상기 게이트 전극과 게이트 배선에 연결된 게이트 연결패턴;

상기 소스전극과, 드레인 전극 및 게이트 연결패턴을 포함한 기판 전면에 있으며, 상기 드레인 전극을 개구시키는 평탄화막;

상기 드레인 전극과 접촉된 제1 전극;

상기 제1 전극상에 있는 유기발광층;

상기 유기발광층을 포함한 기판 전면에 있는 제2 전극; 및

상기 제2 전극 상에 있는 보호필름;을 포함하는 유기전계 발광소자.

## 청구항 10

제9 항에 있어서, 상기 게이트 배선의 제1 두께는 상기 광차폐막 패턴의 두께보다 두꺼운 것을 특징으로 하는 유기전계 발광소자.

## 청구항 11

제9 항에 있어서, 상기 광차폐막 패턴은 단일 금속층으로 구성되고, 상기 게이트 배선은 하부 금속층과 상부 금속층의 이중 적층 구조로 구성된 것을 특징으로 하는 유기전계 발광소자.

## 청구항 12

제11 항에 있어서, 상기 광차폐막 패턴의 단일 금속층과 상기 게이트 배선의 하부 금속층은 동일 금속층인 것을 특징으로 하는 유기전계 발광소자.

### 발명의 설명

#### 기술 분야

[0001]

본 발명은 표시장치용 박막 트랜지스터에 관한 것으로, 보다 상세하게는 탑 게이트(Top Gate) 구조의 박막 트랜지스터에서 광차폐막(Light Shielding layer)을 게이트 배선으로도 적용할 수 있는 표시장치용 박막 트랜지스터 및 그 제조방법 그리고 이를 적용한 유기전계 발광소자에 관한 것이다.

### 배경 기술

[0002]

최근 디스플레이 제품은 고해상도 및 고속 구동이 가능한 설계 및 공정을 요구하고 있다. 고해상도 및 구속 구동은 패널 저항이 증가되어 배선 저항 또한 캐패시턴스(capacitance)를 낮추는 것을 필요로 하고 있다.

[0003]

디스플레이 형 박막 트랜지스터(TFT: Thin Film Transistor) 구조로는 하부 게이트 타입(Bottom Gate type) 및 상부 게이트 타입(Top Gate type)의 구조가 있다.

[0004]

이들 중에서, 하부 게이트 타입의 구조의 경우, 배선 저항을 감소시키기 위한 게이트 금속층의 두께 증가는 박막 트랜지스터부의 게이트 전극 두께 증가를 초래하여 기존의 게이트 절연막의 적용시에 게이트전극과 드레인 전극 간의 단락/단선의 불량이 발생할 수 있다. 또한, 이러한 문제를 개선하기 위해 게이트 절연막의 두께를 증가하게 되면, 소자 성능(즉, 전류 능력 저하) 저하의 문제가 발생한다.

[0005]

그리고, 상부 게이트 타입의 구조의 경우, 게이트 전극 및 게이트 배선 두께의 증가는 상부층에 형성되는 충간 절연막의 두께 증가를 필요로 한다. 이는 공정의 복잡성을 증가시키며, 소자 성능의 저하를 가져 올 수 있다.

[0006]

또한, 충간 절연막의 두께를 얇게 하는 경우, 게이트 전극과 드레인 전극의 오버랩 영역에서의 불량을 초래할 수 있다. 특히, 상부 게이트 타입의 박막 트랜지스터의 경우, 상부 게이트 배선이 게이트 전극과 게이트 배선으로 활용되고 있으며, 게이트 배선의 두께 증가는 게이트 전극과 드레인 전극 간의 단락/단선 불량 발생이 용이 하며, 충간 절연막의 두께 증가는 콘택 공정이 복잡해지는 단점이 있다.

[0007]

따라서, 패널 구동을 위한 일정 두께의 게이트 배선에서 충간 절연막이 게이트 전극 상부에 증착시의 불균일성이 발생하기 때문에, 박막 트랜지스터부의 게이트와 레이터, 즉 게이트 전극과 드레인 전극 간 단락/단선 불량을 발생하게 된다.

### 발명의 내용

#### 해결하려는 과제

[0008]

본 발명의 목적은 디스플레이용 박막 트랜지스터의 게이트 배선과 게이트 전극을 분리 형성함으로써 박막 트랜지스터부의 불량을 최소화할 수 있으며, 광차폐막 형성시에 게이트 배선을 동시에 형성할 수 있음으로써 공정 기인 불량을 제거할 수 있는 표시장치용 박막 트랜지스터, 그 제조방법 및 이를 적용한 유기전계 발광소자를 제공함에 있다.

### 과제의 해결 수단

- [0009] 전술한 과제를 해결하기 위하여, 본 발명은, 기판상에 있는 광차폐막 패턴 및 제1 두께의 게이트 배선; 상기 광차폐막 패턴과 게이트 배선을 구비한 기판상에 있는 베퍼 절연막; 상기 광차폐막 패턴 상의 베퍼 절연막 위에 있으며, 소스영역과 드레인 영역 및 이들 사이에 채널영역을 구비한 활성층; 상기 활성층 상에 있는 게이트 절연막과, 상기 게이트 배선의 제1 두께보다 얇은 제2 두께의 게이트 전극; 상기 게이트 절연막과 게이트 전극 및 활성층을 포함하는 기판 전면에 있으며, 상기 소스영역 및 드레인 영역과 게이트 전극 및 게이트 배선이 개구된 충간 절연막; 상기 소스영역에 접촉된 소스전극과, 상기 드레인 영역에 접촉된 드레인 전극; 및 상기 게이트 전극과 게이트 배선에 접촉된 게이트 연결패턴;을 포함하는 표시장치용 박막 트랜지스터를 제공할 수 있다.
- [0010] 이러한 디스플레이용 박막 트랜지스터에서, 상기 광차폐막 패턴은 상기 게이트 배선의 제1 두께보다 얇은 두께를 가질 수 있다.
- [0011] 이러한 디스플레이용 박막 트랜지스터에서, 활성층은 산화물 반도체이거나 비정질 실리콘 또는 다결정 실리콘일 수 있다.
- [0012] 이러한 디스플레이용 박막 트랜지스터에서, 광차폐막 패턴은 단일 금속층으로 구성되고, 상기 게이트 배선은 하부 금속층과 상부 금속층의 이중 적층 구조로 구성될 수 있다.
- [0013] 이러한 디스플레이용 박막 트랜지스터에서, 광차폐막 패턴의 단일 금속층과 상기 게이트 배선의 하부 금속층은 동일 금속층일 수 있다.
- [0014] 다른 측면에서, 본 발명은, 광차폐막 패턴 영역과 게이트 배선 영역이 정의된 기판상에 제1 금속층과 제2 금속층을 적층하는 단계; 상기 제1 금속층과 제2 금속층을 선택 노광한 후 패터닝하여 상기 기판의 광차폐막 패턴 영역과 게이트 배선 영역에 제1 금속층으로 이루어진 광차폐막 패턴과, 상기 제1 금속층과 제2 금속층으로 이루어진 제1 두께의 게이트 배선을 형성하는 단계; 상기 광차폐막 패턴과 게이트 배선을 포함한 기판상에 베퍼 절연막을 형성하는 단계; 상기 광차폐막 패턴 상의 베퍼 절연막 위에 활성층을 형성하는 단계; 상기 활성층의 채널영역 상에 게이트 절연막과, 상기 게이트 배선의 제1 두께보다 얇은 제2 두께의 게이트 전극을 형성하는 단계; 상기 게이트 전극과, 게이트 절연막 및 활성층을 포함한 기판상에 충간 절연막을 형성하는 단계; 상기 충간 절연막 내에 상기 활성층의 소스영역 및 드레인 영역과, 게이트 전극 및 게이트 배선을 개구시키는 콘택홀들을 형성하는 단계; 및 상기 콘택홀들을 통해 상기 반도체층의 소스영역 및 드레인 영역과 접촉하는 소스전극 및 드레인 전극과, 상기 게이트 전극과 게이트 배선을 상호 접촉시키는 게이트 연결패턴을 형성하는 단계;를 포함하는 표시장치용 박막 트랜지스터 제조방법을 제공할 수 있다.
- [0015] 이러한 디스플레이용 박막 트랜지스터 제조방법에 있어서, 상기 광차폐막 패턴과 제1 두께의 게이트 배선을 형성하는 단계는, 하프톤 마스크를 이용한 회절 노광 공정을 통해 이루어질 수 있다.
- [0016] 이러한 디스플레이용 박막 트랜지스터 제조방법에 있어서, 상기 소스전극과 드레인 전극 및 게이트 연결패턴은, 상기 충간 절연막 상에 형성되는 동일 금속물질층으로 이루어질 수 있다.
- [0017] 또 다른 측면에서, 본 발명은, 기판상에 있는 광차폐막 패턴 및 제1 두께의 게이트 배선; 상기 광차폐막 패턴과 게이트 배선을 구비한 기판상에 있는 베퍼 절연막; 상기 광차폐막 패턴 상의 베퍼 절연막 위에 있으며, 소스영역과 드레인 영역 및 이들 사이에 채널영역을 구비한 활성층; 상기 활성층 상에 있는 게이트 절연막과, 상기 게이트 배선의 제1 두께보다 얇은 제1 두께의 게이트 전극; 상기 게이트 절연막과 게이트 전극 및 반도체층을 포함하는 기판 전면에 있으며, 상기 소스영역 및 드레인 영역과, 게이트 전극 및 게이트 배선이 개구된 충간 절연막; 상기 소스영역에 접촉된 소스전극과, 상기 드레인 영역에 접촉된 드레인 전극; 상기 게이트 전극과 게이트 배선에 접촉된 게이트 연결패턴; 소스전극과, 드레인 전극 및 게이트 연결패턴을 포함한 기판 전면에 있으며, 상기 드레인 전극을 개구시키는 평탄화막; 상기 드레인 전극과 접촉하는 제1 전극; 상기 제1 전극상에 있는 유기발광층; 상기 유기발광층을 포함한 기판 전면에 있는 제2 전극; 및 상기 제2 전극 상에 있는 보호필름을 포함하는 유기전계 발광소자를 제공할 수 있다.
- [0018] 이러한 유기전계 발광소자에서, 상기 광차폐막 패턴은 상기 게이트 배선의 제1 두께보다 얇은 두께를 가질 수 있다.
- [0019] 이러한 유기전계 발광소자에서, 활성층은 산화물 반도체이거나 비정질 실리콘 또는 다결정 실리콘일 수 있다.
- [0020] 이러한 디스플레이용 박막 트랜지스터에서, 광차폐막 패턴은 단일 금속층으로 구성되고, 상기 게이트 배선은 하부 금속층과 상부 금속층의 이중 적층 구조로 구성될 수 있다.

[0021] 이러한 디스플레이용 박막 트랜지스터에서, 광차폐막 패턴의 단일 금속층과 상기 게이트 배선의 하부 금속층은 동일 금속층일 수 있다.

### 발명의 효과

[0022] 본 발명은 탑 게이트 구조의 박막 트랜지스터의 경우, 광 차폐막 형성시에 게이트 배선을 형성함으로써 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.

[0023] 본 발명은 박막 트랜지스터의 구조에 관계없이 초기에 증착되는 금속층을 이용하여 박막 트랜지스터 영역의 광 차폐막과 게이트 배선을 동시에 형성하여 게이트 배선의 두께 증가가 용이하고 공정 단순화가 가능하기 때문에 고해상도 및 고속 구동 제품 구현이 가능하다.

[0024] 본 발명은 박막 트랜지스터부의 게이트 전극과 게이트 배선을 서로 다른 두께를 갖도록 분리 형성함으로써 박막 트랜지스터부의 불량을 최소화할 수 있다.

### 도면의 간단한 설명

[0025] 도 1은 본 발명에 따른 표시장치용 박막 트랜지스터 어레이 기판을 개략적으로 도시한 평면도이다.

도 2a는 도 1의 IIa-IIa선에 따른 단면도로서, 본 발명의 표시장치용 박막 트랜지스터부의 개략적인 단면도이다.

도 2b는 도 1의 IIb-IIb선에 따른 단면도로서, 본 발명의 표시장치용 박막 트랜지스터부의 개략적인 단면도이다.

도 3a 내지 3p는 본 발명에 따른 표시장치용 박막 트랜지스터의 제조 공정 단면도들이다.

도 4는 본 발명에 따른 박막 트랜지스터를 적용한 유기전계 발광소자의 회로 구성도이다.

도 5는 본 발명에 따른 박막 트랜지스터를 적용한 유기전계 발광소자의 개략적인 단면도이다.

도 6a 내지 6t는 본 발명에 따른 박막 트랜지스터를 적용한 유기전계 발광소자의 제조 공정 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 이하, 본 발명의 실시 예들에 대해 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시 예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0027] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, a, b 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.

[0028] 도 1은 본 발명에 따른 표시장치용 박막 트랜지스터 어레이 기판을 개략적으로 도시한 평면도이다.

[0029] 도 1에 도시된 바와 같이, 투명한 기판상에는 일 방향으로 다수의 게이트 배선(107)이 배열되어 있으며, 상기 게이트 배선(107)과 직교하는 방향으로는 다수의 평행한 데이터배선(127d)이 배열되어 매트릭스 형태를 이루며 화소영역을 정의하고 있다.

[0030] 상기 기판 중 상기 게이트 배선(107)과 데이터배선(127d)의 교차 지점에는 광 차폐막 패턴(103a)이 배열되어 있으며, 상기 광 차폐막 패턴(103a) 위로는 활성층(117), 게이트 전극(121a), 소스전극(127b)을 포함하는 박막 트랜지스터(T)가 배열되어 있으며, 상기 기판의 화소영역에는 상기 박막 트랜지스터(T)와 전기적으로 연결되는 화소전극(133)이 배열되어 있다.

[0031] 상기 활성층(117)은 제1, 2 콘택홀(125a, 125b)에 의해 소스전극(127a) 및 드레인 전극(127b)과 전기적으로 연

결되며, 상기 드레인 전극(127b)은 화소전극 콘택홀(133)에 의해 화소전극(133)과 전기적으로 연결된다.

[0032] 상기 게이트 전극(121a)은 상기 게이트 배선(107)으로부터 분리되어 배열되어 있으며, 제3, 4 콘택홀(125c, 125d)에 의한 게이트 연결패턴(127c)을 통해 전기적으로 연결된다.

[0033] 이하, 도 1에 도시된 탑 게이트(Top Gate) 구조의 표시장치용 박막 트랜지스터를 포함하는 어레이 기판(100)의 개략적인 평면도에서, 도 2a의 IIa-IIa 선에 따른 단면과 도 2b의 IIb-IIb 선에 따른 단면에 대해 구체적으로 설명한다.

[0034] 도 2a는 도 1의 IIa-IIa선에 따른 단면도로서, 본 발명의 표시장치용 박막 트랜지스터부의 개략적인 단면도이다.

[0035] 도 2b는 도 1의 IIb-IIb선에 따른 단면도로서, 본 발명의 표시장치용 박막 트랜지스터부의 개략적인 단면도이다.

[0036] 도 2a 및 2b에 도시된 바와 같이, 기판(101) 상부에는 광 차폐막 패턴(103a)과, 상기 광 차폐막 패턴(103a)과 이격되어 게이트 배선(107)이 일 방향으로 형성되어 있다. 상기 광 차폐막 패턴(103a)은 기판의 박막 트랜지스터 영역에 위치한다.

[0037] 상기 광 차폐막 패턴(103a)은 제1 두께(t1)의 단일 금속층 구조로 이루어져 있으며, 상기 게이트 배선(107)은 제2 두께(t2)의 제1, 2 금속층 패턴(103b, 105b)의 이중 층 구조로 이루어져 있다. 이때, 상기 광 차폐막 패턴(103a)과 상기 게이트 배선(107)의 제1 금속층 패턴(103b)은 동일 금속층으로 이루어져 있다.

[0038] 따라서, 상기 게이트 배선(107)의 제2 두께(t2)는 상기 광 차폐막 패턴(103a)의 제1 두께(t1)보다 두껍게 되어 있다. 이로 인해, 탑 게이트 구조의 박막 트랜지스터의 경우, 광 차폐막 형성시에 게이트 배선을 형성함으로써 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.

[0039] 상기 광 차폐막 패턴(103a)과 게이트 배선(107)을 포함하는 기판(101) 전면에는 제1 절연막(115)이 형성되어 있다.

[0040] 상기 박막 트랜지스터영역, 즉 상기 광 차폐막 패턴(103a) 상의 제1 절연막(115) 위에는 활성층(117)이 형성되어 있다. 상기 활성층(117)은 소스영역(117a)과, 드레인 영역(117b) 및 이들 사이에 위치하는 채널영역(117c)으로 이루어져 있다. 상기 활성층(117)은 다결정 실리콘이나 산화물 반도체로 이루어져 있다.

[0041] 상기 활성층(117)의 채널영역(117c) 상부에는 게이트 절연막(119a) 및 게이트 전극(121a)이 형성되어 있다. 상기 게이트 전극(121a)은 제3 두께(t3)를 가지고 있으며, 게이트 배선(107)의 제2 두께(t2)보다는 얇은 두께를 가진다. 즉, 상기 게이트 전극(121a)과 게이트 배선(107)은 서로 다른 두께로 형성되어 있으며, 상기 게이트 전극(121a)은 게이트 배선(107)보다 얇은 두께로 이루어져 있다.

[0042] 상기 게이트 전극(121a)과 활성층(117)을 포함한 기판 전면에는 충간 절연막(123; interlayer)이 형성되어 있다.

[0043] 상기 충간 절연막(123)에는 상기 소스영역(117a) 및 드레인 영역(117b)과, 게이트 전극(121a) 및 게이트 배선(107)을 각각 노출시키는 제1, 2, 3, 4 콘택홀(미도시, 도 31의 125a, 125b, 125c, 125d 참조)이 형성되어 있다.

[0044] 상기 충간 절연막(123) 상부에는 상기 제1, 2 콘택홀(미도시, 도 31의 125a, 125b 참조)을 통해 서로 이격된 소스영역(125a)과 드레인 영역(125b)에 각각 전기적으로 연결되는 소스전극(127a) 및 드레인 전극(127b)이 형성되어 있다. 이때, 상기 소스전극(127a)으로부터는 기판의 일 방향으로 데이터배선(127d)이 연장되어 형성되어 있으며, 상기 게이트 배선(107)과 수직으로 교차되어 있다.

[0045] 또한, 도 2b에 도시된 바와 같이, 상기 충간 절연막(123) 상부에는 상기 제3, 4 콘택홀(미도시, 도 31의 125c, 125d 참조)을 통해 상기 게이트 전극(121a) 및 게이트 배선(107)을 전기적으로 연결시켜 주는 게이트 연결패턴(127c)이 형성되어 있다.

[0046] 그리고, 상기 소스전극(127a) 및 드레인 전극(127b) 상부에는 화소전극 콘택홀(미도시, 도 1의 131 참조)을 포함하는 평탄화막(129)이 형성되어 있으며, 상기 평탄화막(129) 상부에는 상기 화소전극 콘택홀(131)을 통해 상기 드레인 전극(127b)과 전기적으로 연결되는 화소전극(133)이 형성되어 있다.

[0047] 이와 같이, 본 발명은 탑 게이트 구조의 박막 트랜지스터의 경우, 광 차폐막 형성시에 게이트 배선을 형성함으

로써 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.

[0048] 본 발명은 박막 트랜지스터의 구조에 관계없이 초기에 증착되는 금속층을 이용하여 박막 트랜지스터 영역의 광차폐막과 게이트 배선을 동시에 형성하여 게이트 배선의 두께 증가가 용이하고 공정 단순화가 가능하기 때문에 고해상도 및 고속 구동 제품 구현이 가능하다.

[0049] 본 발명은 박막 트랜지스터부의 게이트 전극과 게이트 배선을 서로 다른 두께를 갖도록 분리 형성함으로써 박막 트랜지스터부의 불량을 최소화할 수 있다.

[0050] 본 발명에 따른 표시장치용 박막 트랜지스터의 제조방법에 대해 도 3a 내지 3p를 참조하여 설명하면 다음과 같다.

[0051] 도 3a 내지 3p는 본 발명에 따른 표시장치용 박막 트랜지스터의 제조 공정 단면도들이다.

[0052] 도 3a에 도시된 바와 같이, 투명한 기판(101) 상에 제1 금속층(103)과 제2 금속층(105)을 차례로 적층한다. 이 때, 상기 제1, 2 금속층(103, 105)을 형성하는 금속물질로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 티타늄 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다. 예를 들어, 제1 금속층(103)으로는 구리층 (Cu)을 사용하고, 제2 금속층(105)으로는 몰리브덴 티타늄 합금(MoTi)을 사용할 수도 있다.

[0053] 그런 다음, 도 3b에 도시된 바와 같이, 상기 제2 금속층(105) 상부에 감광막(109)을 도포한다.

[0054] 이어, 상기 감광막(109) 상부에 회절마스크(113)을 배치한 후, 상기 회절마스크 (113)를 이용하여 상기 감광막(109)을 회절 노광한다.

[0055] 그런 다음, 도 3c에 도시된 바와 같이, 회절 노광을 진행한 후, 현상공정을 실시하여 광차폐막 패턴영역의 제2 금속층(105) 상에는 얇은 감광막패턴(109a)을 형성하고, 게이트 배선영역 상에는 두꺼운 감광막패턴(109b)을 형성한다.

[0056] 이어, 도 3d에 도시된 바와 같이, 상기 감광막패턴(109a, 109b)을 식각마스크로 하여 상기 제1, 2 금속층(103, 105)을 식각함으로써, 상기 광차폐막 패턴영역에는 광차폐막 패턴용 제1, 2 금속층 패턴(103a, 105b)을 형성하고, 상기 게이트 배선영역에는 게이트 배선용 제1, 2 금속층 패턴(103b, 105b)을 형성한다.

[0057] 그런 다음, 도 3e에 도시된 바와 같이, 예쉬(ash) 공정을 실시하여, 상기 광차폐막 패턴영역 상에 남아 있는 얇은 감광막패턴(109b)을 식각한다. 이 때, 상기 광차폐막 패턴영역 상의 제2 금속층 패턴(105a) 상면이 외부로 노출된다. 상기 예쉬 공정을 통해 상기 얇은 감광막패턴(109a)이 완전 식각되는 동안에, 상기 두꺼운 감광막패턴(109a)의 두께 일부도 함께 식각된다.

[0058] 이어, 도 3f에 도시된 바와 같이, 남아 있는 두꺼운 감광막패턴(109b)을 식각마스크로 상기 광차폐막 패턴영역 상에 노출된 제2 금속층(105a)을 식각하여, 제1 금속층(103a)만 잔류하도록 한다. 이 때, 상기 제1 금속층(103a)은 상기 기판 (101)의 광차폐막 패턴영역에 형성하고자 하는 광차폐막 패턴(103a)을 이룬다. 상기 광차폐막 패턴(103a)은 제1 두께(t1)를 갖는다.

[0059] 그런 다음, 도 3g에 도시된 바와 같이, 게이트 배선영역 상에 남아 있는 두꺼운 감광막패턴(109b)을 식각함으로써, 제1, 2 금속층 패턴(103b, 105b)으로 이루어진 게이트 배선(107)을 형성한다. 이 때, 상기 게이트 배선(107)은 제2 두께(t2)를 가지며, 상기 제1 두께의 광차폐막 패턴(103a)보다는 두꺼운 두께를 갖는다.

[0060] 따라서, 상기 광차폐막 패턴(103a) 형성시에 게이트 배선(107)도 함께 형성되기 때문에, 게이트 배선(107)을 형성하기 위한 별도의 공정은 생략된다.

[0061] 이어, 도 3h에 도시된 바와 같이, 상기 광차폐막 패턴(103a) 및 게이트 배선(107)을 포함한 기판 전면에 무기 절연물질로 이루어진 베퍼 절연막(115)을 증착한다. 이 때, 상기 베퍼층(115)은 상기 기판(101)으로부터 유출되는 알칼리 이온과 같은 불순물로부터 후속하는 공정에서 형성되는 박막 트랜지스터를 보호하기 위한 층으로서, 실리콘 산화막, 실리콘 질화막으로 형성할 수 있다.

[0062] 그런 다음, 도면에는 도시하지 않았지만, 상기 베퍼 절연막(115) 상에 비정질 실리콘(a-Si), 다결정 실리콘 또는 산화물 반도체(미도시)를 증착하여 반도체층 (미도시)을 형성한다. 예를 들어, 비정질 실리콘을 증착한 경우에, 탈수소화 (dehydrogenation) 과정을 거친후, 레이저 결정화 단계를 거쳐 다결정 실리콘을 형성할 수도 있다.

- [0063] 이어, 사진식각 기술을 이용하여 상기 반도체층(미도시)을 선택적으로 패터닝하여, 상기 광차폐막 패턴(103a)과 오버랩되도록 활성층(117)을 형성한다.
- [0064] 그런 다음, 도 3i에 도시된 바와 같이, 상기 활성층(117)을 포함한 기판 전면에 게이트 절연 물질층(119)과 게이트 금속물질층(121)을 차례로 적층한다. 이때, 상기 게이트 절연 물질층(119)으로는 실리콘 산화막과 실리콘 질화막으로 포함하는 유기 절연물질 중에서 어느 하나를 선택하여 사용할 수 있다.
- [0065] 또한, 게이트 금속물질층(121)으로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다.
- [0066] 이어, 도 3j에 도시된 바와 같이, 사진식각 기술을 이용하여 상기 게이트 절연물질층(119)과 게이트 금속물질층(121)을 식각함으로써, 상기 활성층(117) 상부에 게이트 절연막(119a)과 게이트 전극(121a)을 형성한다. 이때, 상기 게이트 전극(121a)은 제3 두께(t3)를 가지는데, 상기 게이트 배선(107)의 제2 두께(t2)보다는 얇은 두께로 이루어져 있다.
- [0067] 따라서, 상기 게이트 배선(107)과 게이트 전극(121a)은 서로 다른 두께, 즉 제2 두께(t2) 및 제3 두께(t3)를 갖도록 분리 형성이 가능하게 된다.
- [0068] 그런 다음, 도면에는 도시하지 않았지만, 활성층(117)에 불순물을 도핑하는 공정을 거쳐 활성층(117)에 소스영역(117a), 드레인 영역(117b) 및 이들 영역 사이에 채널영역(117)을 한정한다. 한편, 상기 활성층(117)이 산화물 반도체로 구성된 경우에는 별도의 불순물 도핑 공정이 생략되며, 상기 게이트 전극(121a) 및 게이트 절연막(121a)을 형성하기 위한 플라즈마 공정 진행시에 상기 활성층(117)의 소스영역(117a) 및 드레인 영역(117b)이 도체화될 수 있다.
- [0069] 이어, 도 3k에 도시된 바와 같이, 상기 게이트 전극(121a)을 포함한 기판 전면에 무기 절연물질 또는 무기 절연물질을 이용하여 중간 절연막(123)을 형성한다.
- [0070] 그런 다음, 도 3l에 도시된 바와 같이, 사진식각 기술을 이용하여 상기 중간 절연막(123) 및 베퍼 절연막(115)을 선택적으로 식각하여, 상기 소스영역(117a), 드레인 영역(117b), 게이트 전극(121a) 및 게이트 배선(107)을 노출시키는 제1, 2, 3, 4 콘택홀(125a, 125b, 125c, 125d)을 각각 형성한다.
- [0071] 이어, 도 3m에 도시된 바와 같이, 상기 제1, 2, 3, 4 콘택홀(125a, 125b, 125c, 125d)을 포함한 중간 절연막(123) 상에 제3 금속층(127)을 형성한다. 이때, 상기 제3 금속층(127)으로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다.
- [0072] 그런 다음, 도 3n에 도시된 바와 같이, 사진식각 기술을 통해, 상기 제3 금속층(127)을 선택적으로 식각하여, 상기 제1, 2, 3, 4 콘택홀(125a, 125b, 125c, 125d)에 의해 상기 소스영역(117a) 및 드레인 영역(117b)에 각각 접촉하는 소스전극(127a) 및 드레인 전극(127b)을 형성함과 동시에, 게이트 전극(121a)과 게이트 배선(107)을 서로 연결시켜 주는 게이트 연결패턴(127c)을 형성한다.
- [0073] 따라서, 소스전극(127a) 및 드레인 전극(127b) 형성시에 게이트 연결패턴(127c)을 함께 형성해 줌으로써, 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.
- [0074] 이어, 도 3o에 도시된 바와 같이, 상기 소스전극(127a), 드레인 전극(127b) 및 게이트 연결패턴(127c)을 포함한 기판 전면에 유기 절연물질, 예를 들어 포토아크릴(Photo-Acryl) 또는 폴리 이미드(Polyimide)를 도포하여 평탄화막(129)을 형성한다.
- [0075] 그런 다음, 사진식각 기술을 통해 상기 평탄화막(129)을 선택적으로 식각하여, 상기 드레인 전극(127b)을 노출시키는 화소전극 콘택홀(131)을 형성한다.
- [0076] 이어, 상기 화소전극 콘택홀(131)을 포함한 평탄화막(129) 상에 투명 도전물질층(미도시)을 증착한다. 이때, 상기 투명 도전물질층으로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)를 포함한 투명 도전물질 중 어느 하나를 사용할 수 있다.
- [0077] 그런 다음, 도 3p에 도시된 바와 같이, 상기 투명 도전물질층(미도시)을 선택적으로 식각하여, 상기 드레인 전극(127b)과 전기적으로 연결되는 화소전극(133)을 형성함으로써, 본 발명에 따른 표시장치용 박막 트랜지스터 어레이 기판 제조공정을 완료한다.

- [0078] 이와 같이, 본 발명은 탑 게이트 구조의 박막 트랜지스터의 경우, 광 차폐막 형성시에 게이트 배선을 형성함으로써 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.
- [0079] 본 발명은 박막 트랜지스터의 구조에 관계없이 초기에 증착되는 금속층을 이용하여 박막 트랜지스터 영역의 광 차폐막과 게이트 배선을 동시에 형성하여 게이트 배선의 두께 증가가 용이하고 공정 단순화가 가능하기 때문에 고해상도 및 고속 구동 제품 구현이 가능하다.
- [0080] 본 발명은 박막 트랜지스터부의 게이트 전극과 게이트 배선을 서로 다른 두께를 갖도록 분리 형성함으로써 박막 트랜지스터부의 불량을 최소화할 수 있다.
- [0081] 한편, 본 발명의 다른 실시 예에 따른 표시장치용 박막 트랜지스터를 적용한 유기전계 발광소자에 대해 도 4 및 5를 참조하여 설명하면 다음과 같다.
- [0082] 도 4는 본 발명의 다른 실시 예에 따른 박막 트랜지스터를 적용한 유기전계 발광소자의 회로 구성도이다.
- [0083] 도 5는 본 발명의 다른 실시 예에 따른 박막 트랜지스터를 적용한 유기전계 발광소자의 개략적인 단면도이다.
- [0084] 도 4를 참조하면, 본 발명에 따른 액티브 매트릭스 유기전계 발광소자(200)의 하나의 화소영역(P)은 스캔 박막 트랜지스터(STr)와 구동 박막 트랜지스터 (DTr), 스토리지 커패시터(Cst), 그리고 유기전계 발광 다이오드(E)로 이루어진다.
- [0085] 여기서, 게이트 배선(207)이 제1 방향으로 형성되어 있고, 이 제1 방향과 교차되는 제2 방향으로 배치되어 상기 게이트 배선(207)과 더불어 화소영역(P)을 정의하는 데이터 배선(227d)과 함께 상기 데이터 배선(227d)과 이격 하며 전원 전압을 인가하기 위한 전원배선(240)이 형성되어 있다.
- [0086] 이와 같이, 구동 박막 트랜지스터(DTr)가 턴-온(turn on)됨으로 인해 전원배선(240)으로부터 상기 유기전계 발광 다이오드(E)에 전류가 공급되고, 이에 따라 유기전계 발광 다이오드(E)가 발광하게 된다.
- [0087] 한편, 본 발명에서는 스캔 박막 트랜지스터(STr)와 구동 박막 트랜지스터 (DTr)는 동일한 구조이므로, 후술하는 박막 트랜지스터(T)는 스캔 박막 트랜지스터 (STr)와 구동 박막 트랜지스터(DTr)를 내포하는 것으로 가정하여 설명하기로 한다.
- [0088] 도 5를 참조하면, 기판(201) 상부에는 광 차폐막 패턴(203a)과, 상기 광 차폐막 패턴(203a)과 이격되어 게이트 배선(207)이 일 방향으로 형성되어 있다. 상기 광 차폐막 패턴(203a)은 기판의 박막 트랜지스터 영역에 위치한다.
- [0089] 상기 광 차폐막 패턴(203a)은 제1 두께(t1)의 단일 금속층 구조로 이루어져 있으며, 상기 게이트 배선(107)은 제2 두께(t2)의 제1, 2 금속층 패턴(203b, 205b)의 이중 층 구조로 이루어져 있다. 이때, 상기 광 차폐막 패턴(203a)과 상기 게이트 배선(207)의 제1 금속층 패턴(203b)은 동일 금속층으로 이루어져 있다.
- [0090] 따라서, 상기 게이트 배선(207)의 제2 두께(t2)는 상기 광 차폐막 패턴(203a)의 제1 두께(t1)보다 두껍게 되어 있다.
- [0091] 상기 광 차폐막 패턴(203a)과 게이트 배선(207)을 포함하는 기판(201) 전면에는 제1 절연막(215)이 형성되어 있다.
- [0092] 상기 박막 트랜지스터영역, 즉 상기 광 차폐막 패턴(203a) 상의 제1 절연막 (215) 위에는 활성층(217)이 형성되어 있다. 상기 활성층(217)은 소스영역(217a)과, 드레인 영역(217b) 및 이들 사이에 위치하는 채널영역(217c)으로 이루어져 있다. 상기 활성층(217)은 다결정 실리콘이나 산화물 반도체로 이루어져 있다.
- [0093] 상기 활성층(217)의 채널영역(217c) 상부에는 게이트 절연막(219a) 및 게이트 전극(221a)이 형성되어 있다. 상기 게이트 전극(221a)은 제3 두께(t3)를 가지고 있으며, 게이트 배선(207)의 제2 두께(t2)보다는 얇은 두께를 가진다. 즉, 상기 게이트 전극(221a)과 게이트 배선(207)은 서로 다른 두께로 형성되어 있으면서, 상기 게이트 전극(221a)은 게이트 배선(207)보다 얇은 두께로 이루어져 있다.
- [0094] 상기 게이트 전극(221a)과 활성층(217)을 포함한 기판 전면에는 충간 절연막 (223; interlayer)이 형성되어 있다.
- [0095] 상기 충간 절연막(223)에는 상기 소스영역(217a) 및 드레인 영역(217b)과, 게이트 전극(221a) 및 게이트 배선(207)을 각각 노출시키는 제1, 2, 3, 4 콘택홀(미도시, 도 61의 225a, 225b, 225c, 225d 참조)이 형성되어 있

다.

[0096] 상기 충간 절연막(223) 상부에는 상기 제1, 2 콘택홀(미도시, 도 61의 225a, 225b 참조)을 통해 서로 이격된 소스영역(225a)과 드레인 영역(225b)에 각각 전기적으로 연결되는 소스전극(227a) 및 드레인 전극(227b)이 형성되어 있다. 이때, 상기 소스전극(227a)으로부터는 기판의 일 방향으로 데이터배선(227d)이 연장되어 형성되어 있으며, 상기 게이트 배선(207)과 수직으로 교차되어 있다.

[0097] 또한, 상기 충간 절연막(223) 상부에는 상기 제3, 4 콘택홀(미도시, 도 61의 225c, 225d 참조)을 통해 상기 게이트 전극(221a) 및 게이트 배선(207)을 전기적으로 연결시켜 주는 게이트 연결패턴(227c)이 형성되어 있다.

[0098] 그리고, 상기 소스전극(227a) 및 드레인 전극(227b) 상부에는 드레인 콘택홀 (미도시, 도 60의 231 참조)을 포함하는 평탄화막(229)이 형성되어 있으며, 상기 평탄화막(229) 상부에는 상기 드레인 콘택홀(231)을 통해 상기 드레인 전극(227b)과 전기적으로 연결되는 제1 전극(233)이 형성되어 있다. 이때, 상기 제1 전극 (233)은 유기 전계 발광소자에 있어 애노드 전극(Anode electrode) 또는 캐소드 전극(Cathode electrode)으로도 사용된다. 여기서는 애노드 전극으로 사용되는 일례를 들어 설명하기로 한다.

[0099] 상기 평탄화막(229) 상에는 상기 제1 전극(233)의 가장자리와 중첩하여 각 화소영역(P)의 경계에는 화소 정의막 (235)이 형성되어 있다. 이때, 상기 화소 정의막(235)은 각 화소영역(P)을 둘러싸는 형태로 상기 제1 전극(233)의 테두리와 중첩되도록 형성되어 있으며, 표시영역(미도시) 전체적으로는 다수의 개구부를 갖는 격자 형태를 이루고 있다.

[0100] 상기 화소 정의막(235)으로 둘러싸인 각 화소영역(P) 내의 중앙부에는 제1 전극(233) 상부로 유기 발광층(237)이 형성되어 있다. 이때, 도면에 있어서는 상기 유기 발광층(237)은 단일층 구조를 갖는 것을 일례로 도시하였지만 발광 효율을 높이기 위해 다중층 구조로 이루어질 수도 있다.

[0101] 상기 유기 발광층(237)이 다중층 구조를 이를 경우, 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광 물질층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층 (electron injection layer)으로 이루어질 수 있다.

[0102] 이때, 상기 정공주입층과 정공수송층과 상기 전자수송층과 전자주입층은 그 위치를 바꾸어 형성될 수도 있다. 이는 상기 제1 전극(131)이 일함수 값이 낮은 금속물질로 이루어져 음극을 이루느냐 아니면 일함수 값이 상대적으로 높은 금속물질로 이루어져 양극을 이루느냐에 따라 결정될 수 있다.

[0103] 한편, 상기 유기 발광층(237)과 화소 정의막(235)을 포함한 기판 전면에는 표시영역(미도시) 전면에 대응하여 제2 전극(239)이 형성되어 있다. 이때, 상기 제1 전극(233)과 제2 전극(239) 및 이들 두 전극(233, 239) 사이에 개재된 유기 발광층(237)은 유기전계 발광 다이오드(E)를 이룬다.

[0104] 상기 제2 전극(239) 상부에는 표시영역과 비표시영역 일부에 대응하여 외부로부터의 투습을 방지하고 상기 유기 전계 발광 다이오드(E)의 보호하기 위해 투명한 페이스 셀 또는 투명한 무기 필름으로 이루어진 보호필름(241)이 형성되어 있다.

[0105] 이와 같이, 본 발명의 다른 실시 예에 따른 탑 게이트 구조의 박막 트랜지스터를 적용한 유기전계 발광소자는, 광 차폐막 형성시에 게이트 배선을 형성함으로써 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.

[0106] 본 발명은 박막 트랜지스터의 구조에 관계없이 초기 증착되는 금속층을 이용하여 박막 트랜지스터 영역의 광 차폐막과 게이트 배선을 동시에 형성하여 게이트 배선의 두께 증가가 용이하고 공정 단순화가 가능하기 때문에 고해상도 및 고속 구동 제품 구현이 가능하다.

[0107] 본 발명은 박막 트랜지스터부의 게이트 전극과 게이트 배선을 서로 다른 두께를 갖도록 분리 형성함으로써 박막 트랜지스터부의 불량을 최소화할 수 있다.

[0108] 또 한편, 본 발명의 다른 실시 예에 따른 표시장치용 박막 트랜지스터를 적용한 유기전계 발광표시장치 제조방법에 대해 도 6a 내지 6t를 참조하여 설명하면 다음과 같다.

[0109] 도 6a 내지 6t는 본 발명에 따른 박막 트랜지스터를 적용한 유기전계 발광소자의 제조 공정 단면도들이다.

[0110] 도 6a에 도시된 바와 같이, 투명한 기판(201) 상에 제1 금속층(203)과 제2 금속층(205)을 차례로 적층한다. 이 때, 상기 제1, 2 금속층(203, 205)을 형성하는 금속물질로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합

금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 티타늄 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다. 예를 들어, 제1 금속층(203)으로는 구리층 (Cu)을 사용하고, 제2 금속층(205)으로는 몰리브덴 티타늄 합금(MoTi)을 사용할 수도 있다.

[0111] 그런 다음, 도 6b에 도시된 바와 같이, 상기 제2 금속층(205) 상부에 감광막(209)을 도포한다.

[0112] 이어, 상기 감광막(209) 상부에 회절마스크(213)을 배치한 후, 상기 회절마스크(213)를 이용하여 상기 감광막(209)을 회절 노광한다.

[0113] 그런 다음, 도 6c에 도시된 바와 같이, 회절 노광을 진행한 후, 현상공정을 실시하여, 광차폐막 패턴영역의 제2 금속층(205) 상에는 얇은 감광막패턴(209a)을 형성하고, 게이트 배선영역 상에는 두꺼운 감광막패턴(209b)을 형성한다.

[0114] 이어, 도 6d에 도시된 바와 같이, 상기 감광막패턴(209a, 209b)을 식각마스크로 하여 상기 제1, 2 금속층(203, 205)을 식각함으로써, 상기 광차폐막 패턴영역에는 광차폐막 패턴용 제1, 2 금속층 패턴(203a, 205b)을 형성하고, 상기 게이트 배선영역에는 게이트 배선용 제1, 2 금속층 패턴(203b, 205b)을 형성한다.

[0115] 그런 다음, 도 6e에 도시된 바와 같이, 에쉬(ash) 공정을 실시하여, 상기 광차폐막 패턴영역 상에 남아 있는 얇은 감광막패턴(209b)을 식각한다. 이때, 상기 광차폐막 패턴영역 상의 제2 금속층 패턴(205a) 상면이 외부로 노출된다. 상기 에쉬 공정을 통해 상기 얇은 감광막패턴(209a)이 완전 식각되는 동안에, 상기 두꺼운 감광막패턴(209a)의 두께 일부도 함께 식각된다.

[0116] 이어, 도 6f에 도시된 바와 같이, 남아 있는 두꺼운 감광막패턴(209b)을 식각마스크로 상기 광차폐막 패턴영역 상에 노출된 제2 금속층(205a)을 식각하여, 제1 금속층(203a)만 잔류하도록 한다. 이때, 상기 제1 금속층(203a)은 상기 기판(201)의 광차폐막 패턴영역에 형성하고자 하는 광차폐막 패턴(203a)을 이룬다. 상기 광차폐막 패턴(203a)은 제1 두께(t1)를 갖는다.

[0117] 그런 다음, 도 6g에 도시된 바와 같이, 게이트 배선영역 상에 남아 있는 두꺼운 감광막패턴(209b)을 식각함으로써, 제1, 2 금속층 패턴(203b, 205b)으로 이루어진 게이트 배선(207)을 형성한다. 이때, 상기 게이트 배선(207)은 제2 두께(t2)을 가지며, 상기 제1 두께의 광차폐막 패턴(203a)보다는 두꺼운 두께를 갖는다.

[0118] 따라서, 상기 광차폐막 패턴(203a) 형성시에 게이트 배선(207)도 함께 형성되기 때문에, 게이트 배선(207)을 형성하기 위한 별도의 공정은 생략된다.

[0119] 이어, 도 6h에 도시된 바와 같이, 상기 광차폐막 패턴(203a) 및 게이트 배선(207)을 포함한 기판 전면에 무기 절연물질로 이루어진 베퍼 절연막(215)을 증착한다. 이때, 상기 베퍼층(215)은 상기 기판(201)으로부터 유출되는 알칼리 이온과 같은 불순물로부터 후속하는 공정에서 형성되는 박막 트랜지스터를 보호하기 위한 층으로서, 실리콘 산화막 또는 실리콘 질화막 등으로 형성할 수 있다.

[0120] 그런 다음, 도면에는 도시하지 않았지만, 상기 베퍼 절연막(215) 상에 비정질 실리콘(a-Si), 다결정 실리콘 또는 산화물 반도체(미도시)를 증착하여 반도체층 (미도시)을 형성한다. 예를 들어, 비정질 실리콘을 증착한 경우에, 탈수소화 (dehydrogenation) 과정을 거친후, 레이저 결정화 단계를 거쳐 다결정 실리콘을 형성할 수도 있다.

[0121] 이어, 사진식각 기술을 이용하여 상기 반도체층(미도시)을 선택적으로 패터닝하여, 상기 광차폐막 패턴(203a)과 오버랩되도록 활성층(217)을 형성한다.

[0122] 그런 다음, 도 6i에 도시된 바와 같이, 상기 활성층(217)을 포함한 기판 전면에 게이트 절연 물질층(219)과 게이트 금속물질층(221)을 차례로 적층한다. 이때, 상기 게이트 절연 물질층(219)으로는 실리콘 산화막과 실리콘 질화막으로 포함하는 유기 절연물질 중에서 어느 하나를 선택하여 사용할 수 있다.

[0123] 또한, 게이트 금속물질층(221)으로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 티타늄 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다.

[0124] 이어, 도 6j에 도시된 바와 같이, 사진식각 기술을 이용하여 상기 게이트 절연물질층(219)과 게이트 금속물질층(221)을 식각함으로써, 상기 활성층(217) 상부에 게이트 절연막(219a)과 게이트 전극(221a)을 형성한다. 이때, 상기 게이트 전극(221a)은 제3 두께(t3)를 가지는데, 상기 게이트 배선(207)의 제2 두께(t2)보다는 얇은 두께로 이루어져 있다.

- [0125] 따라서, 상기 게이트 배선(207)과 게이트 전극(221a)은 서로 다른 두께, 즉 제2 두께(t2) 및 제3 두께(t3)를 갖도록 분리 형성이 가능하게 된다.
- [0126] 그런 다음, 도면에는 도시하지 않았지만, 활성층(217)에 불순물을 도핑하는 공정을 거쳐 활성층(217)에 소스영역(217a), 드레인 영역(217b) 및 이들 영역 사이에 채널영역(217)을 한정한다. 한편, 상기 활성층(217)이 산화물 반도체로 구성된 경우에는 별도의 불순물 도핑 공정이 생략되며, 상기 게이트 전극(221a) 및 게이트 절연막(221a)을 형성하기 위한 플라즈마 공정 진행시에 상기 활성층(217)의 소스영역(217a) 및 드레인 영역(217b)이 도체화될 수 있다.
- [0127] 이어, 도 6k에 도시된 바와 같이, 상기 게이트 전극(221a)을 포함한 기판 전면에 무기 절연물질 또는 무기 절연물질을 이용하여 층간 절연막(223)을 형성한다.
- [0128] 그런 다음, 도 6l에 도시된 바와 같이, 사진 식각 기술을 이용하여 상기 층간 절연막(223) 및 벼파 절연막(215)을 선택적으로 식각하여, 상기 소스영역(217a), 드레인 영역(217b), 게이트 전극(221a) 및 게이트 배선(207)을 각각 노출시키는 제1, 2, 3, 4 콘택홀(225a, 225b, 225c, 225d)을 형성한다.
- [0129] 이어, 도 6m에 도시된 바와 같이, 상기 제1, 2, 3, 4 콘택홀(225a, 225b, 225c, 225d)을 포함한 층간 절연막(223) 상에 제3 금속층(227)을 형성한다. 이때, 상기 제3 금속층(227)으로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 티타늄 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다.
- [0130] 그런 다음, 도 6n에 도시된 바와 같이, 사진 식각 기술을 통해, 상기 제3 금속층(227)을 선택적으로 식각하여, 상기 제1, 2, 3, 4 콘택홀(225a, 225b, 225c, 225d)에 의해 상기 소스영역(217a) 및 드레인 영역(217b)에 각각 접촉하는 소스전극(227a) 및 드레인 전극(227b)을 형성함과 동시에, 게이트 전극(221a)과 게이트 배선(207)을 서로 연결시켜 주는 게이트 연결패턴(227c)을 형성한다.
- [0131] 이어, 도 6o에 도시된 바와 같이, 상기 소스전극(227a), 드레인 전극(227b) 및 게이트 연결패턴(227c)을 포함한 기판 전면에 유기 절연물질, 예를 들어 포토아크릴(Photo-Acryl) 또는 폴리 이미드(Polyimide)를 도포하여 평탄화막(229)을 형성한다.
- [0132] 그런 다음, 사진 식각 기술을 통해 상기 평탄화막(229)을 선택적으로 식각하여, 상기 드레인 전극(227b)을 노출시키는 드레인 콘택홀(231)을 형성한다.
- [0133] 이어, 상기 드레인 콘택홀(231)을 포함한 평탄화막(229) 상에 도전물질층(미도시)을 증착한다. 이때, 상기 도전물질층으로는 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 은(Ag), 은 합금, 알루미늄-네오디뮴(AlNd), 몰리브덴 티타늄 합금(MoTi) 또는 기타 다른 도전성 금속물질의 합금을 사용할 수 있다. 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide)를 포함한 투명 도전물질 중 어느 하나를 사용할 수도 있다.
- [0134] 그런 다음, 도 6p에 도시된 바와 같이, 상기 도전물질층(미도시)을 선택적으로 식각하여, 상기 드레인 전극(227b)과 전기적으로 연결되는 제1 전극(233)을 형성한다.
- [0135] 이어, 상기 제1 전극(233) 상에 각 화소영역(P)의 경계부 및 비표시영역(미도시)에 예를 들어 벤소사이클로부텐(PCB), 폴리이미드(Poly-Imide) 또는 포토아크릴(photo acryl)로 이루어진 절연물질층(미도시)을 형성한다.
- [0136] 그런 다음, 도 6q에 도시된 바와 같이, 상기 절연물질층(미도시)을 선택적으로 패터닝하여, 화소 정의막(235)을 형성한다. 이때, 상기 화소 정의막(235)은 각 화소영역(P)을 둘러싸는 형태로 상기 제1 전극(233)의 테두리와 중첩되도록 형성되어 있으며, 표시영역(미도시) 전체적으로는 다수의 개구부를 갖는 격자 형태를 이루고 있다.
- [0137] 이어, 도 6r에 도시된 바와 같이, 상기 화소 정의막(235)으로 둘러싸인 각 화소영역(P) 내의 중앙부에 제1 전극(233) 상부로 유기 발광층(237)을 형성한다. 이때, 도면에 있어서는 상기 유기 발광층(237)은 단일 층 구조를 갖는 것을 일례로 도시하였지만 발광 효율을 높이기 위해 다중층 구조로 이루어질 수도 있다.
- [0138] 상기 유기 발광층(237)이 다중 층 구조를 이를 경우, 정공주입층(hole injection layer), 정공수송층(hole transporting layer), 발광 물질층(emitting material layer), 전자수송층(electron transporting layer) 및 전자주입층(electron injection layer)으로 이루어질 수 있다.
- [0139] 이때, 상기 정공주입층과 정공수송층과 상기 전자수송층과 전자주입층은 그 위치를 바꾸어 형성될 수도 있다. 이는 상기 제1 전극(233)이 일함수 값이 낮은 금속물질로 이루어져 음극을 이루느냐 아니면 일함수 값이 상대적

으로 높은 금속물질로 이루어져 양극을 이루느냐에 따라 결정될 수 있다.

[0140] 그런 다음, 도 6s에 도시된 바와 같이, 상기 유기 발광층(237)과 상기 화소 정의막(235)을 포함한 표시영역 전면에 제2 전극(239)을 형성한다. 이때, 상기 제2 전극(239)은 광을 투과시키는 투명한 도전물질, 예를 들어 ITO, IZO를 포함하는 도전 물질 중에서 적어도 어느 하나를 선택하여 사용할 수 있다.

[0141] 이렇게 하여, 상기 제1 전극(233)과 제2 전극(239), 및 이를 두 전극(233, 239) 사이에 개재된 유기 발광층(237)은 유기전계 발광 다이오드(E)를 이룬다.

[0142] 따라서, 이러한 유기전계 발광 다이오드(E)는 선택된 색 신호에 따라 제1 전극(233)과 제2 전극(239)으로 소정의 전압이 인가되면, 제1 전극(233)으로부터 주입된 정공과 제2 전극(239)으로부터 제공된 전자가 유기발광층(237)으로 수송되어 엑시톤(exciton)을 이루고, 이러한 엑시톤이 여기 상태에서 기저 상태로 천이 될 때 빛이 발생되어 가시광선 형태로 방출된다. 이때, 발광된 빛은 투명한 제2 전극(239)을 통과하여 외부로 나가게 되므로, 유기전계 발광소자(200)는 임의의 화상을 구현하게 된다.

[0143] 이어서, 도 6t에 도시된 바와 같이, 상기 제2 전극(239) 상부에 표시영역과 비표시영역 일부에 대응하여 외부로부터의 투습을 방지하고 상기 유기전계 발광 다이오드(E)의 보호하기 위해 투명한 페이스 셀 또는 투명한 무기 필름 재질로 이루어진 보호필름(241)을 형성함으로써 본 발명의 다른 실시 예에 따른 표시장치용 박막 트랜지스터를 적용한 유기전계 발광소자(200)를 제조하는 공정을 완료한다.

[0144] 이와 같이, 본 발명은 탑 게이트 구조의 박막 트랜지스터의 경우, 광 차폐막 형성시에 게이트 배선을 형성함으로써 별도의 공정을 추가하지 않아도 공정 기인 불량을 제거할 수 있다.

[0145] 본 발명은 박막 트랜지스터의 구조에 관계없이 초기에 증착되는 금속층을 이용하여 박막 트랜지스터 영역의 광 차폐막과 게이트 배선을 동시에 형성하여 게이트 배선의 두께 증가가 용이하고 공정 단순화가 가능하기 때문에 고해상도 및 고속 구동 제품 구현이 가능하다.

[0146] 본 발명은 박막 트랜지스터부의 게이트 전극과 게이트 배선을 서로 다른 두께를 갖도록 분리 형성함으로써 박막 트랜지스터부의 불량을 최소화할 수 있다.

[0147] 이상 도면을 참조하여 실시 예들을 설명하였으나 본 발명은 이에 제한되지 않는다.

[0148] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것으로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0149] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

### 부호의 설명

[0150] 103a: 광차폐막 패턴 107: 게이트 배선

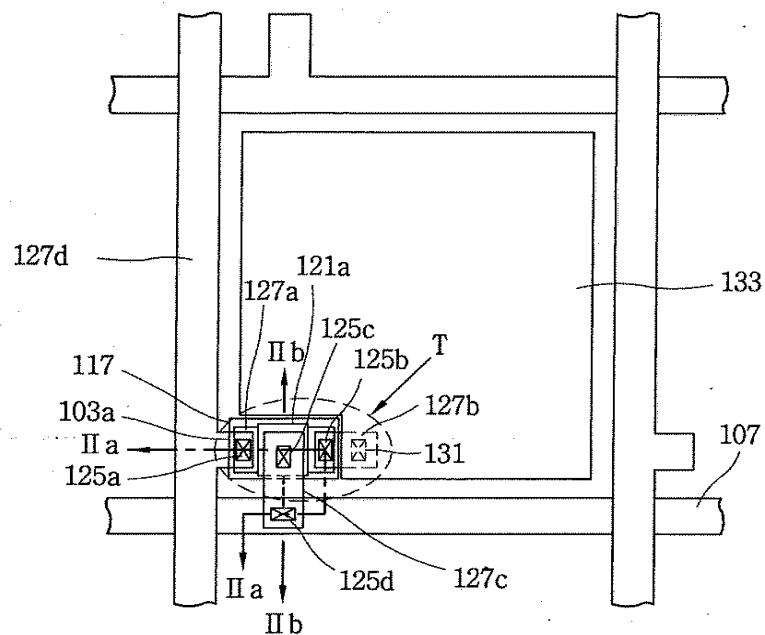
117: 활성층 121a: 게이트 전극 125a, 125b, 125c, 125d: 제1, 2, 3, 4 콘택홀

127a: 소스전극 127b: 드레인 전극

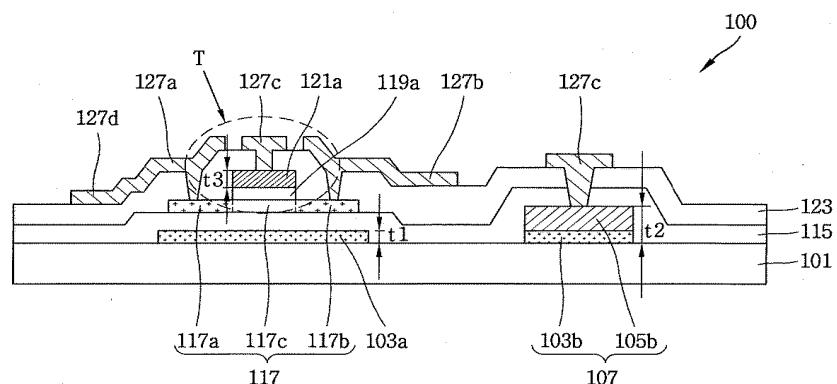
127c: 게이트 연결 연결패턴

## 도면

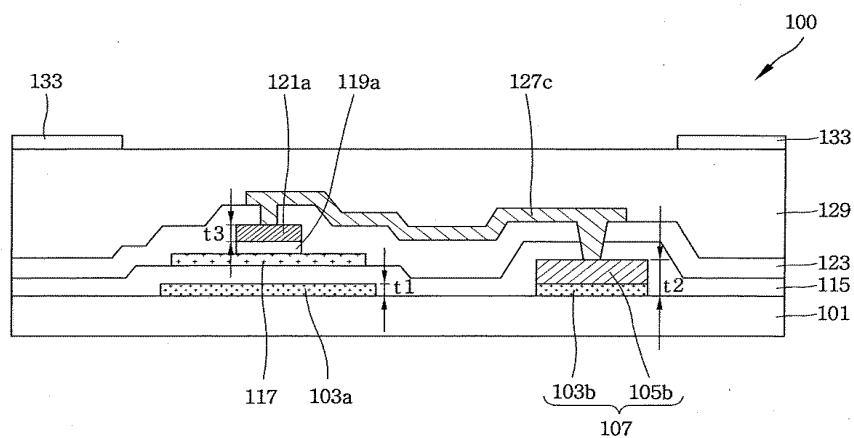
## 도면1



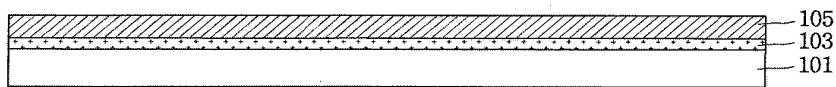
## 도면2a



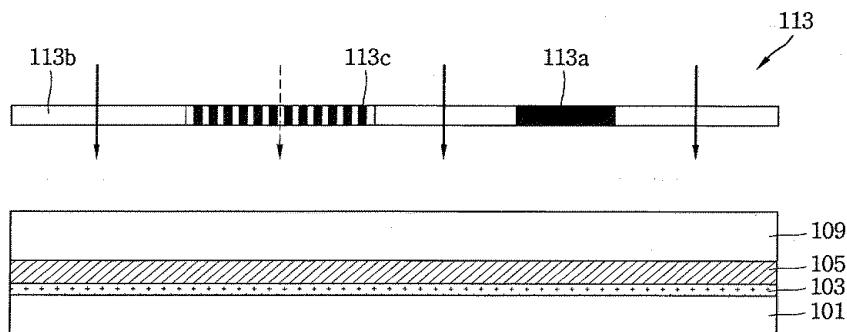
## 도면2b



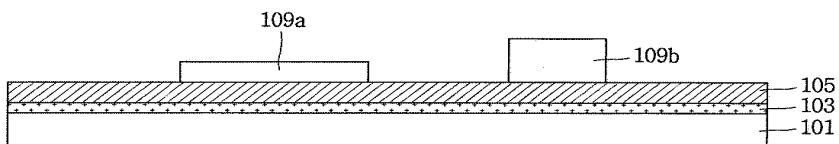
도면3a



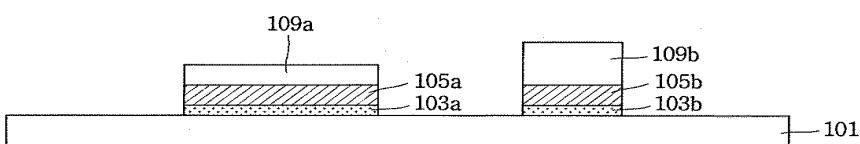
도면3b



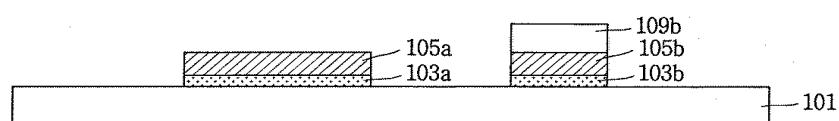
도면3c



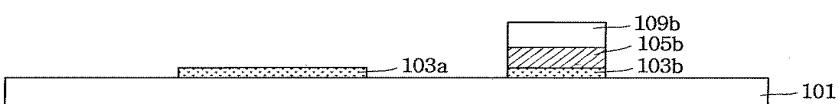
도면3d



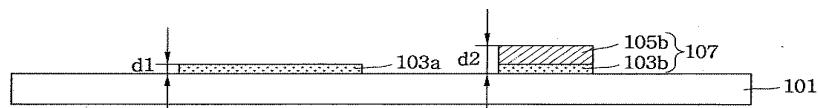
도면3e



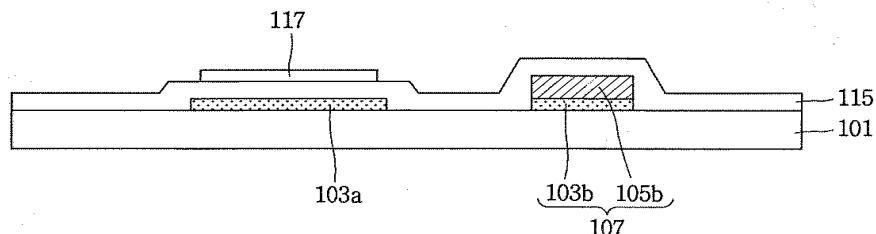
도면3f



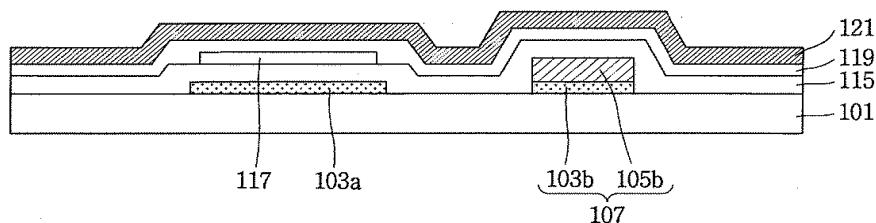
도면3g



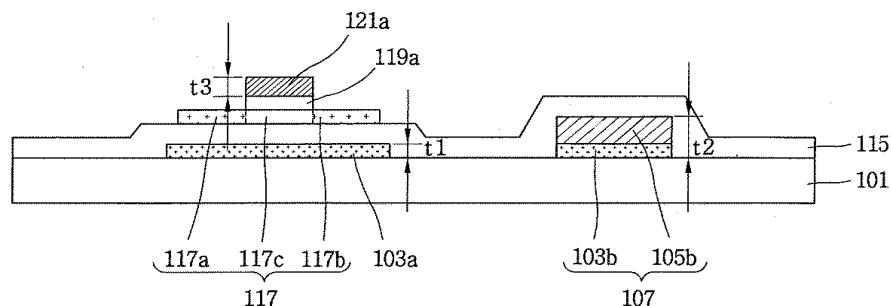
도면3h



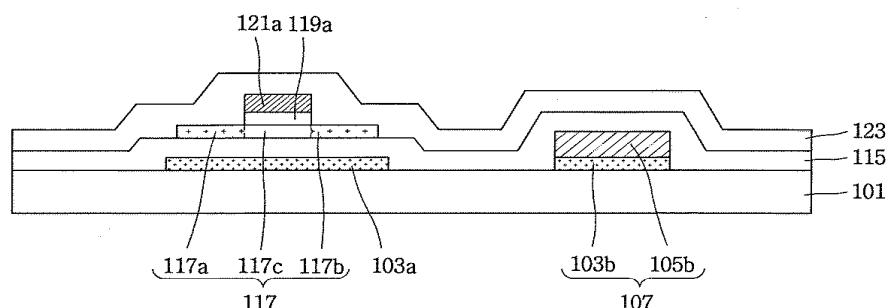
도면3i



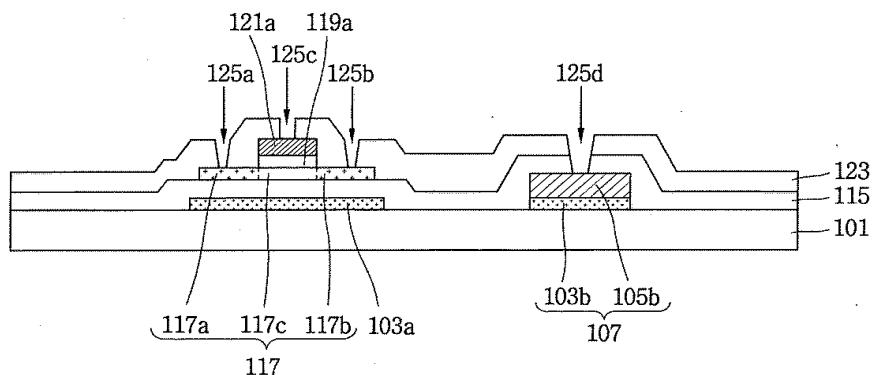
도면3j



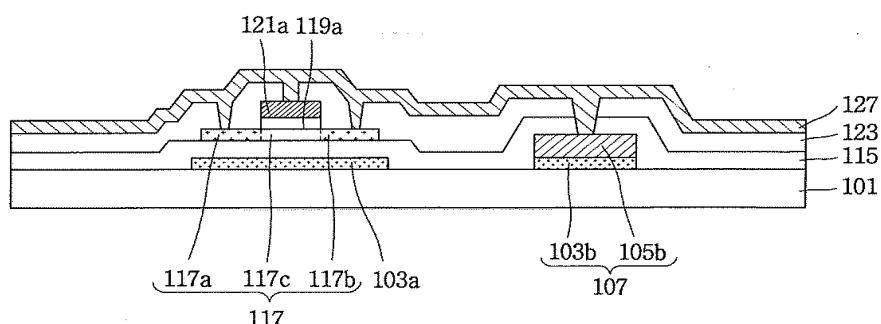
도면3k



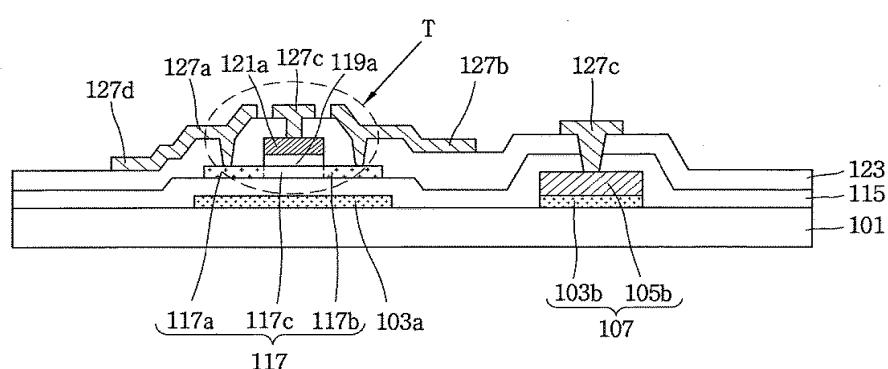
도면31



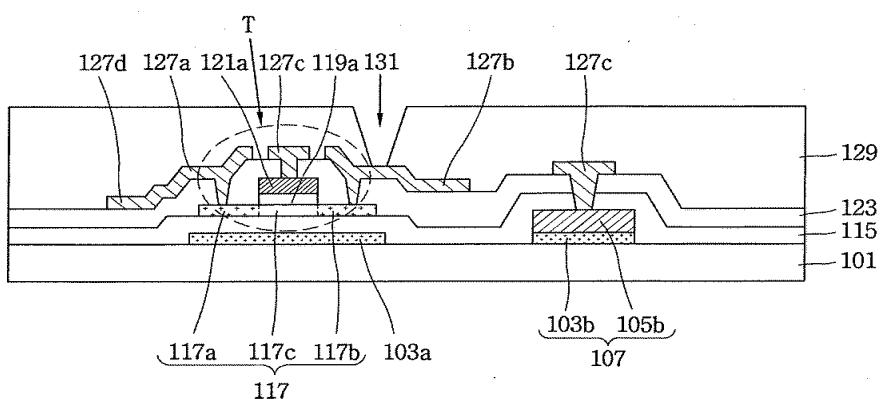
도면3m



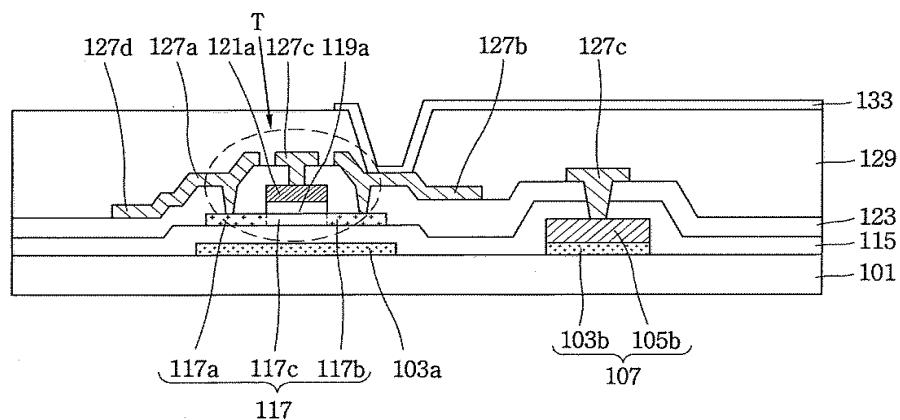
도면3n



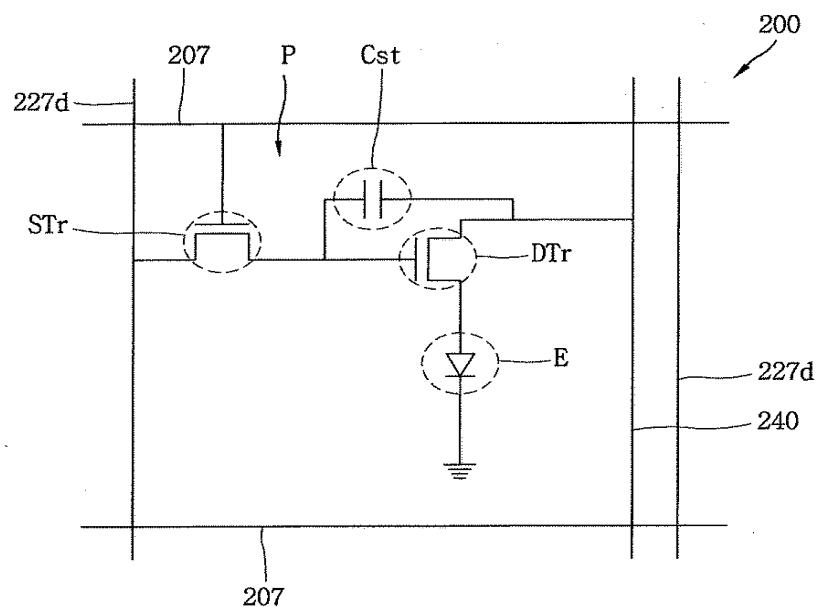
도면3o



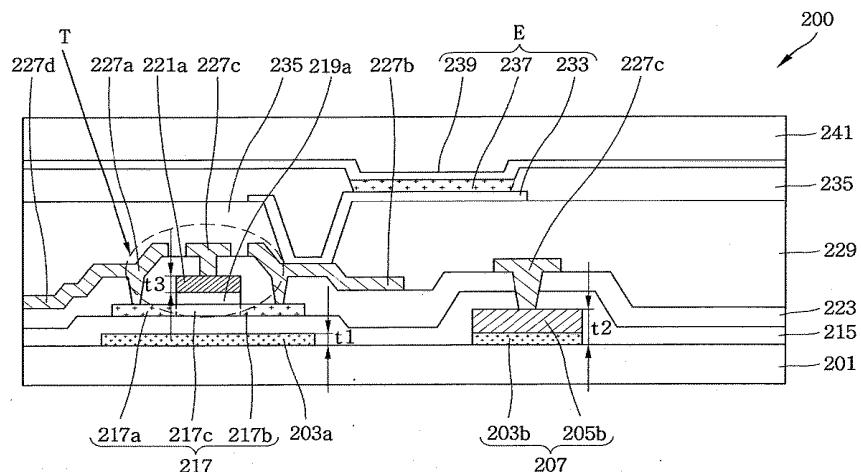
도면3p



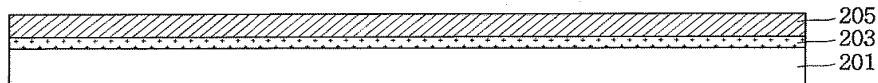
도면4



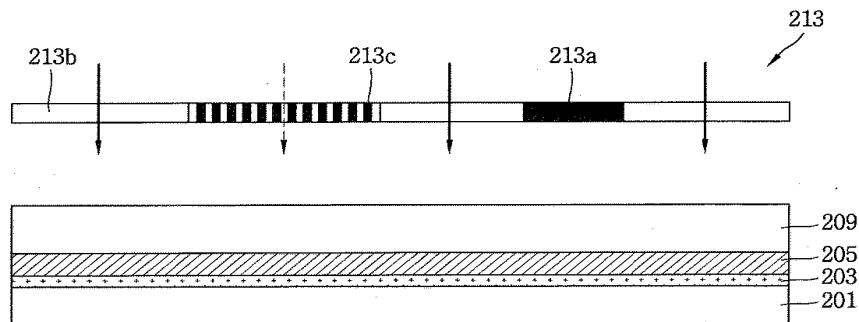
도면5



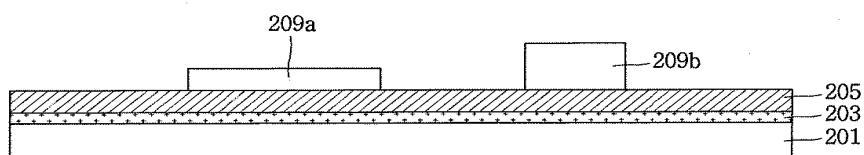
도면6a



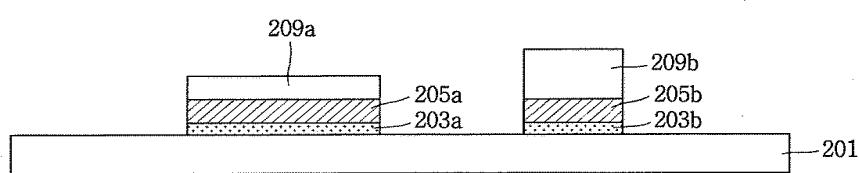
도면6b



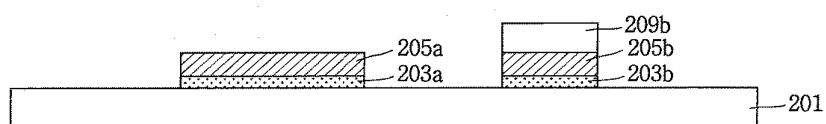
도면6c



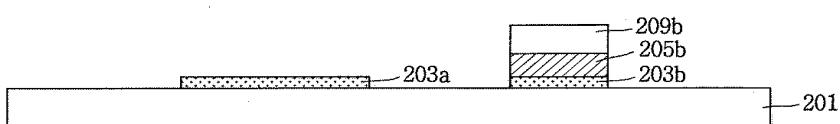
도면6d



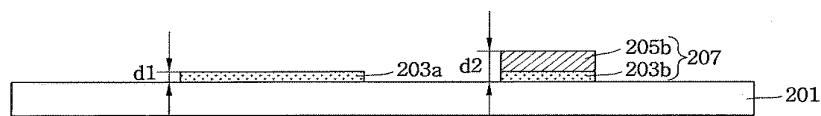
도면6e



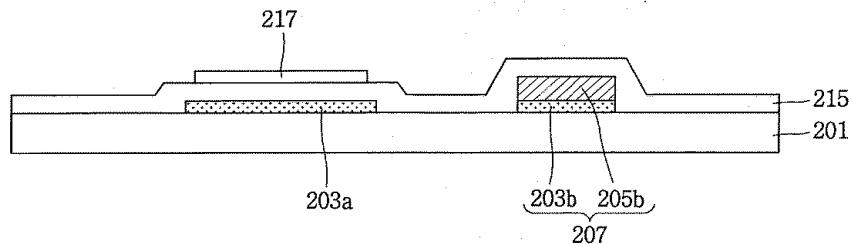
도면6f



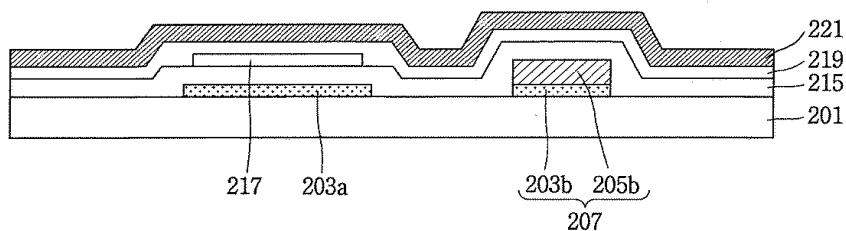
도면6g



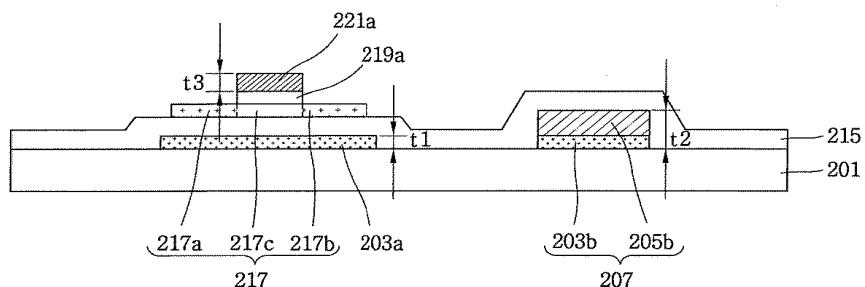
도면6h



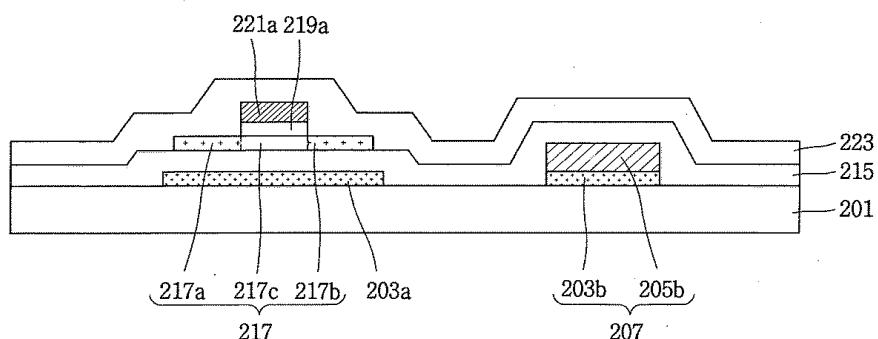
도면6i



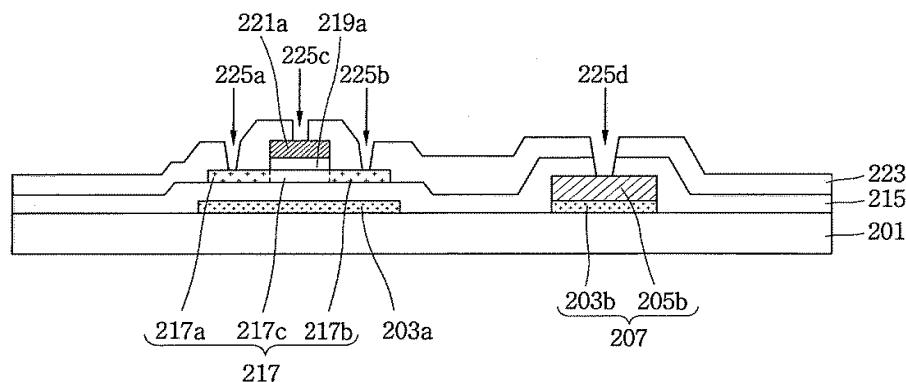
도면6j



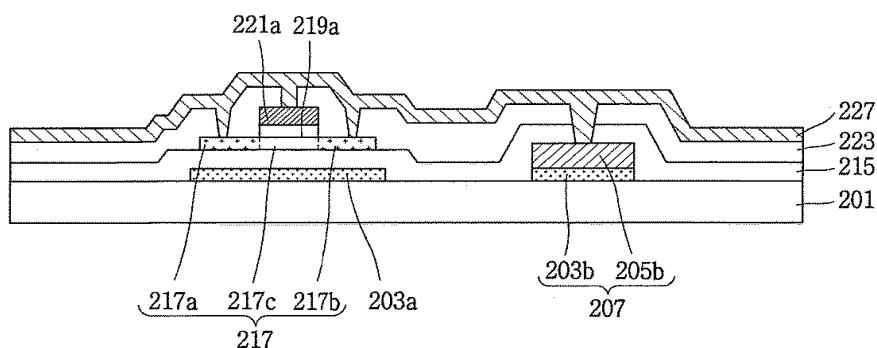
도면6k



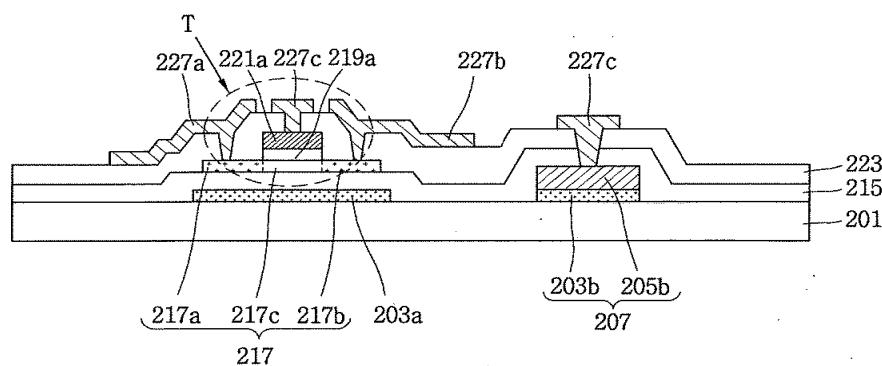
도면6l



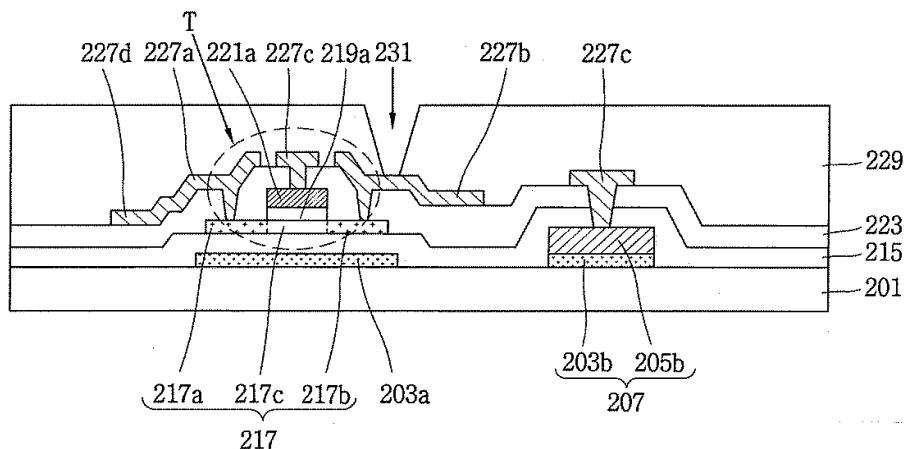
도면6m



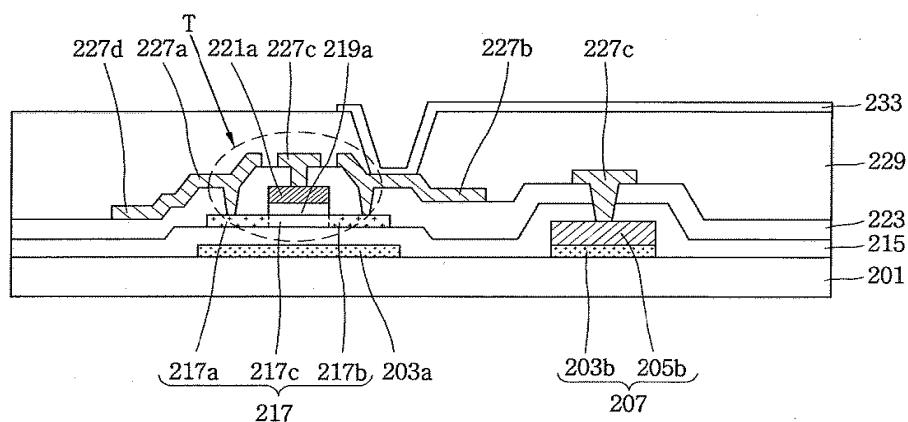
도면6n



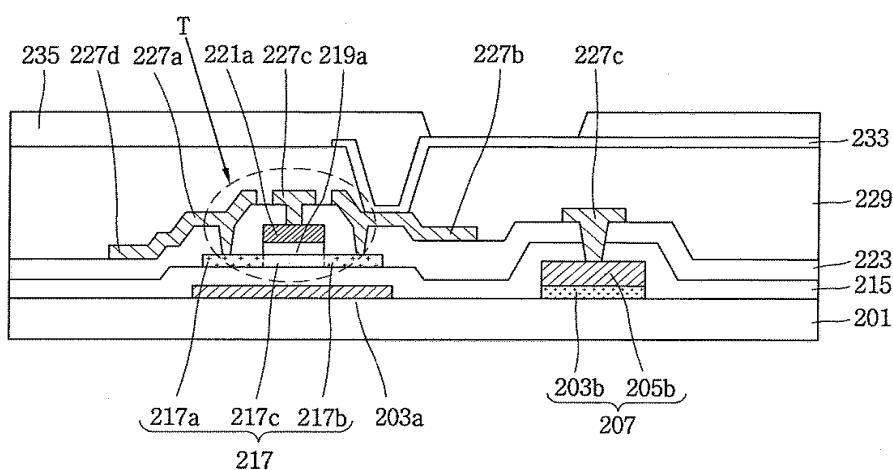
도면6o



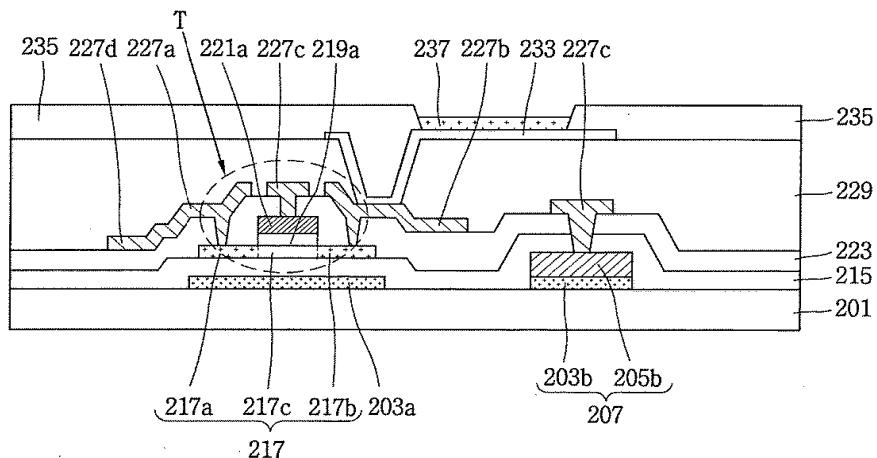
도면6p



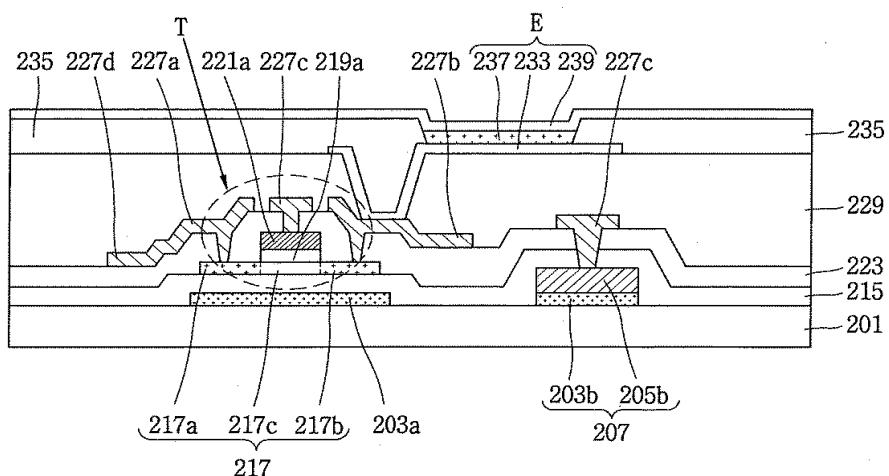
도면6q



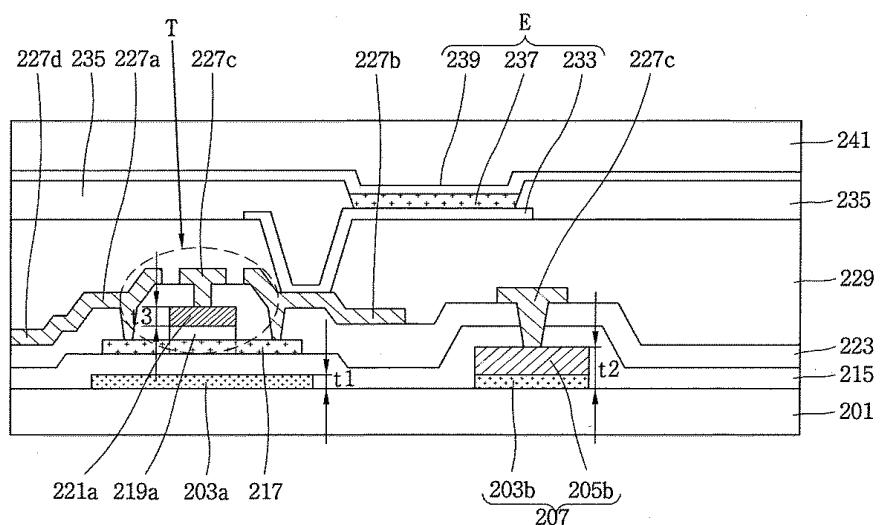
## 도면6r



## 도면6s



## 도면6t



专利名称(译) 标题 : 用于显示装置的薄膜晶体管 , 其制造方法以及使用该薄膜晶体管的有机电致发光装置

公开(公告)号	<a href="#">KR1020160055648A</a>	公开(公告)日	2016-05-18
申请号	KR1020140155715	申请日	2014-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE JONG UK 배종우		
发明人	BAE,JONG UK 배종우		
IPC分类号	H01L27/32 H01L21/336 H01L29/786 H01L51/50 H01L51/56		
CPC分类号	H01L27/3276 H01L27/124 H01L27/1288 H01L27/3272 H01L29/78633		
代理人(译)	PARK , JANG WON박장원		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明提供了一种用于显示装置的薄膜晶体管，包括在基板上具有缓冲绝缘膜，有源层上具有遮光膜图案图像的缓冲绝缘膜，栅极绝缘层具有在有源层上，第二厚度的栅电极，源电极与层间绝缘膜的区域源接触：有源层，与漏区接触的漏电极，以及连接到栅电极和栅极布线的栅极连接图案栅极布线：具有在基板上的遮光膜图案的遮光膜图案和第一厚度以及栅极布线。第二厚度的栅电极薄于栅极布线的第一厚度。关于与层间区域源接触的源电极，有源层的区域 - 源极和漏极区域以及栅极电极和栅极布线是开放的。

