(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0053043
(43) 공개일자 2016년05월13일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/56* (2006.01)
(21) 출원번호 10-2014-0149275
(22) 출원일자 2014년10월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
원상혁
경기 파주시 월롱면 엘씨디로 201, D동 406호 (정다운마을)
이재균
경기 고양시 일산서구 강선로 169, 1506동 1302호 (일산동, 후곡마을15단지아파트)
(74) 대리인
특허법인로얄

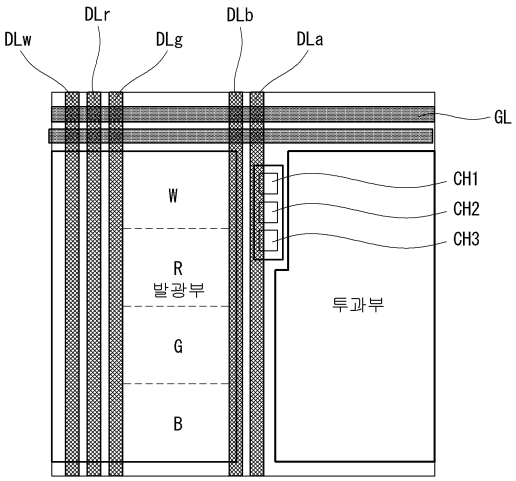
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기전계발광표시장치와 이의 제조방법**

(57) 요 약

본 발명은 제1기판, 투과부, 발광부, 보조전극 및 제N(N은 1 이상 정수)개의 콘택홀을 포함하는 유기전계발광표시장치에 관한 것이다. 투과부는 제1기판 상에 위치하며 자연광을 투과시킨다. 발광부는 제1기판 상에 위치하고 투과부와 이웃하며 자체 발광된 광을 출사한다. 보조전극은 투과부와 발광부 사이에 위치한다. 콘택홀은 보조전극과 대응되는 영역에 위치하고 언더컷 형상을 갖는다. 보조전극의 일부는 콘택홀에 의해 하부전극의 일부 및 상부전극의 일부와 전기적으로 연결된다.

대 표 도 - 도4



명 세 서

청구범위

청구항 1

제1기판;

상기 제1기판 상에 위치하며 자연광을 투과시키는 투과부;

상기 제1기판 상에 위치하고 상기 투과부와 이웃하며 자체 발광된 광을 출사하는 발광부;

상기 투과부와 상기 발광부 사이에 위치하는 보조전극; 및

상기 보조전극과 대응되는 영역에 위치하고 언더컷 형상을 갖는 제N(N은 1 이상 정수)개의 콘택홀을 포함하고,

상기 보조전극의 일부는

상기 콘택홀에 의해 하부전극의 일부 및 상부전극의 일부와 전기적으로 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 콘택홀은

상기 하부전극의 일부와 상기 상부전극의 일부가 전기적으로 연결되는 공간을 제공하는 함몰영역과,

상기 보조전극의 일부와 상기 하부전극의 일부가 전기적으로 연결되는 공간을 제공하는 비함몰영역을 포함하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 언더컷은

상기 보조전극이 위치하는 하부절연막의 일부가 함몰되고,

상기 하부절연막 상에 위치하며 상기 보조전극을 덮는 상부절연막의 일부가 관통되도록 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 보조전극은

상기 발광부에 데이터신호를 전달하는 데이터라인과 평행을 이루며 라인 형태로 배치된 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 보조전극은

상기 데이터라인과 동일한 층에 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 하부전극의 일부는

상기 발광부에 포함된 하부전극과 동일한 층에 위치하되, 전기적으로 분리된 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제1기판 상에 자연광을 투과시키는 투과부와 자체 발광된 광을 출사하는 발광부를 정의하고, 상기 투과부와 상기 발광부 사이에 위치하는 하부절연막 상에 보조전극을 형성하는 단계;

상기 하부절연막 상에 위치하는 상기 보조전극을 덮는 상부절연막을 형성하는 단계;

상기 보조전극과 대응되는 영역에 언더컷 형상을 갖는 제N(N은 1 이상 정수)개의 콘택홀을 형성하는 단계;

상기 상부절연막 상에 하부전극을 형성하는 단계;

상기 상부절연막 상에 상기 하부전극의 일부를 덮는 뱅크층을 형성하는 단계;

상기 하부전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상부전극을 형성하는 단계를 포함하고,

상기 보조전극의 일부는 상기 콘택홀에 의해 상기 하부전극의 일부 및 상기 상부전극의 일부와 전기적으로 연결된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 8

제7항에 있어서,

상기 콘택홀은

상기 하부전극의 일부와 상기 상부전극의 일부가 전기적으로 연결되는 공간을 제공하는 함몰영역과,

상기 보조전극의 일부와 상기 하부전극의 일부가 전기적으로 연결되는 공간을 제공하는 비함몰영역을 포함하는 유기전계발광표시장치의 제조방법.

청구항 9

제7항에 있어서,

상기 언더컷은

상기 하부절연막의 일부가 함몰되고,

상기 상부절연막의 일부가 관통되도록 형성된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 10

제7항에 있어서,

상기 보조전극은

상기 발광부에 데이터신호를 전달하는 데이터라인과 동일한 층에 위치하고, 상기 데이터라인과 평행을 이루며 라인 형태로 배치되고,

상기 하부전극의 일부는

상기 발광부에 포함된 하부전극과 동일한 층에 위치하되, 전기적으로 분리된 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기전계발광표시장치와 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 앞서 설명한 표시장치 중 일부 유기전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 유기전계발광표시장치는 자체 발광된 광을 출사하는 발광부를 갖는 구조뿐만 아니라 자연광을 투과시키는 투과부와 자체 발광된 광을 출사하는 발광부를 갖는 구조로 구현되기도 한다. 그런데, 종래에 제안된 투과부와 발광부를 갖는 유기전계발광표시장치는 표시패널에 형성된 전극의 저항 문제(고 저항이나 저항 차이 문제 등)로 인하여 휘도 불균일이 발생하는 문제가 보고되고 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 격벽의 삭제를 통한 마스크 절감으로 공정성을 향상하고, 저저항 전극 구조를 갖는 표시패널을 구현하여 휘도 불균일 문제를 개선함은 물론 표시품질을 향상하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 제1기판, 투과부, 발광부, 보조전극 및 제N(N은 1 이상 정수)개의 콘택홀을 포함하는 유기전계발광표시장치에 관한 것이다. 투과부는 제1기판 상에 위치하며 자연광을 투과시킨다. 발광부는 제1기판 상에 위치하고 투과부와 이웃하며 자체 발광된 광을 출사한다. 보조전극은 투과부와 발광부 사이에 위치한다. 콘택홀은 보조전극과 대응되는 영역에 위치하고 언더컷 형상을 갖는다. 보조전극의 일부는 콘택홀에 의해 하부전극의 일부 및 상부전극의 일부와 전기적으로 연결된다.

[0008] 콘택홀은 하부전극의 일부와 상부전극의 일부가 전기적으로 연결되는 공간을 제공하는 함몰영역과, 보조전극의 일부와 하부전극의 일부가 전기적으로 연결되는 공간을 제공하는 비함몰영역을 포함할 수 있다.

[0009] 언더컷은 보조전극이 위치하는 하부절연막의 일부가 함몰되고, 하부절연막 상에 위치하며 보조전극을 덮는 상부절연막의 일부가 관통되도록 형성될 수 있다.

[0010] 보조전극은 발광부에 데이터신호를 전달하는 데이터라인과 평행을 이루며 라인 형태로 배치될 수 있다.

[0011] 보조전극은 데이터라인과 동일한 층에 위치할 수 있다.

[0012] 하부전극의 일부는 발광부에 포함된 하부전극과 동일한 층에 위치하되, 전기적으로 분리될 수 있다.

[0013] 다른 측면에서 본 발명은 유기전계발광표시장치의 제조방법에 관한 것이다. 유기전계발광표시장치의 제조방법은 제1기판 상에 자연광을 투과시키는 투과부와 자체 발광된 광을 출사하는 발광부를 정의하고, 투과부와 발광부 사이에 위치하는 하부절연막 상에 보조전극을 형성하는 단계; 하부절연막 상에 위치하는 보조전극을 덮는 상부절연막을 형성하는 단계; 보조전극과 대응되는 영역에 언더컷 형상을 갖는 제N(N은 1 이상 정수)개의 콘택홀을 형성하는 단계; 상부절연막 상에 하부전극을 형성하는 단계; 상부절연막 상에 하부전극의 일부를 덮는 뱅크층을 형성하는 단계; 하부전극 상에 유기 발광층을 형성하는 단계; 및 유기 발광층 상에 상부전극을 형성하는 단계를 포함하고, 보조전극의 일부는 콘택홀에 의해 하부전극의 일부 및 상부전극의 일부와 전기적으로 연결된다.

[0014] 콘택홀은 하부전극의 일부와 상부전극의 일부가 전기적으로 연결되는 공간을 제공하는 함몰영역과, 보조전극의 일부와 하부전극의 일부가 전기적으로 연결되는 공간을 제공하는 비함몰영역을 포함할 수 있다.

[0015] 언더컷은 하부절연막의 일부가 함몰되고, 상부절연막의 일부가 관통되도록 형성될 수 있다.

[0016] 보조전극은 발광부에 데이터신호를 전달하는 데이터라인과 동일한 층에 위치하고, 데이터라인과 평행을 이루며 라인 형태로 배치되고, 하부전극의 일부는 발광부에 포함된 하부전극과 동일한 층에 위치하되, 전기적으로 분리될 수 있다.

발명의 효과

[0017] 본 발명은 보조전극을 사용(연결)하기 위한 격벽의 삭제를 통해 마스크 절감(마스크 공정 생략)으로 공정성을 향상할 수 있고, 데이터금속층(또는 소오스 드레인 금속층)의 일부를 보조전극으로 사용하므로 전극의 저항(저저항 전극 구조)을 낮출 수 있는 효과가 있다. 또한, 본 발명은 저저항 전극 구조를 갖는 표시패널을 구현할 수 있게 되므로 휘도 불균일 문제를 개선함은 물론 표시품질을 향상할 수 있는 효과가 있다.

도면의 간단한 설명

[0018] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 회로 구성 예시도.

도 3은 실험예에 따른 서브 픽셀들을 보여주는 평면도.

도 4는 본 발명의 제1실시예에 따른 서브 픽셀들을 보여주는 평면도.

도 5는 전극과 보조전극을 보여주는 확대도.

도 6은 도 5의 A1-A2 영역을 보여주는 단면도.

도 7은 본 발명의 제1실시예에 따른 서브 픽셀의 단면 예시도.

도 8 및 도 9는 본 발명의 제2실시예에 따른 서브 픽셀들을 보여주는 평면도들.

도 10은 본 발명의 제2실시예에 따른 서브 픽셀의 단면 예시도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] <제1실시예>

[0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 회로 구성 예시도 이며, 도 3은 실험예에 따른 서브 픽셀들을 보여주는 평면도이다.

[0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 게이트 구동부(140) 및 표시 패널(150)이 포함된다.

[0023] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

[0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성된다.

[0026] 게이트 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인 패널(Gate In Panel) 방식으로 형성된다.

[0027] 표시 패널(150)은 데이터 구동부(130) 및 게이트 구동부(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(150)은 제1기판과 제2기판 사이에 위치하며 영상을 표시하는 서브 픽셀들(SP)을 포함한다.

[0028] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0030] 스위칭 트랜지스터(SW)는 제1게이트라인(GL1)을 통해 공급된 게이트신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원배선(VDD)과 제2전원배선(VSS) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다.

[0031] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 구체적인 예시 및 설명은 생략한다. 박막 트랜지스터는 저온 폴리실리콘(LTPS), 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic) 반도체층을 기반으로 구현된다.

[0032] 도 2에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터구동부(130) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C 등으로 구성될 수도 있다.

[0033] 앞서 설명된 유기전계발광표시장치는 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다. 또한, 앞서 설명된 유기전계발광표시장치는 연성을 부여하여 곡면을 갖게 하거나 인위적으로 또는 기계적으로 구부러지게 하는 등 다양한 형태로 구현된다.

[0034] 한편, 유기전계발광표시장치는 자체 발광된 광을 출사하는 발광부를 갖는 구조뿐만 아니라 자연광을 투과시키는 투과부와 자체 발광된 광을 출사하는 발광부를 갖는 구조로 구현되기도 한다.

[0035] 도 3에 도시된 바와 같이, 실험예의 표시패널은 백색, 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)을 갖는 발광부와 투과부를 갖는다. 발광부와 투과부는 이웃하여 위치한다. 발광부에 위치하는 백색, 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)은 데이터라인들(DLw, DLr, DLg, DLb)과 게이트라인들(GL)에 각각 구분되어 연결된다.

[0036] 백색, 적색, 녹색, 청색 서브 픽셀들(W, R, G, B)은 각기 백색, 적색, 녹색 및 청색의 광을 발광한다. 투과부는 자연광을 투과한다. 실험예의 표시패널은 영상을 비표시할 때 뒷면에 위치하는 사진(그림), 문자, 숫자 등을 그대로 투과시킬 수 있다. 반면, 실험예의 표시패널에 영상이 표시되는 경우 투과된 사진 등은 비표시(사라지고)되고 표시패널에 공급된 데이터신호에 대응되는 영상이 표시된다.

[0037] 그런데, 실험예의 표시패널로 구현된 유기전계발광표시장치는 표시패널에 형성된 전극의 저항 문제(고 저항이나 저항 차이 문제 등)로 인하여 휘도 불균일이 발생하는 문제가 있어 본 발명은 다음과 같이 이 문제를 개선한다.

[0038] 도 4는 본 발명의 제1실시예에 따른 서브 픽셀들을 보여주는 평면도이고, 도 5는 전극과 보조전극을 보여주는 확대도이며, 도 6은 도 5의 A1-A2 영역을 보여주는 단면도이다.

[0039] 도 4에 도시된 바와 같이, 본 발명의 제1실시예의 표시패널은 백색, 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)을 갖는 발광부와 투과부를 갖는다. 발광부에 위치하는 백색, 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)은 데이터라인들(DLw, DLr, DLg, DLb)과 게이트라인들(GL)에 각각 구분되어 연결된다.

[0040] 백색, 적색, 녹색, 청색 서브 픽셀들(W, R, G, B)은 각기 백색, 적색, 녹색 및 청색의 광을 발광한다. 투과부는 자연광을 투과한다. 실시예의 표시패널은 영상을 비표시할 때 뒷면에 위치하는 사진(그림), 문자, 숫자 등을 그대로 투과시킬 수 있다. 반면, 실시예의 표시패널에 영상이 표시되는 경우 투과된 사진 등은 비표시(사라지고)되고 표시패널에 공급된 데이터신호에 대응되는 영상이 표시된다.

[0041] 백색, 적색, 녹색, 청색 서브 픽셀들(W, R, G, B)은 하나의 픽셀로 정의된다. 하나의 픽셀로 정의된 발광부는 투과부와 같거나 투과부보다 작은 발광영역을 가질 수 있다. 그리고 발광영역은 백색, 적색, 녹색, 청색을 발광하는 영역으로 구분될 수 있으나 이에 한정되지 않는다.

[0042] 본 발명의 제1실시예의 표시패널은 발광부와 투과부 사이에 위치하는 보조전극(DLa)을 포함한다. 보조전극(DLa)은 데이터라인들(DLw, DLr, DLg, DLb)과 평행을 이루며 라인 형태로 형성된다. 보조전극(DLa)은 적어도 하나의 콘택홀(CH1 ~ CH3)을 통해 인접하여 노출된 전극들과 전기적으로 접속된다. 콘택홀(CH1 ~ CH3)은 사각형, 직사각형, 원형 타원형 또는 다각형 형태로 형성된다.

[0043] 도 5에 도시된 바와 같이, 제1 내지 제3콘택홀들(CH1 ~ CH3)은 언더컷 형상으로 형성됨에 따라 함몰영역(콘택홀들의 좌측)과 비함몰영역(콘택홀들의 우측)을 포함한다. 함몰영역은 캐소드전극과 애노드전극으로부터 독립된 더미애노드전극을 전기적으로 연결하는 공간을 제공하는 영역이고, 비함몰영역은 더미애노드드전극과 보조전극을 전기적으로 연결하는 공간을 제공하는 영역이다.

[0044] 제1 내지 제3콘택홀들(CH1 ~ CH3)이 형성하는 언더컷(UC) 형상에 의해 캐소드전극은 함몰영역에서 더미애노드전극에 전기적으로 연결된다. 그리고 더미애노드전극은 비함몰영역에서 보조전극에 전기적으로 연결된다. 그리고 캐소드전극은 함몰영역과 비함몰영역의 외부영역인 주변영역(Anode와 보조전극 연결 Pass 참조)에 위치하는 더미애노드전극을 통해 보조전극에 전기적으로 연결된다.

[0045] 도 6에 도시된 바와 같이, 제1콘택홀(CH1)은 다음과 같이 형성된다. 하부절연막(155) 상에 데이터금속층을 형성하고 패터닝하여 보조전극(156d)(AUX)을 형성한다. 하부절연막(155) 상에 보조전극(156d)(AUX)을 덮는 상부절연막(157)을 형성한다.

[0046] 상부절연막(157) 상에 포토레지스트층(PR)을 형성하고, 보조전극(156d)(AUX)의 주변을 예컨대 건식(DE) 또는 습식(WE) 식각하여 보조전극(156d)(AUX)의 하부가 일정 공간 인입된 형태의 언더컷(UC) 형상을 갖는 제1콘택홀(CH1)을 형성한다. 언더컷(UC)은 보조전극(156d)(AUX)이 위치하는 하부절연막(155)의 일부가 함몰되고, 하부절연막(157) 상에 위치하며 보조전극(156d)(AUX)을 덮는 상부절연막(157)의 일부가 관통되도록 형성된다.

[0047] 보조전극(156d)(AUX)의 주변을 식각하면, 제1콘택홀(CH1)에는 언더컷(UC) 형상에 의해 보조전극(156d)(AUX)의 하부에 위치하는 함몰영역과 보조전극(156d)(AUX)의 상부에 위치하는 비함몰영역을 갖는다. 제1콘택홀(CH1)의 언더컷(UC) 형상 부분은 비교적 완만한 경사를 가지고 있어 함몰영역과 그 주변영역 상에 박막이 형성되더라도 전기적으로 단절(단선) 되지 않는다.

[0048] 이후, 포토레지스트층(PR)을 제거하고 상부절연막(157) 상에 애노드전극, 더미애노드전극, 유기 발광층 및 캐소드전극을 형성하면, 기 설명된 바와 같이 캐소드전극은 더미애노드전극 및 보조전극에 전기적으로 연결된 저저항 전극 구조를 갖게 된다. 저저항 전극 구조는 표시패널에 형성된 전극의 저항 문제(고 저항이나 저항 차이 문제 등)로 인한 휘도 불균일 문제를 개선함은 물론 표시품질을 향상할 수 있다.

[0049] 이하, 코플라나 박막 트랜지스터를 기반으로 형성된 서브 픽셀을 이용하여 본 발명의 제1실시예에 대한 예를 설명한다. 다만, 이하에서는 제1콘택홀과 발광부 사이에 위치하는 영역을 보여주는 단면도를 참조하여 설명한다.

[0050] 도 7은 본 발명의 제1실시예에 따른 서브 픽셀의 단면 예시도이다.

[0051] 도 7에 도시된 바와 같이, 제1기판(150a) 상에는 버퍼층(151)이 형성된다. 제1기판(150a)은 유리나 폴리이미드(polyimide; PI), 폴리에테르술폰 (polyethersulfone; PES), 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate; PET), 폴리카보네이트 (Polycarbonates; PC), 폴리에틸렌 나프탈레이트 (Polyethylene Naphthalate; PEN), 아크릴로니트릴 부타디엔 스티렌 (Acrylonitrile butadiene styrene; ABS) 등의 플라스틱으로 선택된다.

[0052] 버퍼층(151)은 제1기판(150a)으로부터 유출되는 유해 성분을 차단함과 동시에 이후에 형성되는 막과의 접착력을 향상하는 역할 등을 하는데, 이는 생략될 수도 있다. 버퍼층(151)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

[0053] 버퍼층(151) 상에는 반도체층(152)이 형성된다. 반도체층(152)은 소오스 및 드레인전극에 연결되는 소오스 및 드레인영역과 이들 사이에 위치하는 채널영역을 갖는다. 반도체층(152)은 저온 폴리실리콘(LTPS), 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic)을 기반으로 구현된다. 실시예는 반도체층(152)이 IGZO(indium gallium zinc oxide) 등과 같은 비정질 산화물 반도체로 이루어진 것을 일례로 한다.

[0054] 버퍼층(151) 상에는 제1a 및 제1b절연막(153a, 153b)이 상호 이격하여 형성된다. 제1a 및 제1b절연막(153a, 153b)은 섬(Island) 형태로 형성된다. 제1a절연막(153a)은 반도체층(152)의 채널영역을 덮도록 위치하고, 제1b절연막(153b)은 커패시터(Cst)의 제1전극이 형성되는 영역에 대응하여 위치한다. 제1a 및 제1b절연막(153a, 153b)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

[0055] 제1a 및 제1b절연막(153a, 153b) 상에는 제1a 및 제1b게이트금속층(154a, 154b)이 형성된다. 제1a 및 제1b게이트금속층(154a, 154b)은 섬 형태로 형성된다. 제1a게이트금속층(154a) 박막 트랜지스터(TFT)의 게이트전극이 되고, 제1b게이트금속층(154b)은 커패시터(Cst)의 제1전극이 된다. 제1a 및 제1b게이트금속층(154a, 154b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.

[0056] 버퍼층(151) 상에는 하부절연막에 해당하는 제2절연막(155)이 형성된다. 제2절연막(155)은 버퍼층(151) 상에 형성된 제1a 및 제1b게이트금속층(154a, 154b)을 덮도록 형성된다. 제2절연막(155)은 반도체층(152)의 소오스 및 드레인영역의 일부를 노출하는 콘택홀을 갖는다. 제2절연막(155)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx)이나 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

[0057] 제2절연막(155) 상에는 제1a 내지 제1d데이터금속층(156a ~ 156d)이 형성된다. 제1a데이터금속층(156a)은 반도체층(152)의 소오스영역에 연결된다. 제1b데이터금속층(156b)은 반도체층(152)의 드레인영역에 연결된다. 제1c데이터금속층(156c)은 커패시터(Cst)의 제1전극에 해당하는 제1b게이트금속층(154b)과 대응되는 영역에 형성된다. 제1d데이터금속층(156d)은 제1c데이터금속층(156c)과 이격하는 보조전극 영역에 형성된다.

[0058] 제1a 및 제1b데이터금속층(156a, 156b)은 박막 트랜지스터(TFT)의 소오스 및 드레인전극이 된다. 제1a 및 제1b데이터금속층(156a, 156b) 중 하나는 데이터라인에 연결(또는 데이터라인이 된다) 된다. 제1c데이터금속층(156c)은 커패시터(Cst)의 제2전극이 된다. 제1d데이터금속층(156d)은 보조전극이 된다. 제1a 및 제1b데이터금속층(156a, 156b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 예컨대, 제1a 및 제1b데이터금속층(156a, 156b)은 Cu/MoTi, MoTi/Cu/MoTi, Mo/Al 또는 Mo/AlNd 로 선택될 수 있다.

[0059] 제2절연막(155) 상에는 상부절연막에 해당하는 제3절연막(157)이 형성된다. 제3절연막(157)은 제1a 및 제1b데이터금속층(156a, 156b)을 덮도록 형성된다. 제3절연막(157)은 제1b데이터금속층(156b)과 제1d데이터금속층(156d)(AUX)의 일부를 노출하는 콘택홀을 갖는다.

[0060] 제1d데이터금속층(156d)(AUX)의 일부를 노출하는 제1콘택홀(CH1)은 언더컷 구조로 형성된다. 제1콘택홀(CH1)은 언더컷 형상에 의해 보조전극인 제1d데이터금속층(156d)(AUX)의 하부에 위치하는 함몰영역(제1콘택홀의 좌측)과 보조전극(156d)(AUX)의 상부에 위치하는 비함몰영역(제1콘택홀의 우측)을 갖는다. 언더컷 구조의 제1콘택홀(CH1)은 제3절연막(157)과 제2절연막(155)에 걸쳐 형성된다. 제3절연막(157)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

[0061] 제3절연막(157) 상에는 제1a 내지 제1c하부전극(158a ~ 158c)이 형성된다. 제1a하부전극(158a)은 제1b데이터금속층(156b)과 대응되는 영역에 형성된다. 제1b하부전극(158b)은 제1a하부전극(158a)과 전기적으로 분리되고(이격 되고) 제1콘택홀(CH1)의 함몰영역의 주변에 형성된다. 제1c하부전극(158c)은 제1콘택홀(CH1)의 비함몰영역의 주변에 형성된다. 제1b 내지 제1c하부전극(158b, 158c)은 더미애노드전극으로 정의된다.

[0062] 제1a하부전극(158a)은 제1b데이터금속층(156b)과 대응되는 영역에 형성되므로 제1b데이터금속층(156b)과 전기적으로 연결된다. 제1b하부전극(158b)은 제1콘택홀(CH1)의 함몰영역의 주변에 형성되므로 일부는 제1콘택홀(CH1)의 주변영역에 형성되고 남은 일부는 제1콘택홀(CH1)의 함몰영역에 형성된다. 제1c하부전극(158c)은 제1콘택홀(CH1)의 비함몰영역의 주변에 형성되므로 일부는 제1콘택홀(CH1)의 주변영역에서 제1b하부전극(158b)과 전기적으로 연결되고 남은 일부는 제1콘택홀(CH1)의 비함몰영역에서 제1d데이터금속층(156d)(AUX)과 전기적으로 연결된다.

[0063] 제1a 내지 제1c하부전극(158a ~ 158c)은 유기 발광다이오드(OLED)의 애노드전극 또는 캐소드전극으로 선택된다. 제1a 내지 제1c하부전극(158a ~ 158c)은 불투명한 금속 재료, 투명한 산화물 재료 또는 불투명한 금속 재료와 투명한 산화물 재료로 선택된다. 예컨대, 제1a 내지 제1c하부전극(158a ~ 158c)은 애노드전극으로 선택될 수 있고, 이는 반사판 역할을 겸할 수 있다.

[0064] 한편, 제1a하부전극(158a)에 대응되는 영역은 발광부에 해당하지만 제1b 및 제1c하부전극(158b, 158c)에 대응되는 영역은 비발광부(또는 투과부)에 해당한다.

[0065] 제3절연막(157) 상에는 뱅크층(159)이 형성된다. 뱅크층(159)은 제1a하부전극(158a)의 일부를 노출하는 콘택홀을 갖는다. 뱅크층(159)은 제1콘택홀(CH1)에 의해 함몰영역과 비함몰영역을 갖는다. 뱅크층(159)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx)이나 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

[0066] 뱅크층(159) 상에는 제1a 및 제1b유기 발광층(160a, 160b)이 형성된다. 제1a유기 발광층(160a)은 제1a하부전극(158a)과 더불어 제1콘택홀(CH1)의 함몰영역에 위치하는 제1b하부전극(158b)을 덮도록 형성된다. 제1b유기 발광층(160b)은 제1콘택홀(CH1)의 비함몰영역에 위치하는 제1c하부전극(158c)을 덮도록 형성된다.

[0067] 제1a 및 제1b유기 발광층(160a, 160b)은 적색, 녹색, 청색, 백색 등을 발광하는 층이다. 제1a 및 제1b유기 발광층(160a, 160b)은 발광층과 더불어 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 하나 이상을 포함할 수 있다. 또한, 제1a 및 제1b유기 발광층(160a, 160b)은 정공과 전자의 원활하고 균형있는 이동과 효율적인 발광을 기여하는 기능층(들)을 더 포함할 수 있다.

[0068] 제1a 및 제1b유기 발광층(160a, 160b) 상에는 제1a 및 제1b상부전극(161a, 161b)이 형성된다. 제1a상부전극(161a)은 제1a유기 발광층(160a)과 더불어 제1c하부전극(158c)의 일부를 덮도록 형성되고, 제1b상부전극(161b)은 제1b유기 발광층(160b)을 덮도록 형성된다.

[0069] 제1a 및 제1b유기 발광층(160a, 160b)은 제1a 내지 제1c하부전극(158a ~ 158c) 대비 스텝 커버리지가 떨어지므로 제1콘택홀(CH1)의 언더컷 형상에 의해 끊김이 발생하게 된다. 그 결과, 함몰영역에 위치하는 제1b하부전극(158b)은 노출되고, 이는 제1a상부전극(161a)과 전기적으로 연결된다.

[0070] 제1a상부전극(161a)은 제1콘택홀(CH1)의 함몰영역에서 제1b하부전극(158b)과 전기적으로 연결된다. 그리고 제1b하부전극(158b)은 제1콘택홀(CH1)의 주변영역에서 제1c하부전극(158c)과 전기적으로 연결된다. 그리고 제1c하부전극(158c)은 제1콘택홀(CH1)의 비함몰영역에서 제1d데이터금속층(156d)(AUX)과 전기적으로 연결된다. 그 결과, 제1a상부전극(161a)은 제1c하부전극(158c)과 제1d데이터금속층(156d)(AUX)에 연결됨에 따라 저저항 전극 구조를 갖게 된다. 한편, 제1c하부전극(158c)과 제1d데이터금속층(156d)(AUX)은 전기적 연결 특성을 향상할 수 있도록 스텝 커버리지(Step coverage)가 좋은 재료로 선택되는 것이 바람직하다.

[0071] 제1a 및 제1b상부전극(161a, 161b)은 유기 발광다이오드(OLED)의 캐소드전극 또는 애노드전극으로 선택된다. 제1a 및 제1b상부전극(161a, 161b)은 투명한 산화물 재료, 불투명한 금속 재료 또는 불투명한 금속 재료와 투명한 산화물 재료로 선택된다.

[0072] 이상의 서브 픽셀로 이루어진 표시패널을 제작하는 공정에서는 총 7개의 마스크가 사용된다. 구체적으로, 반도체층(152), 제1a 및 제1b게이트금속층(154a, 154b), 제2절연막(155), 제1a 내지 제1d데이터금속층(156a ~ 156d), 제3절연막(157), 제1a 내지 제1c하부전극(158a ~ 158c) 및 뱅크층(159)을 형성할 때 마스크가 사용된다.

[0073] <제2실시예>

[0074] 도 8 및 도 9는 본 발명의 제2실시예에 따른 서브 픽셀들을 보여주는 평면도들이고, 도 10은 본 발명의 제2실시예에 따른 서브 픽셀의 단면 예시도이다.

[0075] 도 8에 도시된 바와 같이, 본 발명의 제2실시예의 표시패널은 백색, 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)을 갖는 발광부와 투과부를 갖거나 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)을 갖는 발광부와 투과부를 갖는다.

[0076] 발광부에 위치하는 백색, 적색, 녹색 및 청색 서브 픽셀들(W, R, G, B)은 데이터라인들(DLw, DLr, DLg, DLb)과 게이트라인들(GL)에 각각 구분되어 연결된다. 백색, 적색, 녹색, 청색 서브 픽셀들(W, R, G, B)은 각기 백색, 적색, 녹색 및 청색의 광을 발광한다. 투과부는 자연광을 투과한다.

[0077] 실시예의 표시패널은 영상을 비표시할 때 뒷면에 위치하는 사진(그림), 문자, 숫자 등을 그대로 투과시킬 수 있다. 반면, 실시예의 표시패널에 영상이 표시되는 경우 투과된 사진 등은 비표시(사라지고)되고 표시패널에 공급된 데이터신호에 대응되는 영상이 표시된다.

[0078] 백색, 적색, 녹색, 청색 서브 픽셀들(W, R, G, B)은 하나의 픽셀로 정의된다. 하나의 픽셀로 정의된 발광부는

투과부와 같거나 투과부보다 작은 발광영역을 가질 수 있다. 그리고 발광영역은 백색, 적색, 녹색, 청색을 발광하는 영역으로 구분될 수 있으나 이에 한정되지 않는다.

[0079] 본 발명의 제2실시예의 표시패널은 발광부와 투과부 사이에 위치하는 보조전극(DLa)을 포함한다. 보조전극(DLa)은 데이터라인들(DLw, DLr, DLg, DLb)과 평행을 이루며 라인 형태로 형성된다. 보조전극(DLa)은 제N개(N은 3 이상 정수)의 콘택홀(CH1 ~ CHn)을 통해 인접하여 노출된 전극들과 전기적으로 접속된다. 보조전극(DLa)은 투과부를 따라 상호 일정 간격 이격하여 형성된다. 콘택홀(CH1 ~ CHn)이 이와 같이 다수로 형성되면 보조전극(DLa)과 전극들 간의 접촉 저항을 줄일 수 있게 된다.

[0080] 본 발명의 제2실시예의 표시패널은 보조전극(DLa)과 콘택홀(CH1 ~ CHn)의 구조에 의해 캐소드전극이 더미애노드전극 및 보조전극에 전기적으로 연결된 저저항 전극 구조를 갖게 된다.

[0081] 이하, 코플라나 박막 트랜지스터를 기반으로 형성된 서브 픽셀을 이용하여 본 발명의 제2실시예에 대한 예를 설명한다. 다만, 이하에서는 제1콘택홀과 발광부 사이에 위치하는 영역을 보여주는 단면도를 참조하여 설명한다.

[0082] 도 10에 도시된 바와 같이, 제1기판(150a) 상에는 광차단층(LS)이 형성된다. 광차단층(LS)은 이하에서 형성되는 반도체층(152)의 채널영역에 대응하여 위치한다. 광차단층(LS)은 외광을 효율적으로 차단 및 반사시킬 수 있는 재료로 선택된다.

[0083] 버퍼층(151)이 형성된다. 제1기판(150a)은 유리나 폴리이미드 (polyimide; PI), 폴리에테르술폰 (polyethersulfone; PES), 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate; PET), 폴리카보네이트 (Polycarbonates; PC), 폴리에틸렌 나프탈레이트 (Polyethylene Naphthalate; PEN), 아크릴로니트릴 부타디엔 스티렌 (Acrylonitrile butadiene styrene; ABS) 등의 플라스틱으로 선택된다.

[0084] 버퍼층(151)은 제1기판(150a)으로부터 유출되는 유해 성분을 차단함과 동시에 이후에 형성되는 막과의 접착력을 향상하는 역할 등을 하는데, 이는 생략될 수도 있다. 버퍼층(151)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

[0085] 버퍼층(151) 상에는 반도체층(152)이 형성된다. 반도체층(152)은 소오스 및 드레인전극에 연결되는 소오스 및 드레인영역과 이들 사이에 위치하는 채널영역을 갖는다. 반도체층(152)은 저온 폴리실리콘(LTPS), 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic)을 기반으로 구현된다. 실시예는 반도체층(152)이 IGZO(indium gallium zinc oxide) 등과 같은 비정질 산화물 반도체로 이루어진 것을 일례로 한다.

[0086] 버퍼층(151) 상에는 제1a 및 제1b절연막(153a, 153b)이 상호 이격하여 형성된다. 제1a 및 제1b절연막(153a, 153b)은 섬(Island) 형태로 형성된다. 제1a절연막(153a)은 반도체층(152)의 채널영역을 덮도록 위치하고, 제1b절연막(153b)은 커패시터(Cst)의 제1전극이 형성되는 영역에 대응하여 위치한다. 제1a 및 제1b절연막(153a, 153b)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

[0087] 제1a 및 제1b절연막(153a, 153b) 상에는 제1a 및 제1b게이트금속층(154a, 154b)이 형성된다. 제1a 및 제1b게이트금속층(154a, 154b)은 섬 형태로 형성된다. 제1a게이트금속층(154a) 박막 트랜지스터(TFT)의 게이트전극이 되고, 제1b게이트금속층(154b)은 커패시터(Cst)의 제1전극이 된다. 제1a 및 제1b게이트금속층(154a, 154b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.

[0088] 버퍼층(151) 상에는 하부절연막에 해당하는 제2절연막(155)이 형성된다. 제2절연막(155)은 버퍼층(151) 상에 형성된 제1a 및 제1b게이트금속층(154a, 154b)을 덮도록 형성된다. 제2절연막(155)은 반도체층(152)의 소오스 및 드레인영역의 일부를 노출하는 콘택홀을 갖는다. 제2절연막(155)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx)이나 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

[0089] 제2절연막(155) 상에는 제1a 내지 제1d데이터금속층(156a ~ 156d)이 형성된다. 제1a데이터금속층(156a)은 반도체층(152)의 소오스영역에 연결된다. 제1b데이터금속층(156b)은 반도체층(152)의 드레인영역에 연결된다. 제1c데이터금속층(156c)은 커패시터(Cst)의 제1전극에 해당하는 제1b게이트금속층(154b)과 대응되는 영역에 형성된다. 제1d데이터금속층(156d)은 제1c데이터금속층(156c)과 이격하는 보조전극 영역에 형성된다.

[0090] 제1a 및 제1b데이터금속층(156a, 156b)은 박막 트랜지스터(TFT)의 소오스 및 드레인전극이 된다. 제1a 및 제1b데이터금속층(156a, 156b) 중 하나는 데이터라인에 연결(또는 데이터라인이 된다) 된다. 제1c데이터금속층(156c)은 커패시터(Cst)의 제2전극이 된다. 제1d데이터금속층(156d)은 보조전극이 된다. 제1a 및 제1b데이터금

속층(156a, 156b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.

[0091] 제2절연막(155) 상에는 상부절연막에 해당하는 제3절연막(157)이 형성된다. 제3절연막(157)은 제1a 및 제1b데이터금속층(156a, 156b)을 덮도록 형성된다. 제3절연막(157)은 제1b데이터금속층(156b)과 제1d데이터금속층(156d)(AUX)의 일부를 노출하는 콘택홀을 갖는다.

[0092] 제1d데이터금속층(156d)(AUX)의 일부를 노출하는 제1콘택홀(CH1)은 언더컷 구조로 형성된다. 제1콘택홀(CH1)은 언더컷 형상에 의해 보조전극(156d)(AUX)의 하부에 위치하는 함몰영역(제1콘택홀의 좌측)과 보조전극(156d)(AUX)의 상부에 위치하는 비함몰영역(제1콘택홀의 우측)을 갖는다. 언더컷 구조의 제1콘택홀(CH1)은 제3절연막(157)과 제2절연막(155)에 걸쳐 형성된다. 제3절연막(157)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.

[0093] 제3절연막(157) 상에는 제1a 내지 제1c하부전극(158a ~ 158c)이 형성된다. 제1a하부전극(158a)은 제1b데이터금속층(156b)과 대응되는 영역에 형성된다. 제1b하부전극(158b)은 제1a하부전극(158a)과 전기적으로 분리되고(이격 되고) 제1콘택홀(CH1)의 함몰영역의 주변에 형성된다. 제1c하부전극(158c)은 제1콘택홀(CH1)의 비함몰영역의 주변에 형성된다. 제1b 내지 제1c하부전극(158b, 158c)은 더미애노드전극으로 정의된다.

[0094] 제1a하부전극(158a)은 제1b데이터금속층(156b)과 대응되는 영역에 형성되므로 제1b데이터금속층(156b)과 전기적으로 연결된다. 제1b하부전극(158b)은 제1콘택홀(CH1)의 함몰영역의 주변에 형성되므로 일부는 제1콘택홀(CH1)의 주변영역에 형성되고 남은 일부는 제1콘택홀(CH1)의 함몰영역에 형성된다. 제1c하부전극(158c)은 제1콘택홀(CH1)의 비함몰영역의 주변에 형성되므로 일부는 제1콘택홀(CH1)의 주변영역에서 제1b하부전극(158b)과 전기적으로 연결되고 남은 일부는 제1콘택홀(CH1)의 비함몰영역에서 제1d데이터금속층(156d)(AUX)과 전기적으로 연결된다.

[0095] 제1a 내지 제1c하부전극(158a ~ 158c)은 유기 발광다이오드(OLED)의 애노드전극 또는 캐소드전극으로 선택된다. 제1a 내지 제1c하부전극(158a ~ 158c)은 불투명한 금속 재료, 투명한 산화물 재료 또는 불투명한 금속 재료와 투명한 산화물 재료로 선택된다. 한편, 제1a하부전극(158a)에 대응되는 영역은 발광부에 해당하지만 제1b 및 제1c하부전극(158b, 158c)에 대응되는 영역은 비발광부(또는 투과부)에 해당한다.

[0096] 제3절연막(157) 상에는 뱅크층(159)이 형성된다. 뱅크층(159)은 제1a하부전극(158a)의 일부를 노출하는 콘택홀을 갖는다. 뱅크층(159)은 제1콘택홀(CH1)에 의해 함몰영역과 비함몰영역을 갖는다. 뱅크층(159)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx)이나 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.

[0097] 뱅크층(159) 상에는 제1a 및 제1b유기 발광층(160a, 160b)이 형성된다. 제1a유기 발광층(160a)은 제1a하부전극(158a)과 더불어 제1콘택홀(CH1)의 함몰영역에 위치하는 제1b하부전극(158b)을 덮도록 형성된다. 제1b유기 발광층(160b)은 제1콘택홀(CH1)의 비함몰영역에 위치하는 제1c하부전극(158c)을 덮도록 형성된다.

[0098] 제1a 및 제1b유기 발광층(160a, 160b)은 적색, 녹색, 청색, 백색 등을 발광하는 층이다. 제1a 및 제1b유기 발광층(160a, 160b)은 발광층과 더불어 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 하나 이상을 포함할 수 있다. 또한, 제1a 및 제1b유기 발광층(160a, 160b)은 정공과 전자의 원활하고 균형있는 이동과 효율적인 발광을 기여하는 기능층(들)을 더 포함할 수 있다.

[0099] 제1a 및 제1b유기 발광층(160a, 160b) 상에는 제1a 및 제1b상부전극(161a, 161b)이 형성된다. 제1a상부전극(161a)은 제1a유기 발광층(160a)과 더불어 제1c하부전극(158c)의 일부를 덮도록 형성되고, 제1b상부전극(161b)은 제1b유기 발광층(160b)을 덮도록 형성된다.

[0100] 제1a상부전극(161a)은 제1콘택홀(CH1)의 함몰영역에서 제1b하부전극(158b)과 전기적으로 연결된다. 그리고 제1b하부전극(158b)은 제1콘택홀(CH1)의 주변영역에서 제1c하부전극(158c)과 전기적으로 연결된다. 그리고 제1c하부전극(158c)은 제1콘택홀(CH1)의 비함몰영역에서 제1d데이터금속층(156d)(AUX)과 전기적으로 연결된다. 그 결과, 제1a상부전극(161a)은 제1c하부전극(158c)과 제1d데이터금속층(156d)(AUX)에 연결됨에 따라 저저항 전극 구조를 갖게 된다.

[0101] 제1a 및 제1b상부전극(161a, 161b)은 유기 발광다이오드(OLED)의 캐소드전극 또는 애노드전극으로 선택된다. 제1a 및 제1b상부전극(161a, 161b)은 투명한 산화물 재료, 불투명한 금속 재료 또는 불투명한 금속 재료와 투명한 산화물 재료로 선택된다. 한편, 제1c하부전극(158c)과 제1d데이터금속층(156d)(AUX)은 전기적 연결 특성을 향상

할 수 있도록 스텝 커버리지(Step coverage)가 좋은 재료로 선택되는 것이 바람직하다.

[0102] 이상의 서브 픽셀로 이루어진 표시패널을 제작하는 공정에서는 총 8개의 마스크가 사용된다. 구체적으로, 광차단층(LS), 반도체층(152), 제1a 및 제1b게이트금속층(154a, 154b), 제2절연막(155), 제1a 내지 제1d데이터금속층(156a ~ 156d), 제3절연막(157), 제1a 내지 제1c하부전극(158a ~ 158c) 및 뱅크층(159)을 형성할 때 마스크가 사용된다.

[0103] 이상 본 발명은 보조전극을 사용(연결)하기 위한 격벽의 삭제를 통해 마스크 절감(마스크 공정 생략)으로 공정성을 향상할 수 있고, 데이터금속층(또는 소오스 드레인 금속층)의 일부를 보조전극으로 사용하므로 전극의 저항(저저항 전극 구조)을 낮출 수 있는 효과가 있다. 또한, 본 발명은 저저항 전극 구조를 갖는 표시패널을 구현할 수 있게 되므로 휘도 불균일 문제를 개선함은 물론 표시품질을 향상할 수 있는 효과가 있다.

[0104] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0105] 110: 영상 처리부 120: 타이밍 제어부

130: 데이터 구동부 140: 게이트 구동부

150: 표시 패널 DLa: 보조전극

CH1 ~ CHn: 제1 ~ 제N콘택홀 LS: 광차단층

152: 반도체층q 154a, 154bL 제1a 및 제1b게이트금속층

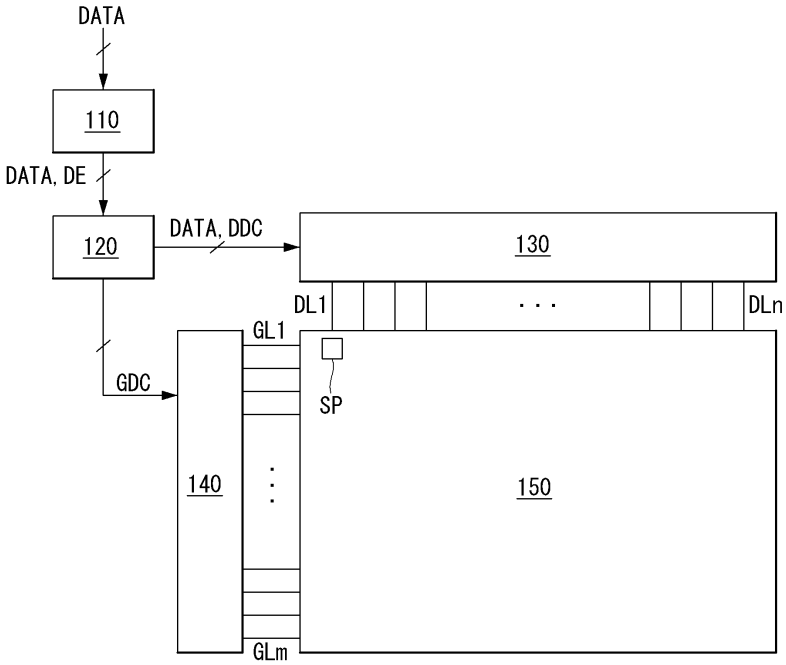
155: 제2절연막 156a ~ 156d: 제1a 내지 제1d데이터금속층

157: 제3절연막 158a ~ 158c: 제1a 내지 제1c하부전극

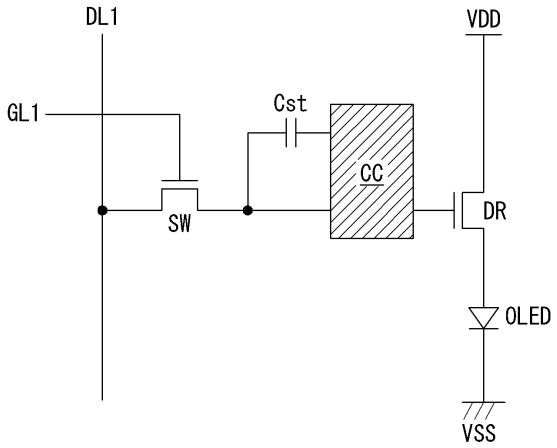
159: 뱅크층 161a ~ 161b: 제1a 및 제1b상부전극

도면

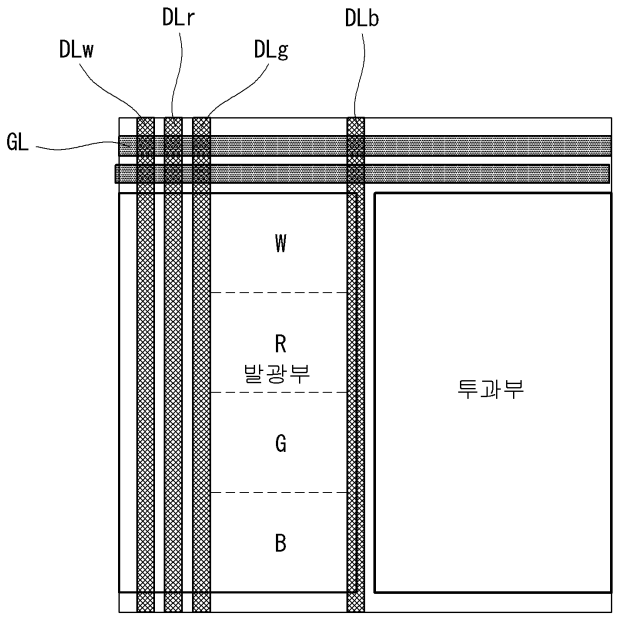
도면1


DATA
110
DATA, DE
120
DATA, DDC
130
DL1
DLn
GL1
GDC
SP
140
150
GLm

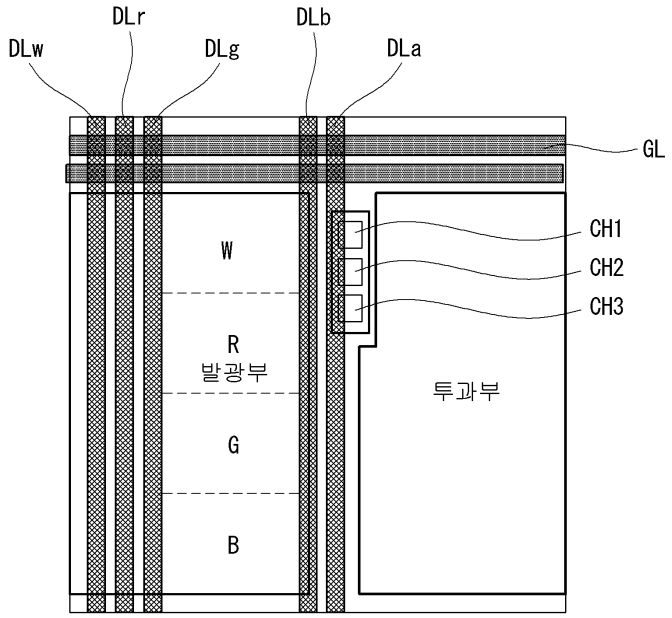
도면2


DL1
VDD
GL1
Cst
CC
SW
DR
OLED
VSS

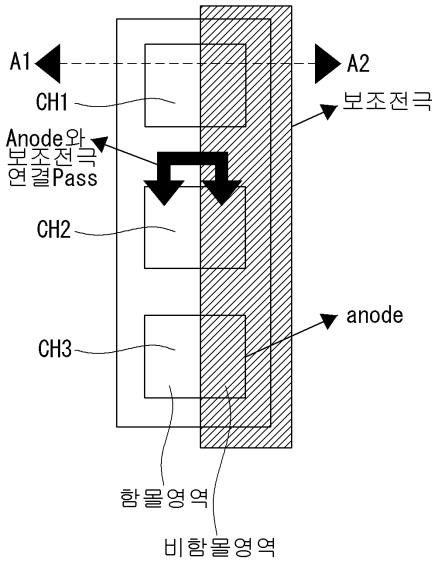
도면3


DLr
DLb
DLw
DLg
GL
W
R
발광부
G
B
투과부

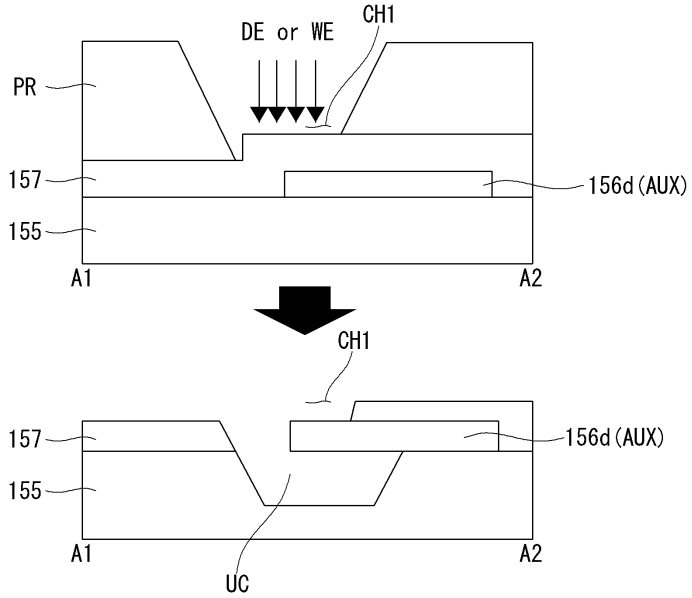
도면4


DLr
DLb
DLw
DLg
DLa
GL
CH1
CH2
CH3
W
R
발광부
G
B
투과부

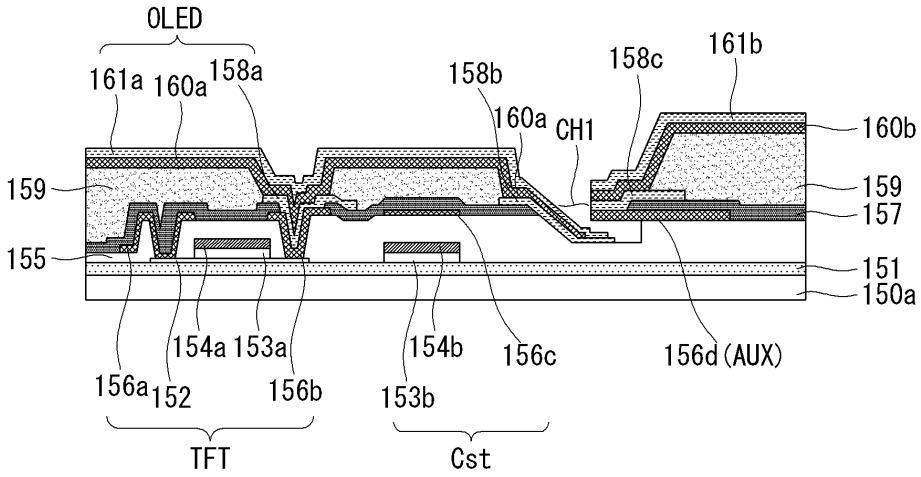
도면5


A1
A2
CH1
보조전극
Anode와
보조전극
연결Pass
CH2
anode
CH3
함몰영역
비함몰영역

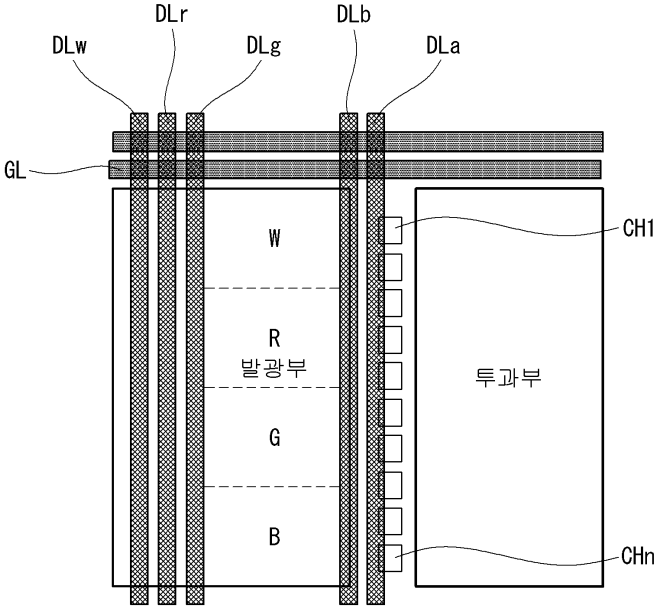
도면6


DE or WE
CH1
PR
157
156d(AUX)
155
A1
A2
CH1
157
156d(AUX)
155
A1
A2
UC

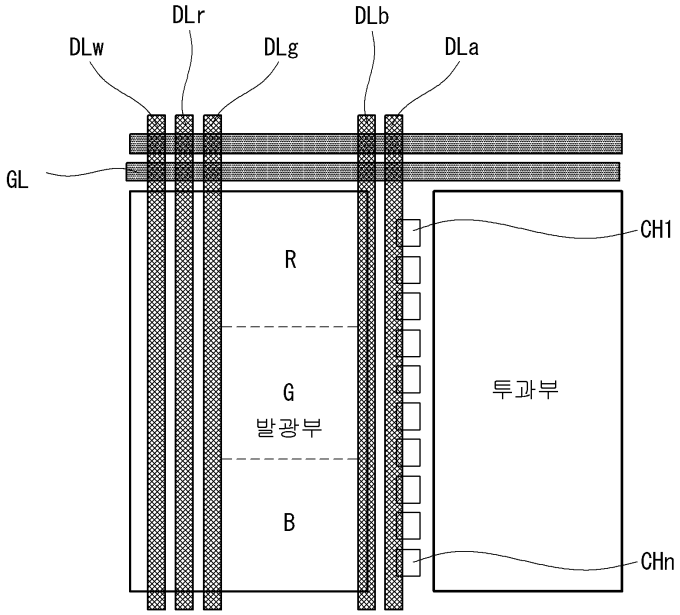
도면7


OLED
161a
160a
158a
158b
160a
CH1
158c
161b
160b
159
159
157
155
151
150a
156a
152
154a
153a
156b
153b
154b
156c
156d (AUX)
TFT
Cst

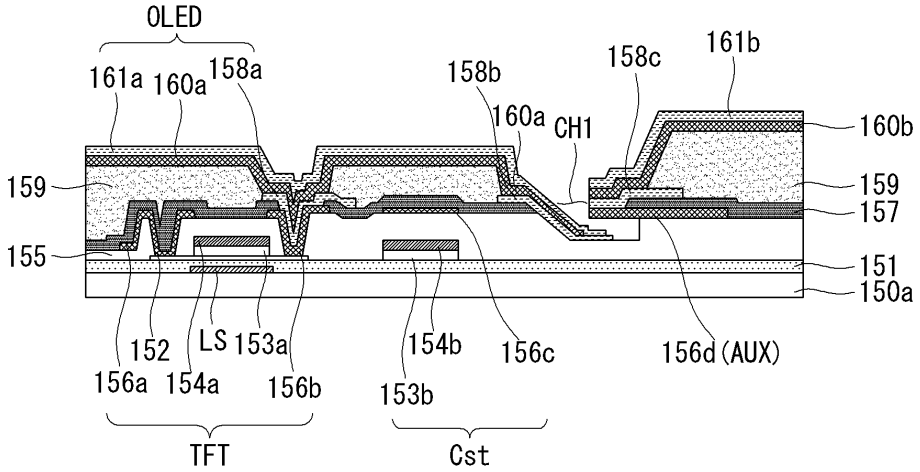
도면8


DLr
DLb
DLw
DLg
DLa
GL
W
R
발광부
G
B
CH1
투과부
CHn

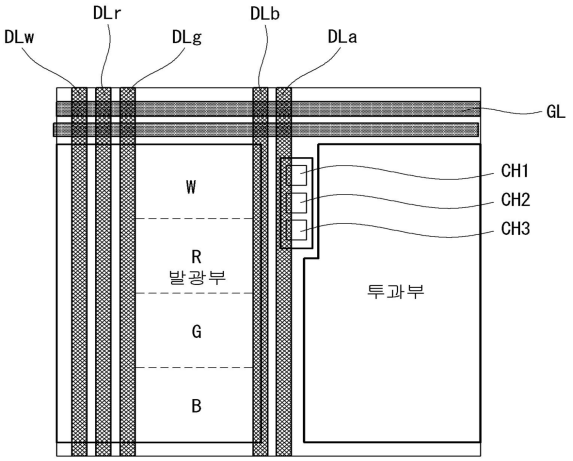
도면9


DLr
DLb
DLw
DLg
DLa
GL
CH1
R
G
발광부
B
투과부
CHn

도면10


OLED
161a
160a
158a
158b
160a
CH1
158c
161b
160b
159
159
157
155
151
150a
152
LS
153a
154b
156c
156d (AUX)
156a
154a
156b
153b
TFT
Cst

专利名称(译)	标题：有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020160053043A	公开(公告)日	2016-05-13
申请号	KR1020140149275	申请日	2014-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	WON SANG HYUK 원상혁 LEE JAE KYUN 이재균		
发明人	원상혁 이재균		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L51/5228 H01L27/3258 H01L27/3276 H01L51/5212		
外部链接	Espacenet		

摘要(译)

本发明涉及一种有机发光显示器，包括N的接触孔（N是1以上的整数）和第一基板，透射部分，发光单元，辅助电极。透射部分位于第一基板的表面上并且透射自然光。在发光单元位于第一基板的表面上并与发送部分相邻的同时发射自发光的光。辅助电极位于传输部分和发光单元之间。接触孔具有底切特征，其位于对应于辅助电极的区域中。辅助电极的一部分与接触孔电连接，底部电极的一部分和上电极的一部分。