



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0080355
(43) 공개일자 2015년07월09일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 29/786 (2006.01)</p> <p>(21) 출원번호 10-2013-0169457</p> <p>(22) 출원일자 2013년12월31일
심사청구일자 없음</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
심종식
경기 고양시 일산서구 호수로 710, 1702동 1602호
(주엽동, 강선마을17단지아파트)</p> <p>서현식
경기 고양시 일산동구 정발산로82번길 10, 703동
201호 (마두동, 정발마을7단지아파트)
(뒷면에 계속)</p> <p>(74) 대리인
특허법인천문</p> |
|---|--|

전체 청구항 수 : 총 8 항

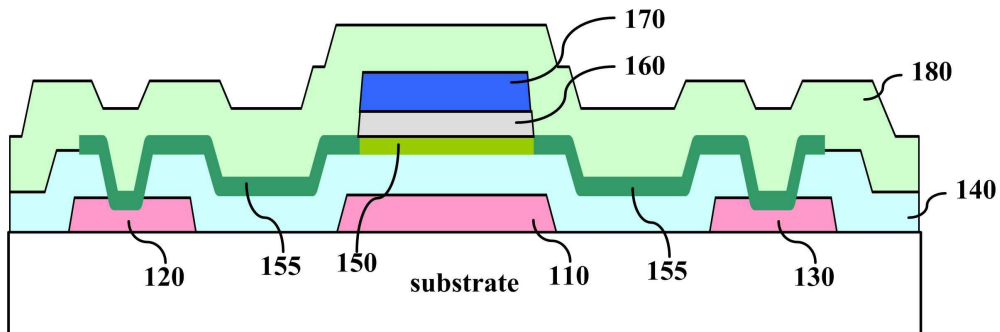
(54) 발명의 명칭 유기 발광 디스플레이 장치와 이의 제조 방법

(57) 요약

본 발명은 소스/드레인 메탈로 라이트 쉴드를 형성하여 산화물 TFT에 빛이 조사되는 것을 차단한 유기발광 디스플레이 장치와, 마스크를 줄여 제조 효율을 높일 수 있는 유기발광 디스플레이 장치의 제조 방법에 관한 것이다.

본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 기판 상의 동일 레이어에 형성된 하부 게이트, 소스 및 드레인; 상기 하부 게이트, 소스 및 드레인을 덮도록 형성된 제1 게이트 절연막; 상기 제1 게이트 절연막 상에 형성된 액티브; 상기 소스와 상기 드레인과 접속하도록 형성된 도전성 라인; 상기 액티브 상에 형성된 제2 게이트 절연막; 및 상기 제1 게이트 절연막 상에 형성된 상부 게이트;로 구성된 스위칭 박막트랜지스터를 포함하고, 상기 스위칭 박막트랜지스터의 하부 게이트는 상기 액티브에 빛이 조사되는 것을 차단하는 라이트 쉴드인 것을 특징으로 한다.

대표도 - 도4



(72) 발명자

서경한

경기 파주시 책향기로 420, 1103동 1201호 (동패동, 책향기마을신동아파밀리에아파트)

최용호

서울 동작구 서달로10길 89, 201호 (흑석동)

박효진

전남 여수시 신월2길 11, 103동 1503호 (신월동, 신월코아루아파트)

명세서

청구범위

청구항 1

기관 상의 동일 레이어에 형성된 하부 게이트, 소스 및 드레인;
상기 하부 게이트, 소스 및 드레인을 덮도록 형성된 제1 게이트 절연막;
상기 제1 게이트 절연막 상에 형성된 액티브;
상기 소스와 상기 드레인과 접속하도록 형성된 도전성 라인;
상기 액티브 상에 형성된 제2 게이트 절연막; 및
상기 게이트 절연막 상에 형성된 상부 게이트;로 구성된 스위칭 박막트랜지스터를 포함하고,
상기 스위칭 박막트랜지스터의 하부 게이트는 상기 액티브에 빛이 조사되는 것을 차단하는 라이트 쉴드인 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 2

제1 항에 있어서,
상기 하부 게이트는 플로팅 된 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 3

제1 항에 있어서,
상기 도전성 라인은 상기 액티브를 형성하기 위한 반도체층 메탈화되어 형성된 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 4

기관 상의 동일 레이어에 형성된 하부 게이트, 소스 및 드레인;
상기 하부 게이트, 소스 및 드레인을 덮도록 형성된 제1 게이트 절연막;
상기 제1 게이트 절연막 상에 형성된 액티브;
상기 소스와 상기 드레인과 접속하도록 형성된 도전성 라인;
상기 액티브 상에 형성된 제2 게이트 절연막; 및
상기 게이트 절연막 상에 형성된 상부 게이트;로 구성된 드라이빙 박막트랜지스터를 포함하고,
상기 드라이빙 박막트랜지스터의 하부 게이트는 상기 액티브에 빛이 조사되는 것을 차단하는 라이트 쉴드이고,
상기 하부 게이트와 상기 소스는 동일 메탈로 공통으로 형성된 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 5

제4 항에 있어서,
상기 라이트 쉴드와 게이트는 접속된 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 6

제4 항에 있어서,
상기 도전성 라인은 상기 액티브를 형성하기 위한 반도체층 메탈화되어 형성된 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 7

제1 항 또는 제 4항에 있어서,

상기 라이트 쉘드와 상기 드레인이 접속된 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 8

제1 항 또는 제 4항에 있어서,

상기 하부 게이트와 상기 상부 게이트를 연결하여 더블 게이트 구조로 상기 스위칭 박막트랜지스터 또는 드라이빙 박막트랜지스터를 형성된 것을 특징으로 하는 유기발광 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 디스플레이 장치에 관한 것으로, 소스/드레인 메탈로 라이트 쉘드를 형성하여 산화물 TFT에 빛이 조사되는 것을 차단한 유기발광 디스플레이 장치와, 마스크를 줄여 제조 효율을 높일 수 있는 유기발광 디스플레이 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 현재까지 널리 이용되고 있는 액정 디스플레이 장치(LCD)는 광원으로 백라이트가 필요하고, 밝기, 명암비 및 시야각 등에서 기술적 한계가 있다. 이에, 자체발광이 가능하여 별도의 광원이 필요하지 않고, 밝기, 명암비 및 시야각 등에서 상대적으로 우수한 유기 발광 디스플레이 장치(OLED: Organic Light Emitting Device)에 대한 관심이 증대되고 있다.

[0003] 유기 발광 디스플레이 장치는 복수의 픽셀에 형성된 유기 발광 다이오드(OLED)를 발광시켜 화상을 표시한다. 유기 발광 다이오드(OLED)는 전자(electron)를 주입하는 음극(cathode)과 정공(hole)을 주입하는 양극(anode) 사이에 발광층이 형성된 구조를 가진다. 음극에서 발생한 전자 및 양극에서 발생한 정공이 발광층 내부로 주입되면 주입된 전자 및 정공이 결합하여 엑시톤(exciton)이 생성되고, 생성된 엑시톤이 여기 상태(excited state)에서 기저 상태(ground state)로 떨어지면서 발광을 일으킴으로써 화상을 표시할 수 있다.

[0004] 이와 같은 유기 발광 디스플레이 장치는 구동방식에 따라 수동 매트릭스(Passive Matrix) 방식과 능동 매트릭스(Active Matrix) 방식으로 나눌 수 있다.

[0005] 수동 매트릭스 방식은 별도의 박막 트랜지스터(thin film transistor, 이하 "TFT"라 함)를 구비하지 않으면서 매트릭스 형태로 픽셀이 배열된 구성을 포함하며, 소비전력이 낮아지게 되고 해상도 면에서도 한계가 있다.

[0006] 반면에, 상기 능동 매트릭스 방식은 매트릭스 형태로 배열된 픽셀 각각에 TFT가 형성된 구성을 포함하며, TFT의 스위칭 구동과 스토리지 커패시터(Cst)의 전압 충전에 의해 각각의 픽셀을 구동한다.

[0007] 따라서, 소비전력이 낮고 해상도 면에서도 수동 매트릭스 방식과 대비하여 이점이 있다. 고해상도 및 대면적을 요구하는 표시소자에는 능동 매트릭스 방식의 유기 발광소자가 적합하다. 참고로, 이하 본 명세서에서는 '능동 매트릭스 방식의 유기 발광 디스플레이 장치'를 간략하게 '유기 발광 디스플레이 장치'로 칭하도록 한다.

[0008] 도 1은 종래 기술에 따른 유기 발광 디스플레이 장치의 픽셀에 형성된 TFT의 구조를 나타내는 단면도이다.

[0009] 도 1을 참조하면, 기판 상에 하부 게이트(10)가 형성되어 있고, 하부 게이트(10)를 덮도록 게이트 절연막(20)이 형성되어 있다.

[0010] 게이트 절연막(20)의 상부 중에서 하부 게이트(10)와 중첩되는 부분에 액티브(30)가 형성되어 있고, 액티브(30)에 식각 방지층(40, ESL)이 형성되어 있다.

[0011] 식각 방지층(40)의 일부가 식각되어 액티브(30)가 노출되어 있고, 노출된 액티브(30)와 접하도록 소스(52)과 드레인(54)이 형성되어 있다.

[0012] 게이트 절연막(20), 식각 방지층(40), 소스(52) 및 드레인(54)을 덮도록 보호막(60)이 형성되어 있다. 보호막(60) 상부 중에서 액티브(30)와 중첩되는 영역에 상부 게이트(70)가 형성되어 있다.

- [0013] 하부 게이트(10), 게이트 절연막(20), 액티브(30), 소스(52), 드레인(54), 보호막(60) 및 상부 게이트(70)를 포함하여, 에치 스톱퍼(ES)-더블 게이트(DG) 구조로 TFT가 구성된다.
- [0014] 상술한 종래 기술에 따른 TFT는 온(on)/오프(off) 커패시턴스(cap)가 클 뿐만 아니라, 소스/드레인 메탈과 상부 게이트의 메탈 간에 쇼트가 발생되어 휘점 및 암점이 발생할 가능성이 높다.
- [0015] 또한, 킥백(kickback) 증가 및 부스팅(boosting) 효율 감소로 OLED 패널의 화질에 문제를 야기한다. TFT와 스토리지 커패시터를 별도로 형성하고 있고, TFT와 스토리지 커패시터를 형성하는 데 많은 면적이 많이 소요되어 픽셀의 개구부가 감소하다. 이로 인해, 고해상도 OLED 패널에 적용이 어려운 단점이 있다.
- [0016] 이러한 단점들을 보완하기 위해서는 TFT를 코플라너(coplanar) 구조로 형성해야 하지만, 산화물 TFT는 빛에 소자의 특성이 변하는 취약한 특성이 있어, 액티브(30)의 아래에 별도로 라이트 쉴드(light shield)를 형성해야 하는 단점이 있다.
- [0017] 또한, TFT의 제조 공정에 총 8매의 마스크가 소요되어, 공정 시간 및 비용이 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, 산화물 TFT에 빛이 조사되는 것을 차단할 수 있는 유기 발광 디스플레이 장치와 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.
- [0019] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, TFT를 제조하는 공정에 소요되는 마스크를 줄여 제조 효율을 높일 수 있는 유기발광 디스플레이 장치의 제조 방법을 제공하는 것을 기술적 과제로 한다.
- [0020] 본 발명은 상술한 문제점들을 해결하기 위한 것으로서, 스토리지 커패시터의 정전용량을 증가시킬 수 있는 유기 발광 디스플레이 장치와 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.
- [0021] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0022] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 기판 상의 동일 레이어에 형성된 하부 게이트, 소스 및 드레인; 상기 하부 게이트, 소스 및 드레인을 덮도록 형성된 제1 게이트 절연막; 상기 제1 게이트 절연막 상에 형성된 액티브; 상기 소스와 상기 드레인과 접촉하도록 형성된 도전성 라인; 상기 액티브 상에 형성된 제2 게이트 절연막; 및 상기 게이트 절연막 상에 형성된 상부 게이트;로 구성된 스위칭 박막트랜지스터를 포함하고, 상기 스위칭 박막트랜지스터의 하부 게이트는 상기 액티브에 빛이 조사되는 것을 차단하는 라이트 쉴드인 것을 특징으로 한다.
- [0023] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치는 기판 상의 동일 레이어에 형성된 하부 게이트, 소스 및 드레인; 상기 하부 게이트, 소스 및 드레인을 덮도록 형성된 제1 게이트 절연막; 상기 제1 게이트 절연막 상에 형성된 액티브; 상기 소스와 상기 드레인과 접촉하도록 형성된 도전성 라인; 상기 액티브 상에 형성된 제2 게이트 절연막; 및 상기 게이트 절연막 상에 형성된 상부 게이트;로 구성된 드라이빙 박막트랜지스터를 포함하고, 상기 드라이빙 박막트랜지스터의 하부 게이트는 상기 액티브에 빛이 조사되는 것을 차단하는 라이트 쉴드이고, 상기 하부 게이트와 상기 소스는 동일 메탈로 공통으로 형성된 것을 특징으로 한다.

발명의 효과

- [0024] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치와 이의 제조 방법은 산화물 TFT에 빛이 조사되는 것을 차단할 수 있다.
- [0025] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 제조 방법은 TFT를 제조하는 공정에 소요되는 마스크를 줄여 제조 효율을 높일 수 있다.
- [0026] 본 발명의 실시 예에 따른 유기발광 디스플레이 장치와 이의 제조 방법은 스토리지 커패시터의 정전용량을 증가시킬 수 있다.

[0027] 위에서 언급된 본 발명의 특징 및 효과들 이외에도 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 효과들이 새롭게 파악 될 수도 있을 것이다.

도면의 간단한 설명

[0028] 도 1은 종래 기술에 따른 유기 발광 디스플레이 장치의 픽셀에 형성된 TFT의 구조를 나타내는 단면도이다.
 도 2는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 스위칭 TFT의 등가회로이다.
 도 3은 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 스위칭 TFT를 나타내는 평면도이다.
 도 4는 도 3에 도시된 스위칭 TFT의 구조를 나타내는 단면도이다.
 도 5는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 드라이빙 TFT의 등가회로이다.
 도 6은 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 드라이빙 TFT를 나타내는 평면도이다.
 도 7은 도 6에 도시된 드라이빙 TFT의 구조를 나타내는 단면도이다.
 도 8은 소스/드레인 메탈과 게이트 메탈을 픽셀 전극으로 연결하는 콘택 구조를 나타내는 도면이다.
 도 9 및 도 10은 본 발명의 실시 예에 따른 스위칭 TFT의 제조 방법을 나타내는 도면이다.
 도 11 및 도 12는 본 발명의 제2 실시 예에 따른 스위칭 TFT의 제조 방법을 나타내는 도면이다.
 도 13은 본 발명의 다른 실시 예에 따른 TFT의 구조를 등가회로 도시한 것으로, 드레인과 라이트 쉘드가 콘택된 TFT 및 더블 게이트를 가지는 TFT를 도시하고 있다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

[0030] 한편, 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0031] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.

[0032] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0033] 본 발명의 실시 예를 설명함에 있어서 어떤 구조물이 다른 구조물 "상에 또는 상부에" 및 "아래에 또는 하부에" 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.

[0034] 도면을 참조한 설명에 앞서, 본 발명의 실시 예에 따른 발광 디스플레이 장치는 OLED 패널과 상기 OLED 패널을 구동시키기 위한 구동 회로부를 포함한다.

[0035] OLED 패널에는 복수의 픽셀이 매트릭스 형태로 배열되어 있으며, 상기 복수의 픽셀에 형성된 유기 발광 다이오드(OLE) 및 픽셀 회로에 전원 및 신호를 공급하기 위한 복수의 라인들이 형성되어 있다.

[0036] 복수의 라인들은 데이터 라인(data line), 스캔 라인(scan), 센싱 신호 라인(sense line), VDD 라인(VDD line) 및 기준 전원 라인(Vref line)을 포함한다. 도면에 도시하지 않았지만 발광 신호 라인(EM line)을 더 포함할 수 있다.

[0037] 데이터 라인(data line) 및 기준 전원 라인(Vref line) 픽셀을 세로 방향으로 가로지르도록 형성되어 있다. 스캔 라인(scan line) 및 센싱 신호 라인(sense line)은 픽셀을 가로 방향으로 가로지르도록 형성되어 있다. 여기서, VDD 라인(VDD line)은 픽셀에서 가로 방향으로 형성될 수도 있고, 세로 방향으로도 형성될 수 있다.

[0038] 복수의 픽셀 각각은 유기 발광 다이오드(OLED)가 형성되어 발광하는 개구부 및 상기 유기 발광 다이오드(OLED)

를 구동시키기 위한 구동 회로가 형성된 픽셀 회로부를 포함한다.

- [0039] 픽셀 회로부는 복수의 TFT 및 스토리지 커패시터를 포함한다. 복수의 TFT는 드라이빙 TFT, 스캔 TFT 및 센싱 TFT를 포함한다.
- [0040] 스토리지 커패시터는 드라이빙 TFT의 문턱전압(V_{th})을 충전하여, 데이터 전압(V_{data})에 따른 구동 전류가 유기 발광 다이오드(OLED)에 인가되도록 한다.
- [0041] 스캔 TFT는 스캔 라인(scan line)에 인가된 스캔 신호에 의해 턴온되어, 데이터 라인(data line)에 인가된 데이터 전압(V_{data})을 드라이빙 TFT에 공급한다.
- [0042] 센싱 TFT는 센싱 신호 라인(sense line)에 인가된 센싱 신호에 의해 턴온되어, 기준 전원 라인(V_{ref} line)에 공급되는 디스플레이 기준 전압(V_{ref}) 또는 센싱 프리차징 전압(V_{pre})을 드라이빙 TFT(DT)와 유기발광 다이오드(OLED)가 접속된 노드에 공급한다. 픽셀 내에서 센싱 TFT는 스토리지 커패시터 및 드라이빙 TFT의 아래에 위치한다.
- [0043] 드라이빙 TFT는 데이터 전압(V_{data})에 의해 턴온되고, 드라이빙 TFT(DT)를 이용하여 제1 구동 전원(V_{DD})으로부터 제2 구동 전원(V_{SS})으로 흐르는 데이터 전류(I_{oled})에 양을 조절한다. 상기 데이터 전류(I_{oled})의 양을 조절하여 유기발광 다이오드(OLED)의 발광을 조절한다.
- [0044] 이러한, 드라이빙 TFT, 스캔 TFT 및 센싱 TFT는 산화물(oxide)을 액티브(active)의 재료로 이용하여 N타입(N-type) 또는 P타입(P-type)으로 제조될 수 있다.
- [0045] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치와 이의 제조방법에 대하여 설명하기로 한다.
- [0046] 도 2는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 스위칭 TFT의 등가회로이다.
- [0047] 도 2를 참조하면, 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 스위칭 TFT는 소스/드레인과 함께 라이트 쉴드(light shield)를 형성하고, 라이트 쉴드가 플로팅(floating)된 구조를 가진다.
- [0048] 도 3은 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 스위칭 TFT를 나타내는 평면도이고, 도 4는 도 3에 도시된 스위칭 TFT의 구조를 나타내는 단면도이다. 도 3 및 도 4에서는 복수의 스위칭 TFT 중에서 하나를 도시하고 있으며, ESL(Etch Stop Layer) 타입의 스위칭 TFT를 도시하고 있다.
- [0049] 도 3 및 도 4를 참조하면, 기판 상의 스위칭 TFT(SW-TFT) 영역에 하부 게이트(110), 소스(120) 및 드레인(130)이 형성되어 있다. 하부 게이트(110), 소스(120) 및 드레인(130)은 동일 메탈로 동일 레이어에 형성된다. 여기서, 하부 게이트(110)는 TFT의 게이트의 기능뿐만 아니라 라이트 쉴드로도 형성된 것이다.
- [0050] 하부 게이트(110), 소스(120) 및 드레인(130)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 하부 게이트(110), 소스(120) 및 드레인(130)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0051] 게이트(110), 소스(120) 및 드레인(130)을 덮도록 제1 게이트 절연막(140, GI 1)이 형성되어 있다.
- [0052] 제1 게이트 절연막(140)은 산화 실리콘(SiO_2)으로 형성된 제1 막과 질화 실리콘($SiNx$)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO_2) 막은 400nm의 두께로 형성되고, 질화 실리콘($SiNx$) 막은 30nm의 두께로 형성된다.
- [0053] 제1 게이트 절연막(140)의 상부 중에서 스위칭 TFT(SW-TFT) 영역에 액티브(150)가 형성되어 있다. 액티브(150)는 IGO(indium-gallium oxide), IZO(indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 65nm의 두께로 형성된다.
- [0054] 그리고, 제1 게이트 절연막(140)의 상부에서 소스(120) 및 드레인(130)과 접촉되는 도전성 라인(155)이 형성되어 있다.
- [0055] 여기서, 제조 공정 중에 액티브(150)를 형성하기 위한 반도체 물질이 도체화(metallization)되어 도전성 라인(155)이 된다. TFT의 액티브(150)와 도전성 라인(155)은 실질적으로 동일한 물질로 하나의 레이어로 형성되어 있다.
- [0056] 액티브(150)를 덮도록 제2 게이트 절연막(160, GI 2)이 형성되어 있고, 제2 게이트 절연막(160, GI 2) 상에 상

부 게이트(170)가 형성되어 있다.

- [0057] 제2 절연막(160)은 산화 실리콘(SiO₂) 물질로 150nm의 두께로 형성된다.
- [0058] 상부 게이트(170)는 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 구리-몰리브덴-티타늄(Cu-Mo)의 합금을 재료로 이용하여 340nm의 두께로 형성되고, 제2 층은 티타늄(Ti)을 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0059] 스위칭 TFT와 도전성 라인(155)을 덮도록 보호막(180)이 형성되어 있다. 보호막(180)은 산화 실리콘(SiO₂) 물질로 450nm의 두께로 형성된다.
- [0060] 하부 게이트(110), 소스(120), 드레인(130), 제1 게이트 절연막(140), 액티브(150), 제2 게이트 절연막(160, GI 2) 및 상부 게이트(170)로 스위칭 TFT가 구성된다.
- [0061] 상술한 구성을 포함하는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 스위칭 TFT는 소스(120) 및 드레인(130)과 함께 하부 게이트(110)를 형성한다. 하부 게이트(110)를 라이트 쉴드(light shield)로 형성하여 스위칭 TFT에 빛이 조사되는 것을 차단할 수 있다.
- [0062] 도 5는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 드라이빙 TFT의 등가회로이다.
- [0063] 도 5를 참조하면, 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 드라이빙 TFT는 소스/드레인과 함께 라이트 쉴드(light shield)를 형성하고, 라이트 쉴드와 소스가 접촉된 구조를 가진다.
- [0064] 도 6은 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 픽셀에 형성된 드라이빙 TFT를 나타내는 평면도이고, 도 7은 도 6에 도시된 드라이빙 TFT의 구조를 나타내는 단면도이다.
- [0065] 도 6 및 도 7에서는 복수의 드라이빙 TFT 중에서 하나를 도시하고 있으며, ESL(Etch Stop Layer) 타입의 드라이빙 TFT를 도시하고 있다.
- [0066] 도 6 및 도 7을 참조하면, 기판 상의 드라이빙 TFT(D-TFT) 영역에 하부 게이트(210), 소스(220) 및 드레인(230)이 형성되어 있다. 하부 게이트(210), 소스(220) 및 드레인(230)은 동일 메탈로 동일 레이어에 형성된다. 여기서, 하부 게이트(210)는 TFT의 게이트의 기능뿐만 아니라 라이트 쉴드로도 형성된 것이다.
- [0067] 하부 게이트(210), 소스(220) 및 드레인(230)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 하부 게이트(210), 소스(220) 및 드레인(230)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0068] 게이트(210), 소스(220) 및 드레인(230)을 덮도록 제1 게이트 절연막(240, GI 1)이 형성되어 있다.
- [0069] 제1 게이트 절연막(240)은 산화 실리콘(SiO₂)으로 형성된 제1 막과 질화 실리콘(SiNx)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO₂) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 30nm의 두께로 형성된다.
- [0070] 제1 게이트 절연막(240)의 상부 중에서 드라이빙 TFT(D-TFT) 영역에 액티브(250)가 형성되어 있다. 액티브(250)는 IGO(indium-gallium oxide), IZO (indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 65nm의 두께로 형성된다.
- [0071] 그리고, 제1 게이트 절연막(240)의 상부에서 소스(220) 및 드레인(230)과 접촉되는 도전성 라인(255)이 형성되어 있다.
- [0072] 여기서, 제조 공정 중에 액티브(250)를 형성하기 위한 반도체 물질이 도체화(metallization)되어 도전성 라인(255)이 된다. TFT의 액티브(250)와 도전성 라인(255)은 실질적으로 동일한 물질로 하나의 레이어로 형성되어 있다.
- [0073] 액티브(250)를 덮도록 제2 게이트 절연막(260, GI 2)이 형성되어 있고, 제2 게이트 절연막(260) 상에 상부 게이트(270)가 형성되어 있다.
- [0074] 제2 절연막(260)은 산화 실리콘(SiO₂) 물질로 150nm의 두께로 형성된다.
- [0075] 상부 게이트(270)는 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 구리-몰리브덴-티타늄(CuMo)의 합금

을 재료로 이용하여 340nm의 두께로 형성되고, 제2 층은 티타늄(Ti)을 재료로 이용하여 30nm의 두께로 형성될 수 있다.

- [0076] 드라이빙 TFT와 도전성 라인(255)을 덮도록 보호막(280)이 형성되어 있다. 보호막(280)은 산화 실리콘(SiO₂) 물질로 450nm의 두께로 형성된다.
- [0077] 하부 게이트(210), 소스(220), 드레인(230), 제1 게이트 절연막(240), 액티브(250), 제2 게이트 절연막(260) 및 상부 게이트(270)로 드라이빙 TFT가 구성된다.
- [0078] 상술한 구성을 포함하는 본 발명의 실시 예에 따른 유기발광 디스플레이 장치의 드라이빙 TFT는 라이트 쉴드로 형성된 하부 게이트(210)가 연장되어 소스(220)와 공통으로 형성된다. 즉, 게이트(210)와 소스(220)가 하나의 메탈 레이어로 접촉된 구조로 형성되어 있다.
- [0079] 하부 게이트(210), 소스(220) 및 드레인(230)을 함께 형성하고, 하부 게이트(110)를 라이트 쉴드(light shield)로 형성하여 드라이빙 TFT에 빛이 조사되는 것을 차단할 수 있다.
- [0080] 도 8은 소스/드레인 메탈과 게이트 메탈을 픽셀 전극으로 연결하는 콘택 구조를 나타내는 도면이다.
- [0081] 도 8을 참조하면, 스위칭 TFT와 드라이빙 TFT를 형성하는 제조 공정을 이용하여 스토리지 커패시터 및 패드부를 함께 형성할 수 있다.
- [0082] 스토리지 커패시터는 소스/드레인과 동일 레이어에 형성되는 제1 전극, 액티브와 동일 레이어에 형성되는 제2 전극 및 상부 게이트와 동일 레이어에 형성되는 제3 전극을 포함하여 구성된다.
- [0083] 도 8을 참조하면, 여기서, 스토리지 커패시터의 제1 전극과 제3 전극을 연결해 주어야 하는데, 도 8에 도시된 콘택 구조를 이용하여 스토리지 커패시터의 제1 전극과 제3 전극을 연결시킬 수 있다.
- [0084] 픽셀 전극(190)의 패턴을 이용하여 소스/드레인 레이어의 메탈(120)과 상부 게이트 레이어의 메탈(170)을 연결시킬 수 있다. 스토리지 커패시터뿐만 아니라, 패드 영역에서도 픽셀 전극(190)의 패턴을 이용하여 하부 레이어의 메탈과 상부 레이어의 메탈을 연결시킬 수 있다.
- [0085] 도면에 도시하지 않았지만, 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치는 픽셀의 드라이빙 TFT의 Cgs 와 스토리지 커패시터의 한쪽 노드(node)가 동일 메탈로 병합되어 형성될 수 있다. 즉, 드라이빙 TFT의 탑 게이트(top gate)와 스토리지 커패시터의 상부 전극을 동일한 메탈로 병합하여 형성함으로써 드라이빙 TFT 및 스토리지 커패시터를 형성하기 위해 필요한 면적을 감소시키고, 픽셀의 개구율을 증가시킬 수 있다.
- [0086] 도 9 및 도 10은 본 발명의 실시 예에 따른 스위칭 TFT의 제조 방법을 나타내는 도면이다. 도 9 및 도 10에서는 픽셀 회로부 중에서 스위칭 TFT의 제조 방법을 도시하고 있다. 스위칭 TFT는 ESL 타입으로 제조된다.
- [0087] 본 발명의 제1 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 스위칭 TFT의 소스/드레인과 하부 게이트를 동일 레이어에 함께 형성하고, 하부 게이트를 라이트 쉴드로 형성한다.
- [0088] 도 9(A)를 참조하면, 기판 상에 도전성 메탈 물질을 도포한 후, 제1 마스크 공정을 수행하여 스위칭 TFT(SW-TFT) 영역에 하부 게이트(110), 소스(120) 및 드레인(130)을 형성한다.
- [0089] 이와 같이, 하부 게이트(110), 소스(120) 및 드레인(130)은 동일 메탈로 동일 레이어에 형성된다. 여기서, 하부 게이트(110)는 TFT의 게이트의 기능뿐만 아니라 라이트 쉴드로도 형성된다.
- [0090] 하부 게이트(110), 소스(120) 및 드레인(130)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 하부 게이트(110), 소스(120) 및 드레인(130)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0091] 이후, 게이트(110), 소스(120) 및 드레인(130)을 덮도록 제1 게이트 절연막(140, GI 1)을 형성한다.
- [0092] 이어서, 제2 마스크 공정을 수행하여 소스(120), 드레인(130) 및 패드 영역의 메탈이 노출되도록 제1 게이트 절연막(140)을 식각 한다.
- [0093] 여기서, 제1 게이트 절연막(140)은 산화 실리콘(SiO₂)으로 형성된 제1 막과 질화 실리콘(SiNx)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO₂) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 30nm의 두께로 형

성된다.

- [0094] 이어서, 도 9(B)를 참조하면, 제3 마스크 공정을 수행하여 제1 게이트 절연막(140)의 상부에 반도체층(150a)을 형성한다.
- [0095] 이후, 제4 마스크 공정을 수행하여 반도체층(150a) 상에 제2 절연막(160)을 형성한다. 제2 게이트 절연막(160)은 액티브(150)를 덮도록 형성된다. 제2 절연막(160)은 산화 실리콘(SiO₂) 물질로 150nm의 두께로 형성된다.
- [0096] 이어서, 도 9(C)를 참조하면, 제2 절연막(160) 상에 전도성 메탈 물질을 증착하여 상부 게이트 메탈층(170a)을 형성한다.
- [0097] 이어서, 도 10(A)를 참조하면, 제5 마스크 공정을 수행하여 제2 절연막(160) 및 상부 게이트 메탈층(170a)을 패터닝 한다. 제2 게이트 절연층(160) 상에는 상부 게이트(170)된다.
- [0098] 상부 게이트(170)는 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 구리-몰리브덴-티타늄(Cu-Mo)의 합금을 재료로 이용하여 340nm의 두께로 형성되고, 제2 층은 티타늄(Ti)을 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0099] 이후, 상부 게이트(170)를 마스크로 이용하여 반도체층(150a)을 도체화시켜 도전성 라인(155) 및 액티브(150)를 형성한다.
- [0100] 액티브(150)는 IGO(indium-gallium oxide), IZO (indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 65nm의 두께로 형성된다.
- [0101] 그리고, 제1 게이트 절연막(140)의 상부에서 소스(120) 및 드레인(130)과 접촉되는 도전성 라인(155)이 형성된다.
- [0102] 여기서, 제조 공정 중에 액티브(150)를 형성하기 위한 반도체 물질이 도체화(metallization)되어 도전성 라인(155)이 된다. 상부 게이트(170)에 의해 차단된 반도체층(150a)이 액티브(150)가 된다. 스위칭 TFT의 액티브(150)와 도전성 라인(155)은 실질적으로 동일한 물질로 하나의 레이어로 형성되어 있다.
- [0103] 하부 게이트(110), 소스(120), 드레인(130), 제1 게이트 절연막(140), 액티브(150), 제2 게이트 절연막(160, GI 2) 및 상부 게이트(170)로 스위칭 TFT가 구성된다.
- [0104] 스위칭 TFT와 도전성 라인(155)을 덮도록 보호막(180)을 형성한다. 여기서, 보호막(180)은 산화 실리콘(SiO₂) 물질로 450nm의 두께로 형성된다.
- [0105] 이어서, 도 10(B)를 참조하면, 이후, 보호막(180)을 덮도록 오버코트층(195)을 형성한다.
- [0106] 이어서, 제6 마스크 공정을 수행하여 패드 영역의 오버코트층(195)의 일부를 제거하여 패드 영역의 콘택홀을 형성한다. 콘택홀 내부에서 픽셀 전극(190)의 패턴을 이용하여 소스/드레인 레이어의 메탈층과 상부 게이트 레이어의 메탈층을 연결시킨다. 콘택홀 내부에 형성된 픽셀 전극(190)의 패턴은 아일랜드(island) 형태로 형성되며, 픽셀 영역에 형성되는 픽셀 전극과 연결되지 않고, 오직 콘택의 용도로만 형성된 것이다.
- [0107] 상술한 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 스위칭 TFT를 형성 시, 소스(120) 및 드레인(130)과 함께 하부 게이트(110)를 형성하여 제조 공정을 줄일 수 있다. 또한, 하부 게이트(110)를 라이트 쉴드(light shield)로 형성하여 스위칭 TFT에 빛이 조사되는 것을 차단할 수 있다.
- [0108] 도 11 및 도 12는 본 발명의 제2 실시 예에 따른 스위칭 TFT의 제조 방법을 나타내는 도면이다. 도11및 도 12에서는 픽셀 회로부 중에서 스위칭 TFT의 제조 방법을 도시하고 있다. 스위칭 TFT는 ESL 타입으로 제조된다.
- [0109] 도 9 및 도 10을 참조하여 설명한 제1 실시 예는 6마스크 공정을 수행하여 스위칭 TFT 를 제조할 수 있었다. 도 11 및 도 12를 참조하여 설명하고자 하는 제2 실시 예는 5 마스크 공정을 수행하여 스위칭 TFT를 제조할 수 있다.
- [0110] 본 발명의 제2 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 스위칭 TFT의 소스/드레인과 하부 게이트를 동일 레이어에 함께 형성하고, 하부 게이트를 라이트 쉴드로 형성한다.
- [0111] 도 11(A)를 참조하면, 기판 상에 도전성 메탈 물질을 도포한 후, 제1 마스크 공정을 수행하여 스위칭 TFT(SW-TFT) 영역에 하부 게이트(110), 소스(120) 및 드레인(130)을 형성한다.

- [0112] 이와 같이, 하부 게이트(110), 소스(120) 및 드레인(130)은 동일 메탈로 동일 레이어에 형성된다. 여기서, 하부 게이트(110)는 TFT의 게이트의 기능뿐만 아니라 라이트 쉴드로도 형성된다.
- [0113] 하부 게이트(110), 소스(120) 및 드레인(130)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 하부 게이트(110), 소스(120) 및 드레인(130)은 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 500nm의 두께로 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0114] 이후, 게이트(110), 소스(120) 및 드레인(130)을 덮도록 제1 게이트 절연막(140, GI 1)을 형성한다.
- [0115] 이어서, 제2 마스크 공정을 수행하여 소스(120), 드레인(130) 및 패드 영역의 메탈이 노출되도록 제1 게이트 절연막(140)을 식각 한다.
- [0116] 여기서, 제1 게이트 절연막(140)은 산화 실리콘(SiO_2)으로 형성된 제1 막과 질화 실리콘(SiNx)으로 형성된 제2 막을 포함한다. 산화 실리콘(SiO_2) 막은 400nm의 두께로 형성되고, 질화 실리콘(SiNx) 막은 30nm의 두께로 형성된다.
- [0117] 이어서, 도 11(B)를 참조하면, 제1 게이트 절연막(140)의 상부에 반도체층(150a)을 형성한다.
- [0118] 이후, 반도체층(150a) 상에 제2 절연막(160)을 형성한다. 제2 게이트 절연막(160)은 반도체층(150a)을 덮도록 형성된다. 제2 절연막(160)은 산화 실리콘(SiO_2) 물질로 150nm의 두께로 형성된다.
- [0119] 이후, 도 11(C)를 참조하면, 제3 마스크 공정을 수행하여 패드 영역에서 소스/드레인 레이어에 형성된 메탈층이 노출되도록 제2 게이트 절연막(140)을 패터닝 한다.
- [0120] 이후, 제2 절연막(160) 상에 전도성 메탈 물질을 증착하여 상부 게이트 메탈층(170a)을 형성한다.
- [0121] 이어서, 도 12(A)를 참조하면, 제4 마스크 공정을 수행하여 제2 절연막(160) 및 상부 게이트 메탈층(170a)을 패터닝 한다. 제2 게이트 절연층(160) 상에는 상부 게이트(170)된다.
- [0122] 상부 게이트(170)는 복층(multi layer) 구조로 형성될 수 있다. 제1 층은 구리-몰리브덴-티타늄(Cu-Mo)의 합금을 재료로 이용하여 340nm의 두께로 형성되고, 제2 층은 티타늄(Ti)를 재료로 이용하여 30nm의 두께로 형성될 수 있다.
- [0123] 이후, 상부 게이트(170)를 마스크로 이용하여 반도체층(150a)을 도체화시켜 도전성 라인(155) 및 액티브(150)를 형성한다.
- [0124] 액티브(150)는 IGO(indium-gallium oxide), IZO (indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 65nm의 두께로 형성된다.
- [0125] 그리고, 제1 게이트 절연막(140)의 상부에서 소스(120) 및 드레인(130)과 접촉되는 도전성 라인(155)이 형성된다.
- [0126] 여기서, 제조 공정 중에 액티브(150)를 형성하기 위한 반도체 물질이 도체화(metallization)되어 도전성 라인(155)이 된다. 상부 게이트(170)에 의해 차단된 반도체층(150a)이 액티브(150)가 된다. 스위칭 TFT의 액티브(150)와 도전성 라인(155)은 실질적으로 동일한 물질로 하나의 레이어로 형성되어 있다.
- [0127] 하부 게이트(110), 소스(120), 드레인(130), 제1 게이트 절연막(140), 액티브(150), 제2 게이트 절연막(160, GI 2) 및 상부 게이트(170)로 스위칭 TFT가 구성된다.
- [0128] 스위칭 TFT와 도전성 라인(155)을 덮도록 보호막(180)을 형성한다. 여기서, 보호막(180)은 산화 실리콘(SiO_2) 물질로 450nm의 두께로 형성된다.
- [0129] 이어서, 도 12(B)를 참조하면, 이후, 보호막(180)을 덮도록 오버코트층(195)을 형성한다.
- [0130] 이어서, 제5 마스크 공정을 수행하여 패드 영역의 오버코트층(195)의 일부를 제거하여 패드 영역의 콘택홀을 형성한다. 콘택홀 내부에서 픽셀 전극(190)의 패턴을 이용하여 소스/드레인 레이어의 메탈층과 상부 게이트 레이어의 메탈층을 연결시킨다. 콘택홀 내부에 형성된 픽셀 전극(190)의 패턴은 아일랜드(island) 형태로 형성되며, 픽셀 영역에 형성되는 픽셀 전극과 연결되지 않고, 오직 콘택의 용도로만 형성된 것이다.
- [0131] 상술한 본 발명의 실시 예에 따른 유기 발광 디스플레이 장치의 제조 방법은 스위칭 TFT를 형성 시, 소스(120)

및 드레인(130)과 함께 하부 게이트(110)를 형성하여 제조 공정을 줄일 수 있다. 또한, 하부 게이트(110)를 라이트 쉴드(light shield)로 형성하여 스위칭 TFT에 빛이 조사되는 것을 차단할 수 있다.

[0132] 도 13은 본 발명의 다른 실시 예에 따른 TFT의 구조를 등가회로 도시한 것으로, 드레인과 라이트 쉴드가 선택된 TFT 및 더블 게이트를 가지는 TFT를 도시하고 있다.

[0133] 도 13(A)을 참조하면, 라이트 쉴드(하부 게이트)와 드레인이 연결되도록 스위칭 TFT 및 드라이빙 TFT를 형성할 수 있다.

[0134] 도 13(B)을 참조하면, 라이트 쉴드를 하부 게이트로 이용하고, 하부 게이트와 상부 게이트를 연결하여 더블 게이트 구조로 스위칭 TFT 및 드라이빙 TFT 형성할 수 있다.

[0135] 상술한 본 발명의 실시 예에 따른 유기발광 디스플레이 장치와 이의 제조 방법은 산화물 TFT에 빛이 조사되는 것을 차단할 수 있고, TFT를 제조하는 공정에 소요되는 마스크를 줄여 제조 효율을 높일 수 있다. 또한, 스토리지 커패시터를 멀티 구도로 형성하여 스토리지 커패시터의 정전용량을 증가시킬 수 있다.

[0136] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

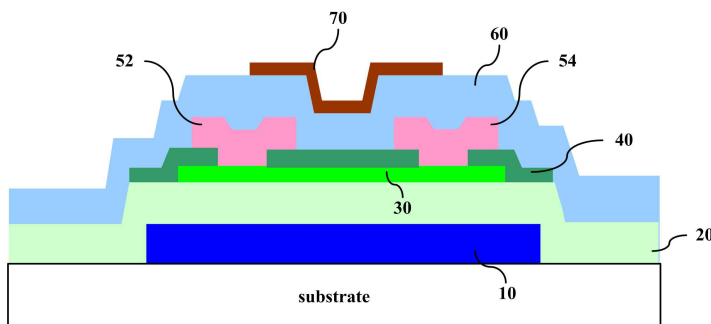
[0137] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

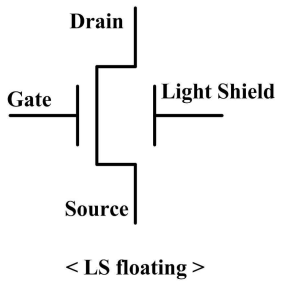
- [0138] 110: 하부 게이트
- 120: 소스
- 130: 드레인
- 140: 제1 게이트 절연막
- 150: 액티브
- 155: 도전성 라인
- 160: 제2 게이트 절연막
- 170: 상부 게이트
- 180: 보호막

도면

도면1

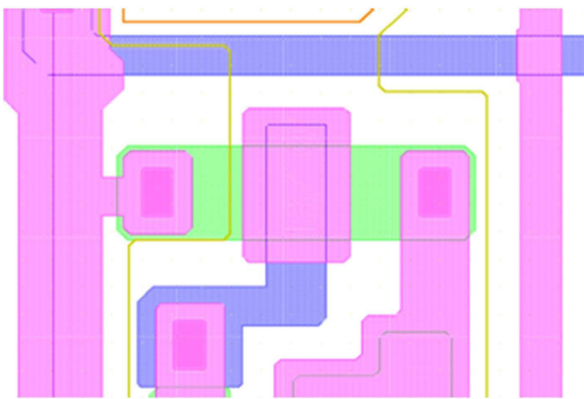


도면2

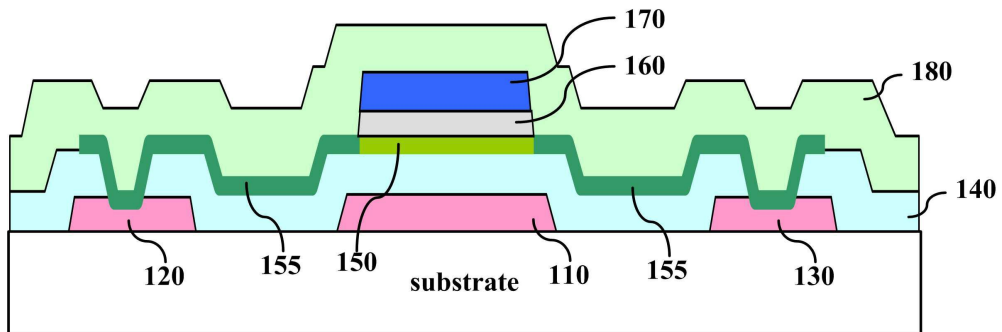


도면3

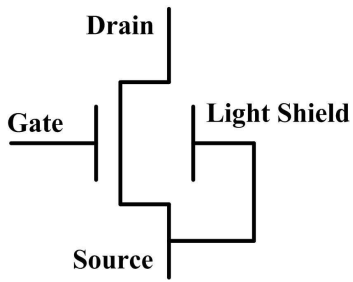
< Switching TFT >



도면4

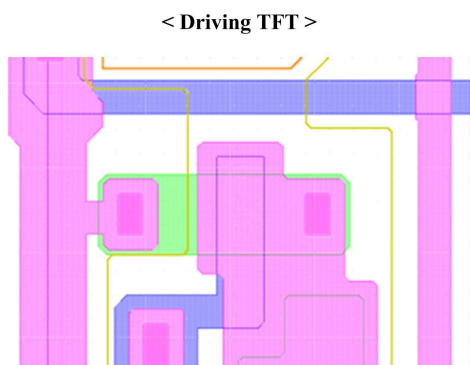


도면5

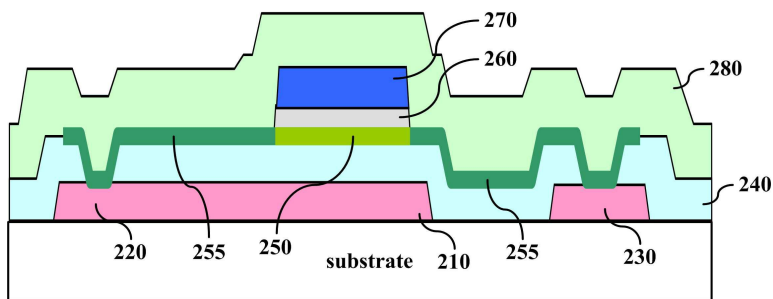


< Source - LS contact >

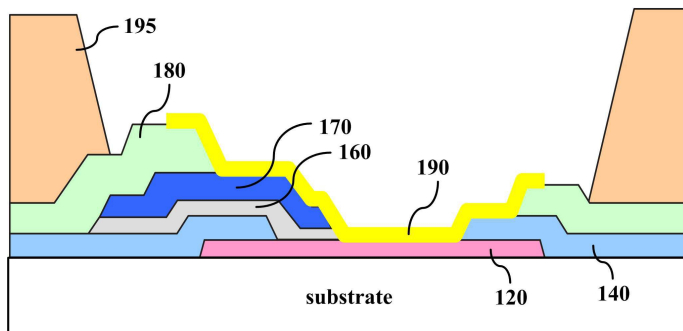
도면6



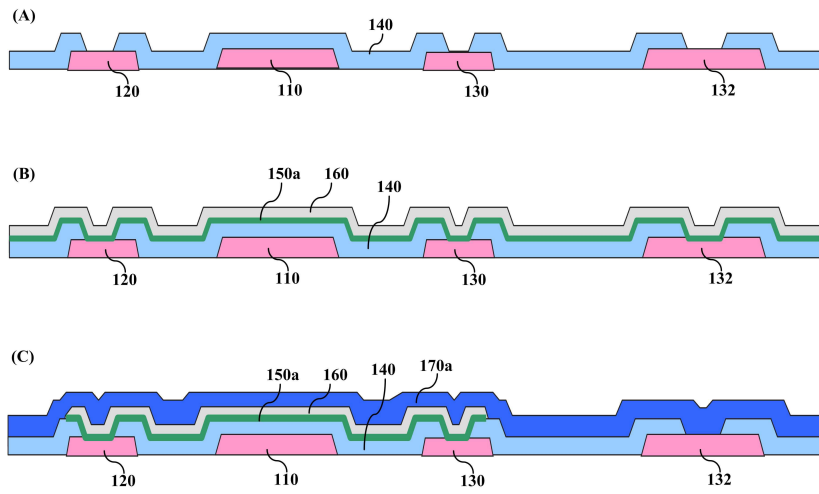
도면7



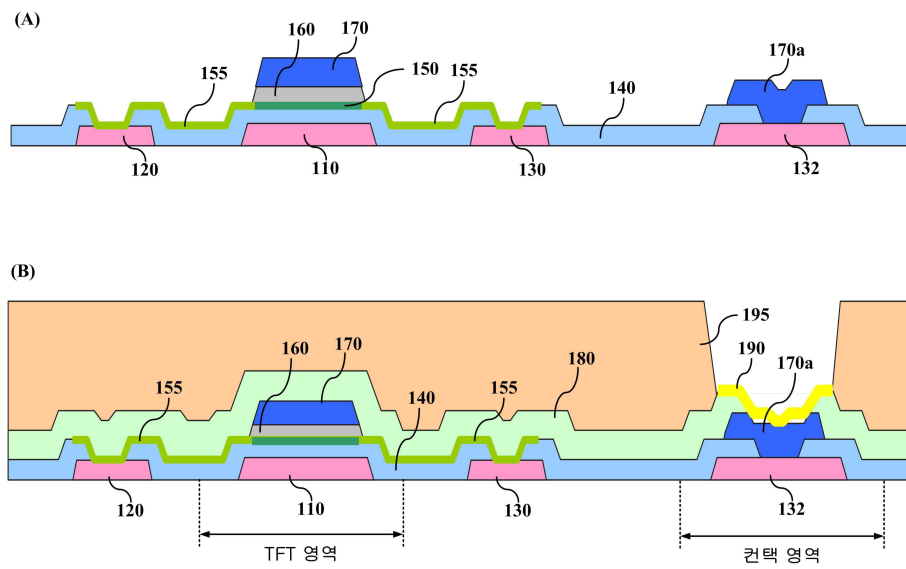
도면8



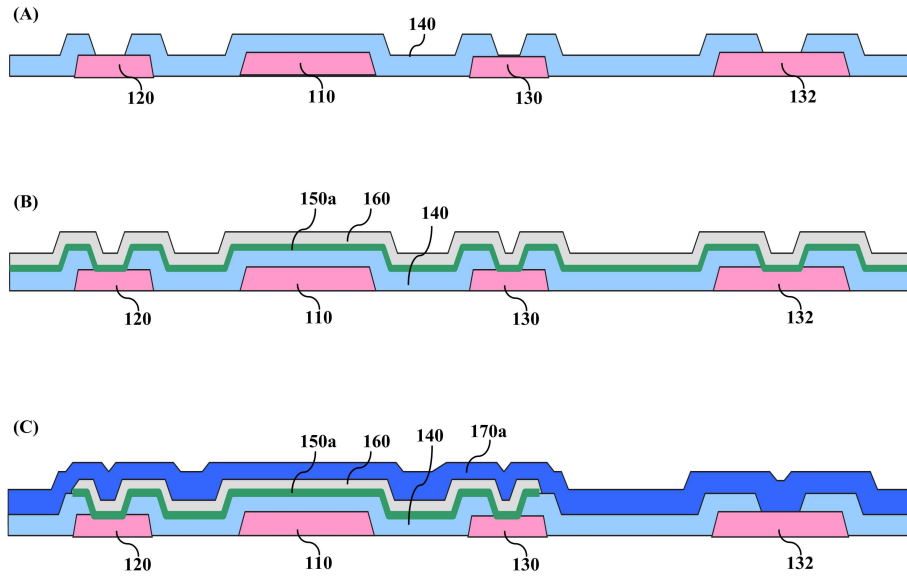
도면9



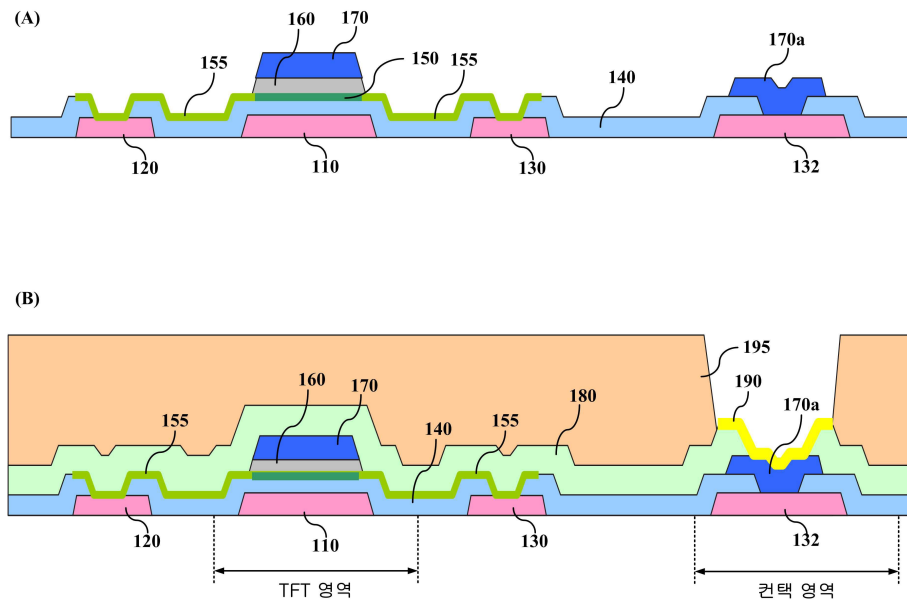
도면10



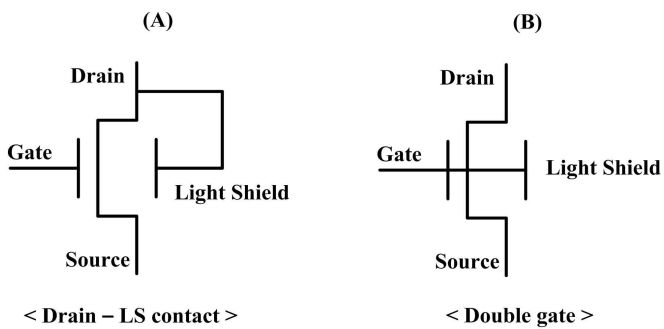
도면11



도면12



도면13



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	KR1020150080355A	公开(公告)日	2015-07-09
申请号	KR1020130169457	申请日	2013-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG DISPLAY CO., LTD.		
[标]发明人	JONGSIK SHIM HYUNSIK SEO KYUNGHAN SEO YONGHO CHOI HYOJIN PARK		
发明人	JONGSIK SHIM HYUNSIK SEO KYUNGHAN SEO YONGHO CHOI HYOJIN PARK		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L29/78648 H01L27/3276 H01L29/788 H01L27/3272 H01L29/7869 H01L27/3262 H01L29/78633		
其他公开文献	KR102132181B1		
外部链接	Espacenet		

摘要(译)

公开了一种有机发光显示装置。有机发光显示装置包括开关薄膜晶体管（TFT），其包括形成在基板上和同一层上的下栅极，源极和漏极，形成为覆盖下栅极的第一栅极绝缘层，源极和漏极，形成在第一栅极绝缘层上的有源层，形成为接触源极和漏极的导线，形成在有源层上的第二栅极绝缘层，以及形成在第二栅极绝缘层上的上栅极层。开关TFT的下栅极是遮光，其阻挡光照射到有源层上。

