(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0045287
(43) 공개일자 2015년04월28일

(51) 국제특허분류(Int. Cl.)
*H01L 51/52* (2006.01) *H01L 29/786* (2006.01)
*H05B 33/26* (2006.01)
(21) 출원번호 10-2013-0124813
(22) 출원일자 2013년10월18일
심사청구일자 없음

(71) 출원인
**삼성디스플레이 주식회사**
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
**김성호**
경기 수원시 영통구 봉영로1744번길 11, 224동 104호 (영통동, 황골마을2단지아파트)
**신민철**
서울 서초구 바우뫼로41길 31, 2동 101호 (양재동, 양재한신빌라)
**문상호**
충남 아산시 탕정면 탕정면로 37, 201동 1704호 (탕정삼성트라팰리스아파트)
(74) 대리인
**팬코리아특허법인**

전체 청구항 수 : 총 20 항

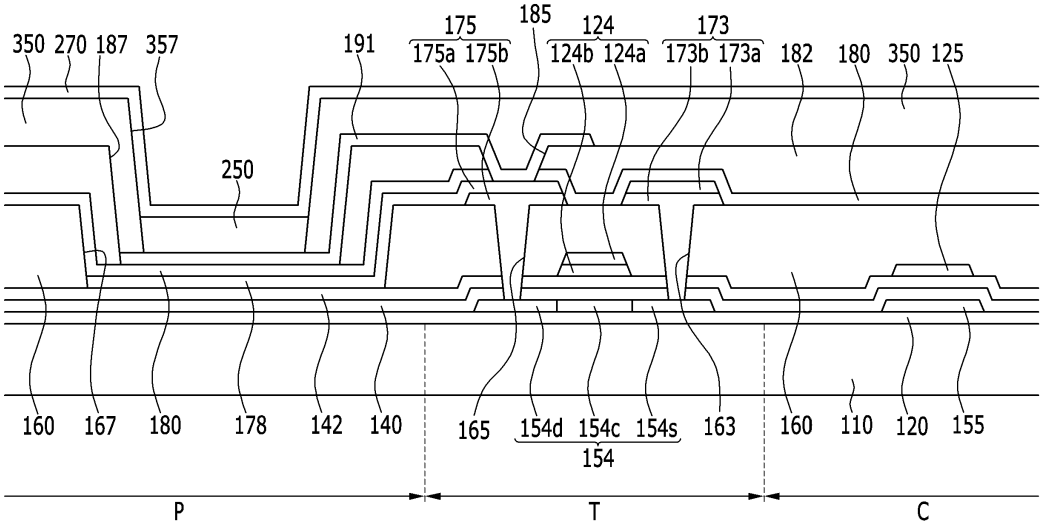
(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조 방법**

## (57) 요 약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 기판 위에 배치되어 있으며, 채널 영역과 채널 영역의 양쪽에 각각 위치한 소스 영역 및 드레인 영역을 포함하는 반도체층, 반도체층 위에 배치되어 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 배치되어 있으며, 제1 게이트 절연막의 굴절율보다 더 큰 굴절율을 가지는 제2

(뒷면에 계속)

*대 표 도* - 도1



게이트 절연막, 제2 게이트 절연막 위에 배치되어 있으며, 채널 영역과 중첩하는 게이트 전극, 제2 게이트 절연막 위에 배치되어 있으며, 게이트 전극과 떨어져 있는 미세 공진 전극, 소스 영역과 연결되어 있는 소스 전극, 드레인 영역과 연결되어 있는 드레인 전극, 소스 전극, 상기 드레인 전극 및 미세 공진 전극 위에 배치되어 있는 미세 공진 절연막, 미세 공진 절연막 위에 배치되어 있으며, 드레인 전극과 연결되어 있는 화소 전극, 화소 전극 위에 배치되어 있는 유기 발광층, 유기 발광층 위에 배치되어 있는 공통 전극을 포함하고, 미세 공진 절연막의 굴절율은 미세 공진 전극의 굴절율보다 작고, 화소 전극의 굴절율은 미세 공진 절연막의 굴절율보다 크다.

# 명 세 서

## 청구범위

### 청구항 1

기판,

상기 기판 위에 배치되어 있으며, 채널 영역과 상기 채널 영역의 양쪽에 각각 위치한 소스 영역 및 드레인 영역을 포함하는 반도체층,

상기 반도체층 위에 배치되어 있는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 배치되어 있으며, 상기 제1 게이트 절연막의 굴절율보다 더 큰 굴절율을 가지는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 배치되어 있으며, 상기 채널 영역과 중첩하는 게이트 전극,

상기 제2 게이트 절연막 위에 배치되어 있으며, 상기 게이트 전극과 떨어져 있는 미세 공진 전극,

상기 소스 영역과 연결되어 있는 소스 전극,

상기 드레인 영역과 연결되어 있는 드레인 전극,

상기 소스 전극, 상기 드레인 전극 및 상기 미세 공진 전극 위에 배치되어 있는 미세 공진 절연막,

상기 미세 공진 절연막 위에 배치되어 있으며, 상기 드레인 전극과 연결되어 있는 화소 전극,

상기 화소 전극 위에 배치되어 있는 유기 발광층,

상기 유기 발광층 위에 배치되어 있는 공통 전극을 포함하고,

상기 미세 공진 절연막의 굴절율은 상기 미세 공진 전극의 굴절율보다 작고,

상기 화소 전극의 굴절율은 상기 미세 공진 절연막의 굴절율보다 큰 유기 발광 표시 장치.

### 청구항 2

제1항에서,

상기 제1 게이트 절연막 및 상기 미세 공진 절연막은 산화 규소($SiO_2$)를 포함하는 유기 발광 표시 장치.

### 청구항 3

제2항에서,

상기 제2 게이트 절연막은 질화 규소(SiNx)를 포함하는 유기 발광 표시 장치.

### 청구항 4

제3항에서,

상기 소스 전극은 하부 소스 전극 및 상기 하부 소스 전극 위에 배치되어 있는 상부 소스 전극을 포함하고,

상기 드레인 전극은 하부 드레인 전극 및 상기 하부 드레인 전극 위에 배치되어 있는 상부 드레인 전극을 포함하는 유기 발광 표시 장치.

### 청구항 5

제4항에서,

상기 미세 공진 전극은 상기 상부 드레인 전극으로부터 연장되어 있는 유기 발광 표시 장치.

### 청구항 6

제5항에서,

상기 하부 소스 전극은 상기 소스 영역에 연결되어 있고, 상기 하부 드레인 전극은 상기 드레인 영역에 연결되어 있는 유기 발광 표시 장치.

**청구항 7**

제6항에서,

상기 미세 공진 전극, 상기 상부 드레인 전극, 상기 상부 소스 전극 및 상기 화소 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함하는 유기 발광 표시 장치.

**청구항 8**

제3항에서,

상기 게이트 전극은 하부 게이트 전극 및 상기 하부 게이트 전극 위에 배치되어 있는 상부 게이트 전극을 포함하는 유기 발광 표시 장치.

**청구항 9**

제8항에서,

상기 상부 게이트 전극과 상기 미세 공진 전극은 동일한 물질로 이루어져 있는 유기 발광 표시 장치.

**청구항 10**

제9항에서,

상기 미세 공진 전극, 상기 상부 게이트 전극 및 상기 화소 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함하는 유기 발광 표시 장치.

**청구항 11**

기판 위에 채널 영역과 상기 채널 영역의 양쪽에 각각 위치한 소스 영역 및 드레인 영역을 포함하는 반도체층을 형성하는 단계,

상기 반도체층 위에 제1 게이트 절연막을 형성하는 단계,

상기 제1 게이트 절연막 위에 상기 제1 게이트 절연막의 굴절율보다 더 큰 굴절율을 가지는 제2 게이트 절연막을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 채널 영역과 중첩하는 게이트 전극을 형성하는 단계,

상기 제2 게이트 절연막 위에 상기 게이트 전극과 떨어져 있는 미세 공진 전극을 형성하는 단계,

상기 소스 영역과 연결되어 있는 소스 전극 및 상기 드레인 영역과 연결되어 있는 드레인 전극을 형성하는 단계,

상기 소스 전극, 상기 드레인 전극 및 상기 미세 공진 전극 위에 미세 공진 절연막을 형성하는 단계,

상기 미세 공진 절연막 위에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계,

상기 화소 전극 위에 유기 발광층을 형성하는 단계,

상기 유기 발광층 공통 전극을 형성하는 단계를 포함하고,

상기 미세 공진 절연막의 굴절율은 상기 미세 공진 전극의 굴절율보다 작고,

상기 화소 전극의 굴절율은 상기 미세 공진 절연막의 굴절율보다 큰 유기 발광 표시 장치의 제조 방법.

**청구항 12**

제11항에서,

상기 제1 게이트 절연막 및 상기 미세 공진 절연막은 산화 규소($SiO_2$)로 형성하는 유기 발광 표시 장치의 제조 방법.

**청구항 13**

제12항에서,

상기 제2 게이트 절연막은 질화 규소(SiNx)로 형성하는 유기 발광 표시 장치의 제조 방법.

**청구항 14**

제13항에서,

상기 소스 전극 및 상기 드레인 전극을 형성하는 단계는

하부 소스 전극 및 하부 드레인 전극을 형성하는 단계 및

상기 하부 소스 전극 위 및 상기 하부 드레인 전극 위에 각각 상부 소스 전극 및 상부 드레인 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 15**

제14항에서,

상기 미세 공진 전극을 형성하는 단계는 상기 상부 소스 전극 및 상기 상부 드레인 전극을 형성하는 단계와 동시에 이루어지는 유기 발광 표시 장치의 제조 방법.

**청구항 16**

제15항에서,

상기 하부 소스 전극은 상기 소스 영역에 연결되고, 상기 하부 드레인 전극은 상기 드레인 영역에 연결되는 유기 발광 표시 장치의 제조 방법.

**청구항 17**

제16항에서,

상기 미세 공진 전극, 상기 상부 드레인 전극, 상기 상부 소스 전극 및 상기 화소 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나로 형성하는 유기 발광 표시 장치의 제조 방법.

**청구항 18**

제13항에서,

상기 게이트 전극을 형성하는 단계는

하부 게이트 전극을 형성하는 단계 및

상기 하부 게이트 전극 상부 게이트 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 19**

제18항에서,

상기 미세 공진 전극을 형성하는 단계는 상기 상부 게이트 전극을 형성하는 단계와 동시에 이루어지는 유기 발광 표시 장치의 제조 방법.

**청구항 20**

제19항에서,

상기 미세 공진 전극, 상기 상부 게이트 전극 및 화소 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나로 형성하는 유기 발광 표시 장치의 제조 방법.

## 발명의 설명

### 기 술 분 야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

### 배 경 기 술

[0002] 최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 액정 표시 장치(liquid crystal display, LCD)로 대체되고 있다. 그러나, 액정 표시 장치는 수발광 소자로서 별도의 백라이트(backlight)가 필요할 뿐만 아니라, 응답 속도 및 시야각 등에서 한계가 있다.

[0003] 최근 이러한 한계를 극복할 수 있는 표시 장치로서, 자발광형 표시소자로 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답시간이 빠르다는 장점을 가진 유기 발광 장치(organic light emitting device)가 커다란 주목을 받고 있다.

[0004] 이러한 유기 발광 장치는 서로 마주하는 두 전극들과 두 전극들 사이에 개재되어 있는 유기층을 포함한다. 유기 발광 장치는 일 전극으로부터 주입된 정공(hole)과 다른 전극으로부터 주입된 전자(electron)가 유기층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다. 유기 발광 장치는 표시장치 및 조명장치를 포함하는 다양한 분야에 응용될 수 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 색 순도 및 광 효율이 향상시킬 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것이다.

### 과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 기판 위에 배치되어 있으며, 채널 영역과 채널 영역의 양쪽에 각각 위치한 소스 영역 및 드레인 영역을 포함하는 반도체층, 반도체층 위에 배치되어 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 배치되어 있으며, 제1 게이트 절연막의 굴절율보다 더 큰 굴절율을 가지는 제2 게이트 절연막, 제2 게이트 절연막 위에 배치되어 있으며, 채널 영역과 중첩하는 게이트 전극, 제2 게이트 절연막 위에 배치되어 있으며, 게이트 전극과 떨어져 있는 미세 공진 전극, 소스 영역과 연결되어 있는 소스 전극, 드레인 영역과 연결되어 있는 드레인 전극, 소스 전극, 상기 드레인 전극 및 미세 공진 전극 위에 배치되어 있는 미세 공진 절연막, 미세 공진 절연막 위에 배치되어 있으며, 드레인 전극과 연결되어 있는 화소 전극, 화소 전극 위에 배치되어 있는 유기 발광층, 유기 발광층 위에 배치되어 있는 공통 전극을 포함하고, 미세 공진 절연막의 굴절율은 미세 공진 전극의 굴절율보다 작고, 화소 전극의 굴절율은 미세 공진 절연막의 굴절율보다 크다.

[0007] 제1 게이트 절연막 및 미세 공진 절연막은 산화 규소($SiO_2$)를 포함할 수 있다.

[0008] 제2 게이트 절연막은 질화 규소(SiNx)를 포함할 수 있다.

[0009] 소스 전극은 하부 소스 전극 및 하부 소스 전극 위에 배치되어 있는 상부 소스 전극을 포함하고, 드레인 전극은 하부 드레인 전극 및 하부 드레인 전극 위에 배치되어 있는 상부 드레인 전극을 포함할 수 있다.

[0010] 미세 공진 전극은 상부 드레인 전극과 동일한 물질로 이루어져 있을 수 있다.

[0011] 하부 소스 전극은 소스 영역에 연결되어 있고, 하부 드레인 전극은 드레인 영역에 연결되어 있을 수 있다.

[0012] 미세 공진 전극, 상부 드레인 전극, 상부 소스 전극 및 화소 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도

하나를 포함할 수 있다.

[0013] 게이트 전극은 하부 게이트 전극 및 하부 게이트 전극 위에 배치되어 있는 상부 게이트 전극을 포함할 수 있다.

[0014] 상부 게이트 전극과 미세 공진 전극은 동일한 물질로 이루어져 있을 수 있다.

[0015] 미세 공진 전극, 상부 게이트 전극 및 화소 전극은 ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0016] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 채널 영역과 채널 영역의 양쪽에 각각 위치한 소스 영역 및 드레인 영역을 포함하는 반도체층을 형성하는 단계, 반도체층 위에 제1 게이트 절연막을 형성하는 단계, 제1 게이트 절연막 위에 제1 게이트 절연막의 굴절율보다 더 큰 굴절율을 가지는 제2 게이트 절연막을 형성하는 단계, 제2 게이트 절연막 위에 채널 영역과 중첩하는 게이트 전극을 형성하는 단계,제2 게이트 절연막 위에 게이트 전극과 떨어져 있는 미세 공진 전극을 형성하는 단계, 소스 영역과 연결되어 있는 소스 전극 및 드레인 영역과 연결되어 있는 드레인 전극을 형성하는 단계, 소스 전극, 드레인 전극 및 미세 공진 전극 위에 미세 공진 절연막을 형성하는 단계, 미세 공진 절연막 위에 드레인 전극과 연결되는 화소 전극을 형성하는 단계, 화소 전극 위에 유기 발광층을 형성하는 단계, 유기 발광층 공통 전극을 형성하는 단계를 포함하고, 미세 공진 절연막의 굴절율은 미세 공진 전극의 굴절율보다 작고, 화소 전극의 굴절율은 미세 공진 절연막의 굴절율보다 크다.

[0017] 소스 전극 및 드레인 전극을 형성하는 단계는 하부 소스 전극 및 하부 드레인 전극을 형성하는 단계 및 하부 소스 전극 위 및 하부 드레인 전극 위에 각각 상부 소스 전극 및 상부 드레인 전극을 형성하는 단계를 포함할 수 있다.

[0018] 미세 공진 전극을 형성하는 단계는 상부 소스 전극 및 상부 드레인 전극을 형성하는 단계와 동시에 이루어질 수 있다.

[0019] 게이트 전극을 형성하는 단계는 하부 게이트 전극을 형성하는 단계 및 하부 게이트 전극 상부 게이트 전극을 형성하는 단계를 포함할 수 있다.

[0020] 미세 공진 전극을 형성하는 단계는 상부 게이트 전극을 형성하는 단계와 동시에 이루어질 수 있다.

## *발명의 효과*

[0021] 이와 같이 본 발명의 실시예에 따르면, 굴절율이 작은 층(미세 공진 절연막 및 제1 게이트 절연막과 굴절율이 큰 층(화소 전극, 미세 공진 전극 및 제2 게이트 절연막)을 교대로 배치함으로써, 이 층들 사이의 굴절율 차이로 인하여 공진 효과가 발생하고, 이에 따라 유기 발광 표시 장치의 색 순도 및 광 효율을 향상시킬 수 있다.

[0022] 또한, 화소 영역의 제2 게이트 절연막 위에 투명 도전 물질로 이루어진 미세 공진 전극을 배치함으로써, 파티클 또는 이물질이 존재하는 부분이 돌출되는 것을 방지하고, 이에 따라, 화소 전극과 공통 전극 사이에 전기적 단락(short)이 발생하는 것을 방지할 수 있다.

## *도면의 간단한 설명*

[0023] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

도 2 내지 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순서대로 도시한 도면이다.

도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

도 11 및 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 도시한 도면이다.

## *발명을 실시하기 위한 구체적인 내용*

[0024] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0025] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0026] 도 1을 참고하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대해서 상세하게 설명한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

[0028] 도 1을 참고하면, 본 실시예에 유기 발광 표시 장치는 기판(110) 및 기판(110) 위에는 배치되어 있는 유기 발광층(250)을 포함하는 화소 영역(P), 박막 트랜지스터가 배치되어 있는 트랜지스터 영역(T) 및 커패시터가 배치되어 있는 커패시터 영역(C)을 포함한다.

[0029] 투명한 유리 또는 플라스틱 등의 절연 물질로 이루어진 기판(110) 위에는 버퍼층(120)이 배치되어 있다. 버퍼층(120)은 수분이나 외부 물질이 침투되는 것을 방지하는 것으로, 산화 규소($SiO_2$) 또는 산화 질소(SiOx) 등으로 이루어질 수 있다.

[0030] 버퍼층(120) 위에는 반도체층(154) 및 하부 캐패시터 전극(155)이 배치되어 있다.

[0031] 반도체층(154)은 다결정 실리콘으로 이루어져 있으며, 트랜지스터 영역(T)에 배치되어 있다. 반도체층(154)은 채널 영역(154c)과 채널 영역(154c)의 양쪽에 위치한 소스 영역(154s) 및 드레인 영역(154d)을 포함한다.

[0032] 소스 영역(154s) 및 드레인 영역(154d)은 불순물 이온이 도핑되어 있다.

[0033] 하부 캐패시터 전극(155)은 캐패시터 영역(C)에 배치되어 있다. 하부 캐패시터 전극(155)은 다결정 실리콘에 불순물 이온이 도핑되어 있다.

[0034] 반도체층(154), 하부 캐패시터 전극(155) 및 버퍼층(120) 위에는 제1 게이트 절연막(140)이 배치되어 있다. 제1 게이트 절연막(140)은 산화 규소($SiO_2$)이 이루어져 있다.

[0035] 제1 게이트 절연막(140) 위에는 제2 게이트 절연막(142)이 배치되어 있다. 제2 게이트 절연막(142)은 질화 규소(SiNx)로 이루어져 있다. 또한, 제2 게이트 절연막(142)은 산화 지르코늄($ZrO_3$), 금속이 도핑된 산화 지르코늄, 산화 하프늄($HfO_3$), 금속이 도핑된 산화 하프늄, 산화 티타늄($TiO_2$), 금속이 도핑된 산화 티타늄, 산화 알루미늄($Al2O_3$) 및 금속이 도핑된 산화 알루미늄 등의 고유전율의 물질로 이루어질 수 있다.

[0036] 여기서, 제2 게이트 절연막(142)의 굴절율은 제1 게이트 절연막(140)의 굴절율보다 더 크다.

[0037] 제2 게이트 절연막(142) 위에는 서로 떨어져 있는 게이트 전극(124), 상부 캐패시터 전극(125) 및 미세 공진 전극(178)이 배치되어 있다.

[0038] 게이트 전극(124)은 트랜지스터 영역(T)에 배치되어 있고, 반도체층(154)의 채널 영역(154c)과 중첩한다. 게이트 전극(124)은 제2 게이트 절연막(142) 위에 배치되어 있는 하부 게이트 전극(124b)과 하부 게이트 전극(124b) 위에 배치되어 있는 상부 게이트 전극(124a)을 포함한다. 하부 게이트 전극(124b)은 몰리브덴(Mo), 알루미늄(Al) 및 몰리브덴이 차례로 배치되어 있는 삼중층 구조일 수 있다. 상부 게이트 전극(124a)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다. 상부 게이트 전극(124a)의 하부 게이트 전극(124b)이 부식되는 것을 방지한다.

[0039] 상부 캐패시터 전극(125)은 캐패시터 영역(C)에 배치되어 있고, 하부 캐패시터 전극(155)과 중첩한다. 상부 캐패시터 전극(125)의 재질은 상부 게이트 전극(124a)의 재질과 동일하다.

[0040] 여기서, 하부 캐패시터 전극(155), 상부 캐패시터 전극(125), 는 하부 캐패시터 전극(155) 및 상부 캐패시터 전극(125) 사이에 배치되어 있는 제1 게이트 절연막(140)과 제2 게이트 절연막(142)는 캐패시터를 이룬다. 제1 게이트 절연막(140)과 제2 게이트 절연막(142)은 유전체가 된다.

[0041] 미세 공진 전극(178)은 화소 영역(P)에 배치되어 있다. 미세 공진 전극(178)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다. 미세 공진 전극(178)의 굴절율은 제2

게이트 절연막(142)의 굴절율과 거의 동일하다.

[0042] 한편, 반도체층(154)의 결정화 및 식각에 따른 파티클 또는 이물질이 제1 게이트 절연막(140)의 표면에 존재할 수 있다. 이처럼, 제1 게이트 절연막(140)에 파티클 또는 이물질이 존재하게 되면, 이 후 박막 적층 공정 시, 파티클 또는 이물질이 존재하는 부분이 돌출되게 된다. 이러한 돌출된 부분으로 인하여 이후 설명하는 화소 전극(191)과 공통 전극(270) 사이에 전기적 단락(short) 발생할 수 있다.

[0043] 이에, 본 실시예에서는 화소 영역(P)의 제2 게이트 절연막(142) 위에 투명 도전 물질로 이루어진 미세 공진 전극(178)을 배치하여 파티클 또는 이물질이 존재하는 부분이 돌출되는 것을 방지한다. 이에 따라, 화소 전극(191)과 공통 전극(270) 사이에 전기적 단락(short)이 발생하는 것을 방지할 수 있다.

[0044] 게이트 전극(124), 상부 캐패시터 전극(125), 미세 공진 전극(178) 및 제2 게이트 절연막(142) 위에는 층간 절연막(160)이 배치되어 있다.

[0045] 트랜지스터 영역(T)에서의 제1 게이트 절연막(140), 제2 게이트 절연막(142) 및 층간 절연막(160)에는 반도체층(154)의 소스 영역(154s)의 일부를 노출하는 소스 접촉구(163)와 반도체층(154)의 드레인 영역(154d)의 일부를 노출하는 드레인 접촉구(165)가 형성되어 있다.

[0046] 화소 영역(P)의 층간 절연막(160)에는 제2 게이트 절연막(142)의 일부를 노출하는 층간 절연 개구부(167)가 형성되어 있다. 미세 공진 전극(178)은 층간 절연 개구부(167) 내에 배치되어 있다.

[0047] 층간 절연막(160) 위에는 소스 전극(173) 및 드레인 전극(175)이 배치되어 있다.

[0048] 소스 전극(173)은 트랜지스터 영역(T)에 배치되어 있고, 소스 접촉구(163)를 통하여 반도체층(154)의 소스 영역(154s)에 연결되어 있다. 드레인 전극(175)은 트랜지스터 영역(T)에 배치되어 있고, 드레인 접촉구(165)를 통하여 반도체층(154)의 드레인 영역(154d)에 연결되어 있다.

[0049] 소스 전극(173)은 반도체층(154)의 소스 영역(154s)에 연결되어 있는 하부 소스 전극(173b)과 하부 소스 전극(173b) 위에 배치되어 있는 상부 소스 전극(173a)을 포함한다. 드레인 전극(175)은 반도체층(154)의 드레인 영역(154d)에 연결되어 있는 하부 드레인 전극(175b)과 하부 드레인 전극(175b) 위에 배치되어 있는 상부 드레인 전극(175a)을 포함한다.

[0050] 하부 소스 전극(173b)과 하부 드레인 전극(175b)은 각각 몰리브덴(Mo), 알루미늄(Al) 및 몰리브덴이 차례로 배치되어 있는 삼중층 구조일 수 있다. 상부 소스 전극(173a)과 상부 드레인 전극(175a)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0051] 미세 공진 전극(178)은 상부 드레인 전극(175a)으로부터 연장되어 있다. 즉, 상부 드레인 전극(175a)과 미세 공진 전극(178)은 동일한 재질로 이루어져 있다.

[0052] 소스 전극(173), 드레인 전극(175), 미세 공진 전극(178) 및 층간 절연막(160) 위에는 미세 공진 절연막(180)이 배치되어 있다.

[0053] 미세 공진 절연막(180)은 산화 규소($SiO_2$)로 이루어져 있다. 미세 공진 절연막(180)의 굴절율은 미세 공진 전극(178)의 굴절율보다 작다.

[0054] 미세 공진 절연막(180) 위에는 보호막(182)이 배치되어 있다.

[0055] 트랜지스터 영역(T)에서의 미세 공진 절연막(180) 및 보호막(182)에는 드레인 전극(175)의 일부를 노출하는 화소 접촉구(185)가 형성되어 있다.

[0056] 화소 영역(P)에서의 보호막(182)에는 미세 공진 절연막(180)의 일부를 노출하는 보호 개구부(187)가 형성되어 있다. 보호 개구부(187)는 층간 절연 개구부(167) 내에 배치되어 있다.

[0057] 보호막(182) 및 보호 개구부(187) 내의 미세 공진 절연막(180) 위에는 화소 전극(191)이 배치되어 있다.

[0058] 화소 전극(191)은 화소 접촉구(185)를 통하여 드레인 전극(175)과 연결되어 있고, 보호 개구부(187) 내의 미세 공진 절연막(180) 위까지 연장되어 있다.

[0059] 화소 전극(191)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아

연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0060] 화소 전극(191)의 굴절율은 미세 공진 절연막(180)의 굴절율보다 더 크다.

[0061] 화소 전극(191) 및 보호막(182) 위에는 화소 정의막(350)이 배치되어 있다. 화소 영역(P)에서의 화소 정의막(350)에는 화소 전극(191)의 일부를 노출하는 화소 정의 개구부(357)가 형성되어 있다. 화소 정의 개구부(357)는 보호 개구부(187) 내에 배치되어 있다.

[0062] 화소 정의 개구부(357) 내의 화소 전극(191) 위에는 유기 발광층(250)이 배치되어 있고, 유기 발광층(250) 및 화소 정의막(350) 위에는 공통 전극(270)이 배치되어 있다.

[0063] 화소 전극(191), 유기 발광층(250) 및 공통 전극(270)은 유기 발광 다이오드를 이룬다. 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(250) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기 상태로부터 기저 상태로 떨어질 때 발광이 이루어진다.

[0064] 유기 발광층(250)은 저분자 유기물 또는 고분자 유기물로 이루어져 있을 수 있다. 또한, 유기 발광층(250)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극(270)은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.

[0065] 여기서, 화소 전극(191), 미세 공진 절연막(180), 미세 공진 전극(178), 제2 게이트 절연막(142) 및 제1 게이트 절연막(140)은 미세 공진 구조를 이룬다.

[0066] 화소 전극(191), 미세 공진 전극(178) 및 제2 게이트 절연막(142)의 굴절율은 미세 공진 절연막(180) 및 제1 게이트 절연막(140)의 굴절율보다 더 크다.

[0067] 이처럼, 굴절율이 작은 층(미세 공진 절연막(180) 및 제1 게이트 절연막(140))과 굴절율이 큰 층(화소 전극(191), 미세 공진 전극(178) 및 제2 게이트 절연막(142))이 교대로 배치되어 이 층들 사이의 굴절율 차이로 인하여 공진 효과가 발생하고, 이에 따라 유기 발광 표시 장치의 색 순도 및 광 효율을 향상시킬 수 있다.

[0068] 한편, 본 실시예에 따른 유기 발광 표시 장치는 제1 게이트 절연막(140) 위에 배치되어 있는 제2 게이트 절연막(142)을 포함하고 있지만, 이에 한정하지 않고, 제2 게이트 절연막(142)을 생략할 수도 있다.

[0069] 그러면, 도 2 내지 도 8 및 도 1을 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명한다.

[0070] 도 2 내지 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순서대로 도시한 도면이다.

[0071] 도 2를 참고하면, 기판(110) 위에 버퍼층(120)을 형성한 다음, 버퍼층(120) 위에 비정질 실리콘층을 형성한 후, 비정질 실리콘층을 결정화하여 다결정 실리콘층(150)을 형성한다.

[0072] 도 3을 참고하면, 다결정 실리콘층(150)을 식각하여 반도체층(154)과 하부 캐패시터 반도체층(155a)을 형성한 후, 반도체층(154), 하부 캐패시터 반도체층(155a) 및 버퍼층(120) 위에 제1 게이트 절연막(140)과 제2 게이트 절연막(142)을 차례로 형성한다. 여기서, 반도체층(154)과 하부 캐패시터 반도체층(155a)은 서로 떨어져 배치되어 있다.

[0073] 제1 게이트 절연막(140)은 산화 규소($SiO_2$)로 형성하고, 제2 게이트 절연막(142)은 제1 게이트 절연막(140)의 굴절율보다 더 큰 굴절율을 가지는 질화 규소(SiNx)로 형성한다. 또한, 제2 게이트 절연막(142)은 제1 게이트 절연막(140)의 굴절율보다 더 큰 굴절율을 가지는 산화 지르코늄($ZrO_3$), 금속이 도핑된 산화 지르코늄, 산화 하프늄($HfO_3$), 금속이 도핑된 산화 하프늄, 산화 티타늄($TiO_2$), 금속이 도핑된 산화 티타늄, 산화 알루미늄($Al2O_3$)

및 금속이 도핑된 산화 알루미늄 등의 고유전율의 물질으로 형성할 수도 있다.

[0074] 한편, 제2 게이트 절연막(142)은 생략할 수도 있다.

[0075] 도 4를 참고하면, 제2 게이트 절연막(142) 위에 게이트 전극(124) 및 상부 캐패시터 전극(125)을 형성한다. 게이트 전극(124)은 반도체층(154)과 중첩하고, 상부 캐패시터 전극(125)은 하부 캐패시터 반도체층(155a)과 중첩한다.

[0076] 게이트 전극(124)의 형성은 제2 게이트 절연막(142) 위에 하부 게이트 전극(124b)을 형성한 후, 하부 게이트 전극(124b) 위에 상부 게이트 전극(124a)를 형성한다.

[0077] 상부 캐패시터 전극(125)의 형성은 상부 게이트 전극(124a)의 형성과 동시에 이루어진다.

[0078] 하부 게이트 전극(124b)은 몰리브덴(Mo), 알루미늄(Al) 및 몰리브덴이 차례로 배치되어 있는 삼중층 구조일 수 있다.

[0079] 상부 게이트 전극(124a) 및 상부 캐패시터 전극(125)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0080] 이어서, 게이트 전극(124)을 마스크로 하여 반도체층(154)에 불순물을 도핑하여 소스 영역(154s) 및 드레인 영역(154d)을 형성한다. 이 때, 게이트 전극(124)과 중첩된 반도체층(154) 부분은 채널 영역(154c)이 된다.

[0081] 또한, 하부 캐패시터 반도체층(155a)에도 불순물이 도핑되어 하부 캐패시터 전극(155)을 형성한다.

[0082] 도 5를 참고하면, 게이트 전극(124), 상부 캐패시터 전극(125) 및 제2 게이트 절연막(142) 위에 층간 절연막(160)을 형성한다.

[0083] 이어서, 층간 절연막(160), 제2 게이트 절연막(142) 및 제1 게이트 절연막(140)에 반도체층(154)의 소스 영역(154s)을 노출하는 소스 접촉구(163)와 반도체층(154)의 드레인 영역(154d)을 노출하는 드레인 접촉구(165)를 형성한다.

[0084] 또한, 층간 절연막(160)에 제2 게이트 절연막(142)의 일부를 노출하는 층간 절연 개구부(167)를 형성한다.

[0085] 도 6을 참고하면, 층간 절연막(160) 위에 반도체층(154)의 소스 영역(154s)에 연결되는 소스 전극(173) 및 반도체층(154)의 드레인 영역(154d)에 연결되는 드레인 전극(175)을 형성한다. 또한, 층간 절연 개구부(167) 내의 제2 게이트 절연막(142) 위에 미세 공진 전극(178)을 형성한다.

[0086] 소스 전극(173) 및 드레인 전극(175)의 형성은 소스 접촉구(163)를 통하여 반도체층(154)의 소스 영역(154s)에 연결되는 하부 소스 전극(173b) 및 드레인 접촉구(165)를 통하여 반도체층(154)의 드레인 영역(154d)에 연결되는 하부 드레인 전극(175b)을 형성한 후, 하부 소스 전극(173b) 위 및 하부 드레인 전극(175b) 위에 각각 상부 소스 전극(173a) 및 상부 드레인 전극(175a)을 형성한다.

[0087] 또한, 상부 소스 전극(173a) 및 상부 드레인 전극(175a)의 형성 시, 상부 드레인 전극(175a)으로부터 연장되어 있는 미세 공진 전극(178)을 같이 형성한다.

[0088] 하부 소스 전극(173b)과 하부 드레인 전극(175b)은 각각 몰리브덴(Mo), 알루미늄(Al) 및 몰리브덴이 차례로 배치되어 있는 삼중층 구조일 수 있다.

[0089] 상부 소스 전극(173a), 상부 드레인 전극(175a) 및 미세 공진 전극(178)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0090] 미세 공진 전극(178)은 상부 드레인 전극(175a)과 연결된다.

[0091] 도 7을 참고하면, 소스 전극(173), 드레인 전극(175), 미세 공진 전극(178) 및 층간 절연막(160) 위에 미세 공진 절연막(180) 및 보호막(182)을 차례로 형성한다. 미세 공진 절연막(180)은 산화 규소($SiO_2$)로 형성한다.

[0092] 이어서, 미세 공진 절연막(180) 및 보호막(182)에 드레인 전극(175)의 일부를 노출하는 화소 접촉구(185)를 형성한다.

[0093] 또한, 보호막(182)에 미세 공진 절연막(180)의 일부를 노출하는 보호 개구부(187)를 형성한다. 보호 개구부

(187)는 층간 절연 개구부(167) 내에 위치한다.

[0094] 도 8을 참고하면, 보호막(182) 및 보호 개구부(187) 내에 위치한 미세 공진 절연막(180) 위에 화소 전극(191)을 형성한다.

[0095] 화소 전극(191)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0096] 화소 전극(191)은 화소 접촉구(185)를 통하여 드레인 전극(175)과 연결된다.

[0097] 도 9를 참고하면, 화소 전극(191) 및 보호막(182) 위에 화소 정의막(350)을 형성한다.

[0098] 이어서, 화소 정의막(350)에 화소 전극(191)의 일부를 노출하는 화소 정의 개구부(357)를 형성한다. 화소 정의 개구부(357)는 보호 개구부(187) 내에 위치한다.

[0099] 도 1을 참고하면, 화소 정의 개구부(357) 내에 위치한 화소 전극(191) 위에 유기 발광층(250)을 형성한 후, 유기 발광층(250) 및 화소 정의막(350) 위에 공통 전극(270)을 형성한다.

[0100] 그러면, 도 10을 참고하여 본 발명의 다른 실시예에 따른 유기 발광 장치에 대해 설명한다.

[0101] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

[0102] 도 10을 참고하면, 본 실시예에 유기 발광 표시 장치는 도 1에 따른 유기 발광 표시 장치와 비교할 때, 미세 공진 전극(178), 소스 전극(173) 및 드레인 전극(175)의 구조가 다르고, 보호막(182)이 존재하지 않는 것 이외에는 도 1에 따른 유기 발광 표시 장치의 구조와 동일하다. 이에, 동일한 구조의 설명은 생략한다.

[0103] 본 실시예에 따른 유기 발광 표시 장치는 기판(110) 위에 버퍼층(120)이 배치되어 있고, 버퍼층(120) 위에 반도체층(154) 및 하부 캐패시터 전극(155)이 배치되어 있다.

[0104] 반도체층(154), 하부 캐패시터 전극(155) 및 버퍼층(120) 위에 제1 게이트 절연막(140) 및 제2 게이트 절연막(142)이 차례로 배치되어 있다.

[0105] 제1 게이트 절연막(140)은 산화 규소($SiO_2$)이 이루어져 있다.

[0106] 제2 게이트 절연막(142)은 질화 규소(SiNx)로 이루어져 있다. 또한, 제2 게이트 절연막(142)은 산화 지르코늄($ZrO_3$), 금속이 도핑된 산화 지르코늄, 산화 하프늄($HfO_3$), 금속이 도핑된 산화 하프늄, 산화 티타늄($TiO_2$), 금속이 도핑된 산화 티타늄, 산화 알루미늄($Al2O_3$) 및 금속이 도핑된 산화 알루미늄 등의 고유전율의 물질로 이루어질 수 있다.

[0107] 여기서, 제2 게이트 절연막(142)의 굴절율은 제1 게이트 절연막(140)의 굴절율보다 더 크다.

[0108] 화소 영역(P)의 제2 게이트 절연막(142) 위에 미세 공진 전극(178)이 배치되어 있다.

[0109] 트랜지스터 영역(T)의 제2 게이트 절연막(142) 위에는 반도체층(154)의 채널 영역(154c)과 중첩하는 게이트 전극(124)이 배치되어 있다.

[0110] 커패시터 영역(C)의 제2 게이트 절연막(142) 위에는 하부 캐패시터 전극(155)과 중첩하는 상부 캐패시터 전극(125)이 배치되어 있다.

[0111] 게이트 전극(124)은 제2 게이트 절연막(142) 위에 배치되어 있는 하부 게이트 전극(124b)과 하부 게이트 전극(124b) 위에 배치되어 있는 상부 게이트 전극(124a)을 포함한다. 하부 게이트 전극(124b)은 몰리브덴(Mo), 알루미늄(Al) 및 몰리브덴이 차례로 배치되어 있는 삼중층 구조일 수 있다.

[0112] 상부 게이트 전극(124a), 상부 캐패시터 전극(125) 및 미세 공진 전극(178)의 재질은 동일하다.

[0113] 상부 게이트 전극(124a), 상부 캐패시터 전극(125) 및 미세 공진 전극(178)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0114] 미세 공진 전극(178)의 굴절율은 제2 게이트 절연막(142)의 굴절율과 거의 동일하다.

[0115] 트랜지스터 영역(T)의 층간 절연막(160) 위에는 소스 전극(173)과 드레인 전극(175)이 배치되어 있다.

[0116] 소스 전극(173)은 소스 접촉구(163)를 통하여 반도체층(154)의 소스 영역(154s)과 연결되어 있고, 드레인 전극(175)은 드레인 접촉구(165)를 통하여 반도체층(154)은 드레인 영역(154d)와 연결되어 있다.

[0117] 미세 공진 전극(178)과 드레인 전극(175)은 연결되어 있지 않다.

[0118] 화소 전극(191)은 미세 공진 절연막(180) 위에 배치되어 있으며, 화소 접촉구(185)를 통하여 드레인 전극(175)과 연결되어 있다. 화소 전극(191)은 층간 절연 개구부(167) 내의 미세 공진 절연막(180) 위까지 연장되어 있다.

[0119] 미세 공진 절연막(180)은 산화 규소($SiO_2$)로 이루어져 있다.

[0120] 화소 전극(191)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0121] 화소 전극(191)의 굴절율은 미세 공진 절연막(180)의 굴절율보다 더 크다.

[0122] 화소 전극(191) 및 미세 공진 절연막(180) 위에 화소 정의막(350)이 배치되어 있다. 화소 정의막(350)에는 화소 전극(191)의 일부를 노출하는 화소 정의 개구부(357)가 형성되어 있다. 화소 정의 개구부(357)는 층간 절연 개구부(167) 내에 배치되어 있다.

[0123] 화소 정의 개구부(357) 내에 위치한 화소 전극(191) 위에 유기 발광층(250)이 배치되어 있고, 유기 발광층(250) 및 화소 정의막(350) 위에 공통 전극(270)이 배치되어 있다.

[0124] 여기서, 화소 전극(191), 미세 공진 절연막(180), 미세 공진 전극(178), 제2 게이트 절연막(142) 및 제1 게이트 절연막(140)은 미세 공진 구조를 이룬다.

[0125] 화소 전극(191), 미세 공진 전극(178) 및 제2 게이트 절연막(142)의 굴절율은 미세 공진 절연막(180) 및 제1 게이트 절연막(140)의 굴절율보다 더 크다.

[0126] 이처럼, 굴절율이 작은 층(미세 공진 절연막(180) 및 제1 게이트 절연막(140))과 굴절율이 큰 층(화소 전극(191), 미세 공진 전극(178) 및 제2 게이트 절연막(142)이 교대로 배치되어 이 층들 사이의 굴절율 차이로 인하여 공진 효과가 발생하고, 이에 따라 유기 발광 표시 장치의 색 순도 및 광 효율을 향상시킬 수 있다.

[0127] 한편, 본 실시예에 따른 유기 발광 표시 장치는 제1 게이트 절연막(140) 위에 배치되어 있는 제2 게이트 절연막(142)을 포함하고 있지만, 이에 한정하지 않고, 제2 게이트 절연막(142)을 생략할 수도 있다.

[0128] 그러면, 도 11, 도 12 및 도 10을 참고하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명한다.

[0129] 도 11 및 도 12는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 도시한 도면이다.

[0130] 본 실시예 따른 유기 발광 표시 장치의 제조 방법은 앞서 설명한 도 2 내지 도 9의 유기 발광 표시 장치의 제조 방법과 유사하다. 이에, 앞서 설명한 2 내지 도 9의 유기 발광 표시 장치의 제조 방법과 동일한 부분은 도 2 내지 도 9를 참고하여 설명한다.

[0131] 도 2 및 도 3을 참고하면, 기판(110) 위에 버퍼층(120), 비정질 실리콘층을 차례로 형성한 후, 비정질 실리콘층을 결정화하여 다결정 실리콘층(150)을 형성한 다음, 다결정 실리콘층(150)을 식각하여 반도체층(154)과 하부 캐패시터 반도체층(155a)을 형성한다.

[0132] 이어서, 반도체층(154), 하부 캐패시터 반도체층(155a) 및 버퍼층(120) 위에 제1 게이트 절연막(140) 및 제2 게이트 절연막(142)을 차례로 형성한다.

[0133] 도 11을 참고하면, 제2 게이트 절연막(142) 위에 게이트 전극(124), 상부 캐패시터 전극(125) 및 미세 공진 전극(178)을 형성한다.

[0134] 게이트 전극(124)은 반도체층(154)과 중첩하고, 상부 캐패시터 전극(125)은 하부 캐패시터 반도체층(155a)과 중첩한다.

[0135] 게이트 전극(124)의 형성은 제2 게이트 절연막(142) 위에 하부 게이트 전극(124b)을 형성한 후, 하부 게이트 전

극(124b) 위에 상부 게이트 전극(124a)를 형성한다.

[0136] 상부 캐패시터 전극(125) 및 미세 공진 전극(178)의 형성은 상부 게이트 전극(124a)의 형성과 동시에 이루어진다.

[0137] 하부 게이트 전극(124b)은 몰리브덴(Mo), 알루미늄(Al) 및 몰리브덴이 차례로 배치되어 있는 삼중층 구조일 수 있다.

[0138] 상부 게이트 전극(124a), 상부 캐패시터 전극(125) 및 미세 공진 전극(178)은 투명 도전물질로 이루어져 있으며, ITO(indium tin oxide), IZO(indium zinc oxide), 산화아연(ZnO), 산화인듐($In_2O_3$), IGO(indium gallium oxide) 및 AZO(aluminum zinc oxide) 중 적어도 하나를 포함할 수 있다.

[0139] 이어서, 게이트 전극(124)을 마스크로 하여 반도체층(154)에 불순물을 도핑하여 소스 영역(154s) 및 드레인 영역(154d)을 형성한다. 이 때, 게이트 전극(124)과 중첩된 반도체층(154) 부분은 채널 영역(154c)이 된다.

[0140] 또한, 하부 캐패시터 반도체층(155a)에도 불순물이 도핑되어 하부 캐패시터 전극(155)을 형성한다.

[0141] 도 12를 참고하면, 게이트 전극(124), 상부 캐패시터 전극(125), 미세 공진 전극(178) 및 제2 게이트 절연막(142) 위에 층간 절연막(160)을 형성한다.

[0142] 이어서, 층간 절연막(160), 제2 게이트 절연막(142) 및 제1 게이트 절연막(140)에 반도체층(154)의 소스 영역(154s)을 노출하는 소스 접촉구(163)와 반도체층(154)의 드레인 영역(154d)을 노출하는 드레인 접촉구(165)를 형성한다.

[0143] 또한, 층간 절연막(160)에 미세 공진 전극(178)의 일부를 노출하는 층간 절연 개구부(167)를 형성한다.

[0144] 이어서, 층간 절연막(160) 위에 반도체층(154)의 소스 영역(154s)에 연결되는 소스 전극(173) 및 반도체층(154)의 드레인 영역(154d)에 연결되는 드레인 전극(175)을 형성한 후, 소스 전극(173), 드레인 전극(175), 미세 공진 전극(178) 및 층간 절연막(160) 위에 미세 공진 절연막(180)을 형성한다.

[0145] 이어서, 미세 공진 절연막(180)에 드레인 전극(175)의 일부를 노출하는 화소 접촉구(185)를 형성한다.

[0146] 도 10을 참고하면, 미세 공진 절연막(180) 위에 화소 접촉구(185)를 통하여 드레인 전극(175)과 연결되는 화소 전극(191)을 형성한다. 화소 전극(191)은 층간 절연 개구부(167) 내에 위치한 미세 공진 절연막(180) 위까지 연장된다.

[0147] 이어서, 화소 전극(191) 및 미세 공진 절연막(180) 위에 화소 정의막(350)을 형성한 후, 화소 정의막(350)에 화소 전극(191)의 일부를 노출하는 화소 정의 개구부(357)를 형성한다. 화소 정의 개구부(357)는 층간 절연 개구부(167) 내에 위치한다.

[0148] 이어서, 화소 정의 개구부(357) 내에 위치한 화소 전극(191) 위에 유기 발광층(250)을 형성한 후, 유기 발광층(250) 및 화소 정의막(350) 위에 공통 전극(270)을 형성한다.

[0149] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

## *부호의 설명*

[0150]

110: 기판 124: 게이트 전극

140: 제1 게이트 절연막 142: 제2 게이트 절연막

154: 반도체층 173: 소스 전극

175: 드레인 전극 178: 미세 공진 전극

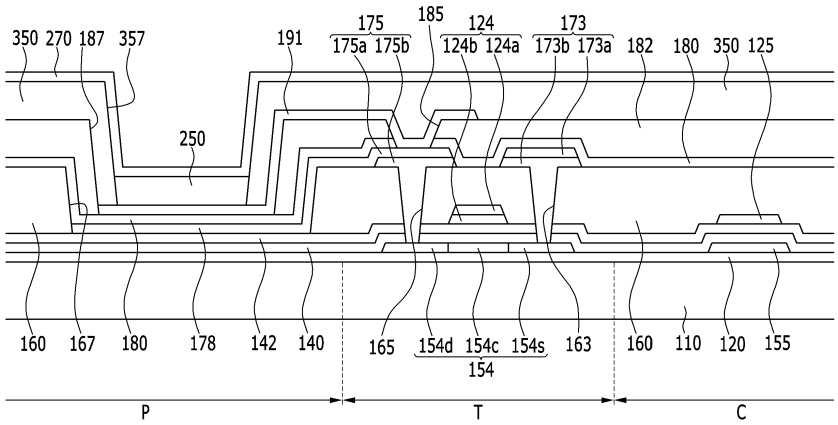
180; 미세 공진 절연막 191: 화소 전극

250: 발광층 270: 공통 전극

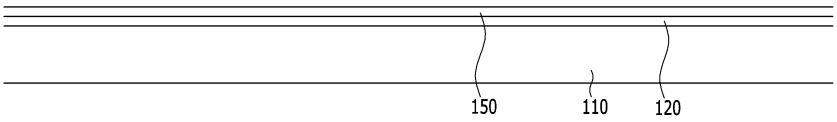
350: 화소 정의막

## 도면

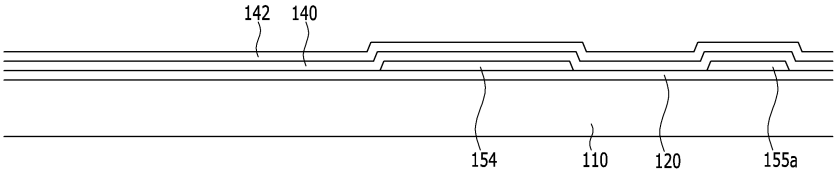
### 도면1



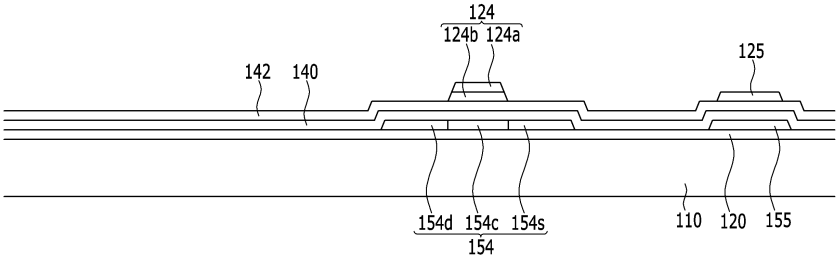

### 도면2



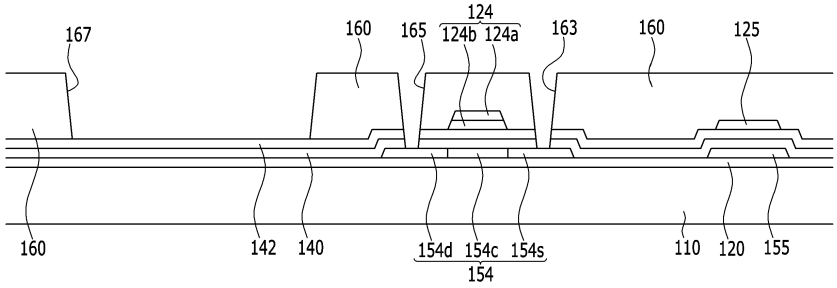

### 도면3



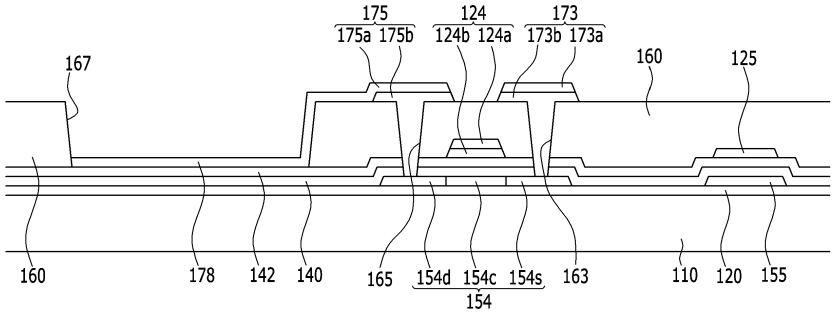

### 도면4



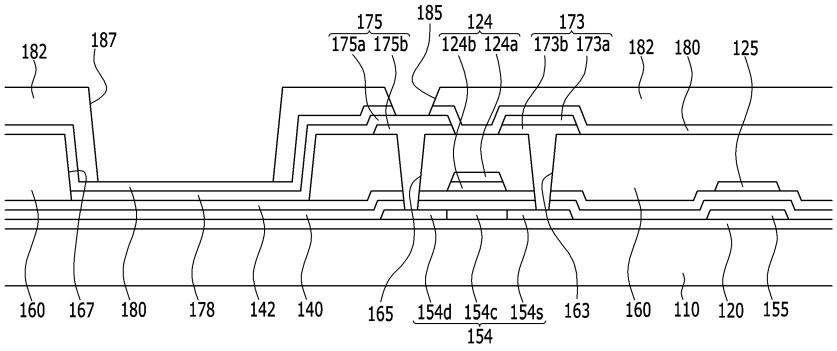
도면5



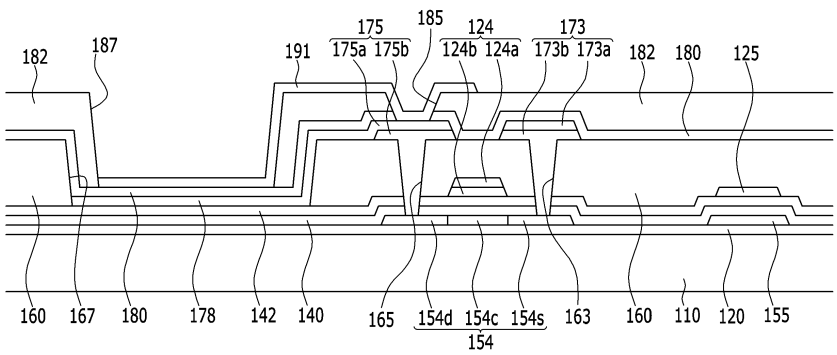

도면6



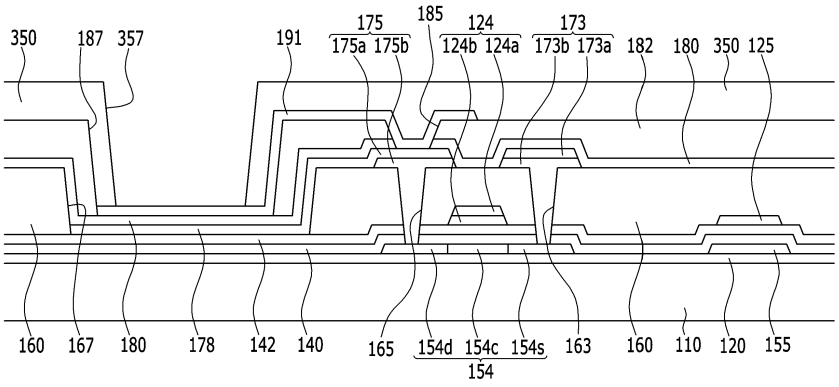

도면7



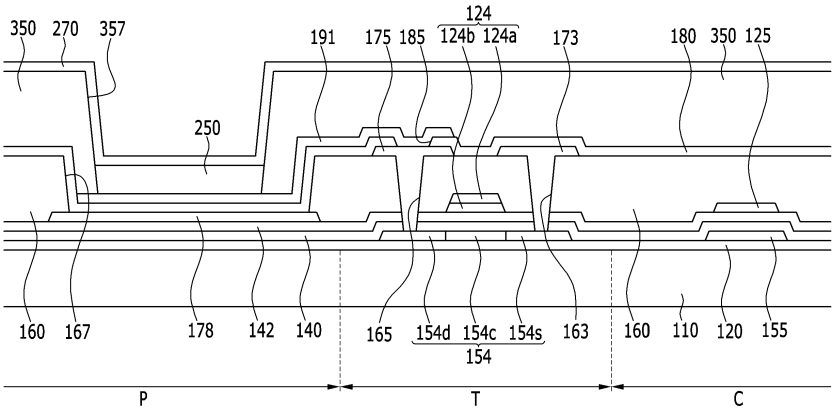

도면8



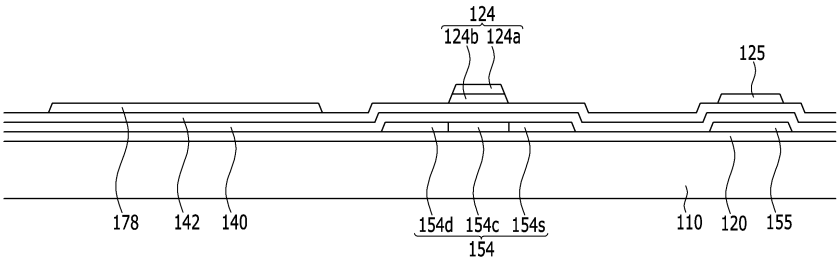
도면9



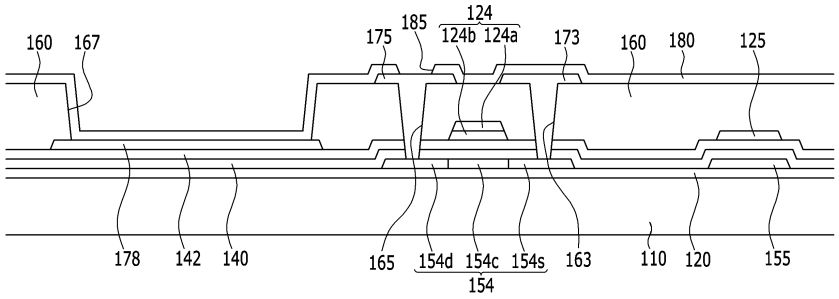

도면10



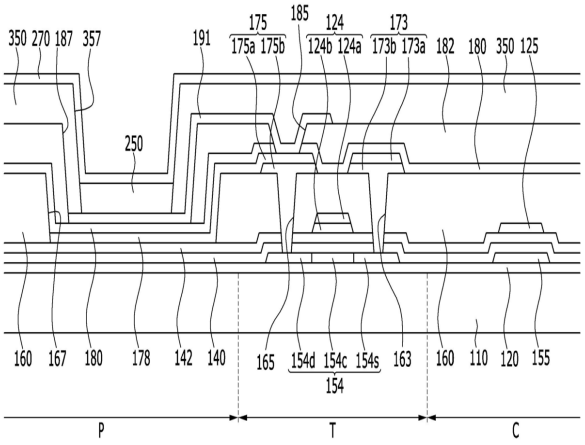

도면11



도면12


160
167
175
185
124
124b
124a
173
160
180
125
178
142
140
165
154d
154c
154s
154
163
110
120
155

| | | | |
|---|---|---|---|
| 专利名称(译) | 标题：OLED显示器及其制造方法 | | |
| 公开(公告)号 | KR1020150045287A | 公开(公告)日 | 2015-04-28 |
| 申请号 | KR1020130124813 | 申请日 | 2013-10-18 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | KIM SUNG HO<br>김성호<br>SHIN MIN CHUL<br>신민철<br>MOON SANG HO<br>문상호 | | |
| 发明人 | 김성호<br>신민철<br>문상호 | | |
| IPC分类号 | H01L51/52 H01L29/786 H05B33/26 | | |
| CPC分类号 | H01L27/3258 H01L27/3248 H01L27/3276 H01L29/4908 H01L29/51 | | |
| 外部链接 | Espacenet | | |


摘要(译)

根据本发明的实施例，OLED显示器包括基板，设置在基板上的半导体层，半导体层包括设置在沟道区和沟道区两侧的源区和漏区，并且，在第一栅极绝缘膜上形成第二栅极绝缘膜，其折射率大于第一栅极绝缘膜的折射率，第二栅极绝缘膜，以及所述第二设置在栅极绝缘膜上，在沟道区和它与栅电极重叠，一个设置在所述第二栅极绝缘膜上，连接到所述栅极电极和所述微谐振器电极，所述源极区域间隔开的电极的源极，漏极漏电极，源电极，漏电极和精细谐振电极，连接到漏电极的像素电极，设置在像素电极上的有机发光层，和设置在有机发光层上的公共电极，其中精细共振绝缘膜的折射率，小于精细共振电极的折射率，并且像素电极的折射率小于精细共振绝缘膜的折射率它很大。