



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월20일  
(11) 등록번호 10-2010803  
(24) 등록일자 2019년08월08일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) H01L 27/32 (2006.01)  
(52) CPC특허분류  
H01L 51/5221 (2013.01)  
H01L 27/3211 (2013.01)  
(21) 출원번호 10-2017-0184850  
(22) 출원일자 2017년12월29일  
심사청구일자 2017년12월29일  
(65) 공개번호 10-2019-0081962  
(43) 공개일자 2019년07월09일  
(56) 선행기술조사문헌  
KR1020150075016 A\*  
KR100705819 B1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
권희용  
경기도 파주시 월롱면 엘지로 245  
권세열  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인천문

전체 청구항 수 : 총 14 항

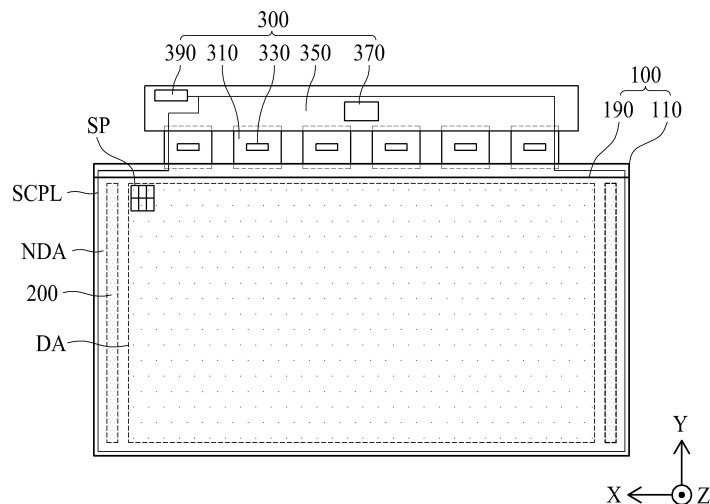
심사관 : 이우리

(54) 발명의 명칭 발광 디스플레이 장치

(57) 요약

본 출원은 균일한 휘도를 가질 수 있는 발광 디스플레이 장치를 제공하는 것으로, 본 출원의 일 예에 따른 발광 디스플레이 장치는 발광 영역과 발광 영역과 인접한 애노드 컨택 영역을 갖는 복수의 부화소 영역을 포함하는 기관, 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터, 기관 상에 배치되고 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터를 덮는 평탄화층, 복수의 부화소 영역 각각의 발광 영역과 중첩되는 평탄화층 상에 배치된 캐소드 전극, 복수의 부화소 영역 각각의 애노드 컨택 영역과 중첩되는 평탄화층 상에 배치되고 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터의 소스 전극과 일대일로 연결된 복수의 연결 전극 패턴, 캐소드 전극 상에 배치된 발광층, 및 복수의 부화소 영역 각각의 발광층 상에 배치되고 애노드 컨택 영역을 통해서 복수의 연결 전극 패턴과 일대일로 연결된 복수의 애노드 전극을 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/3246* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 51/5206* (2013.01)

*H01L 51/5246* (2013.01)

*H01L 51/5281* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

발광 영역과 상기 발광 영역과 인접한 애노드 컨택 영역을 갖는 복수의 부화소 영역을 포함하는 기관;

상기 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터;

상기 기관 상에 배치되고 상기 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터를 덮는 평탄화층;

상기 복수의 부화소 영역 각각의 애노드 컨택 영역과 중첩되는 상기 평탄화층 상에 배치되고 상기 복수의 부화소 영역 각각에 배치된 상기 구동 박막 트랜지스터의 소스 전극과 일대일로 연결된 복수의 연결 전극 패턴;

상기 복수의 부화소 영역 각각의 발광 영역 상에 배치되고 제 1 방향을 따라 서로 이격되면서 상기 제 1 방향과 교차하는 제 2 방향을 따라 길게 연장된 복수의 캐소드 전극 라인, 및 상기 제 2 방향을 따라 배치된 상기 복수의 연결 전극 패턴 사이에 배치되고 상기 제 1 방향을 따라 인접한 2개의 캐소드 전극 라인을 전기적으로 연결하는 복수의 캐소드 전극 연결 라인을 포함하는 캐소드 전극;

상기 제 2 방향을 따라 상기 기관 상에 배치되고 상기 복수의 캐소드 전극 라인 중 적어도 하나와 전기적으로 연결된 적어도 하나의 캐소드 전원 라인;

상기 캐소드 전극 상에 배치된 발광층; 및

상기 복수의 부화소 영역 각각의 발광층 상에 배치되고 상기 애노드 컨택 영역을 통해서 상기 복수의 연결 전극 패턴과 일대일로 연결된 복수의 애노드 전극을 포함하는, 발광 디스플레이 장치.

**청구항 2**

제 1 항에 있어서,

상기 연결 전극 패턴은 상기 캐소드 전극과 동일한 물질로 이루어지고, 상기 캐소드 전극에 의해 둘러싸이는, 발광 디스플레이 장치.

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제 1 항에 있어서,

상기 적어도 하나의 캐소드 전원 라인은 상기 구동 박막 트랜지스터의 소스 전극과 동일한 물질로 이루어진, 발광 디스플레이 장치.

**청구항 6**

제 1 항에 있어서,

상기 기관과 상기 구동 박막 트랜지스터 사이에 배치된 차광층을 더 포함하며,

상기 차광층은 상기 적어도 하나의 캐소드 전원 라인과 동일한 물질로 이루어진, 발광 디스플레이 장치.

**청구항 7**

제 6 항에 있어서,

상기 평탄화층 상에 배치되고 상기 캐소드 전극과 상기 적어도 하나의 캐소드 전원 라인을 전기적으로 연결하는 캐소드 연결 패턴을 더 포함하며,

상기 캐소드 연결 패턴은 상기 구동 박막 트랜지스터의 소스 전극과 동일한 물질로 이루어진, 발광 디스플레이 장치.

**청구항 8**

제 1 항에 있어서,

상기 기판의 일측 가장자리에 배치된 패드부를 더 포함하며,

상기 적어도 하나의 캐소드 전원 라인의 일측은 상기 패드부와 전기적으로 연결된, 발광 디스플레이 장치.

**청구항 9**

제 8 항에 있어서,

상기 기판의 일측 가장자리를 제외한 나머지 가장자리를 따라 배치되고 상기 패드부에 연결된 캐소드 보조 전원 라인을 더 포함하며,

상기 적어도 하나의 캐소드 전원 라인의 타측은 상기 캐소드 보조 전원 라인과 전기적으로 연결된, 발광 디스플레이 장치.

**청구항 10**

제 8 항에 있어서,

상기 제 1 방향을 따라 배치된 복수의 캐소드 전극 연결 라인과 중첩되도록 상기 제 1 방향을 따라 상기 기판 상에 배치된 복수의 캐소드 브리지 라인을 더 포함하는, 발광 디스플레이 장치.

**청구항 11**

제 10 항에 있어서,

상기 기판의 일측 가장자리를 제외한 나머지 가장자리를 따라 배치되고 상기 패드부에 연결된 캐소드 보조 전원 라인을 더 포함하며,

상기 복수의 캐소드 브리지 라인 각각의 양 가장자리는 상기 캐소드 보조 전원 라인과 전기적으로 연결된, 발광 디스플레이 장치.

**청구항 12**

제 1 항에 있어서,

상기 평탄화층 상에 배치되고 상기 복수의 부화소 영역 각각의 발광 영역과 중첩되는 복수의 개구부와 상기 복수의 부화소 영역 각각의 애노드 컨택 영역과 중첩되는 복수의 전극 노출부를 갖는 बैं크층을 더 포함하며,

상기 복수의 애노드 전극 각각은 상기 복수의 전극 노출부 각각을 통해 상기 복수의 연결 전극 패턴과 일대일로 연결된, 발광 디스플레이 장치.

**청구항 13**

제 12 항에 있어서,

상기 복수의 연결 전극 패턴 각각과 중첩되는 상기 बैं크층 상에 배치되고 상기 복수의 전극 노출부 각각을 가리는 격벽을 더 포함하며,

상기 복수의 애노드 전극 각각의 일측 가장자리는 상기 격벽과 상기 연결 전극 패턴 사이의 상기 전극 노출부에 배치된 공간을 통해 상기 연결 전극 패턴과 전기적으로 연결된, 발광 디스플레이 장치.

**청구항 14**

제 13 항에 있어서,

상기 복수의 애노드 전극 각각은 상기 격벽에 의해 전기적으로 서로 분리된, 발광 디스플레이 장치.

**청구항 15**

제 1 항에 있어서,

상기 캐소드 전극은 알루미늄(Al)과 티타늄(Ti)의 적층 구조(Ti/Al/Ti), 알루미늄(Al)과 ITO의 적층 구조(ITO/Al/ITO), APC(Ag/Pd/Cu) 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO) 중 어느 하나의 복층 구조로 이루어지거나 은(Ag), 알루미늄(Al), 몰리브덴(Mo), 금(Au), 마그네슘(Mg), 칼슘(Ca), 바륨(Ba), 및 금속 나노 와이어 중 적어도 하나의 단층 구조 또는 복층 구조로 이루어진, 발광 디스플레이 장치.

**청구항 16**

제 15 항에 있어서,

상기 애노드 전극은 투명 도전성 물질 및 그래핀(graphene) 중 적어도 하나의 단층 구조 또는 복층 구조로 이루어진, 발광 디스플레이 장치.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 발광 디스플레이 장치에 관한 것이다.

**배경 기술**

[0002] 발광 디스플레이 장치는 자발광 소자로서, 소비전력이 낮고, 고속의 응답속도, 높은 발광효율, 높은 휘도 및 광시야각을 갖는다. 이러한 발광 디스플레이 장치는 텔레비전, 모니터, 노트북 컴퓨터, 스마트 폰, 태블릿 컴퓨터, 전자 패드, 웨어러블 기기, 워치 폰, 휴대용 정보 기기, 네비게이션, 또는 차량 제어 디스플레이 기기 등의 전자 제품 또는 가전 제품에 탑재되어 영상을 표시하는 디스플레이로 사용될 수 있는 차세대 디스플레이로 주목받고 있다.

[0003] 발광 디스플레이 장치는 플라스틱과 같은 플렉서블 기판을 베이스 기판으로 사용할 수 있기 때문에 이러한 발광 디스플레이 장치를 플렉서블 디스플레이 장치 또는 신축성(Stretchable) 디스플레이 장치로 구현하기 위한 연구 및 개발이 진행되고 있다.

[0004] 발광 디스플레이 장치는 상부 발광(top emission) 방식 또는 하부 발광(bottom emission) 방식으로 영상을 표시한다.

[0005] 종래의 상부 발광 방식의 발광 디스플레이 장치는 부화소 영역에 배치된 구동 박막 트랜지스터를 포함하는 화소 회로, 구동 박막 트랜지스터에 연결된 애노드 전극, 애노드 전극 상에 배치된 발광층, 및 발광층 상에 배치된 캐소드 전극을 포함할 수 있다. 이때, 애노드 전극은 반사 금속 물질로 이루어지고, 캐소드 전극은 투과율 향상을 위해 투명 전도성 금속 물질로 이루어진다.

[0006] 그러나, 종래의 상부 발광 방식의 발광 디스플레이 장치는 투명 전도성 금속 물질로 이루어진 캐소드 전극의 높은 저항으로 인하여 캐소드 전압의 전압 강하(IR drop)에 의해 휘도 균일도가 저하되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 출원은 균일한 휘도를 가질 수 있는 발광 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

**과제의 해결 수단**

[0008] 본 출원의 일 예에 따른 발광 디스플레이 장치는 발광 영역과 발광 영역과 인접한 애노드 컨택 영역을 갖는 복수의 부화소 영역을 포함하는 기판, 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터, 기판 상에 배치되고 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터를 덮는 평탄화층, 복수의 부화소 영역 각각의 발

광 영역과 중첩되는 평탄화층 상에 배치된 캐소드 전극, 복수의 부화소 영역 각각의 애노드 컨택 영역과 중첩되는 평탄화층 상에 배치되고 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터의 소스 전극과 일대일로 연결된 복수의 연결 전극 패턴, 캐소드 전극 상에 배치된 발광층, 및 복수의 부화소 영역 각각의 발광층 상에 배치되고 애노드 컨택 영역을 통해서 복수의 연결 전극 패턴과 일대일로 연결된 복수의 애노드 전극을 포함할 수 있다.

**발명의 효과**

- [0009] 본 출원에 따른 발광 디스플레이 장치는 캐소드 전극에 공급되는 캐소드 전압의 전압 강하(IR drop)에 의한 휘도 불균일이 방지될 수 있다.
- [0010] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0011] 도 1은 본 출원의 일 예에 따른 발광 디스플레이 장치를 나타내는 도면이다.
- 도 2는 도 1에 도시된 인접한 2개의 부화소를 나타내는 단면도이다.
- 도 3는 도 2에 도시된 캐소드 전극과 연결 전극 패턴을 나타내는 평면도이다.
- 도 4는 도 2에 도시된 뱅크층을 나타내는 평면도이다.
- 도 5는 본 출원의 일 예에 따른 발광 표시 장치에 있어서, 다른 예에 따른 캐소드 전원의 공급 구조를 나타내는 도면이다.
- 도 6은 본 출원의 일 예에 따른 발광 표시 장치에 있어서, 또 다른 예에 따른 캐소드 전원의 공급 구조를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0012] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원의 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원의 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원의 예를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0014] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0018] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.
- [0019] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야

한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

- [0020] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0021] 이하에서는 본 출원에 따른 발광 디스플레이 장치의 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 출원의 예를 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 출원의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0022] 도 1은 본 출원의 일 예에 따른 발광 디스플레이 장치를 나타내는 도면이고, 도 2는 도 1에 도시된 인접한 2개의 부화소를 나타내는 단면도이고, 도 3는 도 2에 도시된 캐소드 전극과 연결 전극 패턴을 나타내는 평면도이며, 도 4는 도 2에 도시된 뱅크층을 나타내는 평면도이다.
- [0023] 도 1 내지 도 4를 참조하면, 본 출원의 일 예에 따른 발광 디스플레이 장치는 디스플레이 패널(100) 및 패널 구동 회로부(300)를 포함할 수 있다.
- [0024] 상기 디스플레이 패널(100)은 서로 마주보는 기관(110)과 봉지 기관(190)을 포함할 수 있다. 상기 기관(100)은 박막 트랜지스터 어레이 기관 또는 플렉서블 기관일 수 있다. 봉지 기관(190)은 컬러필터를 포함하는 컬러필터 어레이 기관일 수 있다. 기관(100)은 봉지 기관(190)보다 더 큰 크기를 가지며, 이로 인하여 기관(110)의 일측 가장자리는 봉지 기관(190)에 의해 덮이지 않고 노출될 수 있다.
- [0025] 디스플레이 패널(100)은 표시 영역(DA)과 표시 영역(DA)을 둘러싸는 비표시 영역(NDA)을 포함할 수 있다.
- [0026] 상기 표시 영역(DA)은 게이트 라인들과 데이터 라인들 및 구동 전원 라인들을 포함하며, 게이트 라인들과 데이터 라인들에 의해 정의되는 부화소 영역들에는 영상을 표시하는 부화소들(SP)이 배치된다.
- [0027] 상기 복수의 부화소(SP) 중 게이트 라인의 길이 방향을 따라 배치된 인접한 적어도 3개의 부화소는 하나의 단위 화소를 구성한다. 하나의 단위 화소는 적색 부화소, 녹색 부화소, 및 청색 부화소를 포함할 수 있지만, 이에 한정되지 않는다. 예를 들어, 하나의 단위 화소는 적색 부화소, 녹색 부화소, 및 청색 부화소 이외에 백색 부화소를 더 포함할 수 있다.
- [0028] 구체적으로, 일 예에 따른 디스플레이 패널(100)은 기관(110), 버퍼층(112), 구동 박막 트랜지스터(DT), 평탄화층(120), 캐소드 전극(CE), 복수의 연결 전극 패턴(CEP), 발광층(EL), 및 복수의 애노드 전극(AE)을 포함할 수 있다.
- [0029] 상기 기관(110)은 플렉서블 기관 또는 플라스틱 필름(plastic film)일 수 있다. 예를 들어, 기관(110)은 투명 폴리이미드(polyimide) 필름일 수 있다. 이러한 기관(110)은 발광 영역(EA)과 발광 영역(EA)과 인접한 애노드 콘택 영역(ACA)을 갖는 복수의 부화소 영역(PA)을 포함할 수 있다.
- [0030] 상기 버퍼층(112)은 기관(110) 상에 마련된다. 버퍼층(112)은 투습에 취약한 기관(110)을 통해 발광층(EL) 쪽으로 수분이 침투하는 것을 방지하는 기능을 한다. 또한, 버퍼층(112)은 기관(110)으로부터 금속 이온 등의 불순물이 확산되어 구동 박막 트랜지스터(DT)에 침투하는 것을 방지하는 기능을 한다. 예를 들어, 버퍼층(112)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>), 및 실리콘산질화막(SiON) 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 버퍼층(112)은 생략될 수 있다.
- [0031] 상기 구동 박막 트랜지스터(DT)는 복수의 부화소 영역(PA) 각각의 버퍼층(112) 상에 배치된다. 일 예에 따른 구동 박막 트랜지스터(DT)는 액티브층(ACT), 게이트 절연막(GI), 게이트 전극(GE), 층간 절연막(113), 소스 전극(SE) 및 드레인 전극(DE)을 포함할 수 있다.
- [0032] 상기 액티브층(ACT)은 버퍼층(112) 상에 배치된다. 액티브층(ACT)은 게이트 전극(GE)과 중첩되는 채널 영역, 및 채널 영역을 사이에 두고 서로 나란한 소스 영역과 드레인 영역을 포함할 수 있다. 이러한 액티브층(ACT)은 아연 산화물(ZnO), 인듐 아연 산화물(InZnO) 또는 인듐 갈륨 아연 산화물(InGaZnO<sub>4</sub>) 등의 산화물 반도체 물질을 포함할 수 있으나, 이에 한정되지 않고, 산화물 반도체 물질 이외의 공지된 단결정 실리콘, 다결정 실리콘, 또는 유기 물질을 포함할 수 있다.

- [0033] 상기 게이트 절연막(GI)은 액티브층(ACT) 상에 마련된다. 게이트 절연막(GI)은 액티브층(ACT)과 게이트 전극(GE)을 절연시키는 기능을 한다. 예를 들어, 게이트 절연막(GI)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>), 실리콘산질화막(SiON) 또는 이들의 다중층일 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0034] 상기 게이트 전극(GE)은 게이트 절연막(GI) 상에 마련된다. 게이트 전극(GE)은 게이트 절연막(GI)을 사이에 두고, 액티브층(ACT)의 채널 영역과 중첩된다. 예를 들어, 게이트 전극(GE)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다. 이러한 게이트 전극(GE)은 표시 영역(DA) 상에 형성되는 게이트 라인들과 함께 동일한 물질로 형성될 수 있다.
- [0035] 상기 층간 절연막(113)은 게이트 전극(GE)과 액티브층(ACT)을 덮도록 기판(110) 상에 배치된다. 층간 절연막(113)은 게이트 전극(GE)과 소스 전극(SE) 및 드레인 전극(DE)을 절연시키는 기능을 한다. 예를 들어, 층간 절연막(113)은 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>), 포토아크릴(photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 절연 물질로 이루어질 수도 있다.
- [0036] 상기 드레인 전극(DE)은 액티브층(ACL)의 드레인 영역과 중첩되는 층간 절연막(113) 상에 배치되고, 층간 절연막(113)에 마련된 드레인 콘택홀을 통해 액티브층(ACL)의 드레인 영역에 전기적으로 연결된다.
- [0037] 상기 소스 전극(SE)은 액티브층(ACL)의 소스 영역과 중첩되는 층간 절연막(113) 상에 배치되고, 층간 절연막(113)에 마련된 소스 콘택홀을 통해 액티브층(ACL)의 소스 영역에 전기적으로 연결된다.
- [0038] 상기 드레인 전극(DE)과 소스 전극(SE)은 표시 영역(DA) 상에 형성되는 데이터 라인들과 함께 동일한 물질로 형성될 수 있다. 일 예에 따른 드레인 전극(DE)과 소스 전극(SE)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0039] 추가적으로, 일 예에 따른 디스플레이 패널(100)은 구동 박막 트랜지스터(DT)와 함께 복수의 부화소 영역(PA) 각각에 배치된 적어도 하나의 스위칭 트랜지스터 및 스토리지 커패시터를 더 포함할 수 있다. 상기 적어도 하나의 스위칭 트랜지스터는 데이터 라인에 공급되는 데이터 신호를 구동 박막 트랜지스터(DT)의 게이트 전극(GE)에 공급하거나 스토리지 커패시터를 초기화시키기 위한 전압, 또는 구동 박막 트랜지스터(DT)의 문턱 전압을 샘플링하여 스토리지 커패시터에 저장하기 위해 사용되는 전압을 구동 박막 트랜지스터(DT)의 게이트 전극(GE)과 소스 전극(SE) 각각에 공급할 수 있다. 스토리지 커패시터는 구동 박막 트랜지스터(DT)의 게이트 전극(GE)과 소스 전극(SE) 간의 중첩 영역에 마련될 수 있다.
- [0040] 상기 평탄화층(120)은 복수의 부화소 영역(PA) 각각에 배치된 구동 박막 트랜지스터(DT)를 덮는다. 이러한 평탄화층(120)은 구동 박막 트랜지스터(DT)가 배치된 기판(110)의 상면에 평탄면을 제공한다. 일 예에 따른 평탄화층(120)은 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 또는 폴리아미드계 수지(polyimides resin) 등으로 이루어질 수 있으나, 이에 한정되지 않는다.
- [0041] 상기 캐소드 전극(CE)은 복수의 부화소 영역(PA) 각각의 발광 영역(EA)과 중첩되는 평탄화층(120) 상에 배치될 수 있다. 캐소드 전극(CE)은 평탄화층(120)의 전면 전체 중 복수의 부화소 영역(PA) 각각의 애노드 콘택 영역(ACA)을 제외한 나머지 평탄화층(120) 상에 배치될 수 있다. 이에 따라, 복수의 부화소 영역(PA) 각각의 애노드 콘택 영역(ACA)은 캐소드 전극(CE)에 의해 둘러싸이며, 복수의 부화소 영역(PA) 마다 섬 형태로 위치하게 된다. 이러한 캐소드 전극(CE)은 기판(110)의 일측 가장자리에 배치된 패드부를 통해 패널 구동 회로부(300)로부터 캐소드 전원을 공급받을 수 있다.
- [0042] 일 예에 따른 캐소드 전극(CE)은 일함수가 낮고 반사 효율이 우수한 금속 물질을 포함할 수 있다. 예를 들어, 캐소드 전극(CE)은 알루미늄(Al)과 티타늄(Ti)의 적층 구조(Ti/Al/Ti), 알루미늄(Al)과 ITO의 적층 구조(ITO/Al/ITO), APC(Ag/Pd/Cu) 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO) 중 어느 하나의 복층 구조로 이루어지거나 은(Ag), 알루미늄(Al), 몰리브덴(Mo), 금(Au), 마그네슘(Mg), 칼슘(Ca), 바륨(Ba), 및 금속 나노 와이어 중 적어도 하나의 단층 구조 또는 복층 구조로 이루어질 수 있다. 여기서, 본 출원에 따른 발광 디스플레이 장치가 신축성 디스플레이 장치로 구현되는 경우, 캐소드 전극(CE)은 금속 나노 와이어로 이루어질 수 있다.
- [0043] 일 예에 따른 캐소드 전극(CE)은 복수의 캐소드 전극 라인(CEL1) 및 복수의 캐소드 전극 연결 라인(CEL2)을 포

함할 수 있다.

- [0044] 상기 복수의 캐소드 전극 라인(CEL1) 각각은 복수의 부화소 영역(PA) 각각의 발광 영역(EA) 상에 배치되고, 제 1 방향(X)을 따라 서로 이격되면서 제 1 방향(X)과 교차하는 제 2 방향(Y)을 따라 길게 연장될 수 있다. 예를 들어, 복수의 캐소드 전극 라인(CEL1) 각각은 제 2 방향(Y)을 따라 배치된 복수의 연결 전극 패턴(CEP)을 사이에 두고 서로 나란하게 배치될 수 있다. 여기서, 제 1 방향(X)은 게이트 라인의 길이 방향과 나란한 방향으로 정의될 수 있고, 제 2 방향(Y)은 데이터 라인의 길이 방향과 나란한 방향으로 정의될 수 있다.
- [0045] 상기 복수의 캐소드 전극 연결 라인(CEL2) 각각은 제 2 방향(Y)을 따라 배치된 복수의 연결 전극 패턴(CEP) 사이에 배치되고, 제 1 방향(X)을 따라 인접한 2개의 캐소드 전극 라인(CEL1)을 전기적으로 연결한다. 이에 따라, 제 1 방향(X)을 따라 서로 이격된 복수의 캐소드 전극 라인(CEL1) 각각은 복수의 캐소드 전극 연결 라인(CEL2)에 의해서 서로 전기적으로 연결되고, 이로 인하여 캐소드 전극(CE)은 기판(110) 상에 메쉬 형태로 배치될 수 있다. 즉, 캐소드 전극(CE)은 복수의 부화소 영역(PA) 각각의 애노드 컨택 영역(ACA)을 제외한 나머지 영역에 하나의 몸체 또는 분리되지 않는 단일 전극층으로 이루어질 수 있다.
- [0046] 상기 복수의 연결 전극 패턴(CEP) 각각은 복수의 부화소 영역(PA) 각각의 애노드 컨택 영역(ACA)과 중첩되는 평탄화층(120) 상에 배치되고, 복수의 부화소 영역(PA) 각각에 배치된 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 일대일로 연결된다. 복수의 연결 전극 패턴(CEP) 각각은 각 부화소 영역(PA)에서 캐소드 전극(CE)과 전기적으로 분리되면서 캐소드 전극(CE)에 의해 둘러싸인다. 즉, 복수의 연결 전극 패턴(CEP) 각각은 인접한 캐소드 전극 라인(CEL1)들과 인접한 캐소드 전극 연결 라인(CEL2)들에 의해 둘러싸이는 애노드 컨택 영역(ACA) 내에 배치될 수 있다.
- [0047] 일 예에 따른 복수의 연결 전극 패턴(CEP) 각각은 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 중첩되는 평탄화층(120) 상에 섬 형태로 배치되고 평탄화층(120)에 마련된 애노드 컨택홀(CH1)을 통해서 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 전기적으로 연결된다. 예를 들어, 복수의 연결 전극 패턴(CEP) 각각은 캐소드 전극(CE)과 함께 동일한 물질로 형성될 수 있다.
- [0048] 상기 발광층(EL)은 캐소드 전극(CE) 상에 배치된다. 일 예에 따른 발광층(EL)은 복수의 부화소 영역(PA) 각각의 애노드 컨택 영역(ACA)을 제외한 나머지 영역 상에 공통적으로 형성되는 공통층일 수 있다. 발광층(EL)은 유기 발광층, 무기 발광층, 및 양자점 발광층 중 어느 하나를 포함하거나, 유기 발광층(또는 무기 발광층)과 양자점 발광층의 적층 또는 혼합 구조를 포함할 수 있다.
- [0049] 일 예에 따른 발광층(EL)은 백색 광을 방출하기 위한 2 이상의 발광부를 포함한다. 예를 들어, 발광층(EL)은 제 1 광과 제 2 광의 혼합에 의해 백색 광을 방출하기 위한 제 1 발광부와 제 2 발광부를 포함할 수 있다. 여기서, 제 1 발광부는 제 1 광을 방출하는 것으로 청색 발광부, 녹색 발광부, 적색 발광부, 황색 발광부, 및 황록색 발광부 중 어느 하나를 포함할 수 있다. 제 2 발광부는 청색 발광부, 녹색 발광부, 적색 발광부, 황색 발광부, 및 황록색 중 제 1 광의 보색 관계를 갖는 광을 방출하는 발광부를 포함할 수 있다.
- [0050] 추가적으로, 발광층(EL)은 발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 적어도 하나 이상의 기능층을 더 포함할 수 있다.
- [0051] 상기 복수의 애노드 전극(AE) 각각은 복수의 부화소 영역(PA) 각각의 발광층(EL) 상에 배치되고, 애노드 컨택 영역(ACA)을 통해서 복수의 연결 전극 패턴(CEP)과 일대일로 연결된다. 이에 따라, 복수의 부화소 영역(PA) 각각에 배치된 애노드 전극(AE)은 해당하는 연결 전극 패턴(CEP)을 통해 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 전기적으로 연결됨으로써 구동 박막 트랜지스터(DT)로부터 데이터 신호를 공급받는다.
- [0052] 일 예에 따른 복수의 애노드 전극(AE) 각각은 일함수가 비교적 높은 투명 도전성 물질 또는 그래핀(graphene) 중 적어도 하나의 단층 구조 또는 복층 구조로 이루어질 수 있다. 예를 들어, 투명 도전성 물질은 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 금속 산화물, ZnO:Al, 또는 SnO<sub>2</sub>:Sb 등과 같은 금속과 산화물의 혼합물로 이루어질 수 있다. 여기서, 본 출원에 따른 발광 디스플레이 장치가 신축성 디스플레이 장치로 구현되는 경우, 복수의 애노드 전극(AE) 각각은 그래핀(graphene)으로 이루어질 수 있다.
- [0053] 일 예에 따른 디스플레이 패널(100)은 적어도 하나의 캐소드 전원 라인(CPL)을 더 포함할 수 있다.
- [0054] 상기 적어도 하나의 캐소드 전원 라인(CPL)은 제 2 방향(Y)을 따라 기판(110) 상에 배치되고 캐소드 전극(CE)과 전기적으로 연결된다. 일 예에 따른 적어도 하나의 캐소드 전원 라인(CPL)은 복수의 부화소 영역(PA)에 배치된 복수의 캐소드 전극 라인(CEL1) 중 적어도 하나와 중첩되는 기판(110) 상에 배치되어 버퍼층(112)에 의해 덮일

수 있다. 적어도 하나의 캐소드 전원 라인(CPL)은 평탄화층(120)과 층간 절연막(113) 및 버퍼층(112)에 마련된 캐소드 콘택홀(CH2)을 통해서 복수의 캐소드 전극 라인(CEL1) 중 적어도 하나와 전기적으로 연결될 수 있다. 이러한 적어도 하나의 캐소드 전원 라인(CPL)은 기관(110)의 일측 가장자리에 배치된 패드부를 통해 패널 구동 회로부(300)로부터 공급되는 캐소드 전원을 캐소드 전극(CE)에 공급한다. 일 예에 따른 적어도 하나의 캐소드 전원 라인(CPL)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.

[0055] 일 예에 따른 디스플레이 패널(100)은 차광층(111)을 더 포함할 수 있다.

[0056] 상기 차광층(111)은 기관(110)과 구동 박막 트랜지스터(DT) 사이에 배치된다. 즉, 차광층(111)은 복수의 부화소 영역(PA) 각각에 배치된 구동 박막 트랜지스터(DT)의 액티브층(ACL)과 기관(100) 사이에 배치될 수 있다. 차광층(111)은 구동 박막 트랜지스터(DT)의 액티브층(ACL)에 입사되는 광을 차단함으로써 광에 의해 구동 박막 트랜지스터(DT)의 액티브층(ACL)이 열화되는 것을 방지한다. 이러한 차광층(111)은 적어도 하나의 캐소드 전원 라인(CPL)과 함께 동일한 물질로 형성될 수 있다.

[0057] 일 예에 따른 디스플레이 패널(100)은 적어도 하나의 캐소드 연결 패턴(CCP)을 더 포함할 수 있다.

[0058] 상기 적어도 하나의 캐소드 연결 패턴(CCP)은 평탄화층(120) 상에 배치되고 캐소드 전극(CE)과 적어도 하나의 캐소드 전원 라인(CPL)을 전기적으로 연결한다. 일 예에 따른 적어도 하나의 캐소드 연결 패턴(CCP)은 복수의 부화소 영역(PA)에 배치된 복수의 캐소드 전극 라인(CEL1) 중 적어도 하나와 중첩되는 평탄화층(120) 상에 배치되고, 평탄화층(120)에 마련된 캐소드 콘택홀(CH2)을 통해서 복수의 캐소드 전극 라인(CEL1) 중 적어도 하나와 전기적으로 연결되며, 층간 절연막(113)에 마련된 캐소드 패턴 콘택홀(CH3)을 통해서 적어도 하나의 캐소드 전원 라인(CPL)과 전기적으로 연결된다. 이러한 적어도 하나의 캐소드 연결 패턴(CCP)은 캐소드 전극(CE)과 캐소드 전원 라인(CPL) 사이에 섬 형태로 배치되어 캐소드 전극(CE)과 캐소드 전원 라인(CPL) 사이에서 중간 전극의 역할을 함으로써 캐소드 전극(CE)과 캐소드 전원 라인(CPL) 간의 전기적인 연결 불량을 방지한다. 예를 들어, 적어도 하나의 캐소드 연결 패턴(CCP)은 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 함께 동일한 물질로 형성될 수 있다.

[0059] 상기 적어도 하나의 캐소드 연결 패턴(CCP)은 평탄화층(120)과 층간 절연막(113) 사이에 개재된 보호막(114)에 의해 덮인다. 일 예로서, 보호막(114)은 층간 절연막(113)과 동일한 물질로 이루어질 수 있다. 다른 예로서, 보호막(114)은 평탄화층(120)과 동일한 물질로 이루어질 수 있으며, 이 경우, 보호막(114)은 제 1 평탄화층으로 표현될 수 있고, 상기 평탄화층(120)은 제 2 평탄화층으로 표현될 수 있다. 이에 따라, 적어도 하나의 캐소드 연결 패턴(CCP)은 평탄화층(120)과 보호막(114)을 관통하여 마련된 캐소드 콘택홀(CH2)을 통해 캐소드 전극(CE)과 전기적으로 연결될 수 있다.

[0060] 선택적으로, 상기 적어도 하나의 캐소드 연결 패턴(CCP)은 상기 적어도 하나의 캐소드 전원 라인(CPL)으로 변경될 수 있다. 이 경우, 상기 적어도 하나의 캐소드 전원 라인(CPL)은 적어도 하나의 캐소드 연결 패턴(CCP) 대신에 복수의 부화소 영역(PA)에 배치된 복수의 캐소드 전극 라인(CEL1) 중 적어도 하나와 중첩되는 평탄화층(120) 상에 배치되고, 평탄화층(120)에 마련된 캐소드 콘택홀(CH2)을 통해서 복수의 캐소드 전극 라인(CEL1) 중 적어도 하나와 전기적으로 연결됨으로써 기관(110)의 일측 가장자리에 배치된 패드부를 통해 패널 구동 회로부(300)로부터 공급되는 캐소드 전원을 캐소드 전극(CE)에 공급할 수 있다. 예를 들어, 적어도 하나의 캐소드 전원 라인(CPL)은 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 함께 동일한 물질로 형성되어 보호막(114)에 의해 덮일 수 있다. 이에 따라, 적어도 하나의 캐소드 전원 라인(CPL)은 평탄화층(120)과 보호막(114)을 관통하여 마련된 캐소드 콘택홀(CH2)을 통해 캐소드 전극(CE)과 전기적으로 연결될 수 있다.

[0061] 일 예에 따른 디스플레이 패널(100)은 बैं크층(130)을 더 포함할 수 있다.

[0062] 상기 बैं크층(130)은 평탄화층(120) 상에 배치되고 복수의 부화소 영역(PA) 각각의 발광 영역(EA)과 중첩되는 복수의 개구부(131)와 복수의 부화소 영역(PA) 각각의 애노드 콘택 영역(ACA)과 중첩되는 복수의 전극 노출부(133)를 포함할 수 있다.

[0063] 일 예에 따른 बैं크층(130)은 복수의 부화소 영역(PA) 사이사이에 배치되어 복수의 부화소 영역(PA) 각각의 발광 영역(EA) 및 애노드 콘택 영역(ACA)을 정의한다. 또한, बैं크층(130)은 복수의 부화소 영역(PA) 각각에 배치된 캐소드 전극(CE)과 연결 전극 패턴(CEP)을 전기적으로 분리한다. 예를 들어, बैं크층(130)은 복수의 부화소 영역(PA) 각각에 배치된 캐소드 전극(CE)의 전면(前面) 중 발광 영역(EA)과 중첩되는 영역과 애노드 콘택 영역

(ACA)과 중첩되는 영역을 제외한 나머지 부분과 평탄화층(120) 상에 배치될 수 있다.

- [0064] 상기 복수의 개구부(131) 각각은 복수의 부화소 영역(PA) 각각의 발광 영역(EA)과 중첩되는 캐소드 전극(CE) 상에 형성된 बैं크층(130)의 패터닝(또는 제거)에 의해 마련됨으로써 캐소드 전극(CE)의 캐소드 전극 라인(CEL1)을 노출시킨다.
- [0065] 상기 복수의 전극 노출부(133) 각각은 복수의 부화소 영역(PA) 각각의 애노드 컨택 영역(ACA)과 중첩되는 연결 전극 패턴(CEP) 상에 형성된 बैं크층(130)의 패터닝(또는 제거)에 의해 마련됨으로써 연결 전극 패턴(CEP)의 일부를 노출시킨다. 이에 따라, 복수의 애노드 전극(AE) 각각의 일측부는 복수의 전극 노출부(133) 각각을 통해 복수의 연결 전극 패턴(CEP)과 일대일로 연결됨으로써 해당하는 연결 전극 패턴(CEP)를 통해 해당하는 구동 박막 트랜지스터(DT)의 소스 전극(SE)과 전기적으로 연결된다.
- [0066] 일 예에 따른 बैं크층(130)은 카본 블랙(carbon black) 등과 같은 블랙 안료를 포함한 불투명 물질 예를 들어, 폴리이미드계 수지(polyimides resin), 아크릴계 수지(acryl resin), 벤조사이클로부텐(BCB) 등과 같은 유기막으로 이루어질 수 있으나, 이에 한정되지 않다. 다른 예에 따른 बैं크층(130)은 투명 물질, 예를 들어 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 또는 폴리이미드 수지(polyimide resin) 등으로 형성될 수 있다.
- [0067] 일 예에 따른 디스플레이 패널(100)은 격벽(140)을 더 포함할 수 있다.
- [0068] 상기 격벽(140)은 복수의 연결 전극 패턴(CEP) 각각과 중첩되는 बैं크층(130) 상에 배치되어 복수의 전극 노출부(133) 각각을 가림으로써 복수의 애노드 전극(AE) 각각을 전기적으로 분리한다.
- [0069] 일 예에 따른 격벽(140)은 애노드 컨택 영역(ACA) 상에 배치된 बैं크층(130)과 전극 노출부(133)의 일측 경계부 상에 역테이퍼 구조를 가지도록 배치된다. 예를 들어, 격벽(140)은 बैं크층(130)과 전극 노출부(133)의 일측 경계부에 제 1 폭을 가지도록 배치된 하면, 제 1 폭보다 크고 전극 노출부(133)의 폭과 같거나 큰 제 2 폭을 갖는 상면, 하면과 상면 사이에 경사지게 배치되어 전극 노출부(133)를 가리는 경사면을 포함할 수 있다. 이러한 격벽(140)의 상면은 평면적으로 전극 노출부(133)의 폭과 같거나 큰 제 2 폭을 가짐으로써 전극 노출부(133)를 덮는다. 이에 따라, 격벽(140)의 경사면과 전극 노출부(133)에 노출된 연결 전극 패턴(CEP) 사이에는 침투 공간(IS)(또는 공극)이 마련되고, 애노드 전극(AE)의 일측 가장자리는 침투 공간(IS)을 통해서 전극 노출부(133)에 노출된 연결 전극 패턴(CEP)과 전기적으로 연결된다.
- [0070] 일 예에 따른 격벽(140)은 전극 노출부(133)를 가림으로써 बैं크층(130)의 제조 공정 이후에 수행되는 발광층의 증착 공정에 의해 캐소드 전극(CE)과 बैं크층(130) 상에 증착되는 발광층(EL)이 전극 노출부(133)로 침투하여 전극 노출부(133)에 노출된 연결 전극 패턴(CEP) 상에 증착되는 것을 방지한다. 즉, 발광층(EL)은 증발 증착 공정에 의해 증착될 수 있는데, 이때 발광층의 증발 물질은 직진성이 강하기 때문에 격벽(140)에 의해 가려진 전극 노출부(133)로 침투하지 못하고, 이로 인하여 전극 노출부(133)에 노출된 연결 전극 패턴(CEP) 상에 증착되지 않게 된다. 여기서, 전극 노출부(133)에 노출된 연결 전극 패턴(CEP)이 격벽(140)에 의해 가려지지 않을 경우, 전극 노출부(133)에 노출된 연결 전극 패턴(CEP) 상에 발광층(EL)이 증착됨으로써 애노드 전극(AE)과 연결 전극 패턴(CEP) 간의 전기적으로 연결이 불가능하기 때문에 격벽(140)의 상면은 평면적으로 전극 노출부(133)의 폭보다 큰 폭을 가져야만 하는 것이다. 반면에, 애노드 전극(AE)은 상대적으로 우수한 스텝 커버리지를 구현할 수 있는 스퍼터링 공정 등의 증착 공정을 통해 형성될 수 있는데, 이때 스퍼터링 애노드 전극 물질은 캐소드 전극(CE)과 बैं크층(130) 상에 배치되어 있는 발광층(EL) 상에 증착됨과 아울러 침투 공간(IS)을 통해서 전극 노출부(133)에 노출된 연결 전극 패턴(CEP) 상으로 침투하여 연결 전극 패턴(CEP) 상에 형성될 수 있다.
- [0071] 그리고, 일 예에 따른 격벽(140)은 전극 노출부(133) 상에 배치되는 인접한 애노드 전극(AE)들을 전기적으로 분리시킨다. 즉, 인접한 2개의 부화소 영역(PA)에 배치되는 애노드 전극(AE)들의 가장자리는 전극 노출부(133) 상에서 격벽(140)을 사이에 두고 서로 중첩되되, 격벽(140)에 의해 상하로 이격됨으로써 전기적으로 서로 분리된다. 이에 따라, 격벽(140)은 복수의 부화소 영역(PA) 각각에 배치되는 복수의 애노드 전극(AE)을 전기적으로 분리시킴으로써 복수의 애노드 전극(AE) 각각이 복수의 부화소 영역(PA) 각각에 섬 형태로 배치되도록 한다. 따라서, 복수의 부화소 영역(PA) 각각에 배치되는 복수의 애노드 전극(AE) 각각은 해당하는 연결 전극 패턴(CEP)을 통해 해당하는 구동 박막 트랜지스터(DT)의 소스 전극(SE)에 전기적으로 연결됨으로써 해당하는 구동 박막 트랜지스터(DT)로부터 해당하는 데이터 신호를 개별적으로 공급받을 수 있다.
- [0072] 일 예에 따른 디스플레이 패널(100)은 봉지 기관(190)을 더 포함할 수 있다.
- [0073] 상기 봉지 기관(190)은 기관(110)과 마주보도록 배치된다. 일 예에 따른 봉지 기관(190)은 플렉서블 기관 또는

플라스틱 필름(plastic film)일 수 있다. 예를 들어, 봉지 기관(190)은 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 필름 또는 투명 폴리이미드(polyimide) 필름일 수 있다. 이러한 봉지 기관(190)은 접착층(150)을 매개로 기관(110)과 합착될 수 있다. 접착층(150)은 OCA(Optically Clear Adhesive), OCR(Optically Clear Resin), PSA(Pressure Sensitive Adhesive)일 수 있으며, 흡습 기능을 위한 흡습 물질을 더 포함할 수 있다.

- [0074] 일 예에 따른 봉지 기관(190)은 블랙 매트릭스(191) 및 컬러필터(193)를 포함할 수 있다.
- [0075] 상기 블랙 매트릭스(191)는 기관(110)에 정의된 복수의 발광 영역(EA) 각각과 중첩되는 복수의 투과부를 정의한다. 일 예에 따른 블랙 매트릭스(191)은 크롬(Cr 또는 CrOx) 등의 불투명 금속 물질 또는 수지 물질로 이루어지거나 광 흡수 물질로 이루어질 수 있다.
- [0076] 상기 컬러필터(193)는 블랙 매트릭스(191)에 의해 마련된 복수의 투과부 각각에 배치된다. 일 예에 따른 컬러필터(193)는 적색 컬러 필터, 녹색 컬러 필터, 및 청색 컬러 필터 중 어느 하나의 컬러 필터를 포함할 수 있다. 상기 적색 컬러 필터와 녹색 컬러 필터 및 청색 컬러 필터는 제 1 방향(X)을 따라 반복하여 배치될 수 있다.
- [0077] 선택적으로, 컬러필터(193)는 발광층(EL)으로부터 입사되는 광에 따라 재발광하여 미리 설정된 색상의 광을 방출하는 크기를 갖는 양자점을 포함할 수 있다. 여기서, 양자점은 CdS, CdSe, CdTe, ZnS, ZnSe, GaAs, GaP, GaAs-P, Ga-Sb, InAs, InP, InSb, AlAs, AlP, 또는 AlSb 등에서 선택될 수 있다. 예를 들어, 적색 컬러 필터는 적색 광을 방출하는 CdSe 또는 InP의 양자점을 포함할 수 있고, 녹색 컬러 필터는 녹색 광을 방출하는 CdZnSeS의 양자점을 포함할 수 있으며, 청색 컬러 필터는 청색 광을 방출하는 ZnSe의 양자점을 포함할 수 있다. 이와 같이, 컬러 필터(193)이 양자점을 포함하는 경우, 색재현율이 높아질 수 있다.
- [0078] 일 예에 따른 봉지 기관(190)은 배리어층을 더 포함할 수 있다. 상기 배리어층은 기관(110)과 마주하는 봉지 기관(190)의 일면 전체에 배치되어 외부의 수분 또는 습기가 침투하는 것을 방지한다. 일 예에 따른 배리어층은 무기 물질로 이루어진 적어도 하나의 무기층을 포함할 수 있다. 예를 들어, 배리어층은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx), 실리콘 산질화막(SiON), 티타늄 산화막(TiOx), 및 알루미늄 산화막(AlOx) 중 어느 하나의 무기 물질을 포함할 수 있다.
- [0079] 상기 봉지 기관(190)이 배리어층을 포함하는 경우, 블랙 매트릭스(191)와 컬러필터(193)는 배리어층 상에 배치된다.
- [0080] 일 예에 따른 디스플레이 패널(100)은 봉지 기관(190)의 타면(또는 표시면)에 부착된 투광성 필름을 더 포함할 수 있다. 상기 투광성 필름은 투명 접착층을 매개로 봉지 기관(190)의 타면에 부착됨으로써 디스플레이 패널(100)의 표시면을 보호하면서 디스플레이 패널(100)의 전면(前面) 강성을 증가시킨다. 일 예에 따른 투광성 필름은 플렉서블 필름으로 이루어질 수 있으며, 예를 들어, 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 필름, 반사 방지 필름, 편광 필름, 및 투과도 제어 필름(transmittance controllable film) 중 적어도 하나의 필름일 수 있다. 상기 투명 접착층은 OCA(Optically Clear Adhesive), OCR(Optically Clear Resin), 또는 PSA(Pressure Sensitive Adhesive)일 수 있다.
- [0081] 일 예에 따른 디스플레이 패널(100)은 게이트 구동 내장 회로(200)를 더 포함할 수 있다.
- [0082] 상기 게이트 구동 회로(200)는 패널 구동 회로부(300)로부터 제공되는 게이트 제어 신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 일 예에 따른 게이트 구동 회로(200)는 구동 박막 트랜지스터(DT)와 함께 기관(110)의 비표시 영역(NDA)에 배치될 수 있다. 예를 들어, 게이트 구동 내장 회로(200)는 서로 마주하는 기관(110)의 양측 비표시 영역(NDA) 중 적어도 하나의 비표시 영역(NDA)에 배치될 수 있다. 다른 예에 따른 게이트 구동 회로(200)는 집적 회로로 구현될 수 있으며, 이 경우 기관(110)에 실장되어 게이트 라인들과 연결되거나 연성 회로 필름에 실장되어 기관(110)의 게이트 패드부를 통해 게이트 라인들과 연결될 수 있다.
- [0083] 상기 패널 구동 회로부(300)는 기관(110)의 일측 가장자리에 배치된 패드부에 연결되어 디스플레이 구동 시스템으로부터 공급되는 영상 데이터에 대응되는 영상을 각 부화소에 표시한다. 일 예에 따른 패널 구동 회로부(300)는 복수의 연성 회로 필름(310), 복수의 데이터 구동 집적 회로(330), 인쇄 회로 기관(350), 타이밍 제어부(370), 및 전원 회로부(390)를 포함할 수 있다.
- [0084] 상기 복수의 연성 회로 필름(310) 각각은 이방성 도전 필름을 이용한 필름 부착 공정에 의해 인쇄 회로 기관(350)과 디스플레이 패널(100)의 기관(110)에 마련된 패드부에 각각 부착될 수 있다.
- [0085] 상기 복수의 데이터 구동 집적 회로(330) 각각은 복수의 연성 회로 필름(310) 각각에 개별적으로 실장된다. 이

러한 복수의 데이터 구동 집적 회로(330) 각각은 타이밍 제어부(370)로부터 제공되는 화소 데이터와 데이터 제어 신호를 수신하고, 데이터 제어 신호에 따라 화소 데이터를 아날로그 형태의 화소별 데이터 신호로 변환하여 해당하는 데이터 라인에 공급한다.

- [0086] 상기 인쇄 회로 기판(350)은 타이밍 제어부(370)를 지지하고, 패널 구동 회로부(300)의 구성들 간의 신호 및 전원을 전달하는 역할을 한다.
- [0087] 상기 타이밍 제어부(370)는 인쇄 회로 기판(350)에 실장되고, 인쇄 회로 기판(350)에 마련된 유저 커넥터를 통해 디스플레이 구동 시스템으로부터 제공되는 영상 데이터와 타이밍 동기 신호를 수신한다. 타이밍 제어부(370)는 타이밍 동기 신호에 기초해 영상 데이터를 표시 영역(DA)의 화소 배치 구조에 알맞도록 정렬하여 화소 데이터를 생성하고, 생성된 화소 데이터를 해당하는 데이터 구동 집적 회로(330)에 제공한다. 또한, 타이밍 제어부(370)는 타이밍 동기 신호에 기초해 데이터 제어 신호와 게이트 제어 신호 각각을 생성하고, 데이터 제어 신호를 통해 복수의 데이터 구동 집적 회로(330) 각각의 구동 타이밍을 제어하고, 게이트 제어 신호를 통해 게이트 구동 회로(200)의 구동 타이밍을 제어한다. 여기서, 스캔 제어 신호는 복수의 연성 회로 필름(310) 중 첫 번째 또는/및 마지막 연성 회로 필름과 기판(110)의 비표시 영역(NDA)을 통해서 게이트 구동 회로(200)에 공급될 수 있다.
- [0088] 상기 전원 회로부(390)는 인쇄 회로 기판(350)에 실장되고, 외부로부터의 입력 전원을 이용하여 디스플레이 패널(100)에 영상을 표시하기 위해 필요한 각종 전압을 생성하고, 해당하는 회로에 제공한다. 특히, 전원 회로부(390)는 캐소드 전원을 생성하고, 인쇄 회로 기판(350)과 복수의 연성 회로 필름(310) 중 적어도 하나를 통해 디스플레이 패널(100)에 배치된 캐소드 전극(CE) 또는 적어도 하나의 캐소드 전원 라인에 캐소드 전원을 공급한다.
- [0089] 이와 같은, 본 출원의 일 예는 반사 효율이 우수한 금속 물질로 이루어진 캐소드 전극(CE)을 기판(110)에 인접하도록 배치하고, 투명한 복수의 애노드 전극을 발광층(EL) 상에 배치하여 연결 전극 패턴(CEP)을 통해 구동 박막 트랜지스터(DT)에 연결함으로써 캐소드 전극(CE)에 공급되는 캐소드 전압의 전압 강하(IR drop)에 의한 휘도 불균일을 방지할 수 있으며, 복수의 애노드 전극 각각에 인가되는 데이터 신호의 개별 제어에 의해 복수의 부화소 각각에 배치된 발광층에 흐르는 전류를 용이하게 제어할 수 있다. 그리고, 본 출원의 일 예는 투명한 애노드 전극 대비 상대적으로 수분과 산소에 덜 민감한 캐소드 전극(CE)을 기판(110)에 인접하도록 배치함으로써 수분과 산소에 의해 발광층의 열화를 최소화할 수 있다.
- [0090] 도 5는 본 출원의 일 예에 따른 발광 표시 장치에 있어서, 다른 예에 따른 캐소드 전원의 공급 구조를 나타내는 도면으로서, 이는 캐소드 전극과 캐소드 전원 라인만을 도시한 것이다.
- [0091] 도 5를 도 1 및 도 2와 결부하면, 본 출원의 일 예에 따른 디스플레이 장치의 디스플레이 패널(100)은 기판(110)의 일측 가장자리(NDA1)(또는 제 1 비표시 영역)를 제외한 나머지 가장자리(NDA2, NDA3, NDA4)(또는 제 1 내지 제 3 비표시 영역)를 따라 배치된 캐소드 보조 전원 라인(SCPL)을 더 포함할 수 있다.
- [0092] 상기 캐소드 보조 전원 라인(SCPL)은 기판(110)의 일측 가장자리(NDA1)와 인접한 표시 영역(DA)의 제 1 측을 제외한 나머지 제 2 내지 제 4 측을 둘러싸도록 기판(110)의 제 1 내지 제 3 비표시 영역(NDA2, NDA3, NDA4)에 배치될 수 있다. 이때, 캐소드 보조 전원 라인(SCPL)의 일측은 제 1 비표시 영역(NDA1)에 배치된 첫번째 패드부의 캐소드 보조 전원 패드에 전기적으로 연결되며, 캐소드 보조 전원 라인(SCPL)의 타측은 제 1 비표시 영역(NDA1)에 배치된 마지막 패드부의 캐소드 보조 전원 패드에 전기적으로 연결될 수 있다. 이러한 캐소드 보조 전원 라인(SCPL)은 패드부의 캐소드 보조 전원 패드를 통해서 패널 구동 회로부(300)의 전원 공급 회로(390)로부터 캐소드 전원을 공급받는다.
- [0093] 일 예에 따른 캐소드 보조 전원 라인(SCPL)은 차광층(111)과 함께 동일한 물질로 형성될 수 있으나, 이에 한정되지 않고, 기판(110) 상에 배치된 다른 라인들과 전기적으로 분리될 수 있는 범위 내에서 구동 박막 트랜지스터(DT)의 게이트 전극(GE) 또는 소스 전극(SE)과 함께 동일한 물질로 형성될 수도 있다.
- [0094] 본 예에 따른 캐소드 전극(CE)은 캐소드 컨택홀(CH2, CH3)을 통해서 적어도 하나의 캐소드 전원 라인(CPL1, CPL2)에 전기적으로 연결된다. 적어도 하나의 캐소드 전원 라인(CPL1, CPL2)의 일측은 기판(110)의 일측 가장자리에 배치된 패드부에 배치된 캐소드 전원 패드에 전기적으로 연결될 수 있다. 상기 캐소드 전원 패드는 패널 구동 회로부(300)의 전원 공급 회로(390)로부터 캐소드 전원을 공급받는다.
- [0095] 예를 들어, 본 출원의 일 예에 따른 디스플레이 장치는 제 1 및 제 2 캐소드 전원 라인(CPL1, CPL2)를 포함할

수 있다.

- [0096] 상기 제 1 캐소드 전원 라인(CPL1)는 첫번째 화소 열에 배치된 캐소드 전극(CE)과 중첩되도록 제 2 방향(Y)을 따라 배치되고, 복수의 캐소드 콘택홀(CH2)을 통해 첫번째 화소 열의 부화소 영역들 중 적어도 하나에 배치된 캐소드 전극(CE)과 전기적으로 연결될 수 있다. 일 예에 따른 제 1 캐소드 전원 라인(CPL1)은 구동 박막 트랜지스터(DT)의 게이트 전극(GE) 또는 소스 전극(SE)과 함께 동일한 물질로 형성될 수도 있다.
- [0097] 상기 제 1 캐소드 전원 라인(CPL1)의 일측은 기관(110)의 일측 가장자리에 배치된 패드부에 배치된 캐소드 전원 패드에 전기적으로 연결될 수 있다. 상기 제 1 캐소드 전원 라인(CPL1)의 타측은 라인 콘택홀(CH4)을 통해서 기관(110)의 제 2 비표시 영역(NDA2)에 배치된 캐소드 보조 전원 라인(SCPL)과 전기적으로 연결될 수 있다.
- [0098] 상기 제 2 캐소드 전원 라인(CPL2)는 마지막 화소 열에 배치된 캐소드 전극(CE)과 중첩되도록 제 2 방향(Y)을 따라 배치되고, 복수의 캐소드 콘택홀(CH2)을 통해 마지막 화소 열의 부화소 영역들 중 적어도 하나에 배치된 캐소드 전극(CE)과 전기적으로 연결될 수 있다. 일 예에 따른 제 2 캐소드 전원 라인(CPL2)은 제 1 캐소드 전원 라인(CPL1)과 동일층에 형성될 수 있다.
- [0099] 상기 제 2 캐소드 전원 라인(CPL2)의 일측은 기관(110)의 일측 가장자리에 배치된 패드부에 배치된 캐소드 전원 패드에 전기적으로 연결될 수 있다. 상기 제 2 캐소드 전원 라인(CPL2)의 타측은 라인 콘택홀(CH4)을 통해서 기관(110)의 제 2 비표시 영역(NDA2)에 배치된 캐소드 보조 전원 라인(SCPL)과 전기적으로 연결될 수 있다.
- [0100] 본 출원의 일 예에 따른 디스플레이 장치에서, 캐소드 전원 라인은 화소 열에 배치된 캐소드 전극(CE)과 중첩되도록 제 2 방향(Y)을 따라 배치되고, 그 일측은 캐소드 전원 패드에 전기적으로 연결되며, 그 타측은 캐소드 보조 전원 라인(SCPL)과 전기적으로 연결될 수 있다. 이 경우, 캐소드 전원은 기관(110) 상에 단일 전극으로 배치된 캐소드 전극(CE)의 전면(全面)에 걸쳐 균일하게 공급될 수 있다.
- [0101] 이와 같은, 본 예에 따른 디스플레이 장치는 캐소드 보조 전원 라인(SCPL)과 캐소드 전원 라인(CPL1, CPL2)을 통해 단일 전극 형태로 배치된 캐소드 전극(CE)의 상하좌우에 캐소드 전원이 공급됨으로써 캐소드 전압의 전압 강하(IR drop)에 의한 휘도 불균일을 더욱 방지될 수 있다.
- [0102] 도 6은 본 출원의 일 예에 따른 발광 표시 장치에 있어서, 또 다른 예에 따른 캐소드 전원의 공급 구조를 나타내는 도면으로서, 이는 캐소드 전극과 캐소드 전원 라인만을 도시한 것이다.
- [0103] 도 6을 도 1 및 도 2와 결부하면, 본 출원의 일 예에 따른 디스플레이 장치의 디스플레이 패널(100)은 복수의 캐소드 브리지 라인(CBL)을 더 포함할 수 있다.
- [0104] 상기 복수의 캐소드 브리지 라인(CBL) 각각은 제 1 방향(X)을 따라 배치된 복수의 캐소드 전극 연결 라인(CEL2)과 중첩되도록 제 1 방향(X)을 따라 기관(110) 상에 배치될 수 있다. 복수의 캐소드 브리지 라인(CBL) 각각은 복수의 브리지 콘택홀(CH5)을 통해서 캐소드 전극 연결 라인(CEL2)을 사이에 두고 인접한 복수의 캐소드 전극 라인(CEL1)에 전기적으로 연결된다. 이에 따라, 제 1 방향(X)으로 인접한 2개의 캐소드 전극 라인(CEL1)은 캐소드 전극 연결 라인(CEL2) 및 캐소드 브리지 라인(CBL)을 통해 이중으로 연결된다. 이러한 복수의 캐소드 브리지 라인(CBL) 각각은 캐소드 전원 라인(CPL1, CPL2)을 통해 첫번째 화소 열 및 마지막 화소 열 각각에 배치된 캐소드 전극(CE)의 캐소드 전극 라인(CEL1)에 공급되는 캐소드 전원을 우회시켜 제 1 방향(X)으로 인접한 다음 캐소드 전극 라인(CEL1)에 추가로 공급함으로써 복수의 캐소드 전극 라인(CEL1)의 크기 대비 상대적으로 작은 복수의 캐소드 전극 연결 라인(CEL2) 각각에서 발생하는 전류 병목 현상을 방지하고, 이를 통해 캐소드 전극(CE) 내의 전류 흐름을 원활하게 하여 캐소드 전극(CE)에 균일한 전류가 흐르도록 한다.
- [0105] 추가적으로, 복수의 캐소드 브리지 라인(CBL) 각각의 양 끝단 각각은 기관(110)의 제 3 비표시 영역(NDA3)과 제 4 비표시 영역(NDA4) 각각으로 연장되어 캐소드 보조 전원 라인(SCPL)과 전기적으로 연결될 수 있다. 이 경우, 캐소드 보조 전원 라인(SCPL)에 공급되는 캐소드 전원이 복수의 캐소드 브리지 라인(CBL) 각각에 추가로 공급됨으로써 캐소드 전극(CE) 내의 전류 흐름이 보다 원활하게 되어 캐소드 전극(CE)에 더욱 균일한 전류가 흐를 수 있다.
- [0106] 이와 같은, 본 예에 따른 디스플레이 장치는 캐소드 보조 전원 라인(SCPL)과 캐소드 전원 라인(CPL1, CPL2) 및 복수의 캐소드 브리지 라인(CBL)을 통해 단일 전극 형태로 배치된 캐소드 전극(CE)에 보다 균일한 캐소드 전원이 공급됨으로써 캐소드 전압의 전압 강하(IR drop)에 의한 휘도 불균일을 더욱 방지될 수 있다.
- [0107] 본 출원에 따른 발광 디스플레이 장치는 아래와 같이 설명될 수 있다.

- [0108] 본 출원의 일 예에 따른 발광 디스플레이 장치는 발광 영역과 발광 영역과 인접한 애노드 컨택 영역을 갖는 복수의 부화소 영역을 포함하는 기관, 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터, 기관 상에 배치되고 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터를 덮는 평탄화층, 복수의 부화소 영역 각각의 발광 영역과 중첩되는 평탄화층 상에 배치된 캐소드 전극, 복수의 부화소 영역 각각의 애노드 컨택 영역과 중첩되는 평탄화층 상에 배치되고 복수의 부화소 영역 각각에 배치된 구동 박막 트랜지스터의 소스 전극과 일대일로 연결된 복수의 연결 전극 패턴, 캐소드 전극 상에 배치된 발광층, 및 복수의 부화소 영역 각각의 발광층 상에 배치되고 애노드 컨택 영역을 통해서 복수의 연결 전극 패턴과 일대일로 연결된 복수의 애노드 전극을 포함할 수 있다.
- [0109] 본 출원의 일 예에 따르면, 연결 전극 패턴은 캐소드 전극과 동일한 물질로 이루어지고, 캐소드 전극에 의해 둘러싸일 수 있다.
- [0110] 본 출원의 일 예에 따르면, 캐소드 전극은 복수의 부화소 영역 각각의 발광 영역 상에 배치되고 제 1 방향을 따라 서로 이격되면서 제 1 방향과 교차하는 제 2 방향을 따라 길게 연장된 복수의 캐소드 전극 라인, 및 제 2 방향을 따라 배치된 복수의 연결 전극 패턴 사이에 배치되고 제 1 방향을 따라 인접한 2개의 캐소드 전극 라인을 전기적으로 연결하는 복수의 캐소드 전극 연결 라인을 포함할 수 있다.
- [0111] 본 출원의 일 예에 따른 발광 디스플레이 장치는 제 2 방향을 따라 기관 상에 배치되고 복수의 캐소드 전극 라인 중 적어도 하나와 전기적으로 연결된 적어도 하나의 캐소드 전원 라인을 더 포함할 수 있다. 여기서, 적어도 하나의 캐소드 전원 라인은 구동 박막 트랜지스터의 소스 전극과 동일한 물질로 이루어질 수 있다.
- [0112] 본 출원의 일 예에 따른 발광 디스플레이 장치는 기관과 구동 박막 트랜지스터 사이에 배치된 차광층을 더 포함하며, 차광층은 적어도 하나의 캐소드 전원 라인과 동일한 물질로 이루어질 수 있다.
- [0113] 본 출원의 일 예에 따른 발광 디스플레이 장치는 평탄화층 상에 배치되고 캐소드 전극과 적어도 하나의 캐소드 전원 라인을 전기적으로 연결하는 캐소드 연결 패턴을 더 포함하며, 캐소드 연결 패턴은 구동 박막 트랜지스터의 소스 전극과 동일한 물질로 이루어질 수 있다.
- [0114] 본 출원의 일 예에 따른 발광 디스플레이 장치는 기관의 일측 가장자리에 배치된 패드부를 더 포함하며, 적어도 하나의 캐소드 전원 라인의 일측은 패드부와 전기적으로 연결될 수 있다.
- [0115] 본 출원의 일 예에 따른 발광 디스플레이 장치는 기관의 일측 가장자리를 제외한 나머지 가장자리를 따라 배치되고 패드부에 연결된 캐소드 보조 전원 라인을 더 포함하며, 적어도 하나의 캐소드 전원 라인의 타측은 캐소드 보조 전원 라인과 전기적으로 연결될 수 있다.
- [0116] 본 출원의 일 예에 따른 발광 디스플레이 장치는 제 1 방향을 따라 배치된 복수의 캐소드 전극 연결 라인과 중첩되도록 제 1 방향을 따라 기관 상에 배치된 복수의 캐소드 브리지 라인을 더 포함할 수 있다.
- [0117] 본 출원의 일 예에 따른 발광 디스플레이 장치는 기관의 일측 가장자리를 제외한 나머지 가장자리를 따라 배치되고 패드부에 연결된 캐소드 보조 전원 라인을 더 포함하며, 복수의 캐소드 브리지 라인 각각의 양 가장자리는 캐소드 보조 전원 라인과 전기적으로 연결될 수 있다.
- [0118] 본 출원의 일 예에 따른 발광 디스플레이 장치는 평탄화층 상에 배치되고 복수의 부화소 영역 각각의 발광 영역과 중첩되는 복수의 개구부와 복수의 부화소 영역 각각의 애노드 컨택 영역과 중첩되는 복수의 전극 노출부를 갖는 बैं크층을 더 포함하며, 복수의 애노드 전극 각각은 복수의 전극 노출부 각각을 통해 복수의 연결 전극 패턴과 일대일로 연결될 수 있다.
- [0119] 본 출원의 일 예에 따른 발광 디스플레이 장치는 복수의 연결 전극 패턴 각각과 중첩되는 बैं크층 상에 배치되고 복수의 전극 노출부 각각을 가리는 격벽을 더 포함하며, 복수의 애노드 전극 각각의 일측 가장자리는 격벽과 연결 전극 패턴 사이의 전극 노출부에 배치된 공간을 통해 연결 전극 패턴과 전기적으로 연결될 수 있다.
- [0120] 상술한 본 출원의 예에 설명된 특징, 구조, 효과 등은 본 출원의 적어도 하나의 예에 포함되며, 반드시 하나의 예에만 한정되는 것은 아니다. 나아가, 본 출원의 적어도 하나의 예에서 예시된 특징, 구조, 효과 등은 본 출원이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 출원의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0121] 이상에서 설명한 본 출원은 기술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서

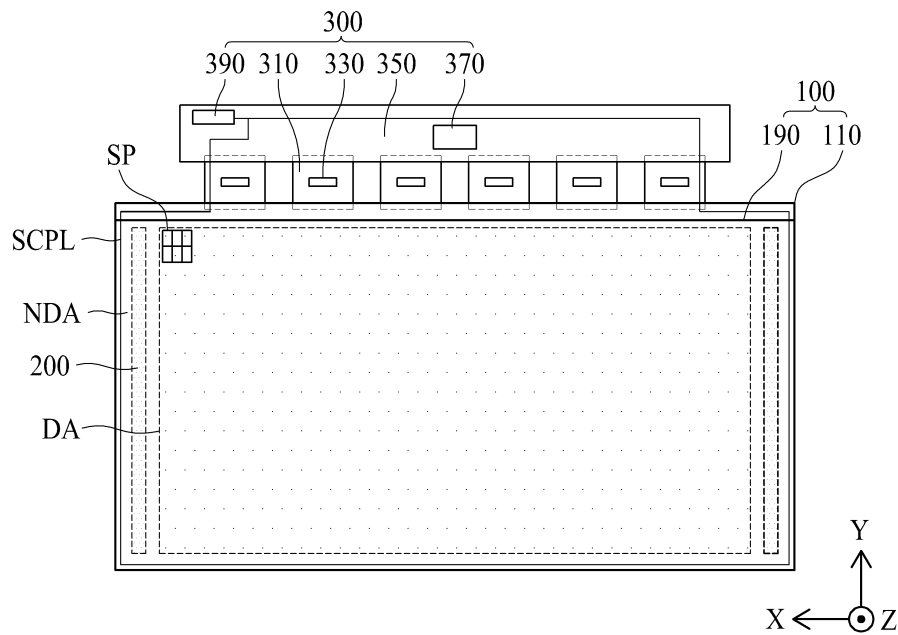
통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

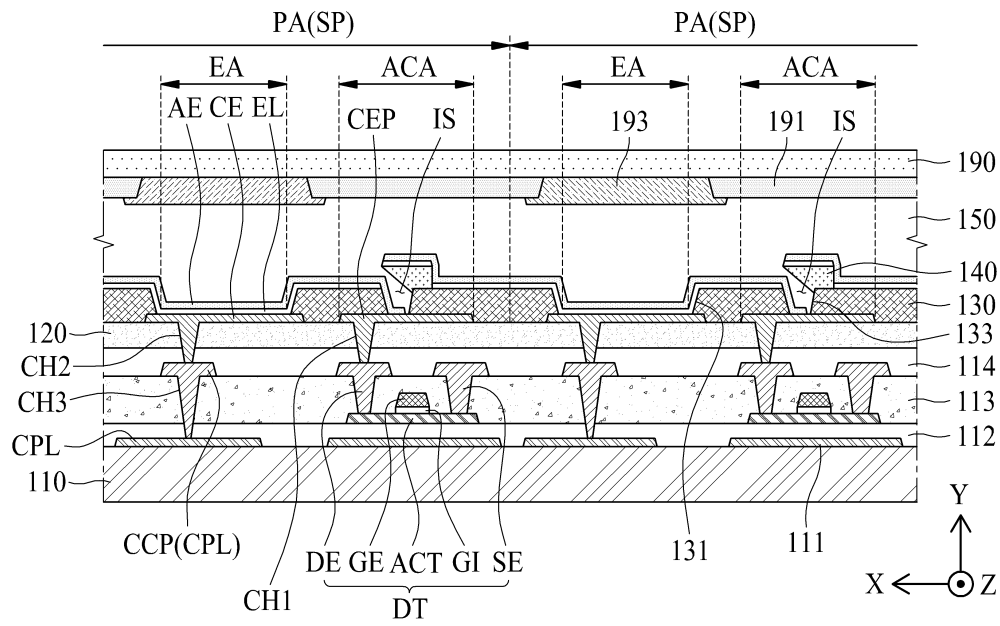
- |               |              |
|---------------|--------------|
| 100: 디스플레이 패널 | 110: 기판      |
| 111: 차광층      | 112: 버퍼층     |
| 113: 층간 절연막   | 114: 보호막     |
| 120: 평탄화층     | 130: बैं크층   |
| 131: 개구부      | 133: 전극 노출부  |
| 140: 격벽       | 150: 접착층     |
| 190: 봉지 기판    | 191: 블랙 매트릭스 |
| 193: 컬러필터     |              |

**도면**

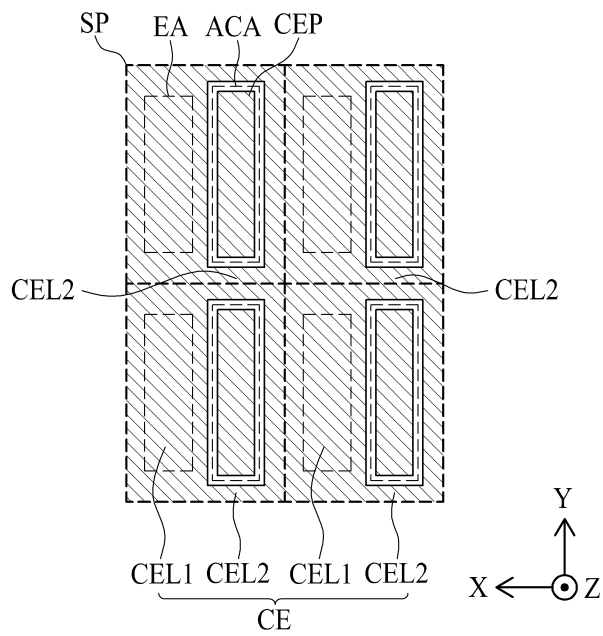
**도면1**



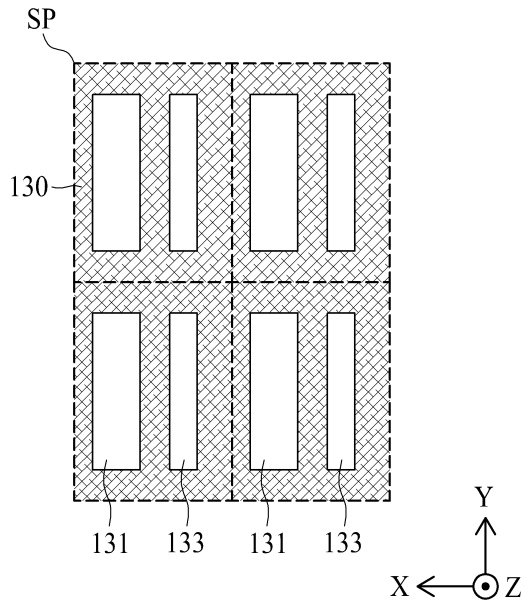
도면2



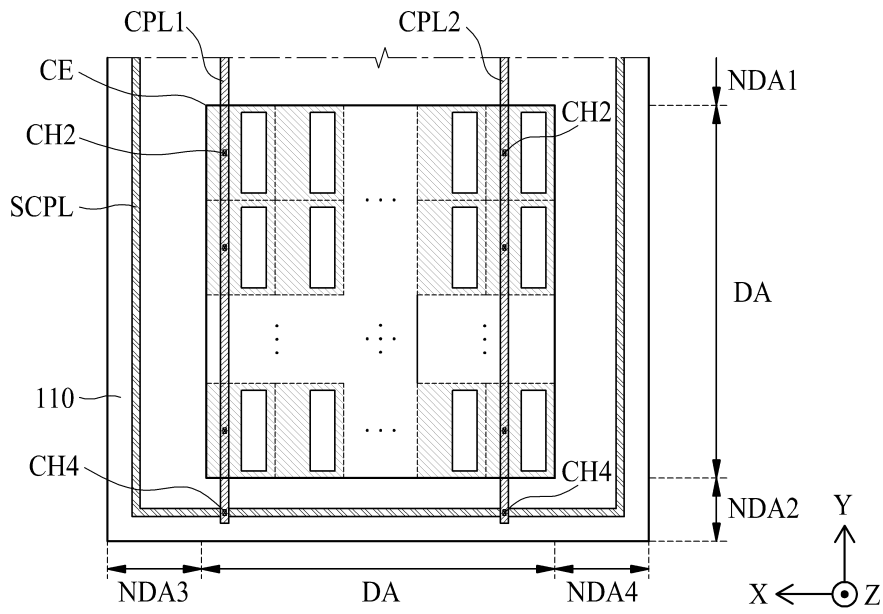
도면3



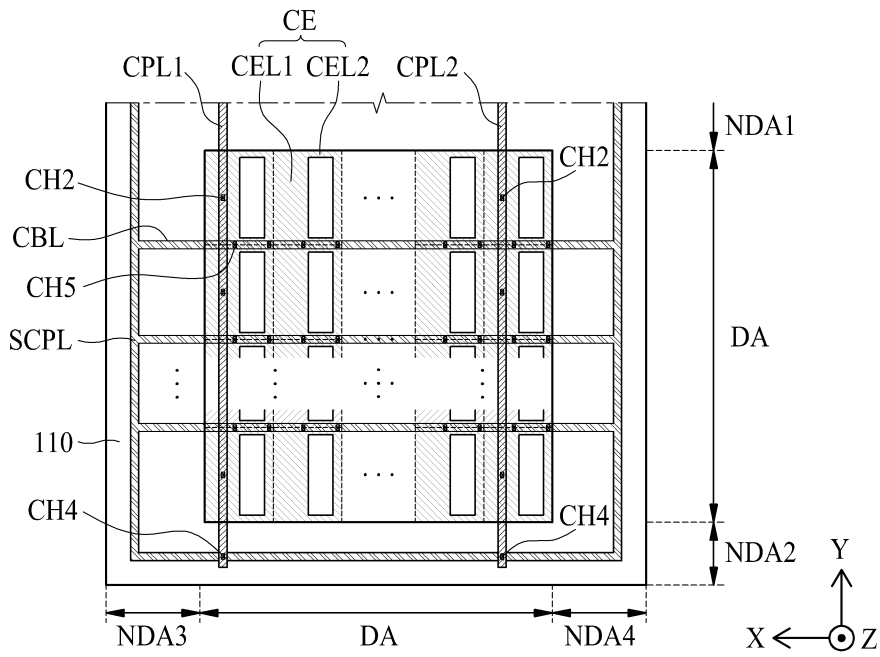
도면4



도면5



도면6



专利名称(译)	发光显示装置		
公开(公告)号	<a href="#">KR102010803B1</a>	公开(公告)日	2019-09-20
申请号	KR1020170184850	申请日	2017-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	권희용 권세열		
发明人	권희용 권세열		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5221 H01L27/3211 H01L27/3246 H01L27/3262 H01L51/5206 H01L51/5246 H01L51/5281 H01L27/3248 H01L27/322 H01L27/3272 H01L27/3276 H01L27/3279 H01L27/3258 H01L51/5228 H01L2251/301		
审查员(译)	Yiwoori		
其他公开文献	KR1020190081962A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本申请提供了一种能够具有均匀亮度的发光显示装置，根据本申请示例的发光显示装置是包括发光区域和具有与发光区域相邻的阳极接触区域的多个子像素区域的基板。设置在多个子像素区域中的每个上的平坦化层，设置在基板上并且覆盖设置在多个子像素区域中的每个中的驱动薄膜晶体管的平坦化层，以及与多个子像素区域中的每个子像素区域的发光区域重叠的平坦化层 多个连接电极图案一对一地连接到布置在平坦化层上的驱动薄膜晶体管的源电极，该驱动薄膜晶体管与多个子像素区域中的每个子像素区域的阳极接触区域和布置在多个子像素区域上的阴极电极重叠 设置在阴极上的发光层和多个子像素区域中的每个子像素区域的发光层。通过阳极接触区可以包括多个连接到所述多个连接用电极图案的阳极电极和一对一。

