

(52) CPC특허분류

H01L 27/3248 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/0018 (2013.01)
H01L 51/0023 (2013.01)
H01L 51/5206 (2013.01)
H01L 51/5228 (2013.01)
H01L 51/56 (2013.01)
H01L 2251/301 (2013.01)

(56) 선행기술조사문헌

KR1020100001597 A
JP2010062003 A*
KR1020140034960 A
KR1020060046476 A
KR1020120063219 A*
KR1020100068644 A*
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 배치되는 박막트랜지스터와;

상기 박막트랜지스터 상에 배치되는 평탄화층과;

상기 박막트랜지스터와 중첩되도록 상기 평탄화층 상에 배치되며, 불투명 도전막을 포함하는 애노드 전극과;

상기 애노드 전극 상에 배치되며, 상기 박막트랜지스터 및 상기 애노드 전극과 접촉하는 화소 연결 전극과;

상기 애노드 전극과 마주보는 캐소드 전극과;

상기 캐소드 전극과 접속되는 보조 연결 전극과;

상기 기관의 패드 영역에 배치되는 패드 전극과;

상기 화소 연결 전극과 동일 재질로 이루어지며, 상기 패드 전극 상에 배치되는 패드 커버 전극을 구비하며,

상기 패드 전극의 상부면의 일부는 상기 평탄화층과 중첩되며,

상기 패드 전극의 상부면의 나머지 일부는 상기 패드 커버 전극과 직접 접촉하며,

상기 평탄화층은 상기 애노드 전극과 비중첩되는 평탄면보다 상기 애노드 전극과 중첩되는 상기 평탄면이 상기 애노드 전극 쪽으로 돌출되는 유기 발광 표시 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 평탄화층과 상기 애노드 전극 사이에서 상기 애노드 전극과 중첩되는 희생층을 추가로 구비하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 희생층은 무기 절연 재질로 이루어지며,

상기 화소 연결 전극 및 상기 패드 커버 전극은 투명 도전막으로 이루어지며,

상기 애노드 전극은 상기 투명 도전막 및 상기 불투명 도전막을 포함하는 다층 구조로 이루어지는 유기 발광 표시 장치.

청구항 5

제 3 항에 있어서,

상기 화소 연결 전극의 테두리를 따라 배치되며 상기 화소 연결 전극의 측면을 덮는 बैं크를 추가로 구비하는 유기 발광 표시 장치.

청구항 6

삭제

청구항 7

제 1항, 제3 항 내지 제5 항 중 어느 한 항에 있어서,

상기 애노드 전극과 중첩되는 상기 평탄화층은 상기 보조 연결 전극과 중첩되는 상기 평탄화층보다 높은 유기 발광 표시 장치.

청구항 8

기관 상에 배치되는 박막 트랜지스터와, 상기 기관의 패드 영역에 배치되는 패드 전극을 형성하는 단계와;

상기 박막트랜지스터 상에 배치되는 평탄화층과, 상기 박막트랜지스터와 중첩되도록 상기 평탄화층 상에 배치되는 불투명 도전막을 포함하는 애노드 전극을 동일한 마스크 공정을 통해 형성하는 단계와;

상기 애노드 전극 상에 배치되며 상기 박막트랜지스터 및 상기 애노드 전극과 접촉하는 화소 연결 전극과, 상기 패드 전극의 상에 배치되는 패드 커버 전극과, 상기 평탄화층 상에 배치되는 보조 연결 전극을 동일 재질로 형성하는 단계와;

상기 애노드 전극과 마주보며 상기 보조 연결 전극과 접속되는 캐소드 전극을 형성하는 단계를 포함하며,

상기 패드 전극의 상부면의 일부는 상기 평탄화층과 중첩되며,

상기 패드 전극의 상부면의 나머지 일부는 상기 패드 커버 전극과 직접 접촉하며,

상기 평탄화층을 형성하는 단계는

상기 애노드 전극과 비중첩되는 평탄면보다 상기 애노드 전극과 중첩되는 상기 평탄면이 상기 애노드 전극 쪽으로 돌출되도록 상기 평탄화층을 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 9

삭제

청구항 10

제 8 항에 있어서,

상기 애노드 전극 형성시, 상기 평탄화층과 상기 애노드 전극 사이에서 상기 애노드 전극과 중첩되는 희생층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 평탄화층, 애노드 전극 및 희생층을 형성하는 단계는

상기 박막트랜지스터 및 패드 전극이 형성된 기관 상에 보호막, 상기 평탄화층, 상기 희생층 및 불투명 도전막을 포함하는 다층 도전막을 순차적으로 형성하는 단계와;

상기 다층 도전막 상에 다단 구조의 감광막 패턴을 형성하는 단계와;

상기 감광막 패턴을 마스크로 이용하여 상기 다층 도전막을 식각하여 상기 애노드 전극을 형성하는 단계와;

상기 애노드 전극을 마스크로 이용하여 상기 희생층 및 상기 평탄화층을 식각하여 화소 컨택홀을 형성함과 동시에 상기 감광막 패턴의 두께를 줄이는 단계와;

상기 두께가 줄어든 감광막 패턴을 마스크로 이용하여 상기 감광막 패턴에 의해 노출된 상기 애노드 전극을 식각하는 단계와;

상기 평탄화층을 마스크로 이용하여 상기 보호막을 식각하여 상기 박막트랜지스터의 드레인 전극을 노출시키는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제 8 항, 제10 항 및 제 11 항 중 어느 한 항에 있어서,

상기 화소 연결 전극의 테두리를 따라 배치되며 상기 화소 연결 전극의 측면을 덮는 बैं크와, 상기 화소 연결 전

극을 동일한 마스크 공정을 통해 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

삭제

청구항 14

제 8 항, 제10 항 및 제 11 항 중 어느 한 항에 있어서,

상기 애노드 전극과 중첩되는 상기 평탄화층은 상기 보조 연결 전극과 중첩되는 상기 평탄화층보다 높은 유기 발광 표시 장치의 제조 방법.

청구항 15

제 1 항에 있어서,

상기 박막트랜지스터의 게이트 전극과 동일층에 배치되는 스토리지 하부 전극과, 상기 박막트랜지스터의 소스 전극과 동일층에 배치되는 스토리지 상부 전극을 포함하는 스토리지 캐패시터를 추가로 구비하는 유기 발광 표시 장치.

청구항 16

제 7 항에 있어서,

상기 보조 연결 전극과 접촉되며 상기 박막트랜지스터의 소스 전극과 동일층에 배치되는 전원 라인을 추가로 구비하는 유기 발광 표시 장치.

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이러한 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 장치 등이 대표적이다.

[0003] 이러한, 표시장치를 제조하기 위해서는 포토 마스크를 이용한 마스크 공정이 다수번 수행된다. 각 마스크 공정은 세정, 노광, 현상 및 식각 등의 부속 공정들을 수반한다. 이에 따라, 한 번의 마스크 공정이 추가될 때마다, 유기 발광 표시장치를 제조하기 위한 제조 시간 및 제조 비용이 상승하고, 불량 발생률이 증가하여 제조 수율이 낮아지는 문제점이 있다. 따라서, 생산비를 절감하고, 생산수율 및 생산효율을 개선하기 위해서 구조 및 제조 공정을 단순화할 수 있는 방안이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법은 애노드 전극, 보호막,

평탄화층, 화소 콘택홀 및 보조 콘택홀이 동일한 하나의 마스크 공정을 통해 형성되고, 애노드 전극이 형성된 이후에, 패드 커버 전극이 화소 연결 전극 및 보조 연결 전극과 동시에 동일한 하나의 마스크 공정을 통해 형성되고, 불투명 도전막을 포함하는 애노드 전극의 패터닝시 제2 패드 전극은 평탄화층 및 보호막에 의해 보호된다.

발명의 효과

[0006] 본 발명의 실시예들에 따르면, 종래보다 적어도 3회의 마스크 공정수를 줄일 수 있어 본 발명은 구조 및 제조 공정을 단순화할 수 있다.

도면의 간단한 설명

[0007] 도 1a 내지 도 1d는 본 발명의 선행 기술에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 2는 본 발명의 제1 실시 예에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 3은 도 2에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.

도 4는 희생층을 가지는 본 발명의 제1 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 5는 도 4에 도시된 저전위 전원 라인의 다른 실시 예를 나타내는 단면도이다.

도 6a 내지 도 6i는 도 5에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 7a 내지 도 7e는 도 6f에 도시된 보조 콘택홀, 화소 콘택홀, 평탄화층 및 애노드 전극의 제조 방법을 구체적으로 설명하기 위한 단면도들이다.

도 8은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 9a 내지 도 9c는 도 8에 도시된 बैं크, 화소 연결 전극 및 패드 커버 전극의 제조 방법을 구체적으로 설명하기 위한 단면도들이다.

도 10은 컬러 필터 어레이를 가지는 본 발명의 제1 및 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명의 실시 예에 대한 설명을 하기에 앞서 본 발명의 선행 기술에 따른 유기 발광 표시 장치의 마스크 공정에 따른 생산성 저하 현상을 예를 들어 먼저 살펴보기로 한다.

[0009] 도 1a 내지 도 1d는 본 발명의 선행 기술에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

[0010] 도 1a에 도시된 바와 같이, 기판(1) 상에 드레인 전극(10)과 접촉하는 화소 연결 전극(12)을 덮도록 배치되는 화소 커버 전극(14)과, 패드 전극(50)과 접촉하는 패드 연결 전극(52)을 덮도록 배치되는 패드 커버 전극(54)이 형성된다. 이 때, 화소 커버 전극(14) 및 패드 커버 전극(54)은 내식성 및 내산성이 강한 투명 도전막으로 형성된다.

[0011] 그런 다음, 도 1b에 도시된 바와 같이 화소 커버 전극(14)을 노출시키는 화소 콘택홀(28)을 가지는 평탄화층(26)이 형성되고, 패드 커버 전극(54)을 덮도록 패드 보호막(56)이 형성된다. 이 때, 패드 보호막(56)은 추후 애노드 전극(32)의 형성시 이용되는 포토레지스트 패턴의 스트립공정시 이용되는 스트립액에 의해 제거 가능한 재질로 형성된다.

[0012] 그런 다음, 도 1c에 도시된 바와 같이, 화소 콘택홀(28)을 통해 화소 커버 전극(14)과 접속되는 애노드 전극(32)이 형성된다. 이 때, 애노드 전극(32)은 전면형 유기 발광 표시 장치에 적용되는 경우, 투명 도전막과 불투명 도전막이 적층된 구조로 형성된다.

[0013] 이러한 애노드 전극(32) 형성시 패드 보호막(56)은 패드 커버 전극(54)을 덮고 있기 때문에 애노드 전극(32) 형성시 이용되는 식각액 등에 의해 패드 커버 전극(54)이 손상되는 것을 방지할 수 있다.

[0014] 그런 다음, 도 1d에 도시된 바와 같이 애노드 전극(32) 상에 잔존하는 포토레지스트 패턴(58)과, 패드 커버 전

극(54) 상에 잔존하는 패드 보호막(56)은 스트립 공정을 통해 제거된다.

- [0015] 이와 같이, 본 발명의 선행 기술에 따른 유기 발광 표시 장치는 애노드 전극(32)이 부식의 우려가 있는 불투명 도전막을 포함하므로, 애노드 전극(32)과 패드 커버 전극(54)을 동시에 형성할 수가 없다. 또한, 본 발명의 선행 기술에 따른 유기 발광 표시 장치는 애노드 전극(32) 형성시 이용되는 식각액에 의해 패드 커버 전극(54)이 손상되는 것을 방지하기 위해 패드 커버 전극(54)을 덮도록 배치되는 패드 보호막(56)을 별도로 형성해야 한다.
- [0016] 이에 따라, 본 발명의 선행 기술에 따른 유기 발광 표시 장치는 패드 커버 전극(54)과, 패드 보호막(56)을 형성하기 위해, 적어도 마스크 공정이 2회 증가되므로 생산성 저하 및 비용이 상승하게 된다.
- [0017] 이러한, 선행 기술의 문제점을 해결하기 위하여, 본원 발명에 따른 유기 발광 표시 장치는 패드 보호막을 별도로 형성하지 않고, 패드 커버 전극을 화소 연결 전극과 동시에 형성하고, 평탄화층과 보호막을 동시에 형성하므로 마스크 공정이 적어도 3회 감소되어 생산성 향상 및 비용이 저감되는 효과를 얻을 수 있습니다.
- [0018] 이하, 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0019] 도 2는 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 3은 도 2에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.
- [0020] 도 2 및 도 3에 도시된 유기 발광 표시 장치는 액티브 영역과 패드 영역을 구비한다.
- [0021] 패드 영역에는 액티브 영역에 배치된 스캔 라인(SL), 데이터 라인(DL), 고전위 전원(VDD) 라인(161) 및 저전위 전원(VSS) 라인(160) 각각에 구동 신호를 공급하는 다수의 패드(150)들이 형성된다.
- [0022] 다수의 패드(150)들 각각은 제1 패드 전극(152), 제2 패드 전극(154) 및 패드 커버 전극(156)을 구비한다.
- [0023] 제1 패드 전극(152)은 그 제1 패드 전극(152)과 동일 형상의 게이트 절연 패턴(112) 상에 게이트 전극(106)과 동일 재질로 형성된다.
- [0024] 제2 패드 전극(154)은 층간 절연막(116)을 관통하는 패드 컨택홀(158)을 통해 노출된 제1 패드 전극(152)과 전기적으로 접속된다. 이 제2 패드 전극(154)은 소스 및 드레인 전극(108,110)과 동일층인 층간 절연막(116) 상에서 소스 및 드레인 전극(108,110)과 동일 재질로 형성된다. 이러한 제2 패드 전극(154)의 상부면의 일부는 보호막(118) 및 평탄화층(126)과 중첩되며, 제2 패드 전극(154)의 상부면의 나머지 일부는 보호막(118) 및 평탄화층(126)에 의해 노출된다.
- [0025] 패드 커버 전극(156)은 화소 연결 전극(148)과 동일 재질인, IT0, IZO 또는 ITZO와 같은 내식성 및 내산성이 강한 투명 도전막으로 형성되며 제2 패드 전극(154)과 직접 접촉된다. 이 패드 커버 전극(156)은 보호막(118) 및 평탄화층(126)에 의해 노출된 제2 패드 전극(154)의 상부면의 나머지 일부 및 측면을 덮도록 형성되어 제2 패드 전극(154)을 완전히 밀봉하게 된다. 이에 따라, 패드 커버 전극(156)은 제2 패드 전극(154)이 외부의 수분 등에 의해 부식되는 것을 방지할 수 있다.
- [0026] 액티브 영역은 다수의 서브 화소들이 매트릭스 형태로 배열되어 영상이 표시되는 영역이다. 이러한 액티브 영역에 배치된 각 서브 화소는 회로 영역(CA)에 배치되는 화소 구동 회로와, 화소 구동 회로와 접속되는 발광 소자(130)를 구비한다.
- [0027] 화소 구동 회로는 스위칭 트랜지스터(T1), 구동 트랜지스터(T2) 및 스토리지 커패시터(Cst)를 구비한다.
- [0028] 스위칭 트랜지스터(T1)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 트랜지스터(T2)의 게이트 전극으로 공급한다.
- [0029] 구동 트랜지스터(T2)는 그 구동 트랜지스터(T2)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전위 전원 라인(161)으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(T1)가 턴-오프되더라도 스토리지 캐패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0030] 이를 위해, 구동 트랜지스터(T2)는 도 3에 도시된 바와 같이 게이트 전극(106), 소스 전극(108), 드레인 전극(110) 및 액티브층(114)을 구비한다.
- [0031] 게이트 전극(106)은 그 게이트 전극(106)과 동일 패턴의 게이트 절연 패턴(112) 상에 형성된다. 이 게이트 전극(106)은 게이트 절연 패턴(112)을 사이에 두고, 액티브층(114)의 채널 영역(114C)과 중첩된다. 이러한 게이트

전극(106)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

[0032] 소스 전극(108)은 층간 절연막(116)을 관통하는 소스 콘택홀(124S)을 통해 액티브층의 소스 영역(114S)과 접속된다. 드레인 전극(110)은 층간 절연막(116)을 관통하는 드레인 콘택홀(124D)을 통해 액티브층의 드레인 영역(114D)과 접속된다. 또한, 드레인 전극(110)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성된 화소 콘택홀(120)을 통해 노출되어 화소 연결 전극(148)을 통해 애노드 전극(132)과 접속된다.

[0033] 이러한 소스 전극(108) 및 드레인 전극(110)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다.

[0034] 액티브층(114)은 채널 영역(114C)을 사이에 두고 마주보는 소스 영역(114S) 및 드레인 영역(114D)을 구비한다. 채널 영역(114C)은 게이트 절연 패틴(112)을 사이에 두고 게이트 전극(106)과 중첩된다. 소스 영역(114S)은 소스 콘택홀(124S)을 통해 소스 전극(108)과 접속되며, 드레인 영역(114D)은 드레인 콘택홀(124D)을 통해 드레인 전극(110)과 접속된다. 이 소스 영역(114S) 및 드레인 영역(114D) 각각은 n형 또는 p형 불순물이 주입된 반도체 물질로 형성되며, 채널 영역(114C)은 n형 또는 p형 불순물이 주입되지 않은 반도체 물질로 형성된다.

[0035] 액티브층(114)과 기판(101) 사이에는 버퍼막(104)과 차광층(102)이 형성된다. 차광층(102)은 액티브층의 채널 영역(114C)과 중첩되도록 기판(101) 상에 형성된다. 이 차광층(102)은 외부로부터 입사되는 광을 흡수하거나 반사하므로, 채널 영역(114C)으로 입사되는 광을 최소화할 수 있다. 여기서, 차광층(102)은 버퍼막(104)을 관통하는 버퍼 콘택홀(도시하지 않음)을 통해 노출되어 액티브층(114)과 전기적으로 접속될 수도 있다. 이러한 차광층(102)은 Mo, Ti, Al, Cu, Cr, Co, W, Ta, Ni와 같은 불투명 금속으로 형성된다.

[0036] 버퍼막(104)은 유리 또는 폴리이미드(PI) 등과 같은 플라스틱 수지로 형성된 기판(101) 상에 산화 실리콘 또는 질화 실리콘으로 단층 또는 복층 구조로 형성된다. 이 버퍼막(104)은 기판(101)에서 발생하는 수분 또는 불순물의 확산을 방지하거나 결정화시 열의 전달 속도를 조절함으로써, 액티브층(114)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.

[0037] 스토리지 캐패시터(Cst)는 층간 절연막(116)을 사이에 두고 스토리지 하부 전극(142) 및 스토리지 상부 전극(144)이 중첩됨으로써 형성된다. 이 때, 스토리지 하부 전극(142)은 게이트 전극(106)과 동일층에 동일 재질로 형성되며, 스토리지 상부 전극(144)은 소스 전극(108)과 동일층에 동일 재질로 형성된다. 이러한 스토리지 캐패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(T1)가 턴-오프되더라도 구동 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(130)의 발광을 유지하게 한다.

[0038] 발광 소자(130)는 구동 트랜지스터(T2)의 드레인 전극(110)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 유기 발광층(134)과, 유기 발광층(134) 위에 형성된 캐소드 전극(136)을 구비한다.

[0039] 애노드 전극(132)은 बैं크(138)에 의해 마련된 발광 영역(EA) 및 화소 구동 회로가 배치된 회로 영역(CA)과 중첩되도록 평탄화층(126) 상에 배치된다. 특히, 평탄화층 상에 배치되는 애노드 전극(132)과 평탄화층(126)이 동일 마스크 공정으로 형성됨으로써, 애노드 전극(132)과 중첩되는 평탄화층(126)의 높이는 애노드 전극(132)과 비중첩되는 평탄화층의 높이와 다르다. 즉, 애노드 전극(132)과 중첩되는 평탄화층(126)의 상부면은 화소 연결 전극(148) 및 보조 연결 전극(168)과 중첩되는 평탄화층(126)의 상부면보다 높은 평면에 위치한다. 이러한 애노드 전극(132)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 불투명 도전막으로 이루어진 단층 구조로 형성되거나, 투명 도전막(132a) 및 반사효율이 높은 불투명 도전막(132b)을 포함하는 다층 구조로 형성된다. 투명 도전막(132a)으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 일함수값이 비교적 큰 재질로 이루어지고, 불투명 도전막(132b)으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 애노드 전극(132)은 투명 도전막(132a), 불투명 도전막(132b) 및 투명 도전막(132a)이 순차적으로 적층된 구조로 형성되거나, 투명 도전막(132a) 및 불투명 도전막(132b)이 순차적으로 적층된 구조로 형성된다.

[0040] 이러한 애노드 전극(132)은 화소 연결 전극(148)을 통해 드레인 전극(110)과 전기적으로 접속된다. 여기서, 화소 연결 전극(148)은 보호막(118) 및 평탄화층(126)을 관통하는 화소 콘택홀(120)을 통해 드레인 전극(110)과 접속된다. 그리고, 화소 연결 전극(148)은 별도의 콘택홀 없이 애노드 전극(132)과 직접 접촉되도록 발광 영역(EA) 및 회로 영역(CA)에서 애노드 전극(132)의 측면 및 상부면을 덮도록 배치된다. 이 때, 화소 연결 전극(148)은 패드 커버 전극(156)과 동일하게, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명

도전막으로 형성된다.

- [0041] 한편, 애노드 전극(132)과 평탄화층(126) 사이에 도 4에 도시된 바와 같이 희생층(172)이 배치될 수도 있다. 희생층(172)은 애노드 전극(132)과 대응되는 영역에서 애노드 전극(132)과 중첩되도록, 애노드 전극(132) 하부에 배치된다. 이러한 희생층(172)은 애노드 전극(132) 형성시 이용되는 식각액 또는 식각 가스에 의해 평탄화층(126)이 손상되는 것을 방지하도록 애노드 전극(132) 형성시 이용되는 식각액 또는 식각 가스에 반응하지 않는 SiNx 또는 SiOx 와 같은 무기 절연 재질로 형성된다.
- [0042] 유기 발광층(134)은 애노드 전극(132) 상에 정공 관련층, 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다. 이러한 유기 발광층(134)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, बैंक(138)에 의해 마련된 발광 영역(EA)뿐만 아니라 회로 영역(CA)에도 배치된 애노드 전극(132) 상에 형성되므로 개구율이 향상된다. बैंक(138)는 발광 영역(EA)을 마련하도록 애노드 전극(132) 상에 형성된다. 이러한 बैंक(138)는 인접한 서브 화소 간 광 간섭을 방지하도록 불투명 재질(예를 들어, 블랙)로 형성될 수도 있다. 이 경우, बैंक(138)는 칼라 안료, 유기 블랙 및 카본 중 적어도 어느 하나로 이루어진 차광재질을 포함한다.
- [0043] 또한, 유기 발광층(134)은 그 유기 발광층(134)과 다른 색을 구현하는 인접한 서브 화소에 배치되는 유기 발광층(134)과 격벽(146)을 통해 분리된다. 즉, 격벽(146)은 하부면에서 상부면으로 갈수록 폭이 점차적으로 증가하는 역테이퍼 형상으로 बैंक홀(174) 내에 배치된다. 이에 따라, 직진성을 가지고 성막되는 유기 발광층(134)은 격벽(146)과 중첩되는 보조 연결 전극(168) 상에는 형성되지 않으므로, 격벽(146)에 의해 서로 다른 색을 구현하는 인접한 서브 화소의 유기 발광층(134)들은 बैंक홀(174) 내에서 분리된다. 이 경우, 유기 발광층(134)은 बैंक홀(174)에 의해 노출되는 보조 연결 전극(168)을 제외한 나머지 영역 상에 형성되므로, 유기 발광층(134)은 बैंक(138)에 의해 노출된 애노드 전극(132)의 상부면, 격벽(146)의 상부면 및 बैंक(138)의 상부면 및 측면 상에만 형성된다. 반면에, 유기 발광층(134)보다 스텝 커버리지가 좋은 캐소드 전극(136)은 격벽(146)의 상부면 및 측면과, 그 격벽(146) 하부에 배치되는 बैंक(138)의 측면에도 형성되므로 보조 연결 전극(168)과의 접촉이 용이해진다.
- [0044] 캐소드 전극(136)은 유기 발광층(134)을 사이에 두고 애노드 전극(132)과 대향하도록 유기 발광층(134) 및 बैंक(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다.
- [0045] 캐소드 전극(135)은 격벽(146)이 위치하는 बैंक홀(174) 내에서 보조 연결 전극(168)을 통해 저전위 전원 라인(160)과 접속된다. 이 보조 연결 전극(168)은 도 4 또는 도 5에 도시된 바와 같이 보조 컨택홀(170)을 통해 저전위 전원 라인(160)과 전기적으로 접속된다. 이 때, 저전위 전원 라인(160)은 캐소드 전극(136)보다 도전성이 좋은 금속으로 형성되므로 투명 도전막인 ITO 또는 IZO로 형성되는 캐소드 전극(136)의 높은 저항 성분을 보상할 수도 있다.
- [0046] 도 4에 도시된 저전위 전원 라인(160)은 스토리지 상부 전극(144)과 동일 평면인 층간 절연막(116) 상에서 스토리지 상부 전극(144)과 동일 재질로 형성된다. 이러한 저전위 전원 라인(160)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성된 보조 컨택홀(170)을 통해 노출되어 보조 연결 전극(168)과 접속된다.
- [0047] 도 5에 도시된 저전위 전원 라인(160)은 전원 컨택홀(166)을 통해 서로 연결되는 제1 및 제2 저전위 전원 라인(162, 164)을 구비한다. 제1 저전위 전원 라인(162)은 차광층(102)과 동일 평면인 기관(101) 상에 차광층(102)과 동일 재질로 형성된다. 제2 저전위 전원 라인(164)은 스토리지 상부 전극(144)과 동일 평면인 층간 절연막(116) 상에서 스토리지 상부 전극(144)과 동일 재질로 형성된다. 이러한 제2 저전위 전원라인(164)은 버퍼층(104) 및 층간 절연막(116)을 관통하는 전원 컨택홀(166)을 통해 노출된 제1 저전위 전원 라인(162)과 접속된다. 제2 저전위 전원 라인(164)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성된 보조 컨택홀(170)을 통해 노출되어 보조 연결 전극(168)과 접속된다.
- [0048] 도 6a 내지 도 6i는 도 5에 도시된 유기 발광 표시 장치의 제조방법을 설명하기 위한 단면도들이다.
- [0049] 도 6a에 도시된 바와 같이 기관(101) 상에 차광층(102) 및 제1 저전위 전원 라인(162)이 형성된다.
- [0050] 구체적으로, 기관(101) 상에 증착 공정을 통해 불투명 금속층이 형성된다. 그런 다음, 제1 마스크를 이용한 포토리소그래피공정과 식각 공정을 통해 불투명 금속층이 패터닝됨으로써 차광층(102) 및 제1 저전위 전원 라인(162)이 형성된다.
- [0051] 도 6b를 참조하면, 차광층(102) 및 제1 저전위 전원 라인(162)이 형성된 기관(101) 상에 버퍼막(104)이 형성되

고, 그 버퍼막(104) 상에 액티브층(114)이 형성된다.

- [0052] 구체적으로, 차광층(102) 및 제1 저전위 전원 라인(162)이 형성된 기판(101) 상에 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 전면 증착됨으로써 버퍼막(104)이 형성된다. 그런 다음, 버퍼막(104)이 형성된 기판(101) 상에 LPCVD(Low Pressure Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 방법을 통해 아몰퍼스 실리콘 박막이 형성된다. 그런 다음, 아몰퍼스 실리콘 박막을 결정화함으로써 폴리 실리콘 박막으로 형성된다. 그리고, 폴리 실리콘 박막을 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 액티브층(114)이 형성된다.
- [0053] 도 6c를 참조하면, 액티브층(114)이 형성된 버퍼막(104) 상에 게이트 절연 패턴(112)과, 그 게이트 절연 패턴(112) 상에 게이트 전극(106), 스토리지 하부 전극(142) 및 제1 패드 전극(152)이 형성된다.
- [0054] 구체적으로, 액티브층(114)이 형성된 버퍼막(104) 상에 게이트 절연막이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 게이트 금속층이 형성된다. 게이트 절연막으로는 SiO_x 또는 SiN_x 등과 같은 무기 절연 물질이 이용된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 게이트 금속층 및 게이트 절연막을 동시에 패터닝함으로써 스토리지 하부 전극(142), 게이트 전극(106), 및 제1 패드 전극(152) 각각과, 그들 각각의 하부에 게이트 절연 패턴(112)이 동일 패턴으로 형성된다.
- [0055] 그리고, 게이트 전극(106)을 마스크로 이용하여 액티브층(114)에 n+형 또는 p+형 불순물을 주입함으로써 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D)이 형성된다.
- [0056] 도 6d를 참조하면, 게이트 전극(106), 스토리지 하부 전극(142) 및 제1 패드 전극(152)이 형성된 기판(101) 상에 소스 및 드레인 콘택홀(124S, 124D)과 패드 콘택홀(158) 및 전원 콘택홀(166)을 가지는 층간 절연막(116)이 형성된다.
- [0057] 구체적으로, 게이트 전극(106), 스토리지 중간 전극(144) 및 제1 패드 전극(152)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 층간 절연막(116)이 형성된다. 그런 다음, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 층간 절연막(116) 및 버퍼막(104)이 선택적으로 패터닝됨으로써 소스 및 드레인 콘택홀(124S, 124D), 패드 콘택홀(158) 및 전원 콘택홀(166)이 형성된다. 소스 및 드레인 콘택홀(124S, 124D) 및 패드 콘택홀(158) 각각은 층간 절연막(116)을 관통하도록 형성됨으로써 소스 전극(108), 드레인 전극(110) 및 제1 패드 전극(152)을 노출시키며, 전원 콘택홀(166)은 층간 절연막(116) 및 버퍼막(104)을 관통하도록 형성됨으로써 제1 저전위 전원 라인(162)을 노출시킨다.
- [0058] 도 6e를 참조하면, 소스 및 드레인 콘택홀(124S, 124D)과 패드 콘택홀(158) 및 전원 콘택홀(166)을 가지는 층간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144), 제2 패드 전극(154) 및 제2 저전위 전원 라인(164)이 형성된다.
- [0059] 구체적으로, 소스 및 드레인 콘택홀(124S, 124D)과 패드 콘택홀(158) 및 전원 콘택홀(166)을 가지는 층간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 데이터 금속층이 형성된다. 데이터 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같이 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 데이터 금속층 패터닝함으로써 층간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144), 제2 패드 전극(154) 및 제2 저전위 전원 라인(164)이 형성된다.
- [0060] 도 6f를 참조하면, 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144), 제2 패드 전극(154) 및 제2 저전위 전원 라인(164)이 형성된 층간 절연막(116) 상에 보호막(118), 평탄화층(126), 희생층(172) 및 애노드 전극(132)이 동일 마스크 공정으로 형성된다. 이에 대해, 도 7a 내지 도 7e를 결부하여 구체적으로 설명하기로 한다.
- [0061] 도 7a에 도시된 바와 같이 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144), 제2 패드 전극(154) 및 제2 저전위 전원 라인(164)이 형성된 층간 절연막(116) 상에 보호막(118), 평탄화층(126), 희생층(172) 및 적어도 한 층의 불투명 도전막을 포함하는 애노드용 도전막(131)이 순차적으로 적층된다. 여기서, 보호막(118) 및 희생층(172)으로는 SiO_x, SiN_x 등과 같은 무기 절연 물질이 이용되며, 평탄화층(126)으로는 포토아크릴 등과 같은 유기 절연 물질이 이용되며, 애노드용 도전막(131)으로는 도 3에 도시된 바와 같이 투명 도전막(132a)과 불투명 도전막(132b)이 순차적으로 적층된 구조가 이용된다. 여기서, 불투명 도전막(132b)은 제2 패드 전극

(154)과 동일 재질로 형성될 수도 있다. 그런 다음, 애노드용 도전막(131) 상에 포토레지스트가 전면 도포된 후, 그 포토레지스트를 하프톤 마스크 또는 슬릿 마스크와 같은 제6 마스크를 이용한 포토리소그래피공정을 통해 패터닝함으로써 다단 구조의 포토레지스트 패턴(180)이 형성된다. 다단 구조의 포토레지스트 패턴(180)은 각 서브 화소의 발광 영역(EA) 및 회로 영역(CA)에서 제1 두께로 형성되고, 제1 패드 전극(152)이 배치된 패드 영역 및 서브 화소들 사이의 신호 라인들이 배치되는 영역에서는 제1 두께보다 얇은 제2 두께로 형성된다. 그리고, 제1 패드 전극(152)과 비중첩되는 제2 패드 전극(154)이 배치된 패드 영역 및 추후 화소 컨택홀 및 보조 컨택홀이 형성될 영역에서는 형성되지 않는다. 이러한 다단 구조의 포토레지스트 패턴(180)을 마스크로 이용한 식각 공정을 통해 애노드용 도전막(131) 및 희생층(172)이 식각됨으로써 도 7b에 도시된 바와 같이 애노드 전극(132) 및 희생층(172)이 동일 패턴으로 형성된다. 이 때, 제2 패드 전극(154)은 평탄화층(126) 및 보호막(118)에 의해 보호되므로, 애노드용 도전막(131) 및 희생층(172)의 식각공정시 이용되는 식각액에 의해 제2 패드 전극(154)이 손상되는 것을 방지할 수 있다.

[0062] 그런 다음, 애노드 전극(132)을 마스크로 이용하여 평탄화층(126)을 건식식각함으로써 도 7c에 도시된 바와 같이 화소 컨택홀(120) 및 보조 컨택홀(170)이 형성된다. 이 때, 건식 식각시 이용되는 식각 가스에 의해 포토레지스트 패턴(180)이 에칭됨으로써 제1 두께의 포토레지스트 패턴(180)은 두께가 얇아지고, 제2 두께의 포토레지스트 패턴(180)은 제거된다. 두께가 얇아진 포토레지스트 패턴(180)을 마스크로 이용한 식각 공정을 통해, 애노드 전극(132)이 식각됨으로써 애노드 전극(132)은 도 7d에 도시된 바와 같이 각 서브 화소의 발광 영역(EA) 및 회로 영역(CA)에만 잔존하게 된다. 이 때, 애노드 전극(132) 식각시 제2 패드 전극(154)은 보호막(118)에 의해 보호되므로 애노드 전극(132) 식각시 이용되는 식각액에 의해 제2 패드 전극(154)이 손상되는 것을 방지할 수 있다.

[0063] 그런 다음, 평탄화층(126)을 마스크로 이용하여 보호막(118)을 식각함으로써 도 7e에 도시된 바와 같이 화소 컨택홀(120) 및 보조 컨택홀(170)은 보호막(118)을 관통하도록 형성되며, 제2 패드 전극(154) 상의 보호막(118)이 제거되어 제2 패드 전극(154)이 노출된다. 한편, 보호막(118)의 식각시 보호막(118)과 유사 계열의 무기 절연 재질로 형성되는 희생층(172)이 식각될 수 있으나, 희생층(172) 하부에 배치되는 평탄화층(126)은 희생층(172)에 의해 보호된다. 이에 따라, 보호막(118) 식각시 이용되는 식각가스에 의해 평탄화층(126)이 손상되는 것을 최소화할 수 있다. 그런 다음, 애노드 전극(132) 상에 잔존하는 포토레지스트 패턴(180)은 스트립공정을 통해 제거된다.

[0064] 도 6g를 참조하면, 보호막(118), 평탄화층(126), 희생층(172) 및 애노드 전극(132)이 형성된 기판(101) 상에 화소 연결 전극(148), 보조 연결 전극(168) 및 패드 커버 전극(156)이 형성된다.

[0065] 구체적으로, 보호막(118), 평탄화층(126), 희생층(172) 및 애노드 전극(132)이 형성된 기판(101) 상에 투명 도전막이 전면 증착된 다음, 그 투명 도전막이 제7 마스크를 이용한 포토리소그래피와 식각 공정을 통해 패터닝됨으로써 화소 연결 전극(148), 보조 연결 전극(168) 및 패드 커버 전극(156)이 형성된다.

[0066] 도 6h를 참조하면, 화소 연결 전극(148), 보조 연결 전극(168) 및 패드 커버 전극(156)이 형성된 기판(101) 상에 बैं크홀(174)을 가지는 बैं크(138)가 형성된다.

[0067] 구체적으로, 화소 연결 전극(148), 보조 연결 전극(168) 및 패드 커버 전극(156)이 형성된 기판(101) 상에 बैं크용 감광막을 전면 도포한 다음, 그 बैं크용 감광막을 제8 마스크를 이용한 포토리소그래피 공정을 통해 패터닝함으로써 बैं크홀(174)을 가지는 बैं크(138)가 형성된다.

[0068] 도 6i를 참조하면, बैं크(138)가 형성된 기판(101) 상에 격벽(146), 유기 발광층(134) 및 캐소드(136) 전극이 순차적으로 형성된다.

[0069] 구체적으로, बैं크(138)가 형성된 기판(101) 상에 격벽용 감광막을 전면 도포한 다음, 그 격벽용 감광막을 제9 마스크를 이용한 포토리소그래피 공정을 통해 패터닝함으로써 격벽(146)이 형성된다. 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 패드 영역을 제외한 액티브 영역에 유기 발광층(134) 및 캐소드 전극(136)이 순차적으로 형성된다.

[0070] 이와 같이, 본 발명의 제1 실시 예에서는 애노드 전극(132), 보호막(118), 평탄화층(126), 화소 컨택홀(120) 및 보조 컨택홀(170)이 동일한 하나의 마스크 공정을 통해 형성된다. 그리고, 본 발명의 제1 실시 예에서는 애노드 전극(132)이 형성된 이후에, 패드 커버 전극(156)이 화소 연결 전극(148) 및 보조 연결 전극(168)과 동시에 동일한 하나의 마스크 공정을 통해 형성된다. 그리고, 본 발명에서는 불투명 도전막을 포함하는 애노드 전극(132)의 패터닝시 제2 패드 전극(154)은 평탄화층(126) 및 보호막(118)에 의해 보호되므로, 별도의 패드 보호막

없이도 제2 패드 전극(154)이 손상되는 것을 방지할 수 있다. 이에 따라, 본 발명의 제1 실시 예에서는 종래보다 적어도 3회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

[0071] 도 8은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

[0072] 도 8에 도시된 유기 발광 표시 장치는 도 1에 도시된 유기 발광 표시 장치와 대비하여 बैं크(138)가 화소 연결 전극(148) 및 보조 연결 전극(168) 각각의 테두리를 따라 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

[0073] 도 8에 도시된 बैं크(138)는 인접한 서브 화소의 बैं크(138)와 이격되도록 배치된다. 이러한 बैं크(138)는 화소 연결 전극(148) 및 보조 연결 전극(168) 각각의 측면으로부터 바깥쪽으로 일정거리 이격된 측면을 가지므로, बैं크(138)는 화소 연결 전극(148) 및 보조 연결 전극(168) 각각의 측면을 덮도록 형성된다. 이에 따라, 화소 연결 전극(148)의 측면을 덮는 बैं크(138)와 보조 연결 전극(168)의 측면을 덮는 बैं크(138) 역시 서로 이격되도록 배치된다.

[0074] 도 9a 내지 도 9c는 도 8에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다. 도 8에 도시된 유기 발광 표시 장치의 제조 방법 중 애노드 전극까지의 제1 내지 제6 마스크 공정은 본 발명의 제1 실시 예와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0075] 도 9a에 도시된 바와 같이 애노드 전극(132)이 형성된 기판(101) 상에 스퍼터링 등의 증착 방법으로 투명 도전막(184)이 전면 증착된다. 그런 다음, 투명 도전막(184) 상에 बैं크용 감광막을 전면 도포한 다음, 그 बैं크용 감광막을 하프톤 마스크 또는 슬릿 마스크와 같은 제 7 마스크를 이용하여 노광 및 현상함으로써 다단 구조의 बैं크용 감광 패턴(182)이 형성된다. बैं크용 감광 패턴(182)은 각 서브 화소의 가장자리를 따라서 제1 두께로 형성되고, 패드 커버 전극 및 बैं크홀이 형성될 영역과 발광 영역에서 제1 두께보다 얇은 제2 두께로 형성된다. 이 बैं크용 감광 패턴(182)을 마스크로 이용하여 투명 도전층(184)을 습식 식각함으로써 도 9b에 도시된 바와 같이 패드 커버 전극(156), 보조 연결 전극(168) 및 화소 연결 전극(148)이 형성된다. 그런 다음, बैं크용 감광 패턴(182)은 큐어링(curing)공정을 통해 리플로우(reflow)됨으로써 बैं크용 감광 패턴(182)은 보조 연결 전극(168) 및 화소 연결 전극(148) 각각의 노출된 측면을 덮도록 형성된다. 그런 다음, बैं크용 감광 패턴(182)을 에칭함으로써 제2 두께의 बैं크용 감광 패턴(182)은 제거되어 발광 영역 내의 화소 연결 전극(148)과 बैं크홀 내의 보조 연결 전극(168)이 노출되고, 제1 두께의 बैं크용 감광 패턴(182)은 두께가 얇아져 बैं크(138)가 된다. 이러한 बैं크(138)는 보조 연결 전극(168)의 측면 및 화소 연결 전극(148)의 측면을 덮도록 형성되므로 보조 연결 전극(168) 및 화소 연결 전극(148)의 부식 등을 방지할 수 있다.

[0076] 도 9c를 참조하면, 애노드 전극(132), 패드 커버 전극(156) 및 बैं크(138)가 형성된 기판(101) 상에 격벽용 감광막을 전면 도포한 다음, 그 격벽용 감광막을 제8 마스크를 이용한 포토리소그래피 공정을 통해 패터닝함으로써 격벽(146)이 형성된다. 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 패드 영역을 제외한 액티브 영역에 유기 발광층(134) 및 캐소드 전극(136)이 순차적으로 형성된다.

[0077] 이와 같이, 본 발명의 제2 실시 예에서는 애노드 전극(132), 보호막(118), 평탄화층(126), 화소 컨택홀(120) 및 보조 컨택홀(170)이 동일한 하나의 마스크 공정을 통해 형성된다. 그리고, 본 발명의 제2 실시 예에서는 애노드 전극(132)이 형성된 이후에, 패드 커버 전극(156), 화소 연결 전극(148) 및 보조 연결 전극(168)과 बैं크(138)가 동시에 동일한 하나의 마스크 공정을 통해 형성된다. 그리고, 본 발명에서는 불투명 도전막을 포함하는 애노드 전극(132)의 패터닝시 제2 패드 전극(154)은 평탄화층(126) 및 보호막(118)에 의해 보호되므로, 별도의 패드 보호막없이도 제2 패드 전극(154)이 손상되는 것을 방지할 수 있다. 이에 따라, 본 발명의 제2 실시 예에서는 종래보다 적어도 4회의 마스크 공정 수를 저감할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다.

[0078] 한편, 본 발명의 제1 및 제2 실시 예에 따른 유기 발광 표시 장치가 전면형 발광 구조인 경우, 도 10에 도시된 바와 같이 제2 기판(111) 상에 블랙매트릭스(192) 및 컬러 필터(194)가 형성된 컬러 필터 어레이를 추가로 구비한다. 이 경우, 발광 소자(130)에서 생성된 백색광이 컬러 필터(194)를 통해 제2 기판(111)의 전면으로 출사됨으로써 영상을 구현할 수 있다.

[0079] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에

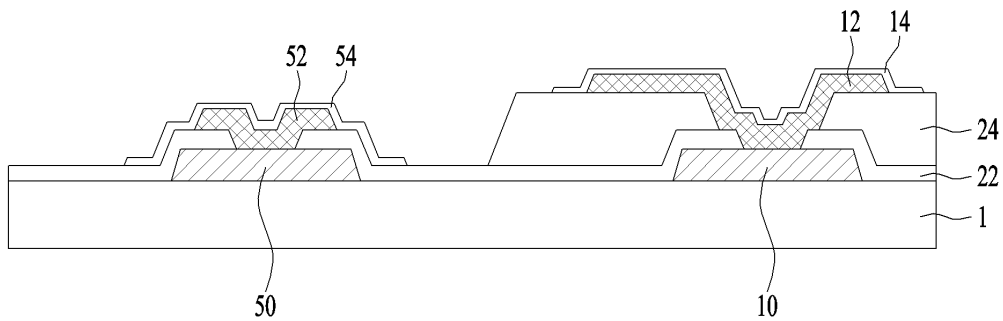
의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

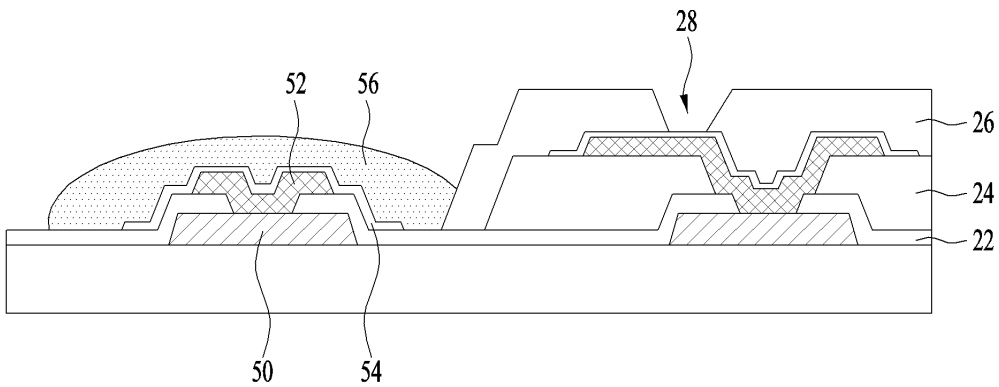
101 : 기판	126 : 평탄화층
132 : 애노드 전극	134 : 발광층
136 : 캐소드 전극	138 : बैं크
148 : 화소 연결 전극	152, 154 : 패드 전극
156 : 패드 커버 전극	172 : 희생층

도면

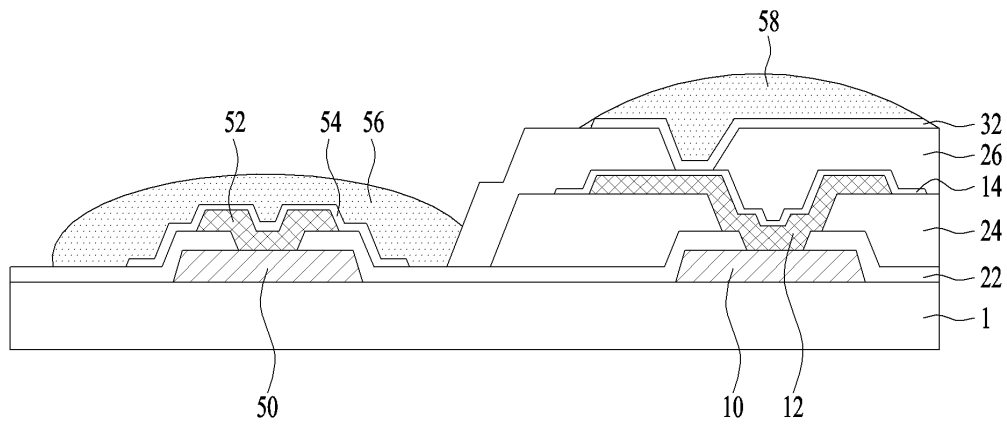
도면1a



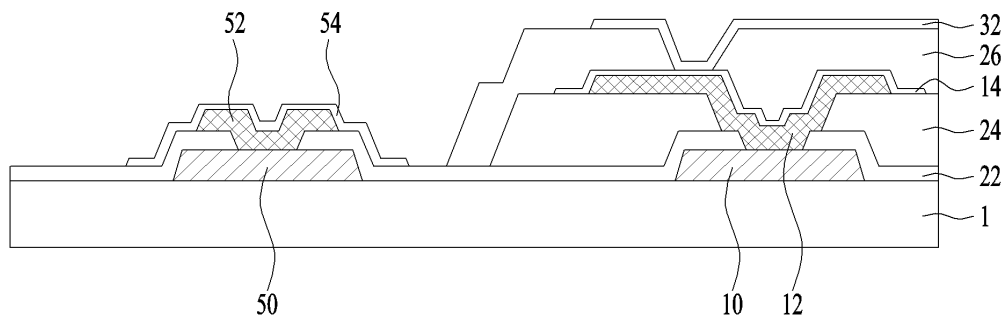
도면1b



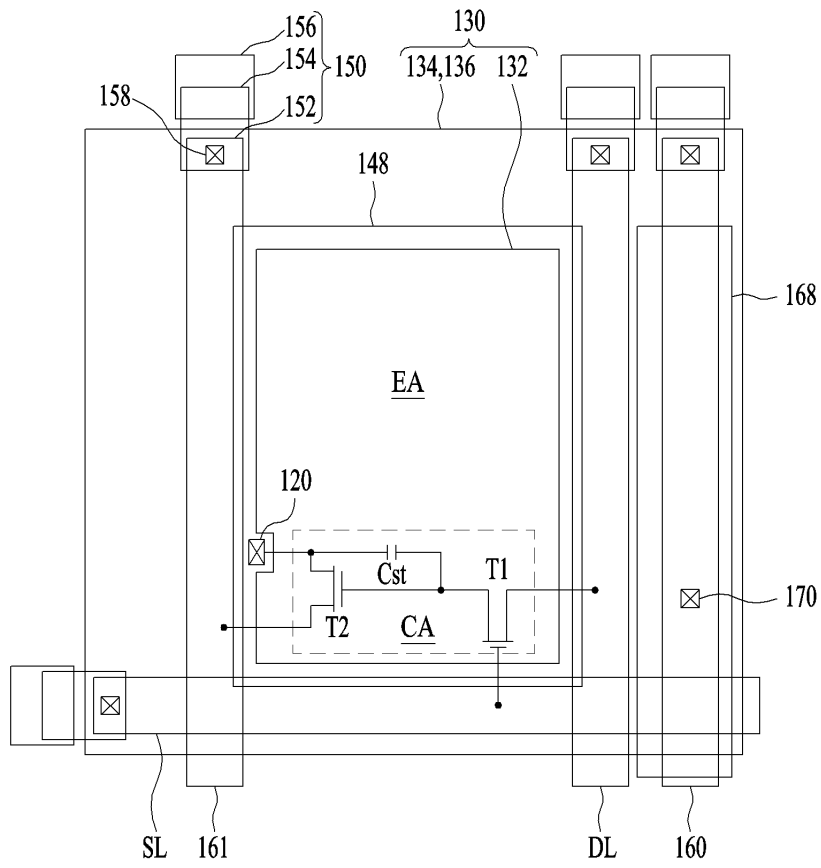
도면1c



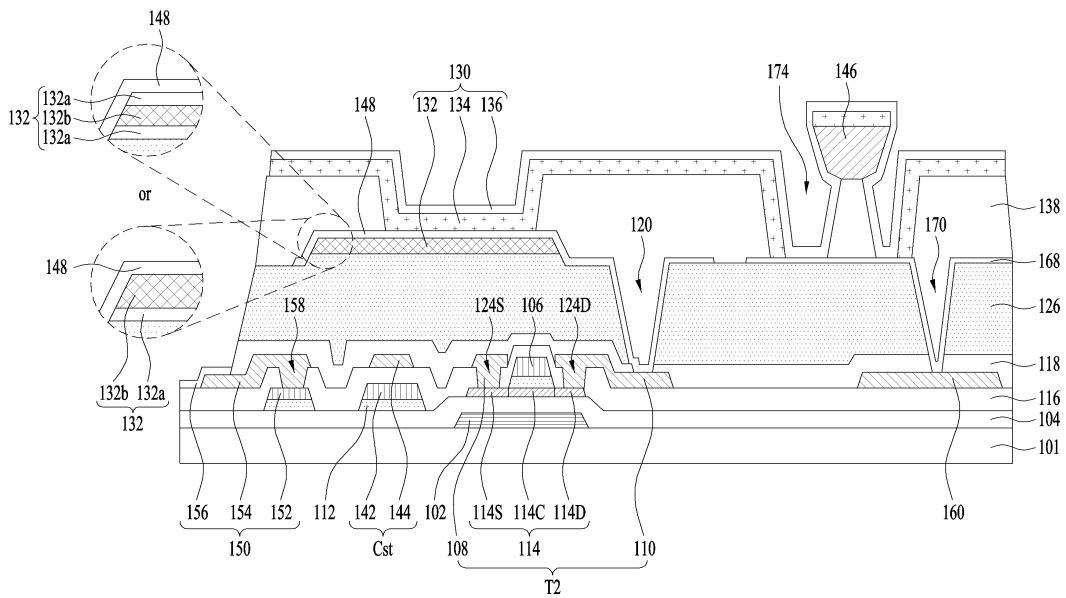
도면1d



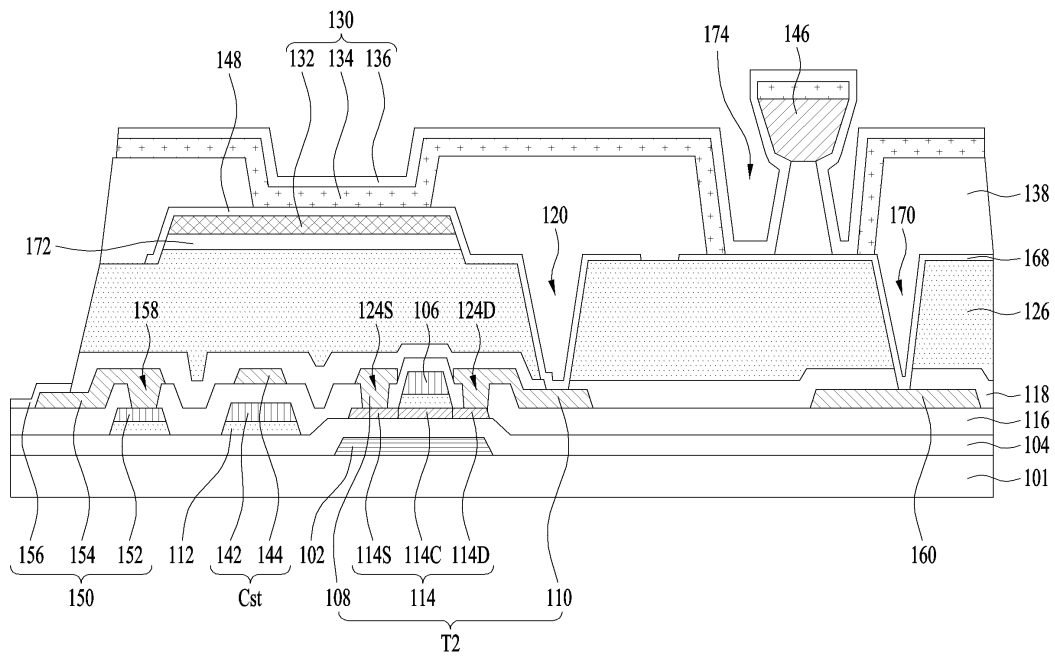
도면2



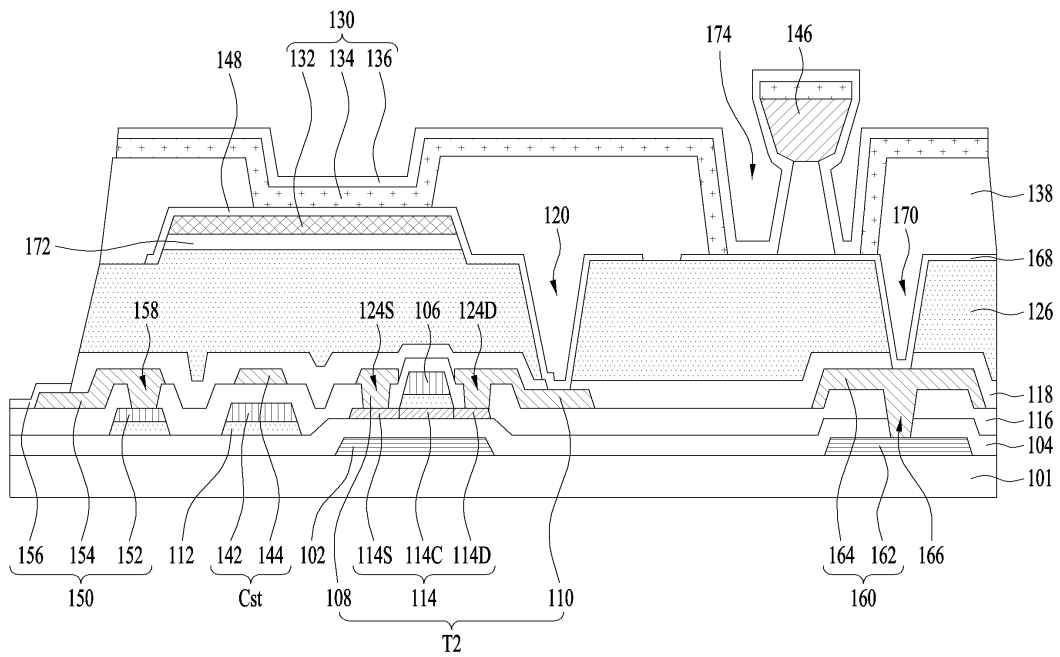
도면3



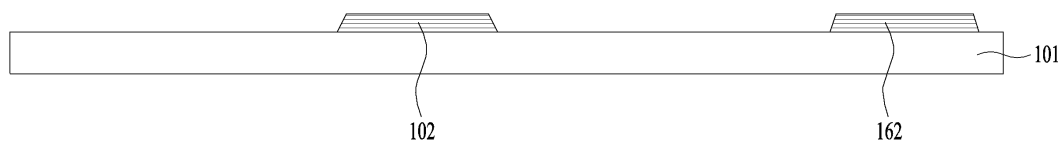
도면4



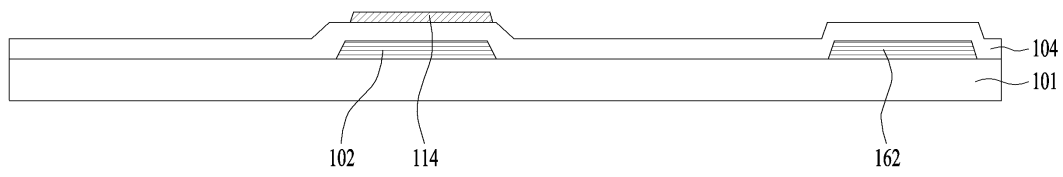
도면5



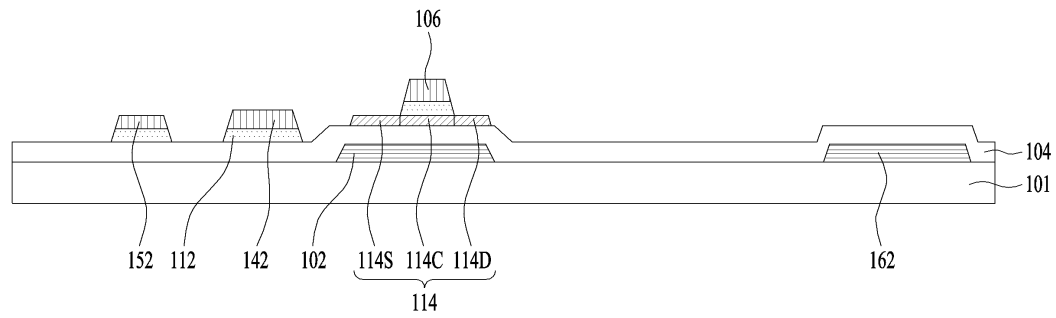
도면6a



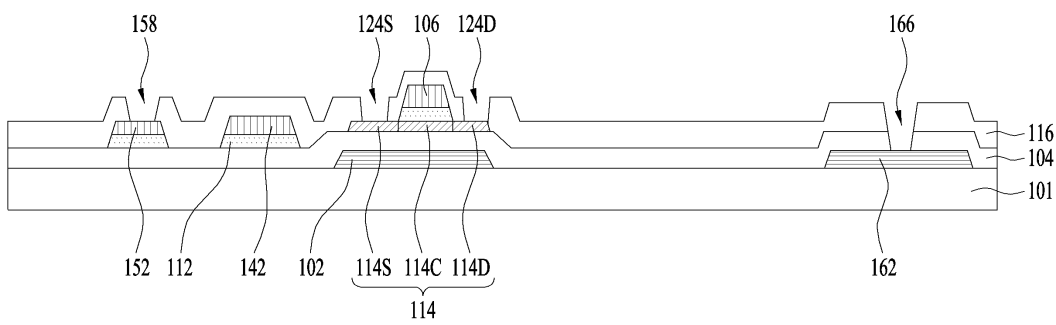
도면6b



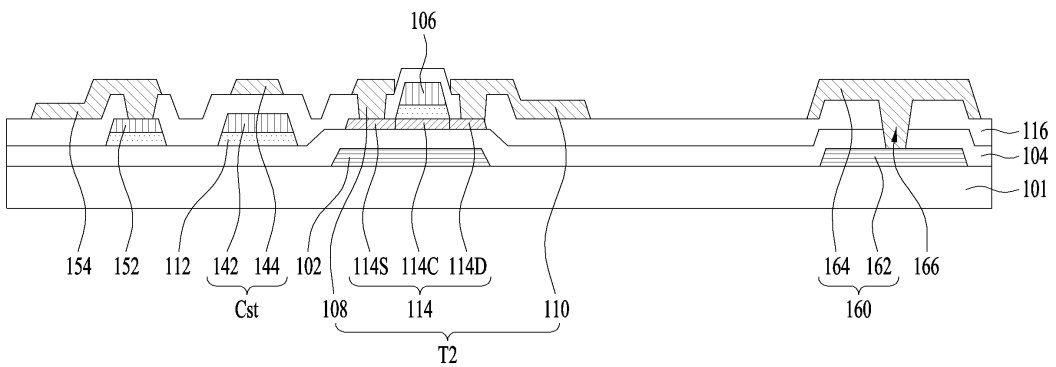
도면6c



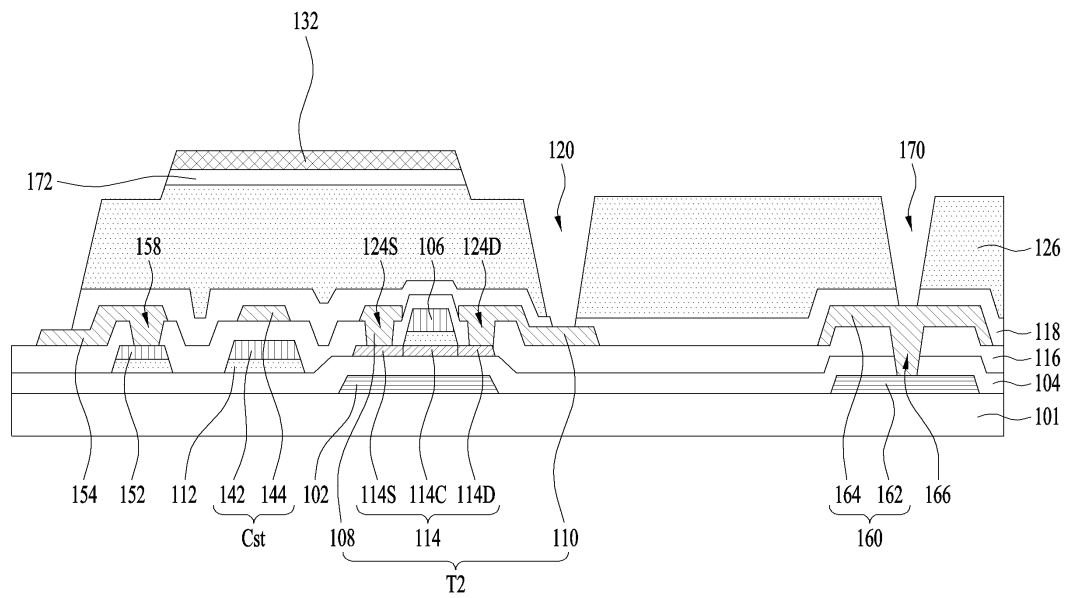
도면6d



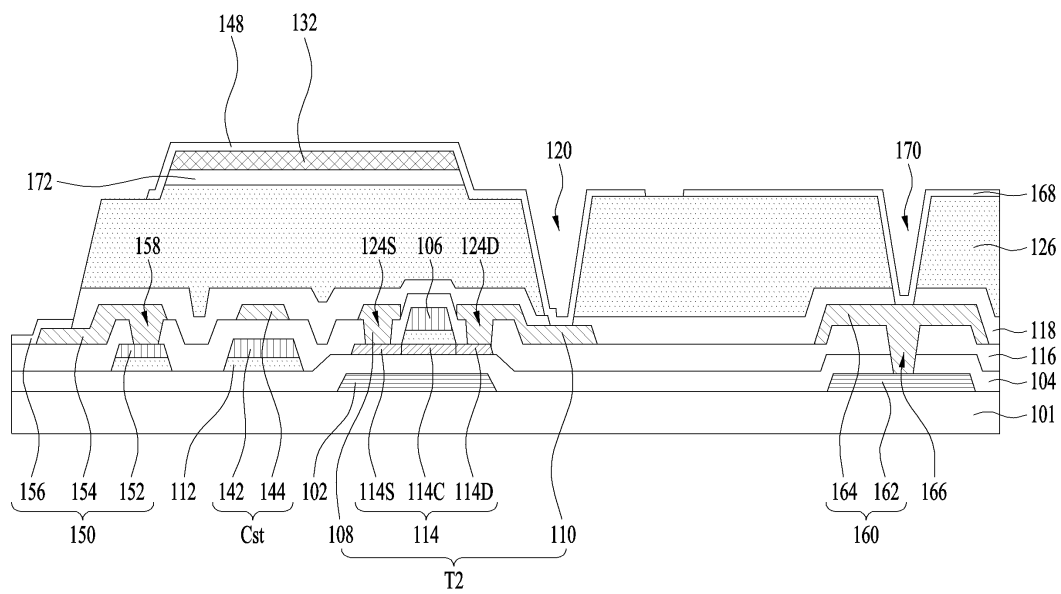
도면6e



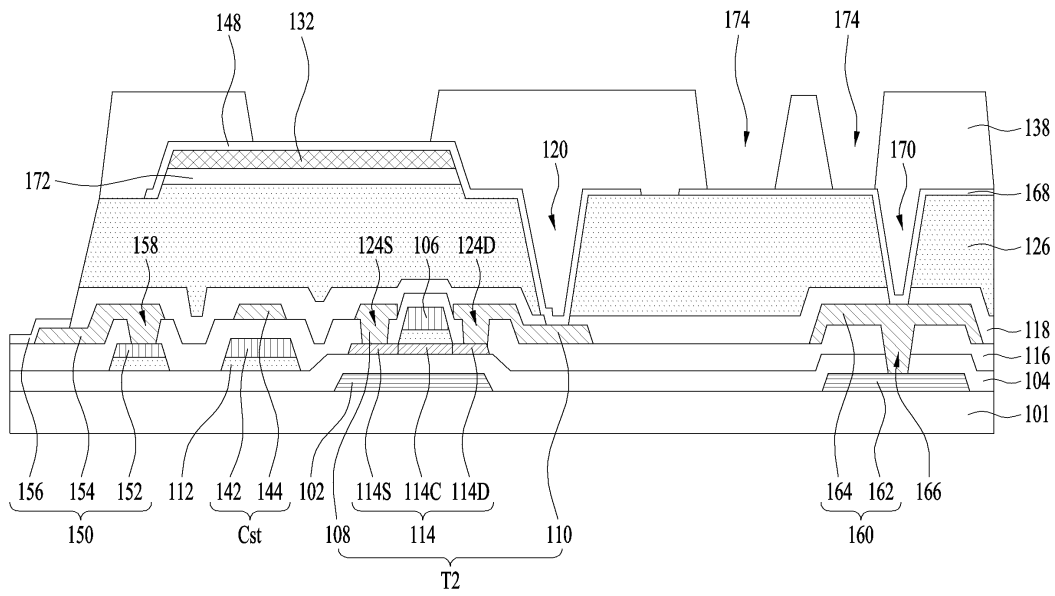
도면6f



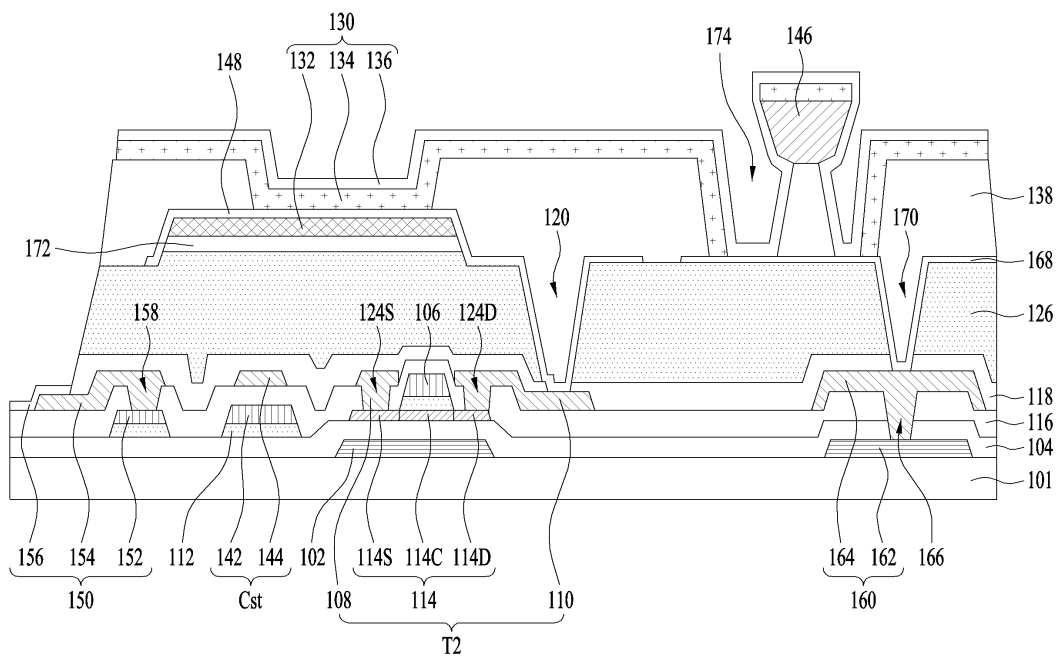
도면6g



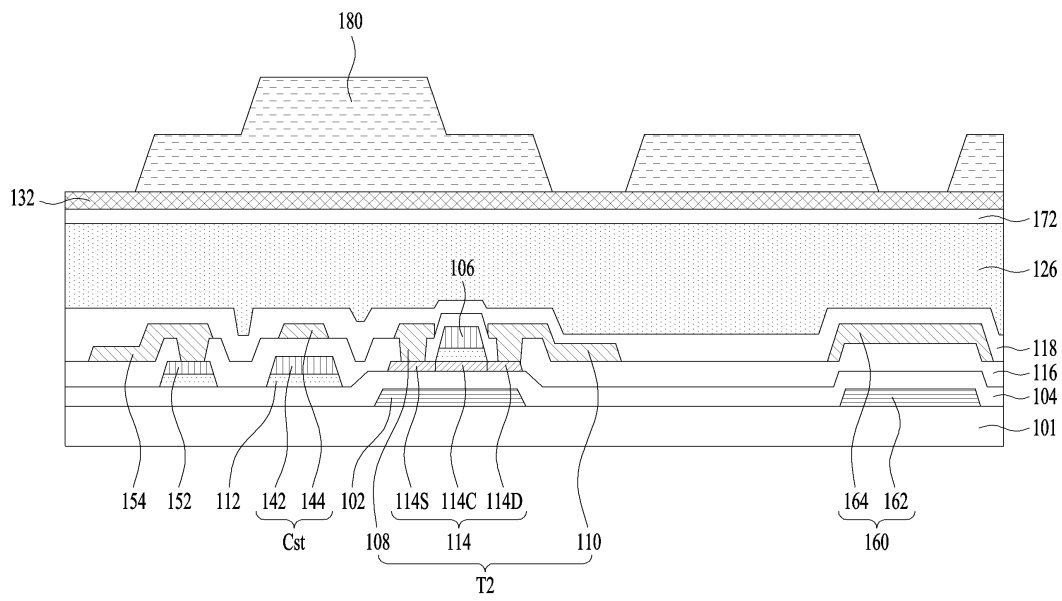
도면 6h



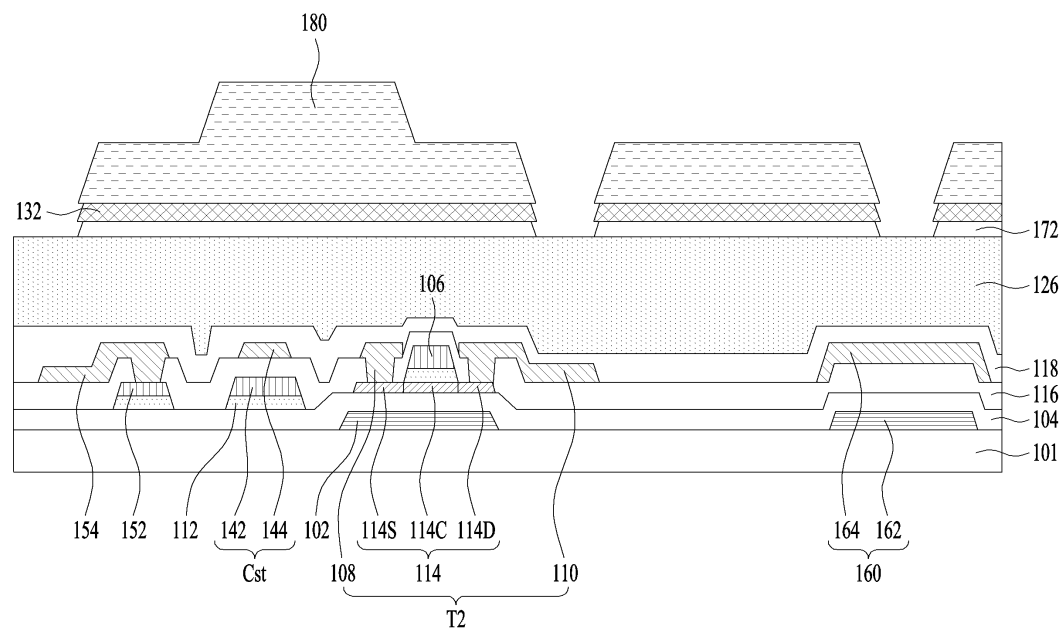
도면6i



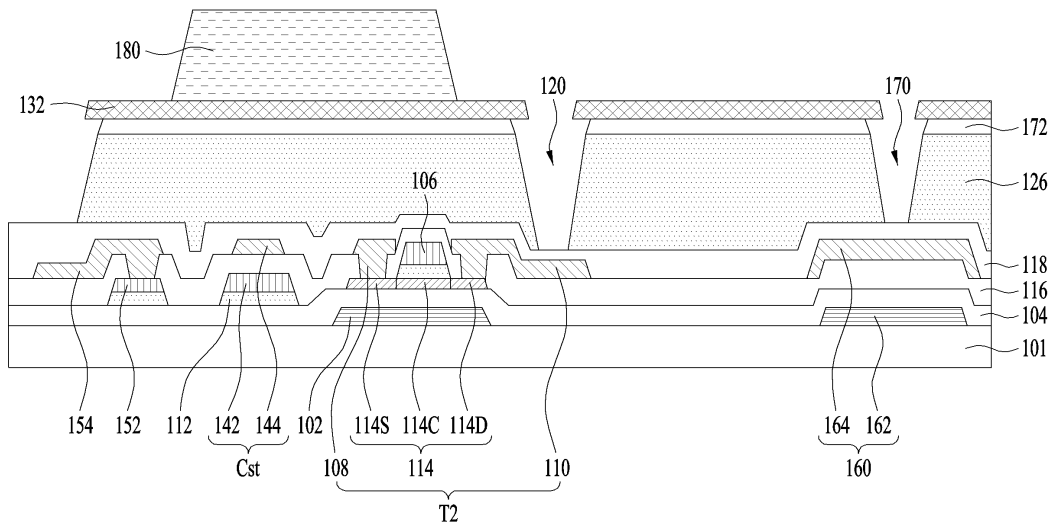
도면7a



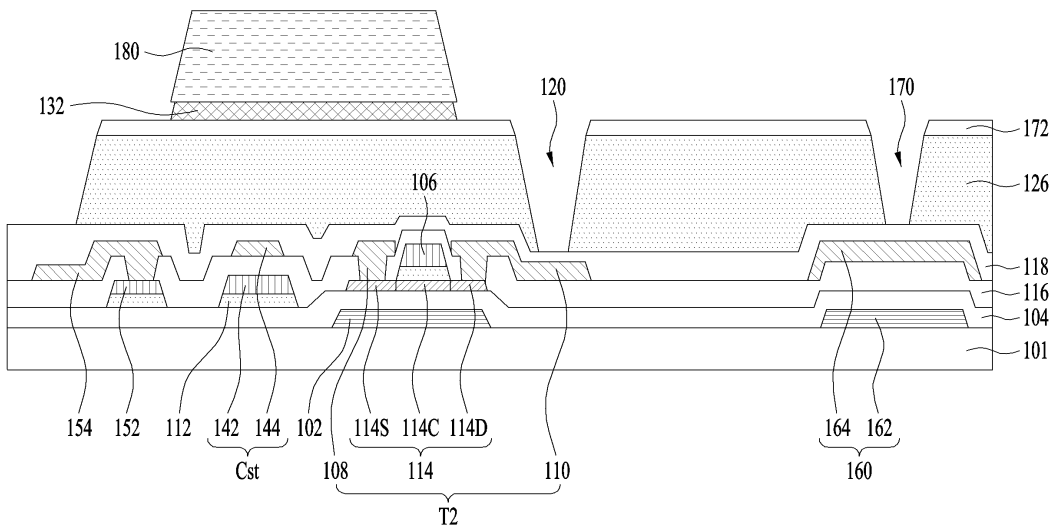
도면7b



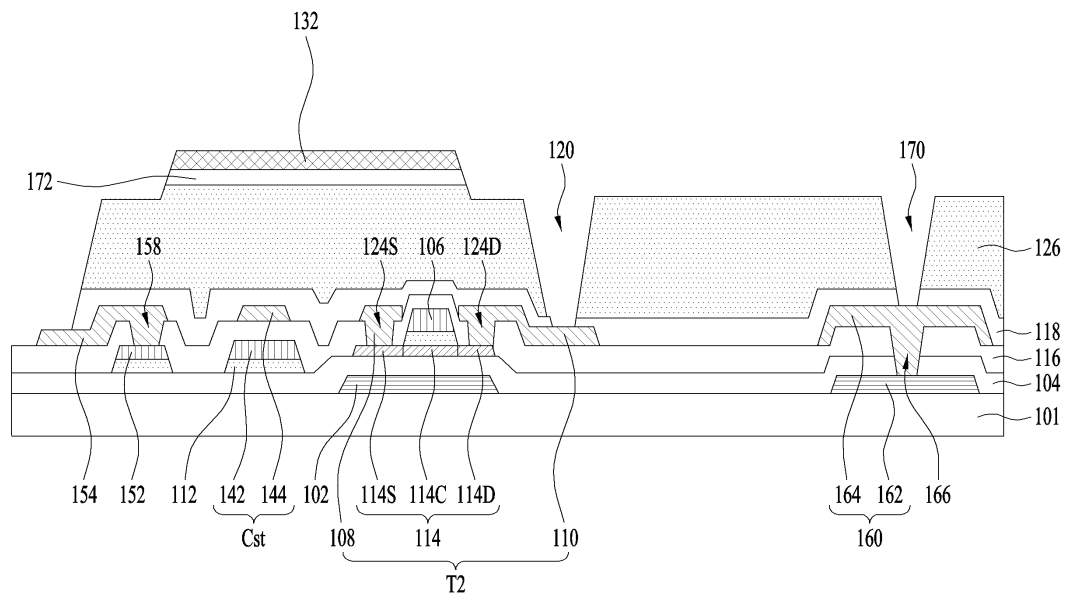
도면7c



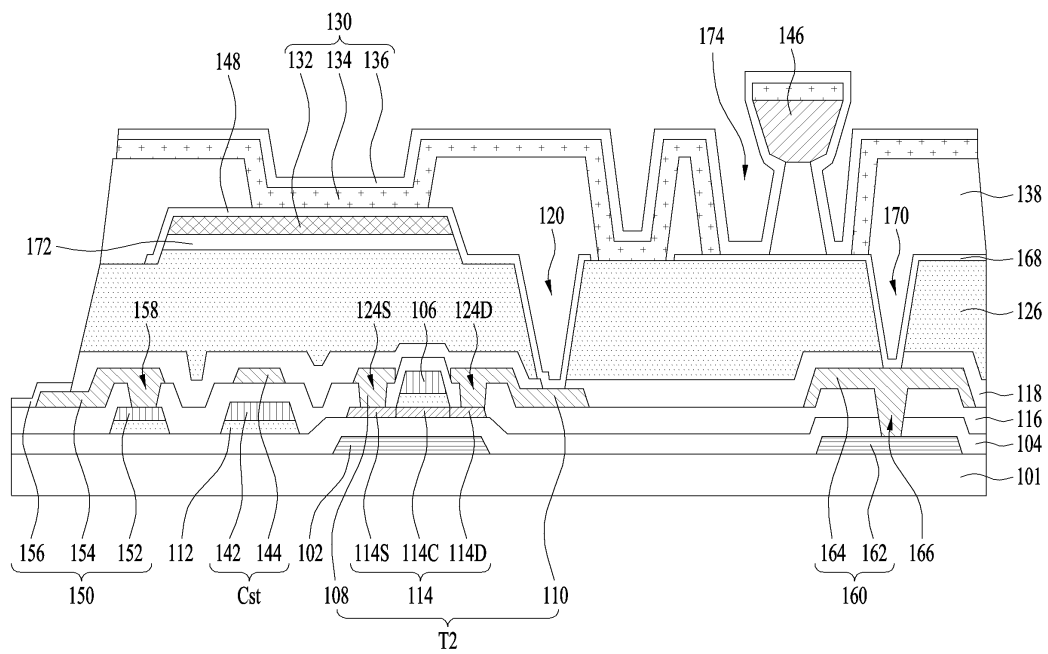
도면7d



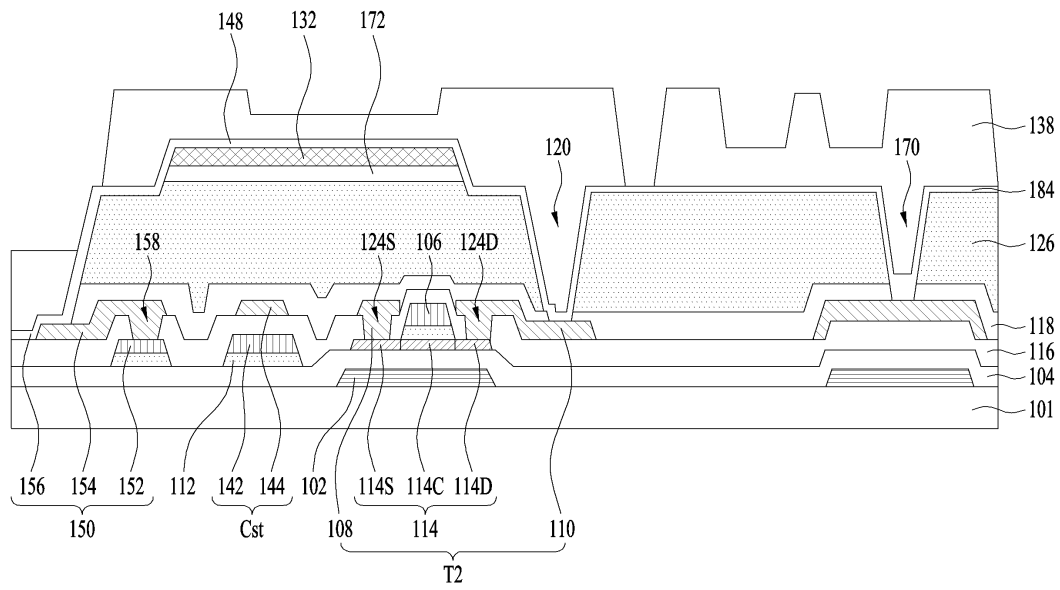
도면7e



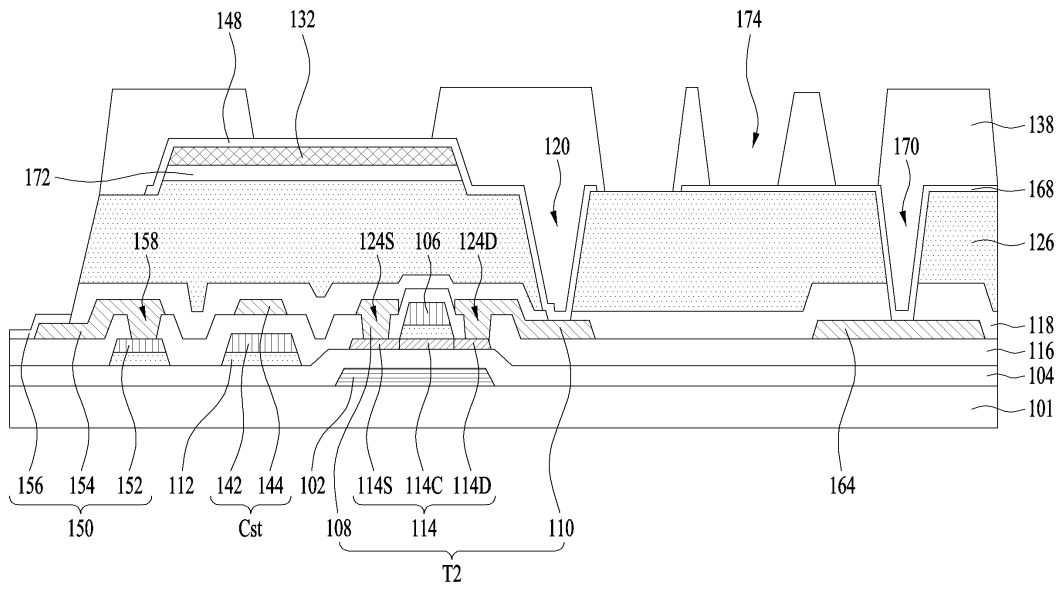
도면8



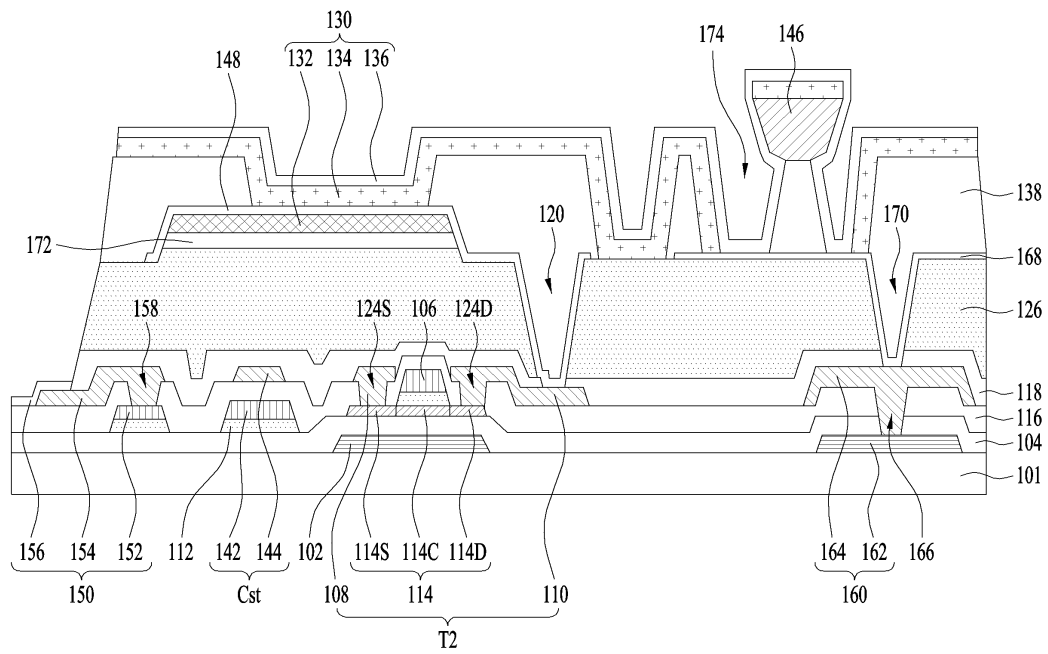
도면9a



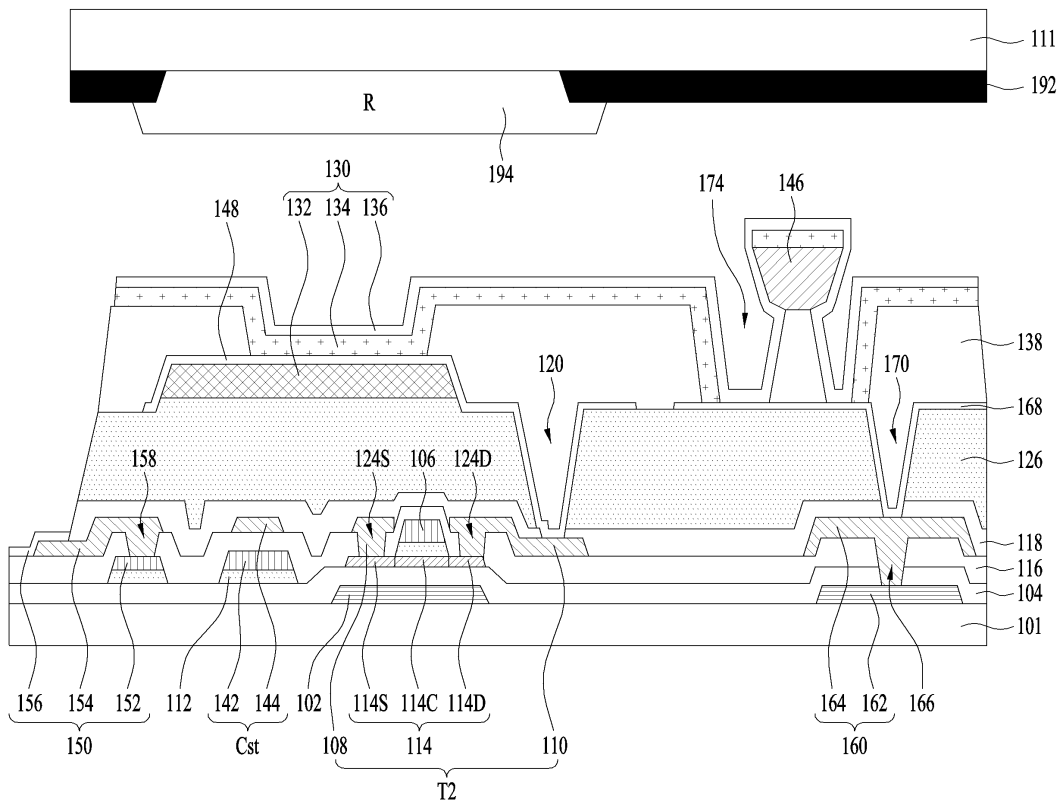
도면9b



도면9c



도면10



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR101992914B1	公开(公告)日	2019-06-25
申请号	KR1020160096625	申请日	2016-07-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	백정선 김정오 이승주		
发明人	백정선 김정오 이승주		
IPC分类号	H01L27/32 H01L51/00 H01L51/52 H01L51/56		
CPC分类号	H01L27/3258 H01L27/3246 H01L27/3248 H01L27/3262 H01L27/3276 H01L51/0018 H01L51/0023 H01L51/5206 H01L51/5228 H01L51/56 H01L2251/301		
代理人(译)	Bakyoungbok		
审查员(译)	Joseongsu		
其他公开文献	KR1020180013227A		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器及其制造方法技术领域本发明涉及一种有机发光二极管显示器及其制造方法，在本发明的显示装置中，所述阳极电极，所述钝化层，所述平坦化层，所述像素接触孔和所述辅助接触孔通过相同的掩模工序形成。形成之后，通过与像素连接电极和辅助连接电极同时的同一掩模工艺形成焊盘覆盖电极，并且在包括不透明导电膜的阳极电极进行构图期间，第二焊盘电极被平坦化层和保护膜保护。因此，即使没有单独的焊盘保护膜，也可以防止第二焊盘电极被损坏，从而简化了结构和制造工艺。

도 - 53

