

(11) 공개번호 10-2020-0082072
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/3208* (2016.01)
H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/3208 (2013.01)

(21) 출원번호 10-2018-0172262

(22) 출원일자 2018년12월28일
 심사청구일자 없음

(71) 출원인
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
 오충완
 경기도 파주시 월롱면 엘지로 245
 윤성옥
 경기도 파주시 월롱면 엘지로 245
 (뒷면에 계속)

(74) 대리인
 특허법인천문

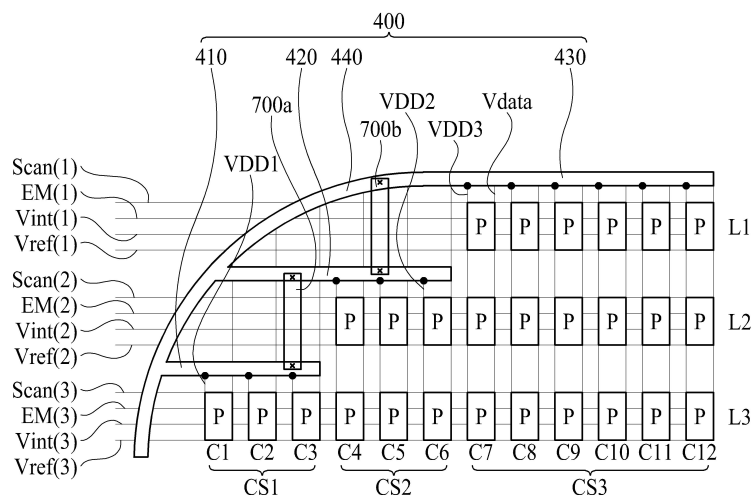
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 전계 발광 표시 장치

(57) 요약

본 발명은 복수의 화소를 구비한 표시 영역 및 상기 표시 영역 외곽에 마련된 비표시 영역을 구비한 기관; 상기 기관 상의 비표시 영역에 구비되며, 경사 라인, 상기 경사 라인의 일 부분에서 제1 방향으로 연장된 제1 수평 라인, 및 상기 경사 라인의 다른 부분에서 상기 제1 방향으로 연장된 제2 수평 라인을 포함하여 이루어진 전원 공급 라인; 상기 전원 공급 라인과 상기 복수의 화소 사이를 연결하는 고전원 라인; 및 상기 제1 방향과 교차하는 제2 방향으로 연장되면서 상기 제1 수평 라인과 상기 제2 수평 라인 사이를 연결하는 제1 도전성 연결 라인을 포함하여 이루어진 전계 발광 표시 장치를 제공한다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/52 (2013.01)

(72) 발명자

이동주

경기도 과천시 월릉면 엘지로 245

박영주

경기도 과천시 월릉면 엘지로 245

명세서

청구범위

청구항 1

복수의 화소를 구비한 표시 영역 및 상기 표시 영역 외곽에 마련된 비표시 영역을 구비한 기관;

상기 기관 상의 비표시 영역에 구비되며, 경사 라인, 상기 경사 라인의 일 부분에서 제1 방향으로 연장된 제1 수평 라인, 및 상기 경사 라인의 다른 부분에서 상기 제1 방향으로 연장된 제2 수평 라인을 포함하여 이루어진 전원 공급 라인;

상기 전원 공급 라인과 상기 복수의 화소 사이를 연결하는 고전원 라인; 및

상기 제1 방향과 교차하는 제2 방향으로 연장되면서 상기 제1 수평 라인과 상기 제2 수평 라인 사이를 연결하는 제1 도전성 연결 라인을 포함하여 이루어진 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 고전원 라인은 상기 제1 수평 라인과 연결되는 복수의 제1 고전원 라인 및 상기 제2 수평 라인과 연결되는 복수의 제2 고전원 라인을 포함하고,

상기 복수의 화소는 상기 복수의 제1 고전원 라인과 연결되는 복수의 화소를 포함하는 제1 열 세트 및 상기 복수의 제2 고전원 라인과 연결되는 복수의 화소를 포함하는 제2 열 세트를 포함하는 전계 발광 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 수평 라인은 상기 제2 열 세트 영역과 중첩되지 않고,

상기 복수의 제1 고전원 라인과 연결되는 첫 번째 행의 화소의 개수는 상기 복수의 제2 고전원 라인과 연결되는 첫 번째 행의 화소의 개수보다 많은 전계 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 제2 방향으로 연장되면서 상기 제2 수평 라인과 상기 경사 라인 사이를 연결하는 제2 도전성 연결 라인을 추가로 포함하여 이루어진 전계 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 도전성 연결 라인의 개수는 상기 제2 도전성 연결 라인의 개수보다 많은 전계 발광 표시 장치.

청구항 6

제4항에 있어서,

상기 제1 도전성 연결 라인의 폭은 상기 제2 도전성 연결 라인의 폭보다 큰 전계 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 전원 공급 라인은 상기 경사 라인의 일단에서 상기 제1 방향으로 연장된 제3 수평 라인을 추가로 포함하고,

상기 고전원 라인은 상기 제3 수평 라인과 연결되는 복수의 제3 고전원 라인을 추가로 포함하고,

상기 복수의 화소는 상기 복수의 제3 고전원 라인과 연결되는 복수의 화소를 포함하는 제3 열 세트를 추가로 포함하는 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 제2 수평 라인은 상기 제3 열 세트 영역과 중첩되지 않고,

상기 복수의 제2 고전원 라인과 연결되는 첫 번째 행의 화소의 개수는 상기 복수의 제3 고전원 라인과 연결되는 첫 번째 행의 화소의 개수보다 많은 전계 발광 표시 장치.

청구항 9

제7항에 있어서,

상기 제1 도전성 연결 라인은 복수개가 형성되고, 상기 제3 수평 라인에서 멀어질수록 복수 개의 상기 제1 도전성 연결 라인들 사이의 간격이 작아지는 전계 발광 표시 장치.

청구항 10

제7항에 있어서,

상기 제1 도전성 연결 라인은 복수개가 형성되고, 상기 제3 수평 라인에서 멀어질수록 상기 제1 도전성 연결 라인의 폭이 커지는 전계 발광 표시 장치.

청구항 11

제1항에 있어서,

상기 제1 수평 라인과 상기 제2 수평 라인 사이의 행에 배열된 복수의 화소에 신호를 인가하기 위해서 상기 제1 방향으로 배열된 신호 라인을 추가로 포함하고,

상기 신호 라인은 상기 제1 도전성 연결 라인과 교차하고, 상기 제1 도전성 연결 라인과 교차하는 영역에서 상기 제1 도전성 연결 라인과 상이한 층에 구비되어 있고,

상기 신호 라인은 상기 제1 도전성 연결 라인과 동일한 층에 구비된 제1 부분 및 상기 전원 공급 라인과 동일한 층에 구비된 제2 부분을 포함하고,

상기 신호 라인의 제2 부분은 상기 제1 도전성 연결 라인과 교차하는 전계 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 제1 수평 라인 및 상기 제2 수평 라인은 상기 신호 라인의 제2 부분과 동일한 층에 구비되어 있고,

상기 제1 도전성 연결 라인은 콘택홀을 통해서 상기 제1 수평 라인 및 상기 제2 수평 라인과 각각 연결되어 있는 전계 발광 표시 장치.

청구항 13

제1항에 있어서,

상기 복수의 화소에 데이터 신호를 인가하기 위해서 상기 제2 방향으로 배열된 제1 데이터 라인 및 제2 데이터 라인을 추가로 포함하고,

상기 제1 도전성 연결 라인은 상기 제1 데이터 라인 및 상기 제2 데이터 라인과 중첩되지 않거나, 또는 상기 제1 데이터 라인과는 중첩되지 않고 상기 제2 데이터 라인과는 중첩되도록 구비되어 있고,

상기 제1 데이터 라인과 상기 제2 데이터 라인은 서로 상이한 층에 구비되어 있고,

상기 제1 도전성 연결 라인은 상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 어느 하나와 동일한 층에 구비

되어 있는 전계 발광 표시 장치.

청구항 14

제1항에 있어서,

상기 표시 영역은 등근 모서리 영역을 포함하여 이루어지고,

상기 경사 라인은 상기 등근 모서리 영역에 대응하는 곡선 구조로 이루어진 전계 발광 표시 장치.

청구항 15

제1항에 있어서,

상기 복수의 화소 각각은 발광 제어 신호를 공급하는 에미션 라인, 기준 전압을 공급하는 기준 라인, 상기 고전원 라인과 연결되는 스토리지 커패시터의 제1 전극, 및 박막 트랜지스터를 포함하여 이루어지고,

상기 박막 트랜지스터의 게이트 전극은 상기 에미션 라인과 연결되고, 상기 박막 트랜지스터의 소스 전극은 상기 고전원 라인과 연결되고, 상기 박막 트랜지스터의 드레인 전극은 상기 스토리지 커패시터의 제1 전극과 연결되는 전계 발광 표시 장치.

청구항 16

복수의 화소를 포함하는 제1 열 세트, 복수의 화소를 포함하는 제2 열 세트, 및 복수의 화소를 포함하는 제3 열 세트를 포함하는 표시 영역;

상기 표시 영역의 외곽에 구비되며, 제1 방향으로 연장되어 있는 제1 라인, 제2 라인 및 제3 라인을 포함하여 이루어진 전원 공급 라인;

상기 전원 공급 라인의 제1 라인과 상기 제1 열 세트의 복수의 화소를 연결하는 제1 고전원 라인;

상기 전원 공급 라인의 제2 라인과 상기 제2 열 세트의 복수의 화소를 연결하는 제2 고전원 라인;

상기 전원 공급 라인의 제3 라인과 상기 제3 열 세트의 복수의 화소를 연결하는 제3 고전원 라인; 및

상기 전원 공급 라인의 제1 라인 및 상기 전원 공급 라인의 제2 라인과 콘택홀을 통해서 각각 연결되는 제1 도전성 연결 라인을 포함하여 이루어진 전계 발광 표시 장치.

청구항 17

제16항에 있어서,

상기 전원 공급 라인은 상기 제1 라인, 상기 제2 라인, 및 상기 제3 라인과 연결되면서 곡선형 구조로 이루어진 제4 라인을 추가로 포함하고,

상기 제1 라인은 상기 제2 열 세트 영역과 중첩되지 않고, 상기 제2 라인은 상기 제3 열 세트 영역과 중첩되지 않는 전계 발광 표시 장치.

청구항 18

제16항에 있어서,

상기 제1 고전원 라인과 연결되는 첫 번째 행의 화소의 개수는 상기 제2 고전원 라인과 연결되는 첫 번째 행의 화소의 개수보다 많고, 상기 제2 고전원 라인과 연결되는 첫 번째 행의 화소의 개수는 상기 제3 고전원 라인과 연결되는 첫 번째 행의 화소의 개수보다 많은 전계 발광 표시 장치.

청구항 19

제16항에 있어서,

상기 복수의 화소에 스캔 신호를 공급하기 위해서 상기 제1 방향으로 배열된 스캔 라인;

상기 복수의 화소에 발광 제어 신호를 공급하기 위해서 상기 제1 방향으로 배열된 에미션 라인;

상기 복수의 화소에 초기화 신호를 공급하기 위해서 상기 제1 방향으로 배열된 초기화 라인;

상기 복수의 화소에 기준 전압을 공급하기 위해서 상기 제1 방향으로 배열된 기준 라인; 및

상기 복수의 화소에 데이터 신호를 공급하기 위해서 상기 제1 방향과 교차하는 제2 방향으로 배열된 데이터 라인을 추가로 포함하고,

상기 스캔 라인, 상기 에미션 라인, 상기 초기화 라인, 및 상기 기준 라인은 상기 전원 공급 라인과 교차하는 제1 부분 및 상기 제1 도전성 연결 라인과 교차하는 제2 부분을 포함하고,

상기 제1 부분은 상기 제1 도전성 연결 라인과 동일한 층에 구비되고, 상기 제2 부분은 상기 전원 공급 라인과 동일한 층에 구비된 전계 발광 표시 장치.

청구항 20

제19항에 있어서,

상기 복수의 화소 각각은 스토리지 커패시터의 제1 전극, 및 제1 내지 제8 박막 트랜지스터를 포함하여 이루어지고,

상기 제1 박막 트랜지스터는 상기 스캔 라인에 연결된 게이트 전극, 상기 데이터 라인에 연결된 소스 전극 및 상기 제7 박막 트랜지스터의 소스 전극에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제2 박막 트랜지스터는 상기 에미션 라인에 연결된 게이트 전극, 상기 제1 내지 제3 고전원 라인 중 하나에 연결된 소스 전극, 및 상기 제7 박막 트랜지스터의 소스 전극에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제3 박막 트랜지스터는 상기 스캔 라인에 연결된 게이트 전극, 상기 제7 박막 트랜지스터의 드레인 전극에 연결된 소스 전극, 및 상기 제4 박막 트랜지스터의 드레인 전극에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제4 박막 트랜지스터는 상기 스캔 라인에 연결된 게이트 전극, 상기 초기화 라인에 연결된 소스 전극, 및 상기 제3 박막 트랜지스터의 드레인 전극에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제5 박막 트랜지스터는 상기 에미션 라인에 연결된 게이트 전극, 상기 제7 박막 트랜지스터의 드레인 전극에 연결된 소스 전극, 및 상기 제6 박막 트랜지스터의 소스 전극에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제6 박막 트랜지스터는 상기 스캔 라인에 연결된 게이트 전극, 상기 제5 박막 트랜지스터의 드레인 전극에 연결된 소스 전극, 및 상기 초기화 라인에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제7 박막 트랜지스터는 상기 제3 박막 트랜지스터의 드레인 전극에 연결된 게이트 전극, 상기 제2 박막 트랜지스터의 드레인 전극에 연결된 소스 전극, 및 상기 제5 박막 트랜지스터의 소스 전극에 연결된 드레인 전극을 포함하여 이루어지고,

상기 제8 박막 트랜지스터는 상기 에미션 라인과 연결된 게이트 전극, 상기 제1 내지 제3 고전원 라인 중 하나에 연결된 소스 전극, 및 상기 스토리지 커패시터의 제1 전극과 연결되는 드레인 전극을 포함하여 이루어진 전계 발광 표시 장치.

청구항 21

제16항에 있어서,

상기 표시 영역은 등근 모서리 영역을 포함하여 이루어지고, 상기 경사 라인은 상기 등근 모서리 영역에 대응하는 커브 형태를 포함하는 전계 발광 표시 장치.

발명의 설명

기술 분야

본 발명은 전계 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 등근 모서리 영역을 구비한 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0001]

- [0002] 전계 발광 표시 장치는 애노드 전극과 캐소드 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.
- [0003] 최근 수요자의 다양한 미적 요구에 따라 등근 모서리 영역을 구비한 전계 발광 표시 장치가 고안된 바 있다. 등근 모서리 영역을 구비한 전계 발광 표시 장치의 경우는 상기 등근 모서리 영역에 대응하도록 표시 영역의 모서리 영역도 등근 구조로 형성된다.
- [0004] 상기 표시 영역의 모서리 영역을 등근 구조로 형성하기 위해서는 상기 등근 모서리 영역에 배치되는 복수의 화소 배열을 변경할 필요가 있다. 그러나, 복수의 화소 배열을 변경할 경우 다수의 신호 라인들을 상기 등근 모서리 영역의 복수의 화소에 적절히 연결하는 것이 용이하지 않다. 또한, 전원 라인을 상기 등근 모서리 영역의 복수의 화소에 연결함에 있어서 전원 라인의 경로 사이에 길이 차가 발생할 수 있고, 그에 따라 전원 라인의 경로 사이에 저항 차가 발생하여 화상 품질이 저하되는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 표시 영역의 등근 모서리 영역에 복수의 화소를 배열함에 있어서 상기 복수의 화소와 다수의 신호 라인들 사이의 전기적 연결을 용이하게 할 수 있고 전원 라인의 경로 사이에 저항 차를 줄여서 화상 품질을 향상시킬 수 있는 전계 발광 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 상기 목적을 달성하기 위해서, 본 발명은 복수의 화소를 구비한 표시 영역 및 상기 표시 영역 외곽에 마련된 비표시 영역을 구비한 기판; 상기 기판 상의 비표시 영역에 구비되며, 경사 라인, 상기 경사 라인의 일 부분에서 제1 방향으로 연장된 제1 수평 라인, 및 상기 경사 라인의 다른 부분에서 상기 제1 방향으로 연장된 제2 수평 라인을 포함하여 이루어진 전원 공급 라인; 상기 전원 공급 라인과 상기 복수의 화소 사이를 연결하는 고전원 라인; 및 상기 제1 방향과 교차하는 제2 방향으로 연장되면서 상기 제1 수평 라인과 상기 제2 수평 라인 사이를 연결하는 제1 도전성 연결 라인을 포함하여 이루어진 전계 발광 표시 장치를 제공한다.
- [0007] 본 발명은 또한 복수의 화소를 포함하는 제1 열 세트, 복수의 화소를 포함하는 제2 열 세트, 및 복수의 화소를 포함하는 제3 열 세트를 포함하는 표시 영역; 상기 표시 영역의 외곽에 구비되며, 제1 방향으로 연장되어 있는 제1 라인, 제2 라인 및 제3 라인을 포함하여 이루어진 전원 공급 라인; 상기 전원 공급 라인의 제1 라인과 상기 제1 열 세트의 복수의 화소를 연결하는 제1 고전원 라인; 상기 전원 공급 라인의 제2 라인과 상기 제2 열 세트의 복수의 화소를 연결하는 제2 고전원 라인; 상기 전원 공급 라인의 제3 라인과 상기 제3 열 세트의 복수의 화소를 연결하는 제3 고전원 라인; 및 상기 전원 공급 라인의 제1 라인 및 상기 전원 공급 라인의 제2 라인과 콘택홀을 통해서 각각 연결되는 제1 도전성 연결 라인을 포함하여 이루어진 전계 발광 표시 장치를 제공한다.

발명의 효과

- [0008] 본 발명의 일 실시예에 따르면, 경사 라인 및 상기 경사 라인에서 제1 방향으로 연장되는 수평 라인을 포함하는 전원 공급 라인을 형성하고, 상기 수평 라인에서 제2 방향으로 연장되는 고전원 라인을 연결함으로써, 상기 고전원 라인과 제1 방향으로 연장되는 다수의 신호 라인이 서로 교차하지 않도록 하여 그들 사이의 쇼트가 방지될 수 있다.
- [0009] 특히, 본 발명의 일 실시예에 따르면, 전원 공급 라인의 수평 라인들 사이를 전기적으로 연결시키거나 또는 전원 공급 라인의 수평 라인과 경사 라인 사이를 전기적으로 연결시키는 도전성 연결 라인을 추가로 포함함으로써, 제1 열 세트 및 제2 열 세트에 배열된 화소에 구동전압을 공급하는 전원 공급 라인의 경로를 단축시키고 그 경로의 저항을 줄일 수 있어서, 상기 제1 열 세트 및 제2 열 세트에 배열된 복수의 화소 전체의 발광 휘도가 작아지는 문제가 개선되어 세로 방향의 블록 뎀(Block Dim) 현상을 방지할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개별 화소의 회로도이다.

도 3은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 4는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 5는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개별 화소의 회로도이다.
 도 6은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 7은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 8은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 9는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 10은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
 도 11은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 12는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 13은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
 도 14는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0012] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0015] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0016] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0017] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0018] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다.
- [0020] 도 1에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 표시 영역(DA), 비표시 영역(NDA), 및 패드 영역(PA)을 포함하여 이루어진다.
- [0021] 상기 표시 영역(DA)은 전계 발광 표시 장치의 중앙부에 배치되어 화상을 표시하는 영역이다. 상기 표시 영역

(DA)에는 복수의 화소(P)가 구비되어 있다. 상기 복수의 화소(P)는 복수의 신호 라인, 상기 복수의 신호 라인과 연결되어 있는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함하는 복수의 박막 트랜지스터, 및 상기 구동 박막 트랜지스터의 동작에 의해 구동되는 유기 발광 소자를 포함하여 이루어진다.

[0022] 상기 표시 영역(DA)은 전체적으로 사각형 형상으로 이루어질 수 있으며, 특히 등근 모서리(R) 영역을 가지는 사각형 형상으로 이루어질 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 표시 영역(DA)은 등근 모서리(R) 영역을 가지는 당업계에 공지된 다양한 형상으로 이루어질 수 있다.

[0023] 상기 비표시 영역(NDA)은 화상을 표시하지 않는 영역으로서 상기 표시 영역(DA)의 외곽에 형성되어 있다.

[0024] 상기 표시 영역(DA)의 제1 측 및 그에 대향하는 제2 측, 예를 들어 상기 표시 영역(DA)의 상측과 하측의 외곽에 해당하는 상기 비표시 영역(NDA)에는 전원을 공급하는 전원 공급 라인(400)이 제1 방향, 예로서 가로 방향으로 연장되어 있다. 상기 표시 영역(DA)이 등근 모서리(R) 영역을 구비함에 따라, 상기 등근 모서리(R) 영역에 대응하는 상기 전원 공급 라인(400)의 양 끝단 영역도 소정의 곡선 구조로 이루어진다. 상기 전원 공급 라인(400)은 상기 패드 영역(PA)에 구비되는 전원 패드와 연결되어 상기 전원 패드로부터 소정의 전원을 전달받고 상기 표시 영역(DA)에 구비되는 복수의 전원 라인으로 상기 전원을 공급한다.

[0025] 상기 표시 영역(DA)의 제3 측 및 그에 대향하는 제4 측, 예를 들어 상기 표시 영역(DA)의 좌측과 우측의 외곽에 해당하는 상기 비표시 영역(NDA)에는 게이트 구동부(GIP)가 형성되어 있다. 상기 게이트 구동부(GIP)는 기판(100) 상에 실장된 게이트 구동 회로를 포함할 수 있다. 상기 게이트 구동부(GIP)는 상기 표시 영역(DA)의 좌측과 우측의 외곽 중 어느 하나의 외곽에만 형성될 수도 있다. 또한, 상기 기판(100) 상에 실장된 게이트 구동부(GIP) 대신에, 별도의 가요성 인쇄 회로 필름(Flexible Printed Circuit Film)에 게이트 구동 칩을 실장한 후 상기 가요성 인쇄 회로 필름을 상기 기판(100) 상에 부착할 수도 있다. 상기 게이트 구동부(GIP)는 상기 패드 영역(PA)에 구비되는 다수의 게이트 패드와 연결되어 상기 게이트 패드로부터 소정의 게이트 신호를 전달받고 상기 표시 영역(DA)에 구비되는 복수의 게이트 라인으로 게이트 신호를 공급한다.

[0026] 상기 패드 영역(PA)은 상기 표시 영역(DA)의 제1 측, 예로서 상측의 외곽 끝 근방에 마련되어 있다. 상기 패드 영역(PA)에는 전원 패드, 게이트 패드, 및 데이터 패드 등의 다수의 패드가 구비되어 있고, 다수의 패드는 외부의 구동부와 접속하여 상기 외부의 구동부로부터 다양한 신호를 전달받는다. 상기 다수의 패드로 전달된 신호는 상기 비표시 영역(NDA)에 구비된 다수의 링크 라인을 통해서 상기 표시 영역(DA)에 구비된 복수의 화소(P)로 공급된다.

[0027] 상기 표시 영역(DA)의 등근 모서리(R) 영역에 대응하도록 기판(100)도 등근 모서리(R) 영역을 가지게 되며, 상기 패드 영역(PA)은 외부의 구동부와와의 접속 편의성을 위해서 상기 기판(100)의 등근 모서리(R) 영역을 제외한 영역에 형성될 수 있다.

[0028] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개별 화소의 회로도이다.

[0029] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 복수의 신호 라인, 복수의 박막 트랜지스터, 스토리지 커패시터(Cst) 및 유기발광소자(OLED)를 포함한다.

[0030] 상기 복수의 신호 라인은 스캔 라인(Scan(n)), 이전 스캔 라인(Scan(n-1)), 에미션 라인(EM), 초기화 라인(Vint), 고전원 라인(VDD), 저전원 라인(VSS), 및 데이터 라인(Vdata)을 포함하여 이루어진다.

[0031] 상기 스캔 라인(Scan(n))은 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3), 및 제6 박막 트랜지스터(T6)에 스캔 신호를 공급하고, 상기 이전 스캔 라인(Scan(n-1))은 제4 박막 트랜지스터(T4)에 이전 스캔 신호를 공급한다.

[0032] 상기 에미션 라인(EM)은 제2 박막 트랜지스터(T2) 및 제5 박막 트랜지스터(T5)에 발광제어신호를 공급하고, 상기 초기화 라인(Vint)은 구동 박막 트랜지스터인 제7 박막 트랜지스터(T7)를 초기화하는 초기화전압을 공급한다.

[0033] 상기 고전원 라인(VDD)은 제7 박막 트랜지스터(T7)에 구동전압을 공급하고, 상기 저전원 라인(VSS)은 유기발광소자(OLED)의 캐소드 전극에 저전압을 공급하고, 상기 데이터 라인(Vdata)은 제1 박막 트랜지스터(T1)에 데이터 신호를 공급한다.

[0034] 상기 복수의 박막 트랜지스터는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 및 제7 박막 트랜지스터(T7)를

포함하여 이루어진다.

- [0035] 상기 제1 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터이다. 상기 제1 박막트랜지스터(T1)의 게이트 전극은 스캔 라인(Scan(n))에 연결되어 있고, 상기 제1 박막트랜지스터(T1)의 소스 전극은 데이터 라인(Vdata)에 연결되어 있으며, 상기 제1 박막 트랜지스터(T1)의 드레인 전극은 제1 노드(Node1)를 통해 제7 박막 트랜지스터(T7)의 소스 전극 및 제2 박막 트랜지스터(T2)의 드레인 전극에 연결되어 있다. 이와 같은 제1 박막 트랜지스터(T1)는 상기 스캔 라인(Scan(n))을 통해 전달받은 스캔신호에 따라 턴 온 되어 상기 데이터 라인(Vdata)으로 전달된 데이터 신호를 구동 박막트랜지스터인 제7 박막 트랜지스터(T7)의 소스전극으로 전달하는 스위칭 동작을 수행한다.
- [0036] 상기 제2 박막 트랜지스터(T2)는 동작 제어 박막 트랜지스터이다. 상기 제2 박막 트랜지스터(T2)의 게이트 전극은 에미션 라인(EM)에 연결되어 있고, 상기 제2 박막 트랜지스터(T2)의 소스 전극은 고전원 라인(VDD)에 연결되어 있고, 상기 제2 박막 트랜지스터(T2)의 드레인 전극은 제1 노드(Node1)를 통해 제7 박막 트랜지스터(T7)의 소스전극 및 제1 박막 트랜지스터(T1)의 드레인 전극과 연결되어 있다.
- [0037] 상기 제3 박막 트랜지스터(T3)는 보상 박막 트랜지스터이다. 상기 제3 박막 트랜지스터(T3)의 게이트 전극은 스캔 라인(Scan(n))에 연결되어 있고, 상기 제3 박막 트랜지스터(T3)의 소스 전극은 제3 노드(Node3)를 통해 제7 박막 트랜지스터(T7)의 드레인 전극에 연결되어 있고, 상기 제3 박막 트랜지스터(T3)의 드레인 전극은 제2 노드(Node2)를 통해 스토리지 커패시터(Cst)의 제1 커패시터 전극 및 제4 박막 트랜지스터(T4)의 드레인 전극과 연결되고 또한 제7 박막 트랜지스터(T7)의 게이트 전극에 연결되어 있다. 이와 같은 제3 박막 트랜지스터(T3)는 스캔 라인(Scan(n))을 통해 전달받은 스캔신호에 따라 턴온되어 제7 박막 트랜지스터(T7)의 게이트 전극과 드레인 전극을 전기적으로 연결하여 제7 박막 트랜지스터(T7)를 다이오드 연결시킨다.
- [0038] 상기 제4 박막 트랜지스터(T4)는 초기화 박막 트랜지스터이다. 상기 제4 박막 트랜지스터(T4)의 게이트 전극은 이전 스캔 라인(Scan(n-1))에 연결되어 있고, 상기 제4 박막 트랜지스터(T4)의 소스 전극은 제6 박막 트랜지스터(T6)의 드레인 전극 및 초기화 라인(Vint))에 연결되어 있으며, 상기 제4 박막 트랜지스터(T4)의 드레인 전극은 제2 노드(Node2)를 통해 스토리지 커패시터(Cst)의 제1 커패시터 전극, 제3 박막 트랜지스터(T3)의 드레인 전극 및 제7 박막 트랜지스터(T7)의 게이트 전극에 연결되어 있다. 이러한 제4 박막 트랜지스터(T4)는 이전 스캔 라인(Scan(n-1))을 통해 전달받은 이전 스캔신호에 따라 턴온되어 초기화 전압을 제7 박막 트랜지스터(T7)의 게이트 전극에 전달하여 제7 박막 트랜지스터(T7)의 게이트 전극의 전압을 초기화시키는 초기화동작을 수행한다.
- [0039] 상기 제5 박막 트랜지스터(T5)는 발광 제어 박막 트랜지스터이다. 상기 제5 박막 트랜지스터(T5)의 게이트 전극은 에미션 라인(EM)에 연결되어 있고, 상기 제5 박막 트랜지스터(T5)의 소스 전극은 제3 노드(Node3)를 통해 제7 박막 트랜지스터(T7)의 드레인 전극 및 제3 박막 트랜지스터(T3)의 소스 전극에 연결되어 있으며, 상기 제5 박막 트랜지스터(T5)의 드레인 전극은 제4 노드(Node4)를 통해 제6 박막 트랜지스터(T6)의 소스 전극 및 유기발광소자(OLED)의 애노드 전극에 전기적으로 연결되어 있다. 이러한 제2 박막 트랜지스터(T2) 및 제5 박막트랜지스터(T5)는 에미션 라인(EM)을 통해 전달받은 발광제어신호에 따라 동시에 턴온되어 구동전압이 유기발광소자(OLED)에 전달되어 유기발광소자(OLED)에 발광전류가 흐르도록 한다.
- [0040] 상기 제6 박막 트랜지스터(T6)는 바이패스 박막 트랜지스터이다. 상기 제6 박막 트랜지스터(T6)의 게이트 전극은 스캔 라인(Scan(n))에 연결되어 있고, 상기 제6 박막 트랜지스터(T6)의 소스 전극은 제4 노드(Node4)를 통해 상기 제5 박막 트랜지스터(T5)의 드레인 전극 및 유기발광소자(OLED)의 애노드 전극에 연결되어 있으며, 상기 제6 박막 트랜지스터(T6)의 드레인 전극은 초기화 라인(Vint)에 연결되어 있다. 블랙 영상을 표시하는 제7 박막 트랜지스터(T7)의 최소 전류가 구동전류로 흐를 경우에도 유기발광소자(OLED)가 발광하게 된다면 블랙 영상이 제대로 표시되지 않는다. 여기서, 제7 박막 트랜지스터(T7)의 최소 전류란 제7 박막 트랜지스터(T7)의 게이트-소스 전압(VGS)이 문턱 전압(Vth)보다 작아서 제7 박막 트랜지스터(T7)가 오프되는 조건에서의 전류를 의미한다. 따라서 최소 전류의 구동전류가 흐를 경우에 유기발광소자(OLED)가 발광하는 것을 방지하기 위해, 상기 제6 박막 트랜지스터(T6)는 상기 제7 박막 트랜지스터(T7)로부터 흘러나오는 전류의 일부를 바이패스 전류로서 유기발광소자(OLED) 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다.
- [0041] 상기 제7 박막 트랜지스터(T7)는 구동 박막 트랜지스터이다. 상기 제7 박막 트랜지스터(T7)의 게이트 전극은 제2 노드(Node2)를 경유하여 스토리지 커패시터(Cst)의 제1 커패시터 전극 및 상기 제3 박막 트랜지스터(T3)의 드레인 전극에 연결되어 있고, 상기 제7 박막 트랜지스터(T7)의 소스 전극은 상기 제2 박막 트랜지스터(T2)의 드레인 전극과 연결되며 상기 제2 박막 트랜지스터(T2)를 경유하여 고전원 라인(VDD)에 연결되어 있으며, 상기 제

7 박막 트랜지스터(T7)의 드레인 전극은 상기 제5 박막 트랜지스터(T5)의 소스 전극에 연결되며 상기 제5 박막 트랜지스터(T5)를 경유하여 유기발광소자(OLED)의 애노드 전극과 전기적으로 연결되어 있다. 상기 제7 박막 트랜지스터(T7)는 상기 제1 박막 트랜지스터(T1)의 스위칭 동작에 따라 데이터신호를 전달받아 유기발광소자(OLED)에 발광전류를 공급한다.

- [0042] 상기 스토리지 커패시터(Cst)는 제2 노드(Node2)에 연결된 제1 커패시터 전극 및 상기 고전원 라인(VDD)에 연결된 제2 커패시터 전극을 포함하여 이루어진다.
- [0043] 상기 유기발광소자(OLED)는 제4 노드(Node4)에 연결된 애노드 전극, 저전원 라인(VSS)에 연결된 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 구비된 발광층을 포함하여 이루어진다.
- [0044] 이와 같은 전계 발광 표시 장치의 개별 화소의 동작을 설명하면 다음과 같다.
- [0045] 먼저, 초기화 기간 동안 이전 스캔 라인(Scan(n-1))을 통해 이전 스캔 신호가 공급된다. 그러면, 이전 스캔 신호에 대응하여 초기화 박막 트랜지스터인 제4 박막 트랜지스터(T4)가 턴온되어, 상기 제4 박막 트랜지스터(T4)를 통해 초기화 라인(Vint)으로부터의 초기화 전압이 구동 박막 트랜지스터인 제7 박막 트랜지스터(T7)의 게이트 전극에 전달되고, 그에 따라 상기 제7 박막 트랜지스터(T1)가 초기화된다.
- [0046] 다음, 샘플링 기간 동안 스캔 라인(Scan(n))을 통해 스캔 신호가 공급된다. 그러면, 스캔 신호에 대응하여 스위칭 박막 트랜지스터인 제1 박막 트랜지스터(T1) 및 보상 박막 트랜지스터인 제3 박막 트랜지스터(T3)가 턴온된다. 이에 따라 제7 박막 트랜지스터(T7)는 턴온된 제3 박막 트랜지스터(T3)에 의해 다이오드 연결되고 순방향으로 바이어스된다. 그러면, 데이터 라인(Vdata)으로부터 공급된 데이터 신호에서 제7 박막트랜지스터(T7)의 문턱 전압(Vth)만큼 감소한 보상 전압이 제7 박막 트랜지스터(T7)의 게이트 전극에 인가된다. 그리고 스토리지 커패시터(Cst)의 제1 커패시터 전극과 제2 커패시터 전극에는 보상 전압과 구동 전압이 인가되어, 상기 스토리지 커패시터(Cst)에는 보상 전압과 구동 전압 사이의 전압차에 대응하는 전하가 저장된다.
- [0047] 다음, 발광기간 동안 에미션 라인(EM)으로부터 공급되는 발광 제어 신호에 의해 동작 제어 박막 트랜지스터인 제2 박막 트랜지스터(T2) 및 발광 제어 박막 트랜지스터인 제5 박막 트랜지스터(T5)가 턴온된다. 그러면, 제7 박막 트랜지스터(T7)의 게이트 전극의 전압과 구동 전압 간의 전압차에 따라 결정되는 구동전류가 발생하고, 발광 제어 박막 트랜지스터인 제5 박막 트랜지스터(T5)를 통해 구동 전류와 바이패스 전류의 차이에 대응되는 발광 전류가 유기발광소자(OLED)에 공급된다.
- [0048] 본 발명의 일 실시예에 따르면, 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)가 p형 박막 트랜지스터로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, n형 박막 트랜지스터로 이루어질 수도 있다.
- [0049] 도 3은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 이는 표시 영역(DA)의 좌측 상단의 등근 모서리(R) 영역에 배치되는 복수의 화소(P), 복수의 신호 라인 및 전원 공급 라인(400)의 모습을 보여주는 도면이다.
- [0050] 도 3에서 알 수 있듯이, 복수의 화소(P)가 복수의 행렬로 배열되어 있다. 구체적으로, 제1 행(L1), 제2 행(L2), 및 제3 행(L3) 각각에 복수의 화소(P)가 구비되어 있다. 이때, 제1 행(L1)의 일단, 예로서 좌측 끝단의 화소(P)보다 제2 행(L2)의 일단, 예로서 좌측 끝단의 화소(P)가 상기 일단 방향, 구체적으로 좌측 방향으로 더 연장되어 있고, 제2 행(L2)의 일단, 예로서 좌측 끝단의 화소(P)보다 제3 행(L3)의 일단, 예로서 좌측 끝단의 화소(P)가 상기 일단 방향, 구체적으로 좌측 방향으로 더 연장되어 있다. 따라서, 제1 행(L1)에 구비된 화소(P)의 개수보다 제2 행(L2)에 구비된 화소(P)의 개수가 많고, 제2 행(L2)에 구비된 화소(P)의 개수보다 제3 행(L3)에 구비된 화소(P)의 개수가 많다.
- [0051] 또한, 복수의 열(C1~C12) 각각에 복수의 화소(P)가 구비되어 있다. 이때, 제1 열(C1) 내지 제3 열(C3)을 포함하는 제1 열 세트(CS1)에 구비된 첫 번째 행의 화소(P)는 상기 제3 행(L3)에 배치될 수 있고, 제4 열(C4) 내지 제6 열(C6)을 포함하는 제2 열 세트(CS2)에 구비된 첫 번째 행의 화소(P)는 상기 제2 행(L2)에 배치되고, 제7 열(C7) 내지 제12 열(C12)을 포함하는 제3 열 세트(CS3)에 구비된 첫 번째 행의 화소(P)는 상기 제1 행(L1)에 배치될 수 있다. 상기 열 세트(CS1, CS2, CS3)의 개수, 및 상기 열 세트(CS1, CS2, CS3) 내에 포함되는 열(C1~C12)의 개수는 다양하게 변경될 수 있다.
- [0052] 이와 같은 복수의 화소(P)의 배열 구조에 의해서, 상기 제1 행(L1), 제2 행(L2), 및 제3 행(L3)으로 갈수록 상기 일단 방향으로 화소(P)의 개수가 많아지면서 전체적으로 계단형으로 복수의 화소(P)가 배열된다.

- [0053] 상기 복수의 화소(P)에는 복수의 신호 라인이 연결되어 있다.
- [0054] 구체적으로, 제1 방향, 예로서 가로 방향으로 제1 내지 제3 스캔 라인(Scan(1), Scan(2), Scan(3)), 제1 내지 제3 에미션 라인(EM(1), EM(2), EM(3)), 및 제1 내지 제3 초기화 라인(Vint(1), Vint(2), Vint(3))이 서로 이격되면서 배열되어 있다. 상기 제1 스캔 라인(Scan(1)), 제1 에미션 라인(EM(1)), 및 제1 초기화 라인(Vint(1))은 전원 공급 라인(400)의 제2 수평 라인(420)과 제3 수평 라인(430) 사이의 제1 행(L1)에 배열된 복수의 화소(P)와 연결되고, 상기 제2 스캔 라인(Scan(2)), 제2 에미션 라인(EM(2)), 및 제2 초기화 라인(Vint(2))은 전원 공급 라인(400)의 제1 수평 라인(410)과 제2 수평 라인(420) 사이의 제2 행(L2)에 배열된 복수의 화소(P)와 연결되고, 상기 제3 스캔 라인(Scan(3)), 제3 에미션 라인(EM(3)), 및 제3 초기화 라인(Vint(3))은 전원 공급 라인(400)의 제1 수평 라인(410) 아래의 제3 행(L3)에 배열된 복수의 화소(P)와 연결될 수 있다. 상기 제1 내지 제3 스캔 라인(Scan(1), Scan(2), Scan(3)), 제1 내지 제3 에미션 라인(EM(1), EM(2), EM(3)), 및 제1 내지 제3 초기화 라인(Vint(1), Vint(2), Vint(3))은 서로 동일한 층에 형성될 수 있다.
- [0055] 또한, 상기 제1 방향과 교차하는 제2 방향, 예로서 상기 제1 방향과 수직 방향인 세로 방향으로 고전원 라인(VDD1, VDD2, VDD3) 및 데이터 라인(Vdata)이 서로 이격되면서 배열되어 있다. 상기 고전원 라인(VDD1, VDD2, VDD3) 및 데이터 라인(Vdata)은 각각의 열(C1~C12)에 배열된 복수의 화소(P)와 연결될 수 있다. 구분의 편의를 위해서, 상기 제1 열 세트(CS2)에 배열된 복수의 화소(P)에 고전원을 공급하는 라인을 제1 고전원 라인(VDD1)으로 구분하고, 상기 제2 열 세트(CS2)에 배열된 복수의 화소(P)에 고전원을 공급하는 라인을 제2 고전원 라인(VDD2)으로 구분하고, 상기 제3 열 세트(CS3)에 배열된 복수의 화소(P)에 고전원을 공급하는 라인을 제3 고전원 라인(VDD3)으로 구분하였다.
- [0056] 상기 복수의 화소(P)의 일 측, 예로서 상측 외곽에는 전원 공급 라인(400)이 배열되어 있다. 상기 전원 공급 라인(400)은 상기 고전원 라인(VDD1, VDD2, VDD3)과 연결되어 상기 고전원 라인(VDD1, VDD2, VDD3)에 고전원을 공급할 수 있다.
- [0057] 상기 전원 공급 라인(400)은 제1 수평 라인(410), 제2 수평 라인(420), 제3 수평 라인(430), 및 경사 라인(440)을 포함하여 이루어질 수 있다. 상기 제1 수평 라인(410), 제2 수평 라인(420), 제3 수평 라인(430), 및 경사 라인(440)은 서로 동일한 층에서 일체(one body)로 형성될 수 있다.
- [0058] 상기 제1 수평 라인(410)은 상기 제1 열 세트(CS1)에 배열된 복수의 화소(P)에 전기적으로 연결되는 것으로서, 구체적으로 상기 제1 열 세트(CS1)에 배열된 복수의 화소(P)에 고전원을 공급하는 복수의 제1 고전원 라인(VDD1)이 상기 제1 수평 라인(410)에 연결되어 있다. 따라서, 상기 복수의 제1 고전원 라인(VDD1)과 연결되는 첫 번째 행은 제3 행이 될 수 있다. 상기 제1 수평 라인(410)은 상기 경사 라인(440)의 일 부분에서 제1 방향, 예로서 가로 방향으로 연장되어 있다. 상기 제1 수평 라인(410)은 상기 제2 열 세트(CS2) 영역과 중첩되지 않는다. 상기 제2 열 세트(CS2) 영역은 상기 제2 열 세트(CS2)에 구비된 복수의 화소(P) 영역 및 그들 사이의 경계 영역을 포함한 영역을 의미한다.
- [0059] 상기 제2 행(L2)의 복수의 화소(P)에 연결되도록 상기 제1 방향으로 배열되어 있는 상기 제2 스캔 라인(Scan(2)), 제2 에미션 라인(EM(2)), 및 제2 초기화 라인(Vint(2))은 상기 경사 라인(440)과 상기 복수의 화소(P1) 사이의 영역에서 상기 고전원 라인(VDD1, VDD2, VDD3)과 동일한 층에 형성되어 있다. 따라서, 예를 들어, 상기 제1 수평 라인(410)을 구성하지 않고 상기 복수의 제1 고전원 라인(VDD1)을 상기 경사 라인(440)에 직접 연결할 경우, 상기 복수의 제1 고전원 라인(VDD1)과 상기 제2 스캔 라인(Scan(2)) 사이에 쇼트가 발생하는 문제가 있다. 이와 같은 이유로 인해서, 본 발명의 일 실시예에 따르면, 상기 경사 라인(440)의 일 부분에서 연장되는 상기 제1 수평 라인(410)을 형성하고 상기 복수의 제1 고전원 라인(VDD1)을 상기 제1 수평 라인(410)에 연결함으로써, 상기 복수의 제1 고전원 라인(VDD1)과 상기 제2 스캔 라인(Scan(2))이 서로 교차하지 않도록 하여 그들 사이의 쇼트가 방지될 수 있다.
- [0060] 상기 제2 수평 라인(420)은 상기 제2 열 세트(CS2)에 배열된 복수의 화소(P)에 전기적으로 연결되는 것으로서, 구체적으로 상기 제2 열 세트(CS2)에 배열된 복수의 화소(P)에 고전원을 공급하는 복수의 제2 고전원 라인(VDD2)이 상기 제2 수평 라인(420)에 연결되어 있다. 따라서, 상기 복수의 제2 고전원 라인(VDD2)과 연결되는 첫 번째 행은 제2 행이 될 수 있다. 상기 제2 수평 라인(420)은 상기 경사 라인(440)의 다른 부분에서 상기 제1 방향, 예로서 가로 방향으로 연장되어 있다. 상기 제2 수평 라인(420)은 상기 제1 수평 라인(410)과 평행하다. 상기 제2 수평 라인(420)은 상기 제3 열 세트(CS3) 영역과 중첩되지 않는다. 상기 제3 열 세트(CS3) 영역은 상기 제3 열 세트(CS3)에 구비된 복수의 화소(P) 영역 및 그들 사이의 경계 영역을 포함한 영역을 의미한다.

- [0061] 상기 제1 행(L1)의 복수의 화소(P)에 연결되도록 상기 제1 방향으로 배열되어 있는 상기 제1 스캔 라인(Scan(1)), 제1 에미션 라인(EM(1)), 및 제1 초기화 라인(Vint(1))은 상기 경사 라인(440)과 상기 복수의 화소(P1) 사이의 영역에서 상기 고전원 라인(VDD1, VDD2, VDD3)과 동일한 층에 형성되어 있다. 따라서, 예를 들어, 상기 제1 수평 라인(410)을 구성하지 않고 상기 복수의 제2 고전원 라인(VDD2)을 상기 경사 라인(440)에 직접 연결할 경우, 상기 복수의 제2 고전원 라인(VDD2)과 상기 제1 스캔 라인(Scan(1)) 사이에 쇼트가 발생하는 문제가 있다. 이와 같은 이유로 인해서, 본 발명의 일 실시예에 따르면, 상기 경사 라인(440)의 다른 부분에서 연장되는 상기 제2 수평 라인(420)을 형성하고 상기 복수의 제2 고전원 라인(VDD2)을 상기 제2 수평 라인(420)에 연결함으로써, 상기 복수의 제2 고전원 라인(VDD2)과 상기 제1 스캔 라인(Scan(1))이 서로 교차하지 않도록 하여 그들 사이의 쇼트가 방지될 수 있다.
- [0062] 상기 제3 수평 라인(430)은 상기 제3 열 세트(CS3)에 배열된 복수의 화소(P)에 전기적으로 연결되는 것으로서, 구체적으로 상기 제3 열 세트(CS3)에 배열된 복수의 화소(P)에 고전원을 공급하는 복수의 제3 고전원 라인(VDD3)이 상기 제3 수평 라인(430)에 연결되어 있다. 따라서, 상기 복수의 제3 고전원 라인(VDD3)과 연결되는 첫 번째 행은 제1 행이 될 수 있다. 상기 제3 수평 라인(430)은 상기 경사 라인(440)의 일 단에서 상기 제1 방향, 예로서 가로 방향으로 연장되어 있다. 상기 제3 수평 라인(430)은 상기 제1 수평 라인(410) 및 상기 제2 수평 라인(420)과 평행하다. 한편, 구체적으로 도시하지는 않았지만, 상기 제3 수평 라인(430)은 도 1의 패드 영역(PA)에 구비된 전원 패드와 링크 라인을 통해 연결될 수 있다.
- [0063] 상기 경사 라인(440)은 상기 제3 수평 라인(430)의 일단에서부터 경사지게 연장되어 있다. 특히, 상기 경사 라인(440)은 도 1의 표시 영역(DA)의 둥근 모서리(R) 영역에 대응하도록 곡선형으로 경사져 있다. 상기 경사 라인(440)은 상기 제1 열 세트(CS1) 및 상기 제2 열 세트(CS2)에 배열된 복수의 화소(P)에 고전원을 공급할 수 있도록 하기 위해서 상기 제1 열 세트(CS1) 및 상기 제2 열 세트(CS2) 방향으로 연장되어 있고, 전술한 바와 같이 상기 제1 수평 라인(410) 및 상기 제2 수평 라인(420)과 각각 연결되어 있다.
- [0064] 상기 전원 공급 라인(400)이 제1 수평 라인(410), 제2 수평 라인(420), 제3 수평 라인(430), 및 경사 라인(440)만으로 이루어지는 것은 아니고, 상기 경사 라인(440)의 길이를 연장하여 상기 제1 수평 라인(410)의 아래쪽에 적어도 하나의 수평 라인을 추가로 형성할 수 있으며 이 경우에는 상기 제1 열 세트(CS1)의 좌측으로 적어도 하나의 열 세트가 추가로 형성될 수 있다.
- [0065] 이하에서는 단면구조를 통해서 본 발명의 일 실시예에 따른 전계 발광 표시 장치에 대해서 보다 구체적으로 설명하기로 한다.
- [0066] 도 4는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 전술한 도 3에서 가로 방향으로 자른 단면에 해당한다.
- [0067] 도 4에서 알 수 있듯이, 기판(100) 상의 표시 영역(DA)에는 액티브층(A), 게이트 전극(G), 소스 전극(S) 및 드레인 전극(D)을 포함한 구동 박막 트랜지스터, 게이트 절연층(210), 제1 층간 절연층(220), 제2 층간 절연층(230), 패시베이션층(240), 평탄화층(250), 제1 전극(310), 뱅크(320), 발광층(330), 및 제2 전극(340)이 형성되어 있다.
- [0068] 상기 액티브층(A)은 상기 기판(100) 상에 형성되어 있다. 도시하지는 않았지만, 상기 기판(100)과 상기 액티브층(A) 사이에 무기 절연층으로 이루어진 버퍼층이 추가로 형성될 수도 있다. 상기 액티브층(A)은 실리콘계 반도체 물질 또는 산화물 반도체 물질과 같은 당업계에 공지된 반도체 물질로 이루어진다.
- [0069] 상기 게이트 절연층(210)은 상기 액티브층(A) 상에 형성되어 있다. 상기 게이트 절연층(210)은 상기 게이트 전극(G)과 상기 액티브층(A)을 절연시킨다. 상기 게이트 절연층(210)은 무기 절연층으로 이루어질 수 있다.
- [0070] 상기 게이트 전극(G)은 상기 게이트 절연층(210) 상에 형성되어 있다. 상기 게이트 전극(G)은 상기 액티브층(A)과 중첩되도록 형성된다.
- [0071] 상기 제1 층간 절연층(220)은 상기 게이트 전극(G) 상에 형성되어 있고, 상기 제2 층간 절연층(220)은 상기 제1 층간 절연층(220) 상에 형성되어 있다. 상기 층간 절연층(220, 230)은 상기 게이트 전극(G)과 상기 소스/드레인 전극(S, D)을 절연시킬 수 있다. 상기 층간 절연층(220, 230)은 무기 절연층으로 이루어질 수 있다.
- [0072] 상기 소스 전극(S)과 상기 드레인 전극(D)은 상기 제2 층간 절연층(230) 상에서 서로 마주하고 있다. 상기 소스 전극(S)과 상기 드레인 전극(D)은 상기 층간 절연층(220, 230)과 상기 게이트 절연층(210)에 구비된 콘택홀을 통해서 상기 액티브층(A)의 일단과 타단에 개별적으로 연결되어 있다.

- [0073] 상기 패시베이션층(240)은 상기 소스 전극(S)과 상기 드레인 전극(D) 상에 형성되어 있고, 상기 평탄화층(250)은 상기 패시베이션층(240) 상에 형성되어 있다. 상기 패시베이션층(240)은 무기 절연층으로 이루어지고, 상기 평탄화층(250)은 유기 절연층으로 이루어질 수 있다.
- [0074] 상기 제1 전극(310)은 상기 평탄화층(250) 상에 형성되어 있다. 상기 제1 전극(310)은 화소 별로 패턴 형성되어 있다. 상기 제1 전극(310)은 유기 발광 소자의 애노드 전극으로 기능할 수 있다. 상기 제1 전극(310)은 상기 패시베이션층(240)과 상기 평탄화층(250)에 구비된 콘택홀을 통해서 상기 구동 박막 트랜지스터의 드레인 전극(D)과 연결되어 있다. 다만, 경우에 따라, 상기 제1 전극(310)이 상기 패시베이션층(240)과 상기 평탄화층(250)에 구비된 콘택홀을 통해서 상기 구동 박막 트랜지스터의 소스 전극(S)과 연결될 수도 있다.
- [0075] 상기 बैं크(320)는 상기 평탄화층(250) 상에서 상기 제1 전극(310)의 가장자리를 가리면서 화소 사이의 경계에 형성되어 있다. 상기 बैं크(320)에 의해 가려지지 않고 노출된 상기 제1 전극(310)의 노출 영역이 발광 영역을 구성하게 된다.
- [0076] 상기 발광층(330)은 상기 제1 전극(310) 상에 형성되어 있다. 상기 발광층(330)은 백색 광을 발광하도록 구비될 수 있다. 이를 위해서, 상기 발광층(330)은 서로 상이한 색상의 광을 발광하는 복수의 스택(stack)을 포함하여 이루어질 수 있다. 예로서, 상기 발광층(330)은 청색 광을 발광하는 제1 스택, 황녹색 광을 발광하는 제2 스택, 및 상기 제1 스택과 제2 스택 사이에 구비된 전하 생성층(Charge generation layer)을 포함하여 이루어질 수 있다. 이와 같이 백색 광을 발광하는 발광층(330)은 복수의 화소 사이에서 서로 연결되도록 구성될 수 있다. 한편, 상기 발광층(330)은 복수의 화소에서 서로 분리되도록 패턴 형성된 청색 발광층, 녹색 발광층, 및 적색 발광층을 포함할 수도 있다.
- [0077] 상기 제2 전극(340)은 상기 발광층(330) 상에 형성되어 있다. 상기 제2 전극(340)은 유기 발광 소자의 음극(Cathode)으로 기능할 수 있다. 상기 제2 전극(340)은 복수의 화소 사이에서 서로 연결되도록 구성될 수 있다.
- [0078] 이와 같이 기판(100) 상의 표시 영역(DA)에는 구동 박막 트랜지스터 및 그와 연결되는 유기 발광 소자가 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다. 구체적으로 도시하지는 않았지만, 상기 표시 영역(DA)에는 구동 박막 트랜지스터 이외에도 전술한 도 2에서와 같은 다양한 박막 트랜지스터(T1~T6) 및 커패시터(Cst)가 추가로 형성될 수 있다.
- [0079] 상기 기판(100) 상의 비표시 영역(NDA)에는 스캔 라인(Scan), 에미션 라인(EM), 또는 초기화 라인(Vint)을 구성하는 부분(510, 520, 530), 데이터 라인(Vdata1, Vdata2), 전원 공급 라인(400)의 경사 라인(440), 게이트 절연층(210), 제1 층간 절연층(220), 제2 층간 절연층(230), 및 패시베이션층(240)이 형성되어 있다.
- [0080] 상기 게이트 절연층(210), 상기 제1 층간 절연층(220), 상기 제2 층간 절연층(230), 및 상기 패시베이션층(240)은 각각 상기 표시 영역(DA)에서 연장되어 있다. 한편, 표시 영역(DA)에 형성된 평탄화층(250)이 상기 비표시 영역(NDA)까지 연장될 수도 있다.
- [0081] 상기 스캔 라인(Scan), 상기 에미션 라인(EM), 및 상기 초기화 라인(Vint)은 서로 동일한 단면 구조로 형성될 수 있다. 구체적으로, 상기 스캔 라인(Scan), 상기 에미션 라인(EM), 및 상기 초기화 라인(Vint)은 제1 부분(510), 제2 부분(520), 및 제3 부분(530)을 포함하여 이루어진다.
- [0082] 상기 제1 부분(510)과 상기 제3 부분(530)은 상기 게이트 절연층(210) 상에, 보다 구체적으로, 게이트 절연층(210)과 제1 층간 절연층(220) 사이에 형성된다.
- [0083] 상기 제1 부분(510)은 상기 전원 공급 라인(400)과 교차하는 부분으로서 구체적으로 상기 전원 공급 라인(400)의 경사 라인(440)과 중첩되는 부분이고, 상기 제3 부분(530)은 상기 표시 영역(DA)과 접하는 부분이다.
- [0084] 상기 제2 부분(520)은 제2 층간 절연층(230) 상에, 보다 구체적으로 제2 층간 절연층(230)과 패시베이션층(240) 사이에 형성된다. 상기 제2 부분(520)은 상기 제1 부분(510) 및 상기 제3 부분(530)과 각각 연결되어 있다. 즉, 상기 제2 부분(520)의 일단은 상기 제1 층간 절연층(220)과 상기 제2 층간 절연층(230) 사이에 구비된 콘택홀을 통해서 상기 제1 부분(510)과 연결됨과 더불어 상기 제1 층간 절연층(220)과 상기 제2 층간 절연층(230) 사이에 구비된 콘택홀을 통해서 상기 제3 부분(530)과 연결된다.
- [0085] 이와 같이, 상기 스캔 라인(Scan), 상기 에미션 라인(EM), 및 상기 초기화 라인(Vint)이 상기 제1 부분(510), 상기 제2 부분(520) 및 상기 제3 부분(530)을 포함하여 이루어지기 때문에, 상기 전원 공급 라인(400)의 경사 라인(440) 및 데이터 라인(Vdata1, Vdata2)과 중첩되면서도 상기 전원 공급 라인(400)의 경사 라인(440) 및 테

이터 라인(Vdata1, Vdata2)과 접하지 않게 된다.

- [0086] 상기 전원 공급 라인(400)의 경사 라인(440)은 제2 층간 절연층(230) 상에, 보다 구체적으로 제2 층간 절연층(230)과 패시베이션층(240) 사이에 형성된다. 즉, 상기 전원 공급 라인(400)의 경사 라인(440)은 상기 스캔 라인(Scan), 상기 에미션 라인(EM), 및 상기 초기화 라인(Vint)의 제2 부분(520)과 동일한 층에서 동일한 물질로 이루어진다. 본 명세서에서 특별히 언급하지 않는 한 동일한 층에 형성되는 구성들은 서로 동일한 물질로 이루어질 수 있다.
- [0087] 상기 데이터 라인(Vdata1, Vdata2)은 상기 스캔 라인(Scan), 상기 에미션 라인(EM), 및 상기 초기화 라인(Vint)의 제2 부분(520)과 상이한 층에 형성된다. 따라서, 상기 데이터 라인(Vdata1, Vdata2)은 상기 스캔 라인(Scan), 상기 에미션 라인(EM), 및 상기 초기화 라인(Vint)의 제2 부분(520)과 중첩되어도 양자 사이에 쇼트가 발생하지 않는다.
- [0088] 상기 데이터 라인(Vdata1, Vdata2)은 상기 게이트 절연층(210) 상에, 보다 구체적으로, 게이트 절연층(210)과 제1 층간 절연층(220) 사이에 형성된 제1 데이터 라인(Vdata1), 및 제1 층간 절연층(220) 상에, 보다 구체적으로 제1 층간 절연층(220)과 제2 층간 절연층(230) 사이에 형성된 제2 데이터 라인(Vdata2)을 포함하여 이루어질 수 있다. 복수의 데이터 라인(Vdata1, Vdata2) 사이의 간격이 좁아질 경우 양자 사이의 쇼트 방지를 위해서, 도시된 바와 같이 홀수 번째와 짝수 번째의 데이터 라인(Vdata1, Vdata2)을 서로 상이한 층에 형성할 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제1 데이터 라인(Vdata1)과 상기 제2 데이터 라인(Vdata2)을 서로 동일한 층에 형성하는 것도 가능하다.
- [0089] 도 5는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개별 화소의 회로도로서, 이는 제8 박막 트랜지스터(T8) 및 기준 라인(Vref)이 추가로 포함된 것을 제외하고, 전술한 도 2에 따른 회로도와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0090] 도 5에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개별 화소는 제8 박막 트랜지스터(T8)를 추가로 포함한다.
- [0091] 상기 제8 박막 트랜지스터(T8)는 샘플링 제어 박막 트랜지스터이다. 상기 제8 박막 트랜지스터(T8)의 게이트 전극은 에미션 라인(EM)에 연결되어 있고, 상기 제8 박막 트랜지스터(T8)의 소스 전극은 고전원 라인(VDD)에 연결되어 있고, 상기 제8 박막 트랜지스터(T8)의 드레인 전극은 기준 라인(Vref) 및 스토리지 커패시터(Cst)의 제2 커패시터 전극과 연결되어 있다.
- [0092] 상기 기준 라인(Vref)은 상기 제8 박막 트랜지스터(T8)의 드레인 전극 및 상기 스토리지 커패시터(Cst)의 제2 커패시터 전극과 각각 연결되며, 상기 제2 커패시터 전극에 기준 전압을 공급한다.
- [0093] 이와 같은 본 발명의 다른 실시예에 따르면, 샘플링 기간 동안 상기 제8 박막 트랜지스터(T8)를 턴오프시켜 상기 고전원 라인(VDD)으로부터 구동 전압이 상기 제2 커패시터 전극에 인가되는 것을 차단하고 그 대신에 상기 기준 라인(Vref)으로부터의 기준 전압이 상기 제2 커패시터 전극에 인가되도록 함으로써, 스토리지 커패시터(Cst)의 제1 커패시터 전극과 제2 커패시터 전극에는 보상 전압과 기준 전압이 인가되어, 상기 스토리지 커패시터(Cst)에는 보상 전압과 기준 전압 사이의 전압차에 대응하는 전하가 저장된다.
- [0094] 다음, 발광 기간 동안에는 상기 기준 라인(Vref)으로부터의 기준 전압이 인가되는 것을 차단하고 그 대신에 상기 제8 박막 트랜지스터(T8)를 턴온시켜 상기 고전원 라인(VDD)으로부터 구동 전압이 인가되도록 한다.
- [0095] 따라서, 도시하지는 않았지만, 상기 기준 라인(Vref)의 앞단에는 상기 기준 라인(Vref)으로부터의 기준 전압의 인가 여부를 스위칭하기 위한 별도의 스위칭 박막 트랜지스터가 추가로 형성되며, 이와 같은 별도의 스위칭 박막 트랜지스터는 표시 영역(DA) 내의 개별 화소가 아니라 비표시 영역(NDA) 내에 형성된다. 따라서, 본 발명의 다른 실시예에 따르면 개별 화소 내에 8개의 박막 트랜지스터(T1~T8)와 1개의 스토리지 커패시터(Cst)가 형성된다.
- [0096] 본 발명의 다른 실시예에 따르면, 상기 샘플링 기간 동안에는 상기 기준 라인(Vref)으로부터 기준 전압을 이용하여 샘플링 공정을 수행하고, 그 후 발광 기간 동안에는 상기 고전원 라인(VDD)으로부터의 구동 전압을 이용하여 발광 공정을 수행하기 때문에, 전술한 도 3의 구조에서 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 화소(P)와 상기 제3 열 세트(CS3)에 배열된 화소(P) 사이에서 휘도 차가 발생하여 세로 방향의 블록 딤(Block Dim) 현상이 발생할 수 있다.
- [0097] 구체적으로 설명하면, 전술한 도 3의 구조에서 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 화소(P)의 경우

는 상기 전원 공급 라인(400)의 상기 제3 수평 라인(430)과 상기 경사 라인(440)을 경유한 후에 상기 제1 수평 라인(410) 또는 상기 제2 수평 라인(420)을 통해서 구동전압이 공급되는데 반하여, 상기 제3 열 세트(CS3)에 배열된 화소(P)의 경우는 상기 전원 공급 라인(400)의 상기 제3 수평 라인(430)을 통해서 바로 구동전압이 공급된다.

- [0098] 즉, 전술한 도 3의 구조에서 상기 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 화소(P)에 구동전압이 공급되는 전원 공급 라인(400)의 경로가 상기 제3 열 세트(CS3)에 배열된 화소(P)에 구동전압이 공급되는 전원 공급 라인(400)의 경로보다 길어서 그 만큼 저항이 커지고, 그로 인해서 상기 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 복수의 화소(P) 전체의 발광 휘도가 상대적으로 작아져서 세로 방향의 블록 뎀(Block Dim) 현상이 발생하게 된다.
- [0099] 비록 위와 같이 복수의 열 세트(CS1, CS2, CS3) 사이에서 전원 공급 라인(400)의 경로가 상이하다 하더라도 전술한 도 2에 따른 화소의 회로 구성에서는 샘플링 기간과 발광 기간 모두 상기 고전원 라인(VDD)으로부터의 구동 전압을 이용하기 때문에 저항 차이로 인한 블록 뎀 현상은 발생하지 않게 된다.
- [0100] 이하에서는 도 5와 같은 화소의 회로 구성에서 블록 뎀 현상을 방지할 수 있는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치에 대해서 설명하기로 한다. 다만, 후술하는 본 발명의 다른 실시예에 따른 전계 발광 표시 장치가 반드시 도 5에 따른 화소의 회로 구성만을 포함하는 것은 아니다.
- [0101] 도 6은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 이는 도 5의 회로 구성을 가지는 전계 발광 표시 장치에 관한 것이다.
- [0102] 도 6에 따른 구조는 기준 라인(Vref)과 도전성 연결 라인(700a, 700b)이 추가된 것을 제외하고 전술한 도 3에 따른 구조와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0103] 도 6에서 알 수 있듯이, 제1 방향, 예로서 가로 방향으로 제1 내지 제3 기준 라인(Vref(1), Vref(2), Vref(3))이 배열되어 있다. 상기 제1 기준 라인(Vref(1))은 제1 행(L1)에 배열된 복수의 화소(P)와 연결되고, 상기 제2 기준 라인(Vref(2))은 제2 행(L2)에 배열된 복수의 화소(P)와 연결되고, 상기 제3 기준 라인(Vref(3))은 제3 행(L3)에 배열된 복수의 화소(P)와 연결될 수 있다. 상기 제1 내지 제3 기준 라인(Vref(1), Vref(2), Vref(3))은 제1 내지 제3 스캔 라인(Scan(1), Scan(2), Scan(3)), 제1 내지 제3 에미션 라인(EM(1), EM(2), EM(3)), 및 제1 내지 제3 초기화 라인(Vint(1), Vint(2), Vint(3))과 동일한 층에 형성될 수 있다.
- [0104] 상기 도전성 연결 라인(700a, 700b)은 상기 제1 방향과 교차하는 제2 방향, 예로서 상기 제1 방향과 수직 방향으로 연장되어 있으며, 따라서, 상기 기준 라인(Vref(1), Vref(2), Vref(3)), 스캔 라인(Scan(1), Scan(2), Scan(3)), 에미션 라인(EM(1), EM(2), EM(3)), 및 초기화 라인(Vint(1), Vint(2), Vint(3))과 교차되도록 형성된다.
- [0105] 상기 도전성 연결 라인(700a, 700b)은 제1 도전성 연결 라인(700a) 및 제2 도전성 연결 라인(700b)을 포함하여 이루어진다.
- [0106] 상기 제1 도전성 연결 라인(700a)은 상기 제2 방향으로 연장되면서 상기 전원 공급 라인(400)의 제1 수평 라인(410)과 제2 수평 라인(420) 사이를 전기적으로 연결시킨다. 상기 제1 도전성 연결 라인(700a)은 상기 제1 수평 라인(410) 및 제2 수평 라인(420)과는 상이한 층에 형성되며, 따라서 상기 제1 도전성 연결 라인(700a)의 일단과 타단은 각각 콘택홀을 통해서 상기 제1 수평 라인(410) 및 제2 수평 라인(420)과 연결된다.
- [0107] 상기 제2 도전성 연결 라인(700b)은 상기 제2 방향으로 연장되면서 상기 전원 공급 라인(400)의 제2 수평 라인(420)과 경사 라인(440) 사이를 전기적으로 연결시킨다. 상기 제2 도전성 연결 라인(700b)은 상기 제2 수평 라인(420) 및 경사 라인(440)과는 상이한 층에 형성되며, 따라서 상기 제2 도전성 연결 라인(700b)의 일단과 타단은 각각 콘택홀을 통해서 상기 제2 수평 라인(420) 및 경사 라인(440)과 연결된다.
- [0108] 상기 제1 도전성 연결 라인(700a)과 상기 제2 도전성 연결 라인(700b)은 상기 데이터 라인(Vdata)과 동일한 층에 형성될 수 있으며, 이 경우에는 상기 데이터 라인(Vdata)과 중첩되지 않도록 형성됨으로써 데이터 라인(Vdata)과의 쇼트를 방지할 수 있다. 경우에 따라서, 상기 제1 도전성 연결 라인(700a)과 상기 제2 도전성 연결 라인(700b)이 상기 데이터 라인(Vdata)과 상이한 층에 형성될 수도 있으며, 이 경우에는 상기 데이터 라인(Vdata)과 중첩되어도 무방하다.
- [0109] 상기 전원 공급 라인(400)의 제1 수평 라인(410)과 제2 수평 라인(420) 사이를 전기적으로 연결시키는 제1 도전

성 연결 라인(700a)은 복수 개가 형성될 수 있다. 또한, 상기 전원 공급 라인(400)의 제2 수평 라인(420)과 경사 라인(440) 사이를 전기적으로 연결시키는 제2 도전성 연결 라인(700b)은 복수 개가 형성될 수 있다. 또한, 도시하지는 않았지만, 상기 전원 공급 라인(400)의 제1 수평 라인(410)과 경사 라인(440) 사이를 전기적으로 연결시키는 도전성 연결 라인이 추가로 형성될 수도 있다.

[0110] 이와 같이, 본 발명의 다른 실시예에 따르면, 전원 공급 라인(400)의 수평 라인들(410, 420) 사이를 전기적으로 연결시키거나 또는 전원 공급 라인(400)의 수평 라인(410, 420)과 경사 라인(440) 사이를 전기적으로 연결시키는 도전성 연결 라인(700a, 700b)을 추가로 포함함으로써, 상기 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 화소(P)에 구동전압을 공급하는 전원 공급 라인(400)의 경로를 단축시키고 그 경로의 저항을 줄일 수 있다. 따라서 상기 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 복수의 화소(P) 전체의 발광 휘도가 작아지는 문제가 개선되어 세로 방향의 블록 뎀(Block Dim) 현상을 방지할 수 있다.

[0111] 도 7은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 전술한 도 6에서 제2 도전성 연결 라인(700b)이 형성된 영역을 가로 방향으로 자른 단면에 해당한다. 도 7에 따른 구조는 기준 라인(Vref) 및 제2 도전성 연결 라인(700b)이 추가로 형성된 것을 제외하고 전술한 도 4에 따른 구조와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0112] 도 7에서 알 수 있듯이, 기판(100) 상의 게이트 절연층(210) 상에, 보다 구체적으로 게이트 절연층(210)과 제1 층간 절연층(220) 사이에 제2 도전성 연결 라인(700b)이 형성되어 있다. 상기 제2 도전성 연결 라인(700b)은 제1 데이터 라인(Vdata1)과 동일한 층에 형성될 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제2 도전성 연결 라인(700b)은 제2 데이터 라인(Vdata2)과 동일한 층에 형성될 수도 있다. 즉, 상기 제2 도전성 연결 라인(700b)은 제1 층간 절연층(220)과 제2 층간 절연층(230) 사이에 형성될 수도 있다. 따라서, 상기 제2 도전성 연결 라인(700b)은 스캔 라인(Scan), 에미션 라인(EM), 및 초기화 라인(Vint)의 제2 부분(520)과 상이한 층에 형성된다.

[0113] 상기 제2 도전성 연결 라인(700b)은 제1 데이터 라인(Vdata1)과 제2 데이터 라인(Vdata2) 사이에서 상기 제1 데이터 라인(Vdata1) 및 제2 데이터 라인(Vdata2)과 중첩되지 않도록 형성될 수 있다.

[0114] 도시하지 않았지만, 상기 제1 도전성 연결 라인(700a)도 상기 제2 도전성 연결 라인(700b)과 동일한 층에 형성될 수 있다.

[0115] 상기 기준 라인(Vref)은 스캔 라인(Scan), 에미션 라인(EM), 및 초기화 라인(Vint)과 마찬가지로 제1 부분(510), 제2 부분(520) 및 제3 부분(530)을 포함하여 이루어지고, 상기 기준 라인(Vref)의 제1 부분(510), 제2 부분(520) 및 제3 부분(530)의 구조는 상기 스캔 라인(Scan), 에미션 라인(EM), 및 초기화 라인(Vint) 각각의 제1 부분(510), 제2 부분(520) 및 제3 부분(530)의 구조와 동일하다.

[0116] 도 8은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 전술한 도 6에서 제2 도전성 연결 라인(700b)이 형성된 영역을 세로 방향으로 자른 단면에 해당한다.

[0117] 도 8에서 알 수 있듯이, 기판(100) 상에 게이트 절연층(210)이 형성되고, 상기 게이트 절연층(210) 상에 제2 도전성 연결 라인(700b)이 형성되어 있다.

[0118] 상기 제2 도전성 연결 라인(700b) 상에는 제1 층간 절연층(220)과 제2 층간 절연층(230)이 차례로 형성되어 있고, 상기 제2 층간 절연층(230) 상에는 전원 공급 라인(400)의 경사 라인(400)과 제2 수평 라인(420)이 형성되어 있다. 상기 전원 공급 라인(400)의 경사 라인(400)은 상기 제1 층간 절연층(220)과 제2 층간 절연층(230)에 구비된 콘택홀을 통해서 상기 제2 도전성 연결 라인(700b)의 일측과 연결되어 있고, 상기 전원 공급 라인(400)의 제2 수평 라인(420)은 상기 제1 층간 절연층(220)과 제2 층간 절연층(230)에 구비된 콘택홀을 통해서 상기 제2 도전성 연결 라인(700b)의 타측과 연결되어 있다.

[0119] 또한, 제2 층간 절연층(230)과 패시베이션층(240) 사이에는 기준 라인(Vref), 스캔 라인(Scan), 에미션 라인(EM), 및 초기화 라인(Vint) 각각의 제2 부분(520)이 서로 이격되면서 형성되어 있다. 상기 기준 라인(Vref), 스캔 라인(Scan), 에미션 라인(EM), 및 초기화 라인(Vint) 각각의 제2 부분(520)은 상기 전원 공급 라인(400)의 경사 라인(400) 및 제2 수평 라인(420)과 이격되어 있다.

[0120] 도 9는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 이는 도전성 연결 라인(700a, 700b)이 어느 하나의 데이터 라인(Vdata)과는 중첩되고 그와 인접하는 다른 데이터 라인(Vdata)과는 중

침되지 않는 점을 제외하고 전술한 도 6에 따른 전계 발광 표시 장치와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

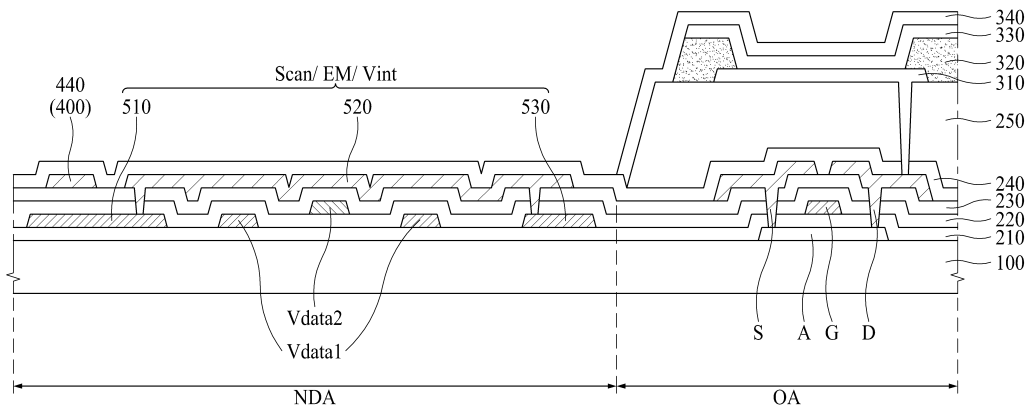
- [0121] 도 9에 따르면, 도전성 연결 라인(700a, 700b)이 어느 하나의 데이터 라인(Vdata)과는 중첩되기 때문에, 상기 도전성 연결 라인(700a, 700b)의 좌우 폭을 증가시킬 수 있고, 그에 따라 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 화소(P)에 구동전압이 공급되는 전원 공급 라인(400)의 경로의 저항을 더 줄일 수 있다. 따라서 상기 제1 열 세트(CS1) 및 제2 열 세트(CS2)에 배열된 복수의 화소(P) 전체의 발광 휘도가 작아지는 문제가 더욱더 개선되어 세로 방향의 블록 딤(Block Dim) 현상을 방지할 수 있다.
- [0122] 도 9의 경우에 있어서, 상기 도전성 연결 라인(700a, 700b)과 중첩되는 어느 하나의 데이터 라인(Vdata)은 상기 도전성 연결 라인(700a, 700b)과 상이한 층에 형성되고, 상기 도전성 연결 라인(700a, 700b)과 중첩되지 않는 다른 데이터 라인(Vdata)은 상기 도전성 연결 라인(700a, 700b)과 동일한 층에 형성될 수 있다.
- [0123] 도 10은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 전술한 도 9에서 제2 도전성 연결 라인(700b)이 형성된 영역을 가로 방향으로 자른 단면에 해당한다. 도 10에 따른 구조는 제2 도전성 연결 라인(700b)이 제2 데이터 라인(Vdata2)과 중첩되도록 형성된 점을 제외하고 전술한 도 7에 따른 구조와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0124] 도 10에서 알 수 있듯이, 제2 데이터 라인(Vdata2)과 상이한 층에 형성된 제2 도전성 연결 라인(700b)이 상기 제2 데이터 라인(Vdata2)과 중첩되도록 형성되며, 그에 따라 제2 도전성 연결 라인(700b)의 폭을 증가시킬 수 있다. 다만, 상기 제2 도전성 연결 라인(700b)은 제1 데이터 라인(Vdata1)과는 동일한 층에 형성되기 때문에 상기 제1 데이터 라인(Vdata1)과는 중첩될 수 없고, 따라서, 상기 제2 데이터 라인(Vdata2)과 인접하는 좌우의 두 개의 제1 데이터 라인(Vdata1) 사이에 형성된다.
- [0125] 도 11은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 이는 도전성 연결 라인(700a, 700b)의 구성이 변경된 것을 제외하고 전술한 도 6에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0126] 도 11에서 알 수 있듯이, 본 발명의 또 다른 실시예에 따르면, 복수의 제1 도전성 연결 라인(700a) 및 복수의 제2 도전성 연결 라인(700b)이 형성되어 있다.
- [0127] 이때, 상기 복수의 제1 도전성 연결 라인(700a)의 개수가 상기 복수의 제2 도전성 연결 라인(700b)의 개수보다 많다.
- [0128] 전술한 바와 같이, 도 1의 패드 영역(PA)에 구비된 전원 패드는 링크 라인을 통해 제3 수평 라인(430)에 연결된다. 따라서, 상기 전원 패드의 전원은 상기 제3 수평 라인(430)을 통해 공급된 후 상기 경사 라인(440), 상기 제2 도전성 연결 라인(700b), 상기 제2 수평 라인(420), 상기 제1 도전성 연결 라인(700a) 및 상기 제1 수평 라인(410)의 순서대로 전달될 수 있다.
- [0129] 그에 따라, 상기 제1 도전성 연결 라인(700a)에서 상기 제3 수평 라인(430)까지의 전원의 전달 경로가 상기 제2 도전성 연결 라인(700b)에서 상기 제3 수평 라인(430)까지의 전원의 전달 경로보다 길게 된다. 따라서, 본 발명의 또 다른 실시예에서는 상기 제1 도전성 연결 라인(700a)의 개수를 상기 제2 도전성 연결 라인(700b)의 개수보다 많이 형성함으로써, 상대적으로 전원의 전달 경로가 긴 영역에서의 저항을 줄일 수 있는 효과가 있다.
- [0130] 한편, 상기 제1 도전성 연결 라인(700a)은 복수 개 형성하고, 상기 제2 도전성 연결 라인(700b)은 1개 형성하는 것도 가능하다.
- [0131] 도 12는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 이는 제1 도전성 연결 라인(700a)의 구성이 변경된 것을 제외하고 전술한 도 11에 따른 전계 발광 표시 장치와 동일하다. 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0132] 도 12에 따르면, 복수의 제1 도전성 연결 라인(700a)들 사이의 간격(d1, d2)이 서로 상이하다. 구체적으로, 상대적으로 제3 수평 라인(430)에서 먼 두 개의 제1 도전성 연결 라인(700a)들 사이의 제1 간격(d1)이 상대적으로 제3 수평 라인(430)에서 가까운 두 개의 제1 도전성 연결 라인(700a)들 사이의 제2 간격(d2)보다 작다.
- [0133] 상대적으로 제3 수평 라인(430)에서 멀어질수록 전원의 전달 경로가 길어지기 때문에 본 발명의 또 다른 실시예에서는 제3 수평 라인(430)에서 멀어질수록 제1 도전성 연결 라인(700a)들 사이의 간격을 작게 형성함으로써, 상대적으로 전원의 전달 경로가 긴 영역에서의 저항을 줄일 수 있는 효과가 있다.

- [0134] 한편, 도시하지는 않았지만, 제3 수평 라인(430)에서 멀어질수록 복수의 제2 도전성 연결 라인(700b)들 사이의 간격도 작아지게 형성할 수도 있다.
- [0135] 도 13은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 도전성 연결 라인(700a, 700b)의 폭(w1, w2)이 변경된 것을 제외하고 전술한 도 6에 따른 전계 발광 표시 장치와 동일하다. 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0136] 도 13에 따르면, 제1 도전성 연결 라인(700a)의 폭(w1)이 제2 도전성 연결 라인(700b)의 폭(w2)보다 크다.
- [0137] 상기 제1 도전성 연결 라인(700a)에서 상기 제3 수평 라인(430)까지의 전원의 전달 경로가 상기 제2 도전성 연결 라인(700b)에서 상기 제3 수평 라인(430)까지의 전원의 전달 경로보다 길기 때문에, 본 발명의 또 다른 실시예에서는 상기 제1 도전성 연결 라인(700a)의 폭(w1)을 상기 제2 도전성 연결 라인(700b)의 폭(w2)보다 크게 형성함으로써, 상대적으로 전원의 전달 경로가 긴 영역에서의 저항을 줄일 수 있는 효과가 있다.
- [0138] 도 14는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도로서, 도전성 연결 라인(700a, 700b)의 폭(w11, w12, w13, w21, w22)이 변경된 것을 제외하고 전술한 도 11에 따른 전계 발광 표시 장치와 동일하다. 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0139] 도 14에 따르면, 상대적으로 제3 수평 라인(430)에서 멀어질수록 제1 도전성 연결 라인(700a)의 폭(w11, w12, w13)을 크게 형성함으로써, 상대적으로 전원의 전달 경로가 긴 영역에서의 저항을 줄일 수 있는 효과가 있다. 즉, 제3 수평 라인(430)에서 가장 먼 제1 도전성 연결 라인(700a)의 폭(w11)을 가장 크게 형성하고, 제3 수평 라인(430)에서 가장 가까운 제1 도전성 연결 라인(700a)의 폭(w13)을 가장 작게 형성할 수 있다.
- [0140] 유사하게, 상대적으로 제3 수평 라인(430)에서 멀어질수록 제2 도전성 연결 라인(700b)의 폭(w21, w22)을 크게 형성함으로써, 상대적으로 전원의 전달 경로가 긴 영역에서의 저항을 줄일 수 있는 효과가 있다. 즉, 제3 수평 라인(430)에서 먼 제2 도전성 연결 라인(700b)의 폭(w21)을 상대적으로 크게 형성하고, 제3 수평 라인(430)에서 가까운 제2 도전성 연결 라인(700b)의 폭(w22)을 상대적으로 작게 형성할 수 있다.
- [0141] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

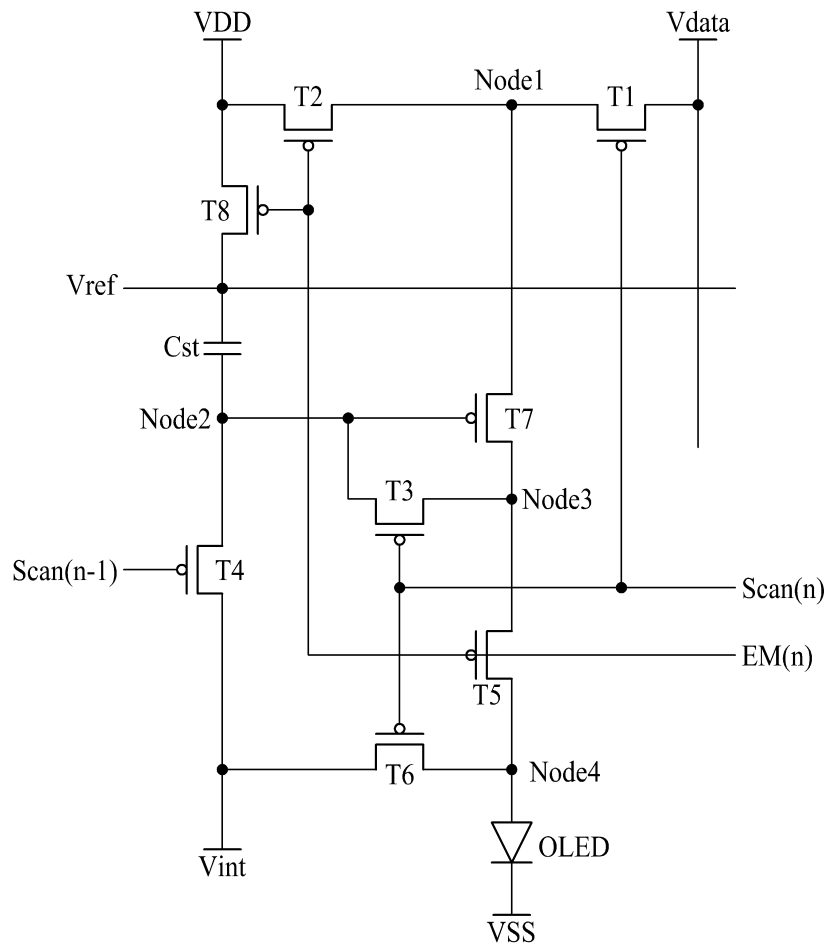
부호의 설명

- [0142]
- | | |
|------------------------------|----------------|
| 100: 기판 | 210: 게이트 절연층 |
| 220: 제1 층간 절연층 | 230: 제2 층간 절연층 |
| 240: 패시베이션층 | 250: 평탄화층 |
| 310: 제1 전극 | 320: 뱅크 |
| 330: 발광층 | 340: 제2 전극 |
| 400: 전원 공급 라인 | 410: 제1 수평 라인 |
| 420: 제2 수평 라인 | 430: 제3 수평 라인 |
| 440: 경사 라인 | 510: 제1 부분 |
| 520: 제2 부분 | 530: 제3 부분 |
| 700a, 700b: 제1, 제2 도전성 연결 라인 | |

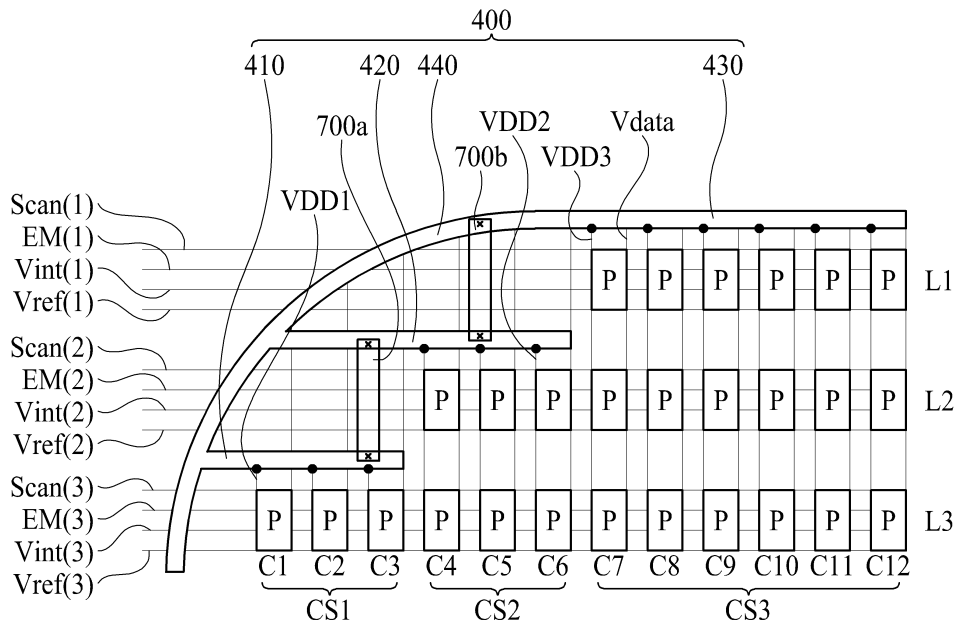
도면4



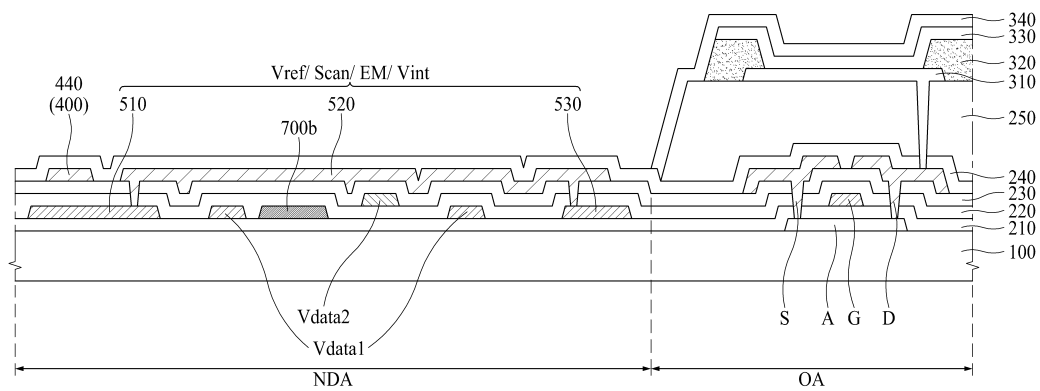
도면5



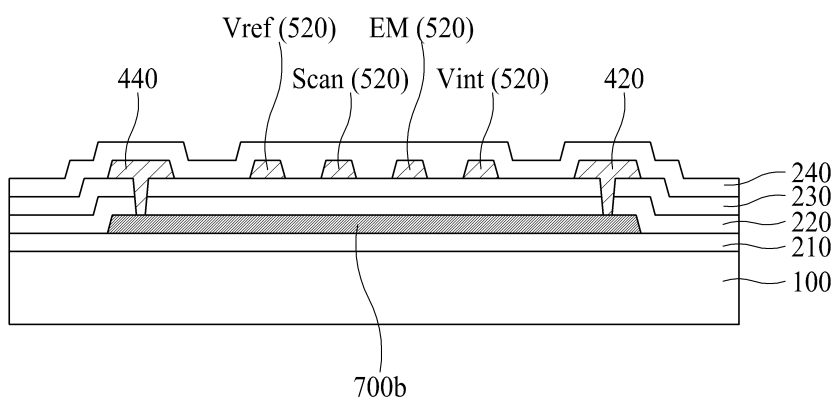
도면6



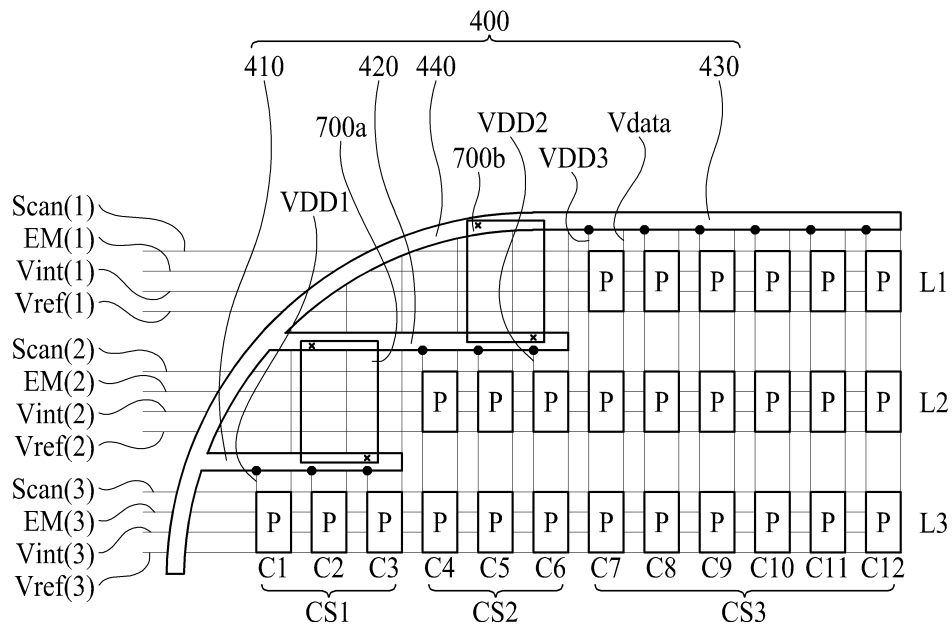
도면7



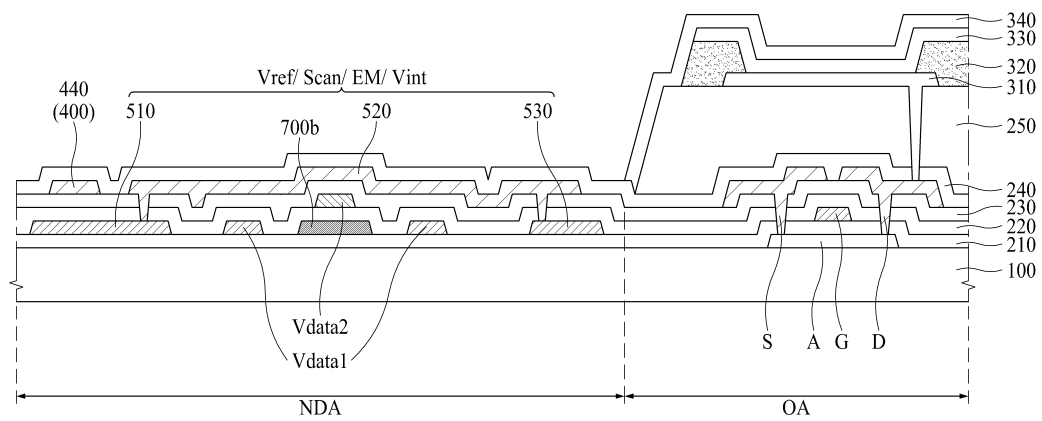
도면8



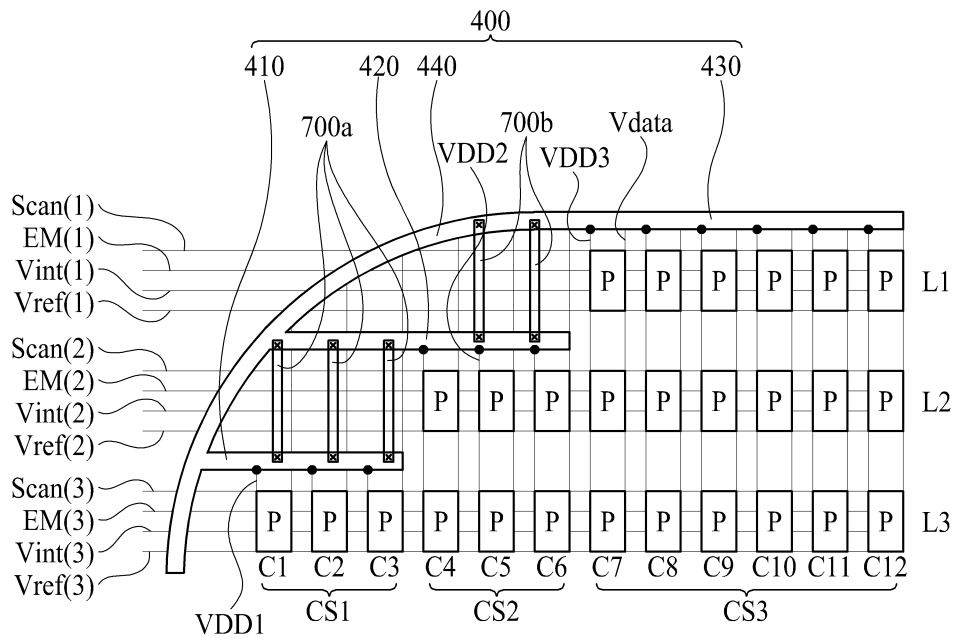
도면9



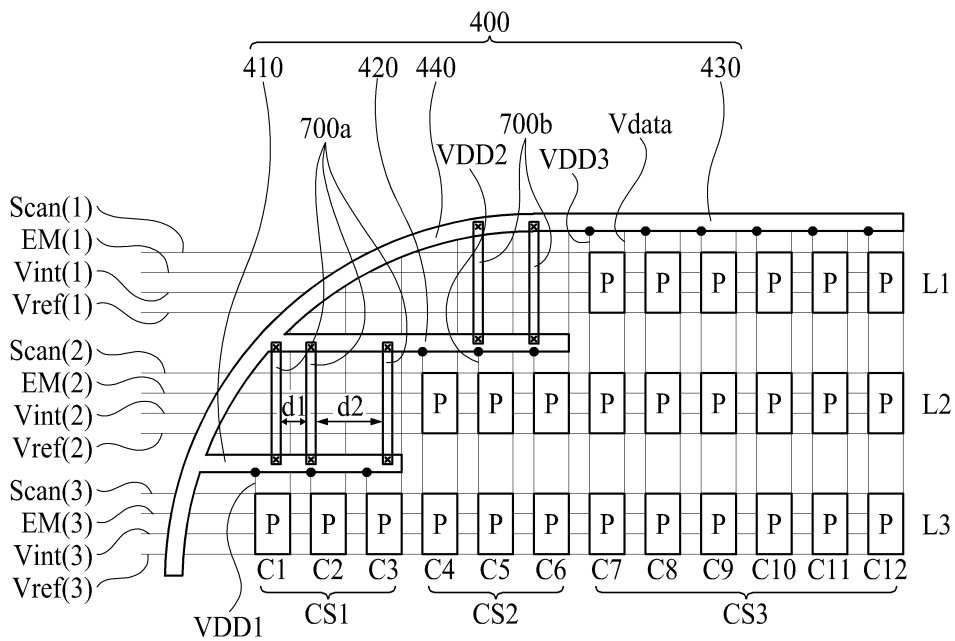
도면10



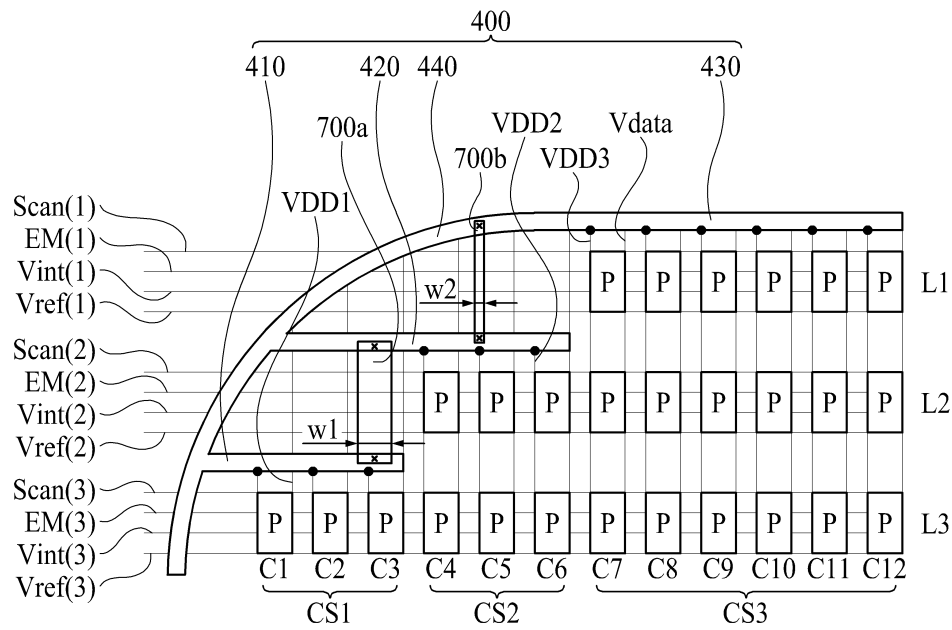
도면11



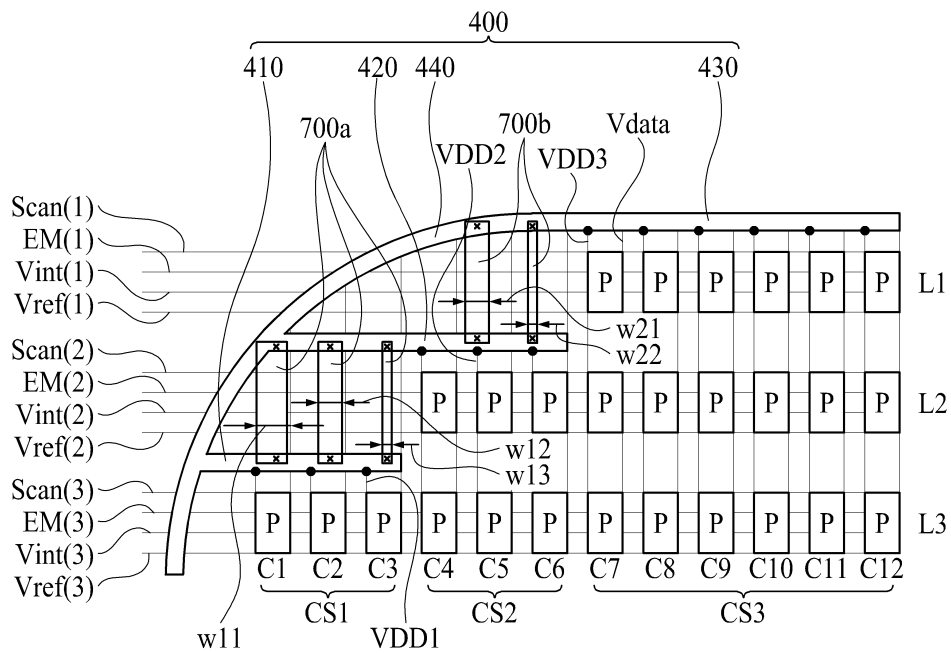
도면12



도면13



도면14



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020200082072A	公开(公告)日	2020-07-08
申请号	KR1020180172262	申请日	2018-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	오충완 윤성욱 이동주 박영주		
发明人	오충완 윤성욱 이동주 박영주		
IPC分类号	H01L27/32 G09G3/3208 H01L51/52		
CPC分类号	H01L27/3276 G09G3/3208 H01L27/3262 H01L27/3272 H01L51/52		

摘要(译)

本发明是具有具有多个像素的显示区域和在该显示区域的外侧设置的非显示区域的基板。设置在基板上的非显示区域中的第二水平线,从倾斜线的一部分在第一方向上延伸的第一水平线,以及从倾斜线的另一部分在第一方向上延伸的第二水平线 电源线包括: 连接电源线和多个像素的高电源线; 第一导电连接在与第一方向交叉的第二方向上延伸并且连接在第一水平线和第二水平线之间。

