



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0036579
(43) 공개일자 2019년04월05일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0125251

(22) 출원일자 2017년09월27일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김성환

경기도 오산시 운암로 122, 운암주공1단지아파트
120동 1401호 (부산동)

김철민

경기도 성남시 분당구 중앙공원로 53, 시범단지한
신아파트 130-1204 (서현동)

방성훈

서울시 서초구 신반포로15길 19, 아크로리버파크
113동 1705호 (반포동)

(74) 대리인

특허법인가산

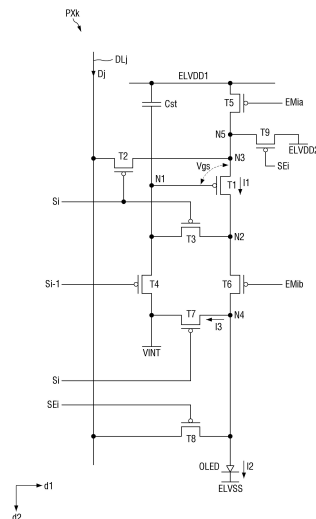
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 일 전극이 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되는 구동 트랜지스터, 일 전극을 통해 제1 구동 전압을 제공받으며, 타 전극이 제1 노드와 연결되는 제1 제어 트랜지스터; 일 전극을 통해 제2 구동 전압을 제공받으며, 타 전극이 제1 노드와 연결되는 제2 제어 트랜지스터; 및 일 전극이 구동 트랜지스터의 타 전극과 유기 발광 소자 사이의 신호 경로에 연결되는 센싱 트랜지스터를 포함하고, 센싱 트랜지스터는 센싱 구간에서 턴 온 되고, 제1 제어 트랜지스터는 센싱 구간에서 턴 오프되며, 제2 제어 트랜지스터는 센싱 구간에서 턴 온 된다.

대표도 - 도2



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

일 전극이 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되는 구동 트랜지스터;

일 전극을 통해 제1 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제1 제어 트랜지스터;

일 전극을 통해 제2 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제2 제어 트랜지스터; 및

일 전극이 상기 구동 트랜지스터의 타 전극과 상기 유기 발광 소자 사이의 신호 경로에 연결되는 센싱 트랜지스터를 포함하고,

상기 센싱 트랜지스터는 센싱 구간에서 턴 온 되고, 상기 제1 제어 트랜지스터는 상기 센싱 구간에서 턴 오프되며, 상기 제2 제어 트랜지스터는 상기 센싱 구간에서 턴 온 되는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

일 전극이 상기 구동 트랜지스터의 타 전극과 연결되고, 타 전극이 상기 유기 발광 소자와 연결되는 제3 제어 트랜지스터를 더 포함하고,

상기 제3 제어 트랜지스터는 상기 센싱 구간에서 턴 온 되는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 센싱 트랜지스터의 제어 전극에 제공되는 신호는 상기 제2 제어 트랜지스터에 제공되는 신호와 동일한 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

일 전극이 데이터 라인과 연결되며, 제어 전극이 스캔 라인과 연결되고, 타 전극이 상기 구동 트랜지스터와 연결되는 스캔 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 5

제4항에 있어서,

상기 센싱 트랜지스터의 타 전극은 상기 데이터 라인과 연결되는 유기 발광 표시 장치.

청구항 6

제4항에 있어서,

상기 스캔 트랜지스터는 일 프레임 동안 제1 구간 및 상기 제1 구간에 후속하는 제2 구간에서 턴 온 되고,

상기 센싱 구간은 상기 제1 구간 및 상기 제2 구간 사이에 위치하는 유기 발광 표시 장치.

청구항 7

제4항에 있어서,

상기 스캔 트랜지스터의 타 전극은 상기 제1 노드와 연결되는 유기 발광 표시 장치.

청구항 8

제4항에 있어서,

일 전극이 상기 구동 트랜지스터의 타 전극과 연결되고, 타 전극이 상기 구동 트랜지스터의 제어 전극과 연결되며, 제어 전극이 상기 스캔 트랜지스터의 제어 전극과 연결되는 보상 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 9

구동 트랜지스터, 제1 제어 트랜지스터, 제2 제어 트랜지스터, 센싱 트랜지스터 및 유기 발광 소자를 포함하는 제1 화소부가 배치되는 표시부; 및

상기 제1 제어 트랜지스터의 일 전극과 연결되는 제1 구동 전압 라인 및 상기 제2 제어 트랜지스터의 타 전극과 연결되는 제2 구동 전압 라인과 연결되는 전원 공급부를 포함하고,

상기 구동 트랜지스터는 일 전극이 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되며,

상기 제1 제어 트랜지스터의 타 전극 및 상기 제2 제어 트랜지스터의 타 전극은 상기 제1 노드와 연결되며,

상기 센싱 트랜지스터는 센싱 구간에서 턴 온 되고, 상기 제1 제어 트랜지스터는 상기 센싱 구간에서 턴 오프 되며, 상기 제2 제어 트랜지스터는 상기 센싱 구간에서 턴 온 되는 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 센싱 트랜지스터는 상기 제2 제어 트랜지스터와 동일하게 스위칭 동작을 수행하는 유기 발광 표시 장치.

청구항 11

제9항에 있어서,

상기 표시부는 일 전극이 데이터 라인과 연결되고 타 전극이 상기 제1 노드와 연결되며 제어 전극이 스캔 라인과 연결되는 스캔 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 스캔 트랜지스터는 일 프레임 동안 제1 구간 및 상기 제1 구간에 후속하는 제2 구간에서 턴 온 되며,

상기 센싱 구간은 상기 제1 구간 및 상기 제2 구간 사이에 위치하는 유기 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 센싱 구간은 상기 일 프레임 중 영상이 표시되는 액티브 구간에 위치하는 유기 발광 표시 장치.

청구항 14

제12항에 있어서,

상기 제1 구간 동안 상기 데이터 라인을 통해 상기 스캔 트랜지스터의 일 전극에 제공되는 데이터 신호는 상기 제2 구간 동안 상기 데이터 라인을 상기 스캔 트랜지스터의 일 전극에 제공되는 데이터 신호와 상이한 유기 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 데이터 라인을 통해 상기 스캔 트랜지스터의 일 전극과 연결되는 데이터 구동부를 더 포함하고,

상기 센싱 트랜지스터는 일 전극이 상기 데이터 라인과 연결되고 타 전극이 상기 구동 트랜지스터의 타 전극과 연결되는 유기 발광 표시 장치.

청구항 16

일 전극이 데이터 라인과 연결되고, 타 전극이 제1 노드와 연결되며, 제어 전극이 스캔 라인과 연결되는 스캔 트랜지스터;

일 전극이 상기 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되는 구동 트랜지스터;

일 전극을 통해 제1 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제1 제어 트랜지스터;

일 전극을 통해 제2 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제2 제어 트랜지스터; 및

일 전극이 상기 데이터 라인과 연결되고, 타 전극이 상기 유기 발광 소자와 연결되는 센싱 트랜지스터를 포함하고,

상기 센싱 트랜지스터는 센싱 구간에서 상기 제1 제어 트랜지스터와 상보적으로 스위칭 동작을 수행하고, 상기 제2 제어 트랜지스터와 동일하게 스위칭 동작을 수행하는 유기 발광 표시 장치.

청구항 17

제16항에 있어서,

상기 스캔 트랜지스터는 제1 구간 및 상기 제1 구간에 후속하는 제2 구간에서 턴 온 되며,

상기 센싱 구간은 상기 제1 구간 및 상기 제2 구간 사이에 위치하고,

상기 센싱 구간, 상기 제1 구간 및 상기 제2 구간은 일 프레임에 포함되는 유기 발광 표시 장치.

청구항 18

제16항에 있어서,

상기 제1 제어 트랜지스터는 일 프레임 동안, 세 번 턴 오프 되며, 상기 제2 제어 트랜지스터는 상기 일 프레임 동안, 두 번 턴 오프 되는 유기 발광 표시 장치.

청구항 19

제16항에 있어서,

상기 센싱 구간은 일 프레임 중 영상이 표시되는 액티브 구간에 위치하는 유기 발광 표시 장치.

청구항 20

제16항에 있어서,

일 전극이 상기 구동 트랜지스터의 타 전극과 연결되고, 타 전극이 상기 유기 발광 소자와 연결되는 제3 제어 트랜지스터를 더 포함하고,

상기 제3 제어 트랜지스터는 상기 센싱 구간에서 턴 온 되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시한다. 유기 발광 표시 장치는 빠른 응답 속도를 가지며, 휘도 및 시야각이 크고, 동시에 낮은 소비

전력으로 구동되는 장점이 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하고자 하는 과제는, 실시간 히스테리시스 특성을 측정할 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0005] 또한, 전압 강하에 강건하면서, 히스테리시스 특성의 정확성을 향상시킬 수 있는 유기 발광 표시 장치를 제공하는 것이다.
- [0006] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 일 전극이 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되는 구동 트랜지스터; 일 전극을 통해 제1 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제1 제어 트랜지스터; 일 전극을 통해 제2 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제2 제어 트랜지스터; 및 일 전극이 상기 구동 트랜지스터의 타 전극과 상기 유기 발광 소자 사이의 신호 경로에 연결되는 센싱 트랜지스터를 포함하고, 상기 센싱 트랜지스터는 센싱 구간에서 턴 온 되고, 상기 제1 제어 트랜지스터는 상기 센싱 구간에서 턴 오프되고, 상기 제2 제어 트랜지스터는 상기 센싱 구간에서 턴 온 된다.
- [0008] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는, 구동 트랜지스터, 제1 제어 트랜지스터, 제2 제어 트랜지스터, 센싱 트랜지스터 및 유기 발광 소자를 포함하는 제1 화소부가 배치되는 표시부; 및 상기 제1 제어 트랜지스터의 일 전극과 연결되는 제1 구동 전압 라인 및 상기 제2 제어 트랜지스터의 타 전극과 연결되는 제2 구동 전압 라인과 연결되는 전원 공급부를 포함하고, 상기 구동 트랜지스터는 일 전극이 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되며, 상기 제1 제어 트랜지스터의 타 전극 및 상기 제2 제어 트랜지스터의 타 전극은 상기 제1 노드와 연결되며, 상기 센싱 트랜지스터가 센싱 구간에서 턴 온 되고, 상기 제1 제어 트랜지스터는 상기 센싱 구간에서 턴 오프되며, 상기 제2 제어 트랜지스터는 상기 센싱 구간에서 턴 온 된다.
- [0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 일 전극이 데이터 라인과 연결되고, 타 전극이 제1 노드와 연결되며, 제어 전극이 스캔 라인과 연결되는 스캔 트랜지스터; 일 전극이 상기 제1 노드와 연결되고, 타 전극이 유기 발광 소자와 연결되는 구동 트랜지스터; 일 전극을 통해 제1 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제1 제어 트랜지스터; 일 전극을 통해 제2 구동 전압을 제공받으며, 타 전극이 상기 제1 노드와 연결되는 제2 제어 트랜지스터; 및 일 전극이 상기 데이터 라인과 연결되고, 타 전극이 상기 유기 발광 소자와 연결되는 센싱 트랜지스터를 포함하고, 상기 센싱 트랜지스터는 센싱 구간에서 상기 제1 제어 트랜지스터와 상보적으로 스위칭 동작을 수행하고, 상기 제2 제어 트랜지스터와 동일하게 스위칭 동작을 수행한다.
- [0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0011] 본 발명의 실시예들에 의하면, 영상을 표시하는 구간 중에 히스테리시스 특성을 실시간으로 측정할 수 있다.
- [0012] 또한, 히스테리시스 특성의 정확성을 향상시킬 수 있다.
- [0013] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 도 1에 도시한 복수의 화소부 중 제k 화소부의 등가 회로도이다.

도 3은 도 1에 도시한 타이밍 제어부, 데이터 구동 회로 및 화소부 사이의 신호 흐름을 설명하기 위한 도면이다.

도 4는 도 3에 도시한 데이터 구동 회로를 보다 상세히 나타낸 도면이다.

도 5는 도 2에 도시한 제k 화소부의 제1 트랜지스터의 히스테리시스 특성을 나타낸 그래프이다.

도 6은 도 2에 도시한 제k 화소부의 센싱 구동 및 표시 구동을 설명하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 동작을 나타낸 타이밍도이다.

도 8 내지 도 10은 제1 화소부의 노멀 구동에 대해 설명하기 위한 도면이다.

도 11 내지 도 17은 제k 화소부의 히스테리시스 측정 구동에 대해 설명하기 위한 도면이다.

도 18은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 히스테리시스 측정 정확도 향상을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0017] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "위(on)", "상(on)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래"로 기술된 소자는 다른 소자의 "위"에 놓여질 수 있다. 또한 도면을 기준으로 다른 소자의 "좌측"에 위치하는 것으로 기술된 소자는 시점에 따라 다른 소자의 "우측"에 위치할 수도 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0018] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는다.
- [0019] 명세서 전체를 통하여 동일하거나 유사한 부분에 대해서는 동일한 도면 부호를 사용한다.
- [0020] 이하, 도면을 참조하여 본 발명의 실시예들에 대하여 설명한다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- [0022] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 표시부(110), 스캔 구동부(120), 데이터 구동 회로(130), 타이밍 제어부(140), 발광 구동부(150), 전원 공급부(160) 및 센싱 신호 제공부(170)를 포함할 수 있다.
- [0023] 표시부(110)는 화상을 표시하는 영역으로 정의된다. 복수의 화소부(PX)는 상기 표시부(110)에 배치된다. 표시부(110)는 제1 방향(d1)으로 연장되는 제1 내지 제n 스캔 라인(SL1 내지 SLn, n은 1 이상의 자연수) 및 제2 방향

(d2)으로 연장되는 제1 내지 제 m 데이터 라인(DL1 내지 DL m , m 은 1 이상의 자연수)과 연결될 수 있다. 복수의 화소부(PX)는 도 1을 기준으로 제1 방향(d1)과 대향되는 방향으로 연장되는 제1a 내지 제 n a 발광 제어 라인(EML1a 내지 EML n a) 및 제1b 내지 제 n b 발광 제어 라인(EML1b 내지 EML n b)과도 연결될 수 있다. 여기서, 제1 방향(d1)은 일 실시예로 제2 방향(d2)과 교차할 수 있다. 도 1을 기준으로, 제1 방향(d1)을 행 방향으로, 제2 방향(d2)을 열 방향으로 예시한다. 한편, 도 1에 도시한 스캔 라인, 데이터 라인 및 발광 제어 라인의 연장 방향은 일 실시예이며, 각 라인 간 서로 절연되는 경우라면 연장 방향은 특별히 제한되지 않는다.

[0024] 복수의 화소부(PX)와, 도 1에 도시한 스캔 라인, 데이터 라인 및 발광 제어 라인 간의 연결 관계에 대해 보다 상세히 설명하기로 한다.

[0025] 복수의 화소부(PX) 각각은 일 실시예로, 제1 내지 제 n 스캔 라인(SL1 내지 SL n) 중 두 개의 스캔 라인과 전기적으로 연결될 수 있다. 예를 들어, 복수의 화소부(PX) 각각은, 당해 화소부가 위치하는 행과 연결되는 스캔 라인 및 그 이전 행에 배치되는 스캔 라인과 연결될 수 있다. 한편, A 영역에 배치되는 화소부(PX)의 경우, 제1 스캔 라인(SL1)뿐만 아니라, 제1 스캔 라인(SL1)의 이전 행이 배치되는 스캔 라인, 즉 더미 스캔 라인(SL0)과도 연결될 수 있다. 이하, 제1 내지 제 n 스캔 라인(SL1 내지 SL n) 및 더미 스캔 라인(SL0)을 복수의 스캔 라인(SL0 내지 SL n)으로 총칭하기로 한다.

[0026] 스캔 구동부(120)는 복수의 스캔 라인(SL0 내지 SL n)을 통해 복수의 화소부(PX)와 전기적으로 연결될 수 있다. 보다 상세하게 설명하면, 스캔 구동부(120)는 타이밍 제어부(140)로부터 제공받은 제1 제어 신호(CONT1)를 기초로, 복수의 스캔 신호(S0 내지 S n)를 생성할 수 있다. 스캔 구동부(120)는 생성된 복수의 스캔 신호(S0 내지 S n)를 복수의 스캔 라인(SL0 내지 SL n)을 통해 복수의 화소부(PX)에 제공할 수 있다.

[0027] 데이터 구동 회로(130)는 데이터 구동부(131) 및 센싱부(132)를 포함할 수 있다.

[0028] 데이터 구동부(131)는 제1 내지 제 m 데이터 라인(DL1 내지 DL m)을 통해 복수의 화소부(PX)와 전기적으로 연결될 수 있다. 보다 상세하게는, 데이터 구동부(131)는 타이밍 제어부(140)로부터, 제2 제어 신호(CONT2), 제1 영상 데이터(DATA1) 및 제2 영상 데이터(DATA2)를 제공받을 수 있다. 데이터 구동부(131)는 제2 제어 신호(CONT2), 제1 영상 데이터(DATA1) 및 제2 영상 데이터(DATA2)를 기초로, 제1 내지 제 m 데이터 신호(D1 내지 D m)를 생성할 수 있다. 데이터 구동부(131)는 생성된 제1 내지 제 m 데이터 신호(D1 내지 D m)를 제1 내지 제 m 데이터 라인(DL1 내지 DL m)을 통해 복수의 화소부(PX)에 제공할 수 있다. 데이터 구동부(131)는 일 실시예로 쉬프트 레지스터(shift register), 래치(latch) 및 디지털-아날로그 변환부 등을 포함할 수 있다.

[0029] 센싱부(132)는 제1 내지 제 m 데이터 라인(DL1 내지 DL m)을 통해, 복수의 화소부(PX)와 전기적으로 연결될 수 있다. 센싱부(132)는 복수의 화소부(PX) 중 히스테리시스(hysteresis) 측정이 필요한 영역에 위치하는 화소부의 히스테리시스 특성을 측정할 수 있다. 이하, 히스테리시스 측정이 필요한 영역을 히스테리시스 영역이라고 정의한다. 상기 히스테리시스 영역에 포함되는 화소부의 개수는 특별히 제한되지 않는다. 일 실시예로, 히스테리시스 영역은 하나의 화소부를 포함할 수도 있다. 다른 실시예로, 히스테리시스 영역은 복수의 화소부를 포함할 수도 있다. 이하, 하나의 화소부가 히스테리시스 영역에 포함되는 것으로 예를 들어 설명하기로 한다.

[0030] 센싱부(132)는 측정된 히스테리시스를 센싱 데이터(SDATA)로 변환한 후, 타이밍 제어부(140)에 제공할 수 있다. 전술한 바와 같이, 데이터 구동부(131) 및 센싱부(132) 각각은 제1 내지 제 m 데이터 라인(DL1 내지 DL m)을 통해 복수의 화소부(PX)와 전기적으로 연결될 수 있다. 이를 위해, 데이터 구동 회로(130)는 데이터 구동부(131) 및 센싱부(132) 중 하나를 선택적으로 제1 내지 제 m 데이터 라인(DL1 내지 DL m)과 연결시키기 위한 스위칭부(133, 도 3 참조)를 더 포함할 수 있다. 제1 내지 제 m 데이터 신호(D1 내지 D m)를 복수의 화소부(PX)에 제공하는 경우, 스위칭부(133)는 스위칭 동작을 통해 데이터 구동부(131)와 복수의 화소부(PX)를 전기적으로 연결시킬 수 있다. 이에 반해, 히스테리시스 영역의 히스테리시스 측정이 필요한 경우, 스위칭부(133)는 스위칭 동작을 통해 센싱부(132)와 복수의 화소부(PX)를 전기적으로 연결시킬 수 있다.

[0031] 타이밍 제어부(140)는 외부로부터 영상 신호(RGB) 및 제어 신호(CS)를 입력받을 수 있다. 영상 신호(RGB)는 복수의 화소부(PX)에 제공될 복수의 계조 데이터를 포함할 수 있다. 제어 신호(CS)는 일 실시예로, 수평 동기 신호, 수직 동기 신호 및 메인 클럭 신호 등을 포함할 수 있다. 수평 동기 신호는 표시부(110)의 한 라인을 표시하는데 걸리는 시간을 나타낸다. 수직 동기 신호는 한 프레임(frame)의 영상을 표시하는데 걸리는 시간을 나타낸다. 메인 클럭 신호는 타이밍 제어부(140)가 스캔 구동부(120) 및 데이터 구동부(131) 각각과 동기되어, 각종 신호 생성을 위한 기준이 되는 신호이다.

[0032] 타이밍 제어부(140)는 영상 신호(RGB) 및 제어 신호(CS)를 표시부(110)의 동작 조건에 적합하도록 처리하여, 제

1 영상 데이터(DATA1), 제2 영상 데이터(DATA2), 제1 제어 신호(CONT1), 제2 제어 신호(CONT2), 제3 제어 신호(CONT3) 및 제4 제어 신호(CONT4)를 생성할 수 있다.

[0033] 타이밍 제어부(140)는 일 실시예로 상기 영상 신호(RGB)를 기초로 히스테리시스 영역을 판단할 수 있다. 타이밍 제어부(140)는 상기 히스테리시스 영역의 히스테리시스 측정을 위해, 상기 히스테리시스 영역에 제공되는 데이터 신호, 스캔 신호, 센싱 신호 및 발광 제어 신호를 조절할 수 있다. 이에 대해서는 후술하기로 한다.

[0034] 센싱부(132)는 측정된 히스테리시스를 센싱 데이터(SDATA)로 변환하여, 타이밍 제어부(140)로 제공할 수 있다. 타이밍 제어부(140)는 상기 센싱 데이터(SDATA)를 기초로, 보상 데이터를 생성하여 데이터 구동부(131)로 제공할 수 있다. 여기서, 보상 데이터는 히스테리시스가 보상된 데이터로 정의된다.

[0035] 발광 구동부(150)는 제1a 내지 제na 발광 제어 라인(EML1a 내지 EMLna) 및 제1b 내지 제nb 발광 제어 라인(EML1b 내지 EMLnb)을 통해 복수의 화소부(PX)와 연결될 수 있다. 발광 구동부(150)는 타이밍 제어부(140)로부터 제공받은 제3 제어 신호(CONT3)를 기초로, 제1a 내지 제na 발광 제어 신호(EM1a 내지 EMna) 및 제1b 내지 제nb 발광 제어 신호(EM1b 내지 EMnb)를 생성할 수 있다. 발광 구동부(150)는 생성된 제1a 내지 제na 발광 제어 신호(EM1a 내지 EMna) 및 제1b 내지 제nb 발광 제어 신호(EM1b 내지 EMnb)를 복수의 화소부(PX)에 제공할 수 있다.

[0036] 전원 공급부(160)는 제1 구동 전압(ELVDD1), 제2 구동 전압(ELVDD2), 제3 구동 전압(ELVSS) 및 초기화 전압(VINT)을 복수의 화소부(PX)에 제공할 수 있다. 제1 구동 전압(ELVDD1) 및 제2 구동 전압(ELVDD2)은 일 실시예로 제3 구동 전압(ELVSS)보다 전압 레벨이 높을 수 있다. 한편, 제1 구동 전압(ELVDD1) 및 제2 구동 전압(ELVDD2)은 일 실시예로 서로 전압 레벨이 동일할 수 있다. 다만, 다른 실시예로, 제2 구동 전압(ELVDD2)이 후술하는 제1 트랜지스터(T1, 도 2 참조)의 히스테리시스 측정을 수행하기에 충분한 전압 레벨을 갖는 경우라면, 제1 구동 전압(ELVDD1) 및 제2 구동 전압(ELVDD2)의 전압 레벨은 서로 상이할 수도 있다.

[0037] 센싱 신호 제공부(170)는 제1 내지 제n 센싱 신호(SE1 내지 SEn)를 표시부(110)에 제공할 수 있다. 보다 상세하게는, 센싱 신호 제공부(170)는 표시부(110)와 제1 내지 제n 센싱 라인(도면 미도시)을 통해 연결될 수 있다. 즉, 하나의 센싱 라인이 하나의 화소 행과 전기적으로 연결될 수 있다. 다른 실시예로, 복수의 센싱 라인이 복수의 화소부(PX) 각각과도 연결될 수도 있다.

[0038] 센싱 신호 제공부(170)는 타이밍 제어부(140)로부터 제공받은 제4 제어 신호(CONT4)를 기초로, 제1 내지 제n 센싱 신호(SE1 내지 SEn)를 생성할 수 있다. 센싱 신호 제공부(170)는 히스테리시스 영역에 대응되는 화소부에 센싱 신호를 제공함으로써, 상기 히스테리시스 영역의 히스테리시스를 측정할 수 있다. 센싱 신호 제공부(170)는 일 실시예로, 복수의 화소부(PX) 각각과 복수의 센싱 라인을 통해 연결될 수 있다. 즉, 복수의 화소부(PX)는 복수의 센싱 라인과 일 대 일로 연결될 수 있다. 다른 실시예로, 복수의 센싱 라인은 행 단위로 복수의 화소부(PX)와 연결될 수 있다. 이 경우, 히스테리시스 영역으로 판단된 화소부에 센싱 신호를 제공하는 경우, 상기 화소부와 동일 행에 위치하는 다른 화소부들에게도 센싱 신호가 제공될 수 있다.

[0039] 센싱 신호 제공부(170)는 일 실시예로 별도의 집적 회로(IC, Integrated Circuit)로 구성될 수 있다. 다른 실시예로, 센싱 신호 제공부(170)는 타이밍 제어부(140) 또는 데이터 구동 회로(130) 내부에 포함될 수도 있다.

[0040] 다음으로, 복수의 화소부(PX)에 대해, 도 2를 참조하여 보다 상세히 설명하기로 한다. 이하, 복수의 화소부(PX) 중 제k 화소부(PXk)를 기준으로 설명하기로 한다. 여기서, 제k 화소부(PXk)는 제i 스캔 신호(Si, i는 1 이상의 자연수), 제i-1 스캔 신호(Si-1), 제k 데이터 신호(Dk, k는 1 이상의 자연수), 제ia 발광 제어 신호(EMia), 제ib 발광 제어 신호(EMib) 및 제i 센싱 신호(SEi)를 제공받는 화소부로 정의된다.

[0041] 도 2는 도 1에 도시한 복수의 화소부 중 제k 화소부의 등가 회로도이다.

[0042] 도 2를 참조하면, 제k 화소부(PXk)는 제1 내지 제9 트랜지스터(T1 내지 T9), 스토리지 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함할 수 있다. 제1 내지 제9 트랜지스터(T1 내지 T9)는 각각 제어 전극, 입력 전극 및 출력 전극을 포함할 수 있다. 이하, 상기 제어 전극을 게이트 전극으로, 상기 입력 전극을 소스 전극으로, 상기 출력 전극을 드레인 전극으로 표기하기로 한다. 한편, 제1 내지 제9 트랜지스터(T1 내지 T9)는 일 실시예로 PMOS 트랜지스터일 수 있다. 다만, 이에 제한되는 것은 아니며, 제1 내지 제9 트랜지스터(T1 내지 T9)는 NMOS 트랜지스터일 수도 있다.

[0043] 제1 트랜지스터(T1)는 제1 노드(N1)와 연결되는 게이트 전극, 제3 노드(N3)와 연결되는 소스 전극 및 제2 노드(N2)와 연결되는 드레인 전극을 포함할 수 있다. 제2 트랜지스터(T2)는 제i 스캔 신호(Si)를 제공받는 게이트

전극, 제k 데이터 라인(DLk)과 연결되는 소스 전극 및 제3 노드(N3)와 연결되는 드레인 전극을 포함할 수 있다.

[0044] 제2 트랜지스터(T2)는 제i 스캔 신호(Si)를 기초로 스위칭 동작을 수행하여, 제k 데이터 신호(Dk)를 제3 노드(N3)와 연결되는 제1 트랜지스터(T1)의 소스 전극에 제공할 수 있다. 제1 트랜지스터(T1)는 제k 데이터 신호(Dk)를 기초로, 유기 발광 다이오드(OLED)에 제공되는 구동 전류(I1)의 전류량을 제어할 수 있다.

[0045] 보다 상세하게 설명하기로 한다. 제1 트랜지스터(T1)는 게이트 전극 및 소스 전극 간 전위 차(V_{gs} , 이하 게이트-소스 전압(V_{gs}))에 따라, 유기 발광 소자(OLED)에 제공되는 구동 전류(I1)를 제어할 수 있다. 보다 상세하게는, 제1 트랜지스터(T1)는 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 클 때 턴 온 되며, 제1 트랜지스터(T1)의 소스 전극의 전압 레벨이 유기 발광 소자(OLED)의 문턱 전압보다 커지면, 제1 트랜지스터(T1)의 소스 전극 및 드레인 전극 간의 전류, 즉 구동 전류(I1)가 유기 발광 소자(OLED)에 제공된다. 즉, 제1 트랜지스터(T1)는 구동 트랜지스터일 수 있다. 또한, 제2 트랜지스터(T2)는 스위치 트랜지스터일 수 있다.

[0046] 제3 트랜지스터(T3)는 제i 스캔 신호(Si)를 제공받는 게이트 전극과, 제1 트랜지스터(T1)의 드레인 전극과 연결되는 소스 전극 및 제1 트랜지스터(T1)의 게이트 전극과 연결되는 드레인 전극을 포함할 수 있다. 제3 트랜지스터(T3)는 제i 스캔 신호(Si)를 기초로 스위칭 동작을 수행하여, 제1 트랜지스터(T1)의 소스 전극 및 게이트 전극을 서로 연결시킬 수 있다. 이에 따라, 제3 트랜지스터(T3)는 스위칭 동작을 통해, 제1 트랜지스터(T1)를 다이오드 연결시킴으로써, 제1 트랜지스터(T1)의 문턱 전압(V_{th})을 보상할 수 있다. 즉, 제3 트랜지스터(T3)는 보상 트랜지스터일 수 있다.

[0047] 제1 트랜지스터(T1)가 다이오드 연결되면, 제1 트랜지스터(T1)의 소스 전극에 제공되는 제k 데이터 신호(Dk)에 대응되는 전압에서, 제1 트랜지스터(T1)의 문턱 전압(V_{th})만큼 하강된 전압이, 제1 트랜지스터(T1)의 게이트 전극에 제공될 수 있다. 상기 제k 데이터 신호(Dk)에 대응되는 전압(V_k)에서, 제1 트랜지스터(T1)의 문턱 전압(V_{th})만큼 하강된 전압을 문턱 전압(V_{th})이 반영된 전압($V_k - V_{th}$)으로 지칭한다.

[0048] 제1 트랜지스터(T1)의 게이트 전극은 스토리지 커패시터(C_{st})의 일 전극과 연결되어 있으므로, 문턱 전압(V_{th})이 반영된 전압($V_k - V_{th}$)은 스토리지 커패시터(C_{st})에 의해 유지된다. 제1 트랜지스터(T1)의 문턱 전압(V_{th})이 반영된 전압($V_k - V_{th}$)이 게이트 전극에 인가되어 유지되므로, 제1 트랜지스터(T1)에 흐르는 구동 전류(I1)는 제1 트랜지스터(V_{th})의 문턱 전압(V_{th})에 따른 영향을 받지 않는다. 이에 따라, 제1 트랜지스터(T1)의 문턱 전압 편차가 보상될 수 있으며, 휘도가 불균일하게 되는 것을 방지할 수 있다.

[0049] 제4 트랜지스터(T4)는 제i-1 스캔 신호(S_{i-1})를 제공받는 게이트 전극과, 초기화 전압(VINT)을 제공받는 소스 전극 및 제1 노드(N1)와 연결되는 드레인 전극을 포함할 수 있다. 제4 트랜지스터(T4)는 제i-1 스캔 신호(S_{i-1})를 기초로 스위칭 동작을 수행하여, 초기화 전압(VINT)을 제1 노드(N1)에 제공할 수 있다. 전술한 바와 같이, 제1 노드(N1)는 제1 트랜지스터(T1)의 게이트 전극과 연결된다. 또한, 제i-1 스캔 신호(S_{i-1})는 제i 스캔 신호(S_i)에 비해 상대적으로 먼저 제공되는 신호이다.

[0050] 따라서, 제4 트랜지스터(T4)는 제2 트랜지스터(T2)가 턴 온 되기 전에 먼저 턴 온 됨으로써, 초기화 전압(VINT)을 제1 트랜지스터(T1)의 게이트 전극에 제공할 수 있다. 초기화 전압(VINT)의 전압 레벨은 제1 트랜지스터(T1)의 게이트 전극의 전압 레벨을 충분히 낮출 수 있는 경우라면, 특별히 제한되지 않는다. 즉, 제4 트랜지스터(T4)는 초기화 트랜지스터일 수 있다.

[0051] 제5 트랜지스터(T5)는 제ia 발광 제어 신호(EMia)를 제공받는 게이트 전극, 제1 구동 전압(ELVDD1)을 제공받는 소스 전극 및 제5 노드(N5)와 연결되는 드레인 전극을 포함할 수 있다. 제5 트랜지스터(T5)는 제ia 발광 제어 신호(EMia)를 기초로 스위칭 동작을 수행하여, 제1 구동 전압(ELVDD1)을 제5 노드(N5)와 연결되는 제1 스위칭 트랜지스터(T1)의 소스 전극에 제공할 수 있다.

[0052] 제6 트랜지스터(T6)는 제ib 발광 제어 신호(EMib)를 제공받는 게이트 전극, 제2 노드(N2)와 연결되는 소스 전극 및 제4 노드(N4)와 연결되는 드레인 전극을 포함할 수 있다. 제6 트랜지스터(T6)는 제ib 발광 제어 신호(EMib)를 기초로 스위칭 동작을 수행하여, 유기 발광 소자(OLED) 방향으로 구동 전류(I1)가 흐를 수 있도록 전류 경로를 형성할 수 있다. 유기 발광 소자(OLED)는 상기 구동 전류(I1)에 대응하는 발광 전류(I2)에 따라 발광할 수 있다. 즉, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 발광 제어 트랜지스터일 수 있다.

[0053] 제7 트랜지스터(T7)는 제i 스캔 신호(Si)를 제공받는 게이트 전극, 초기화 전압(VINT)을 제공받는 소스 전극 및 제4 노드(N4)와 연결되는 드레인 전극을 포함할 수 있다. 제7 트랜지스터(T7)가 턴 오프된 상태에서, 초기화 전압(VINT)의 설정 전압에 의해, 제4 노드(N4)에서 제7 트랜지스터(T7) 방향으로 바이패스 전류(I3)가 흐를 수 있

다.

- [0054] 만약, 블랙 영상을 표시하기 위한 제1 트랜지스터(T1)의 최소 전류가 구동 전류(I1)로써 흐를 경우에도, 유기 발광 소자(OLED)가 발광하게 된다면 블랙 영상이 제대로 표시되지 않는다. 즉, 제7 트랜지스터(T7)는 제1 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(I3)로써, 유기 발광 소자(OLED) 방향 외의 전류 경로로 분산시킬 수 있다. 여기서, 제1 트랜지스터(T1)의 최소 전류는 제1 트랜지스터(T1)의 게이트-소스 전압(V_{gs})이 제1 트랜지스터(T1)의 문턱 전압(V_{th})보다 전압 레벨이 낮아, 제1 트랜지스터(T1)가 턴 오프되는 조건에서의 전류를 의미한다. 상기 블랙 영상은 제1 트랜지스터(T1)를 턴 오프시키는 조건에서의 최소 구동 전류가 유기 발광 소자(OLED)에 전달됨으로써 표시된다. 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우, 바이패스 전류(I3)의 우회 전달의 영향이 크다. 이에 반해, 일반 영상 또는 화이트 영상을 표시하는 구동 전류가 흐르는 경우, 바이패스 전류(I3)의 영향이 거의 없다고 할 수 있다.
- [0055] 이에 따라, 블랙 영상을 표시하는 구동 전류가 흐를 경우, 구동 전류(I1)로부터 제7 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(I3)의 전류량만큼 감소된 유기 발광 소자(OLED)의 발광 전류(I2)는 상기 블랙 영상을 확실하게 표현할 수 있을 수준으로의 최소 전류량을 가지게 된다. 따라서, 정확한 블랙 영상을 구현함으로써, 콘트라스트비를 향상시킬 수 있다. 즉, 제7 트랜지스터(T7)는 바이패스 트랜지스터일 수 있다.
- [0056] 제8 트랜지스터(T8)는 제i 센싱 신호(SE_i)를 제공받는 게이트 전극, 제k 데이터 라인(DLk)과 연결되는 소스 전극 및 제1 트랜지스터(T1)와 전기적으로 연결되는 드레인 전극을 포함할 수 있다. 제8 트랜지스터(T8)는 제i 센싱 신호(SE_i)를 기초로 스위칭 동작을 수행하여, 제1 트랜지스터(T1)의 히스테리시스 특성을 측정하여 제k 데이터 라인(DLk)을 통해 센싱부(132, 도 1 참조)로 제공할 수 있다. 즉, 제8 트랜지스터(T8)는 센싱 트랜지스터일 수 있다.
- [0057] 제9 트랜지스터(T9)는 제i 센싱 신호(SE_i)를 제공받는 게이트 전극, 제2 구동 전압($ELVDD2$)을 제공받는 소스 전극 및 제5 노드(N5)와 전기적으로 연결되는 드레인 전극을 포함할 수 있다. 제9 트랜지스터(T9)는 제i 센싱 신호(SE_i)를 기초로 스위칭 동작을 수행하여, 제2 구동 전압($ELVDD2$)을 제5 노드(N5)에 제공할 수 있다. 여기서, 제5 노드(N5)는 제1 트랜지스터(T1)의 소스 전극과 전기적으로 연결된다. 결국, 제9 트랜지스터(T9)는 제1 트랜지스터(T1)의 소스 전극에 제2 구동 전압($ELVDD2$)을 제공할 수 있다. 제9 트랜지스터(T9)는 제1 트랜지스터(T1)의 히스테리시스 특성 측정 시 턴 온되어, 제1 트랜지스터(T1)의 소스 전극에 제1 구동 전압($ELVDD1$) 대신 제2 구동 전압($ELVDD2$)을 제공함으로써, 히스테리시스 측정의 정확도를 향상시킬 수 있다.
- [0058] 이하, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 동작에 대해 설명하기로 한다.
- [0059] 먼저, 도 3을 참조하여, 도 1에 설명한 데이터 구동 회로(130)와 타이밍 제어부(140) 간의 신호 흐름에 대해 설명하기로 한다. 설명의 편의를 위해, 전술한 데이터 구동 회로(130)와 제k 데이터 라인(DLk)을 통해 연결되는 제k 화소부(PXk)를 예로 들어 설명하기로 한다.
- [0060] 도 3은 도 1에 도시한 타이밍 제어부, 데이터 구동 회로 및 화소부 사이의 신호 흐름을 설명하기 위한 도면이다.
- [0061] 도 2 및 도 3을 참조하면, 데이터 구동 회로(130)는 데이터 구동부(131), 센싱부(132) 및 스위칭부(133)를 포함할 수 있다.
- [0062] 데이터 구동부(131)는 타이밍 제어부(140)로부터 제1 영상 데이터(DATA1) 또는 제2 영상 데이터(DATA2)를 제공받을 수 있다. 제1 영상 데이터(DATA1)는 표시부(110) 중 히스테리시스 영역 외의 영역에 위치하는 화소부(PX)들에 제공되는 계조 데이터로 정의된다. 즉, 제1 영상 데이터(DATA1)는 복수의 화소부(PX) 중 히스테리시스 측정이 필요하지 않은 화소부에 제공된다. 제2 영상 데이터(DATA2)는 복수의 화소부(PX) 중 히스테리시스 영역에 위치하는 화소부에 제공되는 데이터로 정의된다. 전술한 바와 같이, 제k 화소부(PXk)가 히스테리시스 영역에 포함되는 것으로 가정하였으므로, 제2 영상 데이터(DATA2)는 제k 화소부(PXk)에 제공될 수 있다.
- [0063] 한편, 제2 영상 데이터(DATA2)는 일 실시예로, 계조 데이터(ODATA) 및 측정 데이터(TDATA)를 포함할 수 있다. 계조 데이터(ODATA)는 제k 화소부(PXk)가 표시할 계조 값을 갖는 데이터로 정의된다. 측정 데이터(TDATA)는 히스테리시스를 측정하기 위해 필요한 데이터로 정의된다.
- [0064] 타이밍 제어부(140)는 영상 신호(RGB)를 이용하여 히스테리시스 영역을 판단하고, 히스테리시스 영역의 히스테리시스 측정을 위한 측정 데이터(TDATA)를 데이터 구동부(131)에 제공할 수 있다. 데이터 구동부(131)는 제공받은 측정 데이터(TDATA)에 대응되는 제k 데이터 신호(Dk)를 생성하여, 상기 히스테리시스 영역에 위치하는 제k

화소부(PXk)에 제공할 수 있다.

- [0065] 타이밍 제어부(140)는 측정 데이터(TDATA)를 제공한 이후, 계조 데이터(ODATA)를 데이터 구동부(131)에 제공할 수 있다. 데이터 구동부(131)는 상기 계조 데이터(ODATA)에 대응되는 제k 데이터 신호(Dk)를 생성하여 제k 화소부(PXk)에 제공할 수 있다. 계조 데이터(ODATA)는 전술한 바와 같이, 제k 화소부(PXk)가 원래 표시해야 할 계조 값을 갖는다.
- [0066] 계조 데이터(ODATA)에 대응되는 제k 데이터 신호(Dk)는 제k 화소부(PXk)의 히스테리시스 측정이 수행된 이후에, 제k 화소부(PXk)에 제공될 수 있다. 이에 따라, 제k 화소부(PXk)는 계조 데이터(ODATA)에 대응되는 제k 데이터 신호(Dk)를 기초로 발광을 수행할 수 있다. 계조 데이터(ODATA)는 일 실시예로 측정 데이터(TDATA)와 동일할 수도 있으며, 서로 상이할 수도 있다. 측정 데이터(TDATA) 및 계조 데이터(ODATA)가 서로 동일한 경우, 제1 화소부(PX1)는 제1 화소부(PX1)가 원래 표시해야 할 계조 데이터(ODATA)를 기초로, 제1 화소부(PX1)의 히스테리시스를 측정할 수 있다.
- [0067] 센싱부(132)는 센싱 회로(132a), 아날로그 디지털 변환부(이하, ADC, 132b) 및 제1 메모리부(132c)를 포함할 수 있다. 센싱 회로(132a)는 제k 화소부(PXk)의 제1 트랜지스터(T1)에 흐르는 구동 전류(I1)를 이용하여, 센싱 전압(Vsen)을 생성할 수 있다. 센싱 회로(132a)는 상기 센싱 전압(Vsen)을 ADC(132b)에 제공할 수 있다.
- [0068] ADC(132b)는 아날로그 형태의 센싱 전압(Vsen)을 디지털 형태의 센싱 데이터(SDATA)로 변환한 후, 제1 메모리부(132c) 및 타이밍 제어부(140)에 각각 제공할 수 있다. 여기서, ADC(132b)는 일 실시예로 채널 별로 각각 구비될 수도 있으며, 다수의 채널 당 하나가 구비되어 사용될 수도 있다. 또는, 모든 채널이 하나의 ADC(132b)를 공유하여 사용할 수도 있다.
- [0069] 제1 메모리부(132c)는 ADC(132b)로부터 제공되는 디지털 형태의 센싱 데이터(SDATA)를 저장할 수 있다. 도 3에 도시된 것과 달리, 제1 메모리부(132c)는 아날로그 형태의 센싱 전압(Vsen)을 센싱 회로(132a)로부터 직접 제공할 수도 있다. 제1 메모리부(132c)는 일 실시예로 룩업 테이블(LookUp Table, LUT)일 수 있다. 제1 메모리부(132c)는 생략될 수도 있다.
- [0070] 스위칭부(133)는 스위칭 동작을 통해 데이터 구동부(131) 및 제j 데이터 라인(DLj), 또는 센싱부(132) 및 제j 데이터 라인(DLj)을 전기적으로 연결시킬 수 있다. 예를 들면, 제j 데이터 신호(Dj)를 제1 화소부(PX1)에 제공하는 경우, 스위칭부(133)는 스위칭 동작을 통해 데이터 구동부(131)와 제j 데이터 라인(DLj)을 전기적으로 연결시킬 수 있다. 이에 반해, 히스테리시스 영역의 히스테리시스 측정이 필요한 경우, 스위칭부(133)는 스위칭 동작을 통해 센싱부(132)와 제j 데이터 라인(DLj)을 전기적으로 연결시킬 수 있다.
- [0071] 이하, 도 4 내지 도 6을 참조하여, 예를 들어 설명하기로 한다.
- [0072] 도 4는 도 3에 도시한 데이터 구동 회로를 보다 상세히 나타낸 도면이다. 도 5는 히스테리시스 특성을 설명하기 위한 도면이다. 도 6은 도 2에 도시한 제k 화소부의 센싱 구동 및 표시 구동을 설명하기 위한 도면이다.
- [0073] 먼저, 도 2 및 도 5를 참조하여 히스테리시스에 대해 설명하기로 한다.
- [0074] 제k 화소부(PXk)의 제1 트랜지스터(T1)에 제k 데이터 신호(Dk)가 인가된 경우, 제1 트랜지스터(T1)를 통해 흐르는 구동 전류(I1)는 제1 곡선(210)으로 표현될 수 있다. 여기서, 구동 전류(I1)는 제1 전류량(B)을 가질 수 있다. 다만, 제1 트랜지스터(T1)에 지속적으로 동일한 계조 값을 갖는 제k 데이터 신호(Dk)가 인가되는 경우, 제1 트랜지스터(T1)에 홀 포획(hole trapping)이 발생될 수 있다. 상기 홀 포획에 의해, 구동 전류(I1)는 제2 곡선(220) 상에서 나타날 수 있다. 여기서, 구동 전류(I1)는 제2 전류량(A)을 나타낼 수 있다.
- [0075] 즉, 제1 트랜지스터(T1)는 지속적으로 동일한 계조 값을 갖는 제k 데이터 신호(Dk)를 제공받는 경우, 제1 트랜지스터(T1)의 문턱 전압(Vth)이 음의 방향으로 이동함에 따라, 구동 전류(I1)의 크기가 감소되는 히스테리시스 특성을 가질 수 있다.
- [0076] 한편, 제k 화소부(PXk)의 휘도가 고계조(예를 들면, 화이트 계조)에서 중간 계조로 변하면, 제k 화소부(PXk)의 제1 트랜지스터(T1)의 게이트 전압의 절대값(|Vg|)은 제2 곡선(220) 상에서, 상대적으로 큰 값에서 작은 값으로 변하게 된다. 여기서, 고계조에서 상대적으로 절대값이 큰 게이트 전압(|Vg|)이 제1 트랜지스터(T1)에 먼저 인가되었으므로, 제k 화소부(PXk)의 제1 트랜지스터(T1)의 문턱 전압의 절대값(|Vth|)이 증가한 상태에서, 중간 계조에 해당하는 게이트 전압(Vg)이 제1 트랜지스터(T1)에 인가되면 구동 전류(I1)의 전류량은 A 지점과 같을 수 있다.

- [0077] 이에 반해, 제k 화소부(PXk)의 휘도가 저계조(예를 들면, 블랙 계조)에서 중간 계조로 변하면, 제1 곡선(210)상의 제1 트랜지스터(T1)의 게이트 전압의 절대값($|V_g|$)은 상대적으로 작은 값에서 큰 값으로 변하게 된다. 여기서, 저계조에서 상대적으로 절대값이 작은 게이트 전압($|V_g|$)이 제1 트랜지스터(T1)에 먼저 인가되었으므로, 제1 트랜지스터(T1)의 문턱 전압의 절대값($|V_{th}|$)이 ΔV_{th} 만큼 감소한 상태에서, 중간 계조에 해당하는 게이트 전압(V_g)이 제1 트랜지스터(T1)에 인가되면 구동 전류(I_1)의 전류량은 B 지점과 같을 수 있다.
- [0078] 이에 따라, 중간 계조의 휘도를 표현하기 위해 동일한 게이트 전압(V_g)을 제k 화소부(PXk)의 제1 트랜지스터(T1)에 인가하여도, 이전 휘도에 따라(제1 트랜지스터(T1)의 히스테리시스에 따라), 유기 발광 소자(OLED)에 흐르는 전류량이 상이하게 된다. 이러한 전류량의 차이는 ΔI 로 표현될 수 있다. 상기 전류량의 차이는 잔상의 원인이 될 수 있다. 히스테리시스 영역의 판단은 상기 히스테리시스 정의를 기초로 수행된다.
- [0079] 도 4를 참조하여 예를 들어 설명하기로 한다. 타이밍 제어부(140)는 외부로부터 제공받은 영상 신호(RGB)를 기초로, 히스테리시스 영역을 판단할 수 있다. 타이밍 제어부(140)는 일 실시예로, 영상 신호(RGB)를 누적하여 저장한 이후, 누적된 영상 신호(RGB)를 기초로 히스테리시스 영역을 판단할 수 있다. 이를 위해, 타이밍 제어부(140)는 일 실시예로 제2 메모리부(도면 미도시)를 더 포함할 수 있다. 여기서, 제2 메모리부는 프레임 버퍼(frame buffer)일 수 있다.
- [0080] 보다 상세히 설명하면, 타이밍 제어부(140)는 표시부(110)에 제공되는 영상 신호(RGB)에 포함된 계조 값이 저계조를 일정 시간 이상 유지하다가 고계조로 변경되는 경우, 상기 고계조 값이 제공되는 영역을 히스테리시스 영역으로 판단할 수 있다. 또한, 타이밍 제어부(140)는 표시부(110)에 제공되는 영상 신호(RGB)에 포함된 계조 값이 고계조를 일정 시간 이상 유지하다가 저계조로 변경되는 경우, 상기 저계조 값이 제공되는 영역을 히스테리시스 영역으로 판단할 수 있다.
- [0081] 도 4 및 도 6을 참조하여, 센싱부(132)에 대해, 제k 데이터 라인(DLk)과의 연결 관계를 중심으로 설명하기로 한다.
- [0082] 먼저, 도 4를 참조하여 데이터 구동 회로(130)에 대해 보다 상세히 설명하기로 한다. 다만, 도 1 및 도 3에서 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0083] 데이터 구동부(131)는 디지털 아날로그 변환부(DAC)를 포함할 수 있다. 디지털 아날로그 변환부(DAC)는 타이밍 제어부(140) 및 제1 스위치(133a)와 전기적으로 연결될 수 있다. 데이터 구동부(131)는 타이밍 제어부(140)로부터 아날로그 형태의 제1 영상 데이터(DATA1) 및 제2 영상 데이터(DATA2)를 제공받아, 이를 디지털로 변환한 제k 데이터 신호(Dk)를 생성할 수 있다.
- [0084] 센싱부(132)는 센싱 회로(132a) 및 ADC(132b)를 포함할 수 있다. 도 4에서는 제1 메모리부(132c, 도 3 참조)에 대한 설명은 생략하기로 한다. 센싱 회로(132a)는 ADC(132b) 및 제2 스위치(133b)와 연결될 수 있다.
- [0085] 센싱 회로(132a)는 연산 증폭부(132a1), 피드백 커패시터(132a2) 및 피드백 스위치(132a3)를 포함할 수 있다.
- [0086] 연산 증폭부(132a1)는 일 실시예로 제1 입력단, 제2 입력단 및 출력단을 포함할 수 있다. 연산 증폭부(132a1)의 제1 입력단은 일 실시예로 기준 전압(V_{set})이 제공될 수 있다. 연산 증폭부(132a1)의 제2 입력단은 제2 스위치(133b), 피드백 커패시터(132a2)의 일단 및 피드백 스위치(132a3)의 일단과 연결될 수 있다. 일 실시예로, 연산 증폭부(132a1)의 제1 입력단은 비반전 입력단(+)일 수 있으며, 제2 입력단은 반전 입력단(-)일 수 있다.
- [0087] 피드백 커패시터(132a2)는 일단이 연산 증폭부(132a1)의 제2 입력단과 연결될 수 있으며, 타단이 연산 증폭부(132a1)의 출력단과 연결될 수 있다. 피드백 스위치(132a3)는 일단이 연산 증폭부(132a1)의 제2 입력단과 연결될 수 있으며, 타단이 연산 증폭부(132a1)의 출력단과 연결될 수 있다. 피드백 커패시터(132a2) 및 피드백 스위치(132a3)는 서로 병렬로 연결될 수 있다.
- [0088] 스위칭부(133)는 제1 스위치(133a) 및 제2 스위치(133b)를 포함할 수 있다. 제1 스위치(133a) 및 제2 스위치(133b)는 일 실시예로 타이밍 제어부(140)로부터 제공받은 제2 제어 신호(CONT2, 도 1 참조)를 기초로 스위칭 동작을 수행할 수 있다. 한편, 도면에는 도시하지 않았으나, 스위칭부(133)는 초기화 전압이 제공되는 초기화 전압단과 제k 데이터 라인(DLj)을 전기적으로 연결시키는 스위치를 더 포함할 수도 있다.
- [0089] 도 4 및 도 6을 참조하여 보다 상세히 설명하기로 한다. 도 6a는 제k 화소부(PXk)가 영상을 표시할 경우를 나타낸 등가 회로도이다. 도 6b는 제k 화소부(PXk)에 대한 히스테리시스 측정을 수행할 경우를 나타낸 등가 회로도이다.

- [0090] 도 4 및 도 6a를 참조하면, 제k 화소부(PXk)에 제k 데이터 신호(Dk)가 제공되는 경우, 제1 스위치(133a)가 턴 온 됨에 따라, 데이터 구동부(131) 및 제j 데이터 라인(DLj) 간의 신호 경로가 도통된다. 보다 상세하게는, 타이밍 제어부(140)는 제k 화소부(PXk)가 표시할 영상에 대응되는 제1 영상 데이터(DATA1)를 데이터 구동부(131)로 제공할 수 있다. 데이터 구동부(131)는 제공받은 제1 영상 데이터(DATA1)를 변환하여, 제k 데이터 신호(Dk)를 생성할 수 있다. 이에 따라, 제1 영상 데이터(DATA1)에 대응되는 제k 데이터 신호(Dk)가 제k 데이터 라인(DLk)과 연결되는 제k 화소부(PXk)에 제공될 수 있다. 제k 화소부(PXk)의 제1 트랜지스터(T1)는 제k 화소부(PXk)에 제공된 제k 데이터 신호(Dk)를 기초로, 유기 발광 소자(OLED)로 제공되는 구동 전류(Id)의 전류량을 제어할 수 있다.
- [0091] 이에 반해, 도 4 및 도 6b를 참조하면, 제k 화소부(PXk)의 히스테리시스 측정이 필요한 경우, 제2 스위치(133b)가 턴 온 됨에 따라, 센싱부(132) 및 제k 데이터 라인(DLk) 간의 신호 경로가 도통된다. 피드백 스위치(132a3)는 사전에 턴 온 되어, 연산 증폭부(132a1)의 출력단과 제2 입력단을 쇼트시킬 수 있다. 이에 따라, 연산 증폭부(132a1)의 출력단의 전위는 기준 전압(Vset)으로 유지될 수 있다.
- [0092] 이후, 피드백 스위치(132a3)가 턴 오프되면, 연산 증폭부(132a1)는 적분기로써 동작할 수 있다. 연산 증폭부(132a1)의 제2 입력단은 제k 화소부(PXk)의 제8 트랜지스터(T8)를 통해, 제1 트랜지스터(T1)와 전기적으로 연결될 수 있다. 피드백 커패시터(132a3)는 제k 화소부(PXk)의 제8 트랜지스터(T8)를 통해 흐르는 센싱 전류(Isen)에 대응되는 전압이 충전될 수 있다. 이에 따라, 연산 증폭부(132a1)의 출력단의 전위는 기준 전압(Vset)에서 상기 센싱 전류(Isen)에 대응되는 전압에 따라 선형적으로 증가할 수 있다. 연산 증폭부(132a1)는 상기 증가된 전압을 센싱 전압(Vsen)으로써 ADC(132b)에 제공할 수 있다. ADC(132b)는 센싱 전압(Vsen)을 변환한 센싱 데이터(SDATA)를 타이밍 제어부(140)로 제공할 수 있다.
- [0093] 타이밍 제어부(140)는 상기 센싱 데이터(SDATA)를 기초로, 히스테리시스가 보상된 보상 데이터를 생성할 수 있다. 타이밍 제어부(140)는 상기 보상 데이터를 데이터 구동부(131)에 제공함으로써, 보상 데이터를 기초로 한 데이터 신호가 히스테리시스 영역에 포함되는 제k 화소부(PXk)에 제공될 수 있도록 한다. 제1 트랜지스터(T1)의 히스테리시스를 보상할 수 있는 경우라면, 상기 보상 데이터의 생성 방법은 특별히 제한되지 않는다.
- [0094] 이하, 도 7 내지 도 17을 참조하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동방법을 구체적으로 설명하기로 한다. 전술한 바와 같이, 제k 화소부(PXk)를 히스테리시스 측정이 필요한 화소부로 가정한다. 제k 화소부(PXk)의 동작과 비교를 위해, 제1 화소부(PX1)의 동작에 대해서도 설명하기로 한다. 이하, 제1 화소부(PX1)의 동작을 노멀 구동으로 지칭하며, 제k 화소부(PXk)의 동작을 히스테리시스 측정 구동으로 지칭하기로 한다.
- [0095] 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 동작을 나타낸 타이밍도이다. 도 8 내지 도 10은 제1 화소부의 노멀 구동에 대해 설명하기 위한 도면이다. 도 11 내지 도 17은 제k 화소부의 히스테리시스 측정 구동에 대해 설명하기 위한 도면이다.
- [0096] 도 7을 먼저 참조하면, 제1 프레임(1frame)은 제1 액티브 구간(act1) 및 제1 블랭크 구간(blk1)으로 구분될 수 있다.
- [0097] 제1 액티브 구간(act1)은 당해 제1 프레임(frame1) 내에서 영상을 표시하기 위한 제1 영상 데이터(DATA1) 또는 제2 영상 데이터(DATA2)가 입력되는 구간으로 정의된다. 제1 블랭크 구간(blk1)은 당해 제1 프레임(frame1) 내에서 영상을 표시하기 위한 제1 영상 데이터(DATA1) 및 제2 영상 데이터(DATA2)가 입력되지 않는 구간으로 정의된다.
- [0098] 제k 화소부(PXk)는 제1 프레임(frame1) 동안 두 번의 턴 온 레벨을 갖는 제i 스캔 신호(Si)가 제공될 수 있다. 여기서, 턴 온 레벨은 제i 스캔 신호(Si)를 제공받은 트랜지스터가 턴 온 될 수 있는 레벨을 의미하며, 일 실시예로 로우 레벨일 수 있다. 두 번의 제i 스캔 신호(Si)가 제공되는 구간 사이에는 턴 온 레벨을 갖는 제i 센싱 신호(SEi)가 제공된다. 상기 턴 온 레벨의 제i 센싱 신호(SEi)가 제공되는 구간은 센싱 구간으로 정의된다. 한편, 제k 화소부(PXk)와 동일한 제i 스캔 신호(Si)를 제공받는 화소 행의 경우에도, 제1 프레임(frame1) 동안 두 번의 턴 온 레벨을 갖는 제i 스캔 신호(Si)가 제공될 수 있다. 이에 반해, 히스테리시스 측정이 필요하지 않은 화소부의 경우, 제1 프레임(frame1) 동안 한 번의 턴 온 레벨을 갖는 스캔 신호가 제공될 수 있다. 제1 화소부(PX1)를 예로 들면, 제1 화소부(PX1)는 제1 프레임(frame1) 동안 한 번의 턴 온 레벨을 갖는 제1 스캔 신호(S1)를 제공받을 수 있다.
- [0099] 이하, 제k 화소부(PXk) 및 제1 화소부(PX1)의 동작에 대해 보다 상세히 설명하기로 한다. 설명의 편의를 위해,

도 8 내지 도 10을 참조하여 제1 화소부(PX1)의 경우를 먼저 설명하기로 한다.

- [0100] 도 8을 참조하면, 제1 구동 구간(t1)동안, 더미 스캔 신호(S0)는 하이 레벨에서 로우 레벨로 전환된다. 제1 센싱 신호(SE1), 제1 스캔 신호(S1), 제1a 발광 제어 신호(EM1a) 및 제1b 발광 제어 신호(EM1b)는 하이 레벨을 유지한다.
- [0101] 더미 스캔 신호(S0)가 하이 레벨에서 로우 레벨로 전환되면, 제1 화소부(PX1)의 제4 트랜지스터(T4)가 턴 온 된다. 제1 화소부(PX1)의 제4 트랜지스터(T4)는 초기화 전압(VINT)을 제1 노드(N1)에 제공할 수 있다. 여기서, 초기화 전압(VINT)의 레벨은 제1 노드(N1)를 초기화시킬 수 있을 정도로 충분히 낮게 설정될 수 있다. 제1 화소부(PX1)의 제4 트랜지스터(T4)의 게이트 전극은 상기 제1 노드(N1)와 전기적으로 연결되므로, 초기화 전압(VINT)으로 설정된다.
- [0102] 도 9를 참조하면, 제2 구동 구간(t2) 동안, 제1 스캔 신호(S1)는 하이 레벨에서 로우 레벨로 전환된다. 또한, 더미 스캔 신호(S0)는 로우 레벨에서 하이 레벨로 전환된다. 제1 센싱 신호(SE1), 제1a 발광 제어 신호(EM1a) 및 제1b 발광 제어 신호(EM1b)는 하이 레벨을 유지한다.
- [0103] 이에 따라, 제1 화소부(PX1)의 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제7 트랜지스터(T7)가 턴 온 되며, 제4 트랜지스터(T4)가 턴 오프 된다. 제1 화소부(PX1)의 제3 트랜지스터(T3)가 턴 온 되면, 제1 트랜지스터(T1)는 다이오드(diode) 연결된다. 제1 화소부(PX1)의 제2 트랜지스터(T2)를 통해 제1 데이터 라인(DL1)으로부터 제공되는 제1 데이터 신호(D1)는 제3 노드(N3) 및 제3 트랜지스터(T3)를 경유하여, 제1 노드(N1)로 제공된다. 제1 화소부(PX1)의 제1 트랜지스터(T1)는 다이오드 연결 상태이므로, 제1 노드(N1)는 제1 데이터 신호(D1)에 대응되는 전압 및 제1 트랜지스터(T1)의 문턱 전압(V_{th})의 차전압이 전달된다. 즉, 제1 화소부(PX1)의 제1 노드(N1)는 제1 데이터 신호(D1)에 대응되는 전압 레벨에서 제1 화소부(PX1)의 제1 트랜지스터(T1)의 문턱 전압(V_{th})의 절대값만큼 감소한 차전압이 제공된다.
- [0104] 제1 화소부(PX1)의 스토리지 커패시터(C_{st})는 제1 노드(N1)에 제공된 상기 차전압과 제1 구동 전압(ELVDD) 사이의 전압 차에 대응하는 전하를 저장한다. 한편, 제1 화소부(PX1)의 제7 트랜지스터(T7)가 턴 온 되면, 제4 노드(N4)는 초기화 전압(VINT)으로 설정된다.
- [0105] 제3 구동 구간(t3)은 히스테리시스 측정을 위한 구간으로 정의된다. 다만, 제1 화소부(PX1)의 경우, 히스테리시스 측정이 수행되지 않는다. 도 1에서 전술한 발광 구동부(140)가 일 실시예로 시프트 레지스터 등을 이용하여 형성되는 경우, 히스테리시스 측정이 수행되지 않는 제1 화소부(PX1)에도, 제k 화소부(PXk)의 히스테리시스 측정을 위해 필요한 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)의 전압 레벨 변화가 동일하게 적용될 수 있다. 따라서, 제1 화소부(PX1)의 제3 구동 구간(t3)에서는 상기 전압 레벨의 변화에 따라, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되거나 턴 오프 될 수 있다. 한편, 제1 화소부(PX1)의 제3 구동 구간(t3) 동안 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제7 트랜지스터(T7), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)가 턴 오프 상태를 유지한다.
- [0106] 만약, 도 1에서 전술한 발광 구동부(140)가 집적 회로(IC)로 형성되는 경우라면, 복수의 화소부(PX)에 제공되는 발광 제어 신호의 전압 레벨을 독립적으로 제어할 수 있다. 이 경우, 제1 화소부(PX1)의 제3 구동 구간(t3)은 생략될 수도 있다. 상기 제3 구동 구간(t3)에 대해서는 상기 제3 구동 구간(t3)에 대응되는 제3 측정 구간(P3)을 통해 보다 상세히 설명하기로 한다.
- [0107] 다음으로, 제4 구동 구간(t4)의 동작에 대해 설명하기로 한다.
- [0108] 도 10을 참조하면, 제4 구동 구간(t4) 동안, 제1a 발광 제어 신호(EM1a) 및 제1b 발광 제어 신호(EM1b)는 하이 레벨에서 로우 레벨로 전환된다. 제1 센싱 신호(SE1), 더미 스캔 신호(S0) 및 제1 스캔 신호(S1)는 하이 레벨을 유지한다.
- [0109] 이에 따라, 제1 화소부(PX1)의 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되며, 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제7 트랜지스터(T7), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)가 턴 오프 상태를 유지한다.
- [0110] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되면, 제1 구동 전압(ELVDD1)으로부터 제5 트랜지스터(T5), 제1 트랜지스터(T1) 및 제6 트랜지스터(T6)를 경유하여, 유기 발광 다이오드(OLED)에 구동 전류가 흐르게 된다.
- [0111] 다음으로, 상기 히스테리시스 영역에 포함되는 제k 화소부(PXk)의 동작 과정을 도 11 내지 도 17을 참조하여 보

다 상세히 설명하기로 한다. 다만, 도 8 내지 도 10에서 설명한 내용과 중복되는 설명은 생략하기로 한다.

- [0112] 도 11을 참조하면, 제1 측정 구간(P1)동안, 제i-1 스캔 신호(Si-1)는 하이 레벨에서 로우 레벨로 전환된다. 제i 센싱 신호(SEi), 제i 스캔 신호(Si), 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)는 하이 레벨을 유지한다.
- [0113] 제i-1 스캔 신호(Si-1)가 하이 레벨에서 로우 레벨로 전환되면, 제k 화소부(PXk)의 제4 트랜지스터(T4)가 턴 온 된다. 제k 화소부(PXk)의 제4 트랜지스터(T4)는 초기화 전압(VINT)을 제1 노드(N1)에 제공할 수 있다. 제k 화소부(PXk)의 제4 트랜지스터(T4)의 게이트 전극은 초기화 전압(VINT)으로 설정된다. 즉, 제1 측정 구간(P1)은 초기화 구간이다.
- [0114] 도 12를 참조하면, 제2 측정 구간(P2)동안, 제i 스캔 신호(Si)는 하이 레벨에서 로우 레벨로 전환된다. 또한, 제i-1 스캔 신호(Si-1)는 로우 레벨에서 하이 레벨로 전환된다. 제i 센싱 신호(SEi), 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)는 하이 레벨을 유지한다.
- [0115] 이에 따라, 제k 화소부(PXk)의 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제7 트랜지스터(T7)가 턴 온 되며, 제4 트랜지스터(T4)가 턴 오프 된다. 제k 화소부(PXk)의 제3 트랜지스터(T3)가 턴 온 되면, 제1 트랜지스터(T1)는 다이오드(diode) 연결된다. 제k 화소부(PXk)의 제2 트랜지스터(T2)를 통해 제k 데이터 라인(DLk)으로부터 제공되는 제k 데이터 신호(Dk)는 제3 노드(N3) 및 제3 트랜지스터(T3)를 경유하여, 제1 노드(N1)로 제공된다. 여기서, 제k 데이터 신호(Dk)는 측정 데이터(TDATA)에 대응되는 데이터 신호이다. 즉, 제1 트랜지스터(T1)의 소스 전극은 제k 데이터 라인(DLk)을 통해, 히스테리시스 측정을 위한 측정 데이터(TDATA)에 대응되는 제k 데이터 신호(Dk)를 제공받을 수 있다.
- [0116] 제k 화소부(PXk)의 제1 트랜지스터(T1)는 다이오드 연결 상태이므로, 제1 노드(N1)는 제k 데이터 신호(Dk)에 대응되는 전압 및 제1 트랜지스터(T1)의 문턱 전압(Vth)의 차전압이 전달된다. 즉, 제k 화소부(PXk)의 제1 노드(N1)는 제k 데이터 신호(Dk)에 대응되는 전압 레벨에서 제k 화소부(PXk)의 제1 트랜지스터(T1)의 문턱 전압(Vth)의 절대값만큼 감소한 차전압이 제공된다. 스토리지 커패시터(Cst)는 제1 노드(N1)에 제공된 상기 차전압과 제1 구동 전압(ELVDD1) 사이의 전압 차에 대응하는 전하를 저장한다. 즉, 제2 측정 구간(P2)은 제k 화소부(PXk)의 제1 트랜지스터(T1)의 히스테리시스 측정을 위한 측정 데이터(TDATA) 입력 구간이다.
- [0117] 제3 측정 구간(P3)은 전술한 바와 같이, 히스테리시스 측정을 위한 구간이다. 제3 측정 구간(P3)은 제1 서브 구간(P3a), 제2 서브 구간(P3b) 및 제3 서브 구간(P3c)으로 구분될 수 있다.
- [0118] 도 4 및 도 13을 참조하면, 제1 서브 구간(P3a) 동안, 제i 스캔 신호(Si)는 로우 레벨에서 하이 레벨로 전환된다. 또한, 제1 서브 구간(P3a) 중에, 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)는 하이 레벨에서 로우 레벨로 전환된다. 또한, 제i 센싱 신호(SEi), 제i-1 스캔 신호(Si-1) 및 제i 스캔 신호(Si)는 하이 레벨을 유지한다.
- [0119] 이에 따라, 제k 화소부(PXk)의 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제7 트랜지스터(T7)가 턴 오프 되며, 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)는 턴 오프 상태를 유지한다. 한편, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 제1 서브 구간(P3a) 중 턴 온 된다.
- [0120] 제2 서브 구간(P3b)의 경우, 도 14 및 도 4를 함께 참조하여 설명하기로 한다. 제2 서브 구간(P3b) 동안, 제i 센싱 신호(SEi)가 하이 레벨에서 로우 레벨로 전환된다. 또한, 제ia 발광 제어 신호(EMia)가 로우 레벨에서 하이 레벨로 전환된다.
- [0121] 이에 따라, 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)가 턴 온 되며, 제5 트랜지스터(T5)가 턴 오프 된다. 또한, 제6 트랜지스터(T6)는 턴 온 상태를 유지한다.
- [0122] 제6 트랜지스터(T6), 제8 트랜지스터(T8) 및 제9 트랜지스터(T8)가 턴 온 되면, 제2 구동 전압(ELVDD2)이 제공되는 제9 트랜지스터(T9)의 소스 전극으로부터 제8 트랜지스터(T8)를 경유하여, 제k 데이터 라인(DLk)까지 전류 경로가 형성된다. 한편, 제2 서브 구간(P3b)의 경우, 제2 스위치(133b)가 턴 온 됨에 따라, 센싱부(132) 및 제k 데이터 라인(DLk) 간의 신호 경로도 도통된다. 이에 따라, 연산 증폭부(132a)의 제2 입력단은 제k 화소부(PXk)의 제8 트랜지스터(T8)를 통해, 제1 트랜지스터(T1)와 전기적으로 연결된다. 센싱 회로(132a)는 상기 센싱 전류(Isen)에 대응되는 전압 및 기준 전압(Vset)을 이용하여 생성되는 센싱 전압(Vsen)을 ADC(132b)로 제공할 수 있다. ADC(132b)는 상기 센싱 전압(Vsen)을 변환한 센싱 데이터(SDATA)를 타이밍 제어부(140)에 제공할 수 있다.

- [0123] 즉, 제2 서브 구간(P2b) 동안 제8 트랜지스터(T8)가 턴 온 됨에 따라, 제k 화소부(PXk)의 제1 트랜지스터(T1)의 히스테리시스를 측정된 결과가 센싱 데이터(SDATA)로 타이밍 제어부(140)로 제공될 수 있다. 이를 통해, 히스테리시스 영역으로 판단된 제k 화소부(PXk)의 히스테리시스 측정이 제1 액티브 구간(act1) 중에 실시간으로 수행할 수 있다. 히스테리시스 측정이 제1 액티브 구간(act1) 중 실시간으로 수행됨에 따라, 제k 화소부(PXk)의 제1 트랜지스터(T1)의 히스테리시스의 측정 정확성 및 신호 대 잡음비(signal to noise ratio, SNR)를 향상시킬 수 있다.
- [0124] 한편, 제2 서브 구간(P2b) 동안, 제5 트랜지스터(T5)가 턴 오프 되고 제9 트랜지스터(T9)가 턴 온 됨에 따라, 상기 히스테리시스 측정은 제2 구동 전압(ELVDD2)을 이용하여 수행될 수 있다.
- [0125] 보다 상세히 설명하기로 한다. 만약, 제9 트랜지스터(T9)가 없는 경우라면, 상기 히스테리시스 측정은 제5 트랜지스터(T5)가 턴 온 될 때 제공되는 제1 구동 전압(ELVDD1)을 통해 수행되게 된다. 여기서, 제1 구동 전압(ELVDD1)은 히스테리시스 측정이 필요한 제k 화소부(PXk) 외에도, 다른 화소부 모두에 제공되는 전압이다. 이에 따라, 상기 제1 구동 전압(ELVDD1)은 IR 드랍(drop)에 의한 전압 강하가 발생할 수 있다. 특히, 상기 전압 강하는 히스테리시스를 야기시킨 스트레스 데이터(stress data)가 제공되던 히스테리시스 영역에, 상기 히스테리시스 측정을 위한 측정 데이터(TDATA)가 제공될 때, 발생될 확률이 높다. 제1 트랜지스터(T1)의 게이트 소스 전압(Vgs) 또는 드레인 소스 전압(Vds)은 상기 제1 구동 전압(ELVDDL1)의 전압 강하 발생 시 영향을 받을 수 있다. 이는, 히스테리시스 측정의 정확도 문제를 야기시킬 수 있다.
- [0126] 이에 반해, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제9 트랜지스터(T9)를 포함한다. 제9 트랜지스터(T9)는 제2 서브 구간(P2) 동안 턴 온되며, 제5 트랜지스터(T5)는 제2 서브 구간(P2b) 동안 턴 오프 된다. 이에 따라, 상기 히스테리시스 측정은 제9 트랜지스터(T9)를 통해 제공되는 제2 구동 전압(ELVDD2)을 통해 수행되게 된다. 제2 구동 전압(ELVDD2)은 일 실시예로 제1 구동 전압(ELVDD1)과 전압 레벨이 동일할 수 있다. 이에 반해, 제2 구동 전압(ELVDD2)은 히스테리시스 측정이 필요한 화소부, 즉 제k 화소부(PXk) 또는 제k 화소부(PXk)가 배치되는 화소 행에만 제공되므로, 상대적으로 전압 강하가 발생될 확률이 낮다. 즉, 제2 서브 구간(P2) 동안, 전압 강하가 적거나 없는 제2 구동 전압(ELVDD2)을 통해 히스테리시스 측정을 수행함에 따라, 히스테리시스 측정의 정확성을 향상시킬 수 있다. 특히, 약 20 내지 30nA 수준의 저전류의 센싱 정확성을 향상시킬 수 있다.
- [0127] 한편, 측정된 히스테리시스 특성은 전술한 바와 같이, 센싱 데이터(SDATA)로써, 타이밍 제어부(140)에 제공된다. 타이밍 제어부(140)는 센싱 데이터(SDATA)를 기초로, 히스테리시스가 보상된 보상 데이터를 생성하여, 데이터 구동부(131)에 제공할 수 있다. 제k 화소부(PXk)는 상기 보상 데이터에 대응되는 제k 데이터 신호(Dk)를 제공받음으로써, 히스테리시스를 보상할 수 있으며, 순간 잔상을 개선할 수 있다. 상기 보상 데이터에 대응되는 제k 데이터 신호(Dk)가 제공되는 시기는 특별히 제한되지 않는다. 예를 들어, 제1 프레임(frame1)에 후속하는 제2 프레임에 제공될 수도 있다.
- [0128] 도 15를 참조하면, 제3 서브 구간(P3c) 동안, 제ia 발광 제어 신호(EMia)는 하이 레벨에서 로우 레벨로 전환된 후, 다시 하이 레벨로 전환된다. 제ib 발광 제어 신호(EMib)는 로우 레벨을 유지한 후, 하이 레벨로 전환된다. 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)의 하이 레벨 전환 시기는 동일할 수 있다. 한편, 제i 센싱 신호(SEi)는 로우 레벨에서 하이 레벨로 전환되며, 제i-1 스캔 신호(Si-1) 및 제i 스캔 신호(Si)는 하이 레벨을 유지한다.
- [0129] 이에 따라, 제k 화소부(PXk)의 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)는 턴 오프 된다. 또한, 제5 트랜지스터(T5)는 턴 온 된 이후, 다시 턴 오프 되며, 제6 트랜지스터(T6)는 턴 온 상태를 유지한 이후, 제5 트랜지스터(T5)와 함께 턴 오프된다.
- [0130] 도 16을 참조하면, 제4 측정 구간(P4) 중 제i 스캔 신호(Si)는 하이 레벨에서 로우 레벨로 전환된다. 또한, 제4 측정 구간(P4) 동안, 제i-1 스캔 신호(Si-1), 제i 센싱 신호(SEi), 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)는 하이 레벨을 유지한다.
- [0131] 이에 따라, 제k 화소부(PXk)의 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제7 트랜지스터(T7)가 턴 온 되며, 제4 트랜지스터(T4)가 턴 오프 된다. 제k 화소부(PXk)의 제3 트랜지스터(T3)가 턴 온 되면, 제1 트랜지스터(T1)는 다이오드(diode) 연결된다. 제k 화소부(PXk)의 제2 트랜지스터(T2)를 통해 제k 데이터 라인(DLk)으로부터 제공되는 제k 데이터 신호(Dk)는 제3 노드(N3) 및 제3 트랜지스터(T3)를 경유하여, 제1 노드(N1)로 제공된다. 여기서, 제k 데이터 신호(Dk)는 제2 데이터(ODATA)에 대응되는 데이터 신호이다. 즉, 제1 트랜지스터(T1)의 소스 전극은 제k 데이터 라인(DLk)을 통해, 제k 화소부(PXk)가 제1 프레임(frame1) 동안 발광해야할 제2 값에 갖

는 제k 데이터 신호(Dk)를 제공받을 수 있다. 즉, 제4 측정 구간(P4)은 제k 화소부(PXk)의 원래 발광해야 할 계조 값을 갖는 계조 데이터(ODATA) 입력 구간이다.

[0132] 도 17을 참조하면, 제5 측정 구간(P5)동안, 제i 스캔 신호(Si)는 로우 레벨에서 하이 레벨로 전환되며, 제i-1 스캔 신호(Si-1) 및 제i 센싱 신호(SEi)는 하이 레벨을 유지한다. 또한, 제4 측정 구간(P4) 중, 제ia 발광 제어 신호(EMia) 및 제ib 발광 제어 신호(EMib)는 하이 레벨에서 로우 레벨로 전환된다.

[0133] 이에 따라, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되며, 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제7 트랜지스터(T7)가 턴 오프 된다. 또한, 제4 트랜지스터(T4), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)는 턴 오프 상태를 유지한다.

[0134] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되면, 제1 구동 전압(ELVDD)으로부터 제5 트랜지스터(T5), 제1 트랜지스터(T1) 및 제6 트랜지스터(T6)를 경유하여, 유기 발광 다이오드(OLED)에 구동 전류가 흐르게 된다. 따라서, 제k 화소부(PXk)는 제5 측정 구간(P5)에서, 계조 데이터(ODATA)에 대응하는 계조 값으로 발광하게 된다. 즉, 제5 측정 구간(P5)은 발광 구간이다.

[0135] 도 18을 참조하여, 제2 구동 전압(ELVDD2)을 통한, 히스테리시스 측정 정확도 향상에 대해 설명하기로 한다.

[0136] 도 18은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 히스테리시스 측정 정확도 향상을 설명하기 위한 그래프이다. 도 18의 (a)는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 경우에, 히스테리시스 측정 데이터를 나타낸 그래프이다. 도 18의 (b)는 비교 예에 따른 유기 발광 표시 장치의 경우에, 히스테리시스 측정 데이터를 나타낸 그래프이다. 여기서, 비교 예에 따른 유기 발광 표시 장치는 히스테리시스 측정을 위해, 제5 트랜지스터(T2, 도 2 참조)의 소스 전극을 통해 제공받은 제1 구동 전압(ELVDD1)을 사용하는 경우를 예시한다. 비교의 정확성을 위해, 상기 구동 전압의 차이 외에는 도 18의 (a) 및 (b)의 경우가 모두 동일한 구성을 포함하며 동일한 측정 데이터(TDATA)를 제공받는 것으로 가정한다.

[0137] 도 18의 (a)를 참조하면, (b)의 경우에 비해 상대적으로, 히스테리시스 측정 값이 높다. 즉, 동일한 측정 데이터(TDATA)를 제공받았음에도, 측정된 히스테리시스 값이 높은 것을 알 수 있다. 이는 곧, 도 18의 (a)의 경우가 히스테리시스 측정의 정확도가 높음을 의미한다. 한편, 도 18의 A1 영역 및 A2 영역은, 히스테리시스 영역에 제공되는 데이터가 바뀌는 초기 구간으로 정의된다. 도 18의 (a) 및 (b)를 참조할 때, 상기 초기 구간에서 히스테리시스 값이 (a)의 경우가 (b)의 경우에 비해 높은 것을 알 수 있다. 이는 곧, 초기 구간에서의 히스테리시스 측정의 정확성이 보다 더 향상될 수 있음을 의미한다.

[0138] 다음으로, 도 19 내지 도 21을 참조하여, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에 대해 설명하기로 한다. 다만, 도 1 내지 도 18에서 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0139] 도 19는 제k 화소부와 센싱부가 연결된 상태를 나타낸 도면이다. 도 20은 계조 값에 대한 휘도 변화를 나타낸 그래프이다. 도 21은 블랭크 구간에서의 히스테리시스를 측정하기 위한 내용을 설명하기 위한 도면이다.

[0140] 도 3 및 도 19를 참조하면, 센싱부(132)의 ADC(132b)는 제k 화소부(PXk)로부터 측정된 히스테리시스를 디지털 값으로 변조하여 타이밍 제어부(140)로 제공할 수 있다. 다만, 상기 디지털 값의 경우, 히스테리시스 측정을 위한 측정 데이터(TDATA)의 계조 값에 따라 달라질 수 있다.

[0141] 도 20을 참조하면, 계조 값이 증가할 때 휘도도 증가하는 것을 알 수 있다. 보다 상세하게는, 측정 데이터(TDATA)의 계조 값이 상대적으로 낮아 저휘도를 표시하는 저계조의 경우와, 측정 데이터(TDATA)의 계조 값이 상대적으로 높아 고휘도를 표시하는 고계조의 경우는, 동일한 제k 화소부(PXk)의 제1 트랜지스터(T1)의 히스테리시스를 측정하더라도, 상기 디지털 값이 상이하다.

[0142] 여기서, 저계조의 경우는 히스테리시스 측정에 따른 디지털 값이 작아, 상기 히스테리시스 측정을 보상하기 위한 보상 데이터 생성 시 정확도 문제가 발생할 수 있다.

[0143] 다만, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 피드백 커패시터(132a2)의 용량 값 및 히스테리시스 측정이 수행되는 화소 행의 개수를 제어함으로써, 측정 데이터(TDATA)의 계조 값과 관계없이 상기 디지털 값을 획득할 수 있다.

[0144] 이를 위해, 센싱부(132)는 피드백 커패시터(132a2)의 용량 값 및 히스테리시스 측정을 위한 상기 히스테리시스 측정이 수행되는 화소 행의 개수를 기초로 특업 테이블을 구성하고, 상기 특업 테이블에 따라 상기 디지털 값을 획득할 수 있다.

[0145] 하기의 표 1은 상기 록업 테이블의 일 실시예를 나타낸 것이다.

표 1

[0146]

센싱 데이터 (디지털 값)	계조 값 (G)	데이터 이득(dG)	커패시터 이득(cG)	커패시터	화소 행의 개수
SDATA	48	1	1	dC	Max
	49	1.046	0.955651	dC * cG	Max
	[중략]				
	99	4.916	0.203392		Max
	100	5.026	0.397888		Max/2
	101	5.137	0.389272		Max/2
	[중략]				
	136	9.886	0.20229		Max/2
	137	10.047	0.398112		Max/4
	138	10.209	0.391793		Max/4
	[중략]				
	187	19.921	0.200789		Max/4
	188	20.156	0.396893		Max/8
	189	20.393	0.392288		Max/8
	[중략]				
	255	39.414	0.20297		Max/8

[0148] 여기서, dC는 초기 설정된 피드백 커패시터(132a2)의 용량 값이며, 커패시터 이득(cG)은 일정한 센싱 데이터(SDATA)의 디지털 값을 획득하기 위해 필요한 이득 값을 말한다. 상기 커패시터 이득(cG)은 하기의 수학적 식 1에 의해 정해질 수 있다.

[0149] [수학적 식 1]

[0150] $cG = 1/dG * \text{화소 행의 개수의 최대 값(Max)}/\text{화소 행의 개수}$

[0152] 여기서, 화소 행은 히스테리시스 측정이 수행되는 화소 행, 즉 센싱 트랜지스터(T8)이 턴 온 되는 화소부가 배치되는 행을 의미하며, 화소 행 개수의 최대 값(Max)은 히스테리시스 측정이 일 프레임 동안 수행될 수 있는 최대 개수를 의미한다. 상기 화소 행 개수 및 화소 행 개수의 최대 값(Max)은 사전에 설정될 수 있다.

[0153] 이하, 일정한 센싱 데이터(SDATA)의 디지털 값을 획득하는 방법을 예를 들어 설명하기로 한다.

[0154] 먼저, 측정 데이터(TDATA)의 계조 값이 99인 경우를 예로 들기로 한다. 센싱부(132)는 측정 데이터(TDATA)의 계조 값을 하기의 표 2를 통해, 데이터 이득(dG) 값으로 변환할 수 있다.

[0155]

표 2

[0156]

계조 값	데이터 이득(dG)	계조 값	데이터 이득(dG)
48	1	228	30.8124305
49	1.04640708	229	31.110526
50	1.09396469	230	31.4101878
51	1.14267751	231	31.711471
52	1.19255014	232	32.014252
53	1.24358709	233	32.3185836
54	1.29579281	234	32.6245237
55	1.34917166	235	32.9320367
56	1.40372797	236	33.241124
57	1.45946598	237	33.5517869

58	1.51638989	238	33.8640268
59	1.57450382	239	34.177845
60	1.63381186	240	34.4932428
61	1.69431802	241	34.8102215
62	1.75602628	242	35.1287825
63	1.81894054	243	35.4489271
64	1.88306467	244	35.7706565
[중략]		245	36.0939721
		246	36.4188752
		247	36.7453671
		248	37.073449
		249	37.4031223
		250	37.7343881
		251	38.0672479
		252	38.4017029
		253	38.7377543
		254	39.0754034
		255	39.4146514

[0158] 한편, 전술한 바와 같이, 화소 행의 개수는 사전에 설정되어 있다. 이에 따라, 측정 데이터(TDATA)의 계조 값이 99이므로, 화소 행의 개수는 MAX로 설정된다. 이에 따라, 모든 화소 행에 배치되는 화소부(PX)의 제8 트랜지스터(T8)가 턴 온 된다.

[0159] 도 21을 참조하면, 상기 제8 트랜지스터(T8)는 제1 포치(porch) 구간(SP1) 및 제2 포치 구간(SP2) 중 적어도 하나의 구간에서 턴 온 될 수 있다. 상기 제1 및 제2 포치 구간(SP1, SP2) 사이에는 영상이 입력되는 액티브 구간(DP1)이 배치된다. 즉, 상기 제1 및 제2 포치 구간(SP1, SP2)은 도 7에서 전술한 블랭크 구간(blk1)에 대응된다. 한편, 상기 제1 및 제2 포치 구간(SP1, SP2)에서 제1 구동 전압(ELVDD1) 및 제3 구동 전압(ELVSS)는 서로 동일한 전압 레벨을 가질 수 있다.

[0160] 데이터 이득(dG) 및 화소 행의 개수가 정해지면, 상기 수학식 1에 따라, 커패시터 이득(cG)이 설정된다. 상기 커패시터 이득(cG)을 사전에 설정된 피드백 커패시터(132a2)의 디폴트 값과 곱함으로써, 피드백 커패시터(132a2)의 사전 용량 값이 설정된다. 여기서, 피드백 커패시터(132a2)의 사전 용량 값은 도 6b에서 설명한 센싱 전류(Isen)에 대응되는 전압이 충전되기 전의 피드백 커패시터(132a2)의 사전 용량 값을 의미한다.

[0161] 도 6b에서 전술한 바와 같이, 상기 피드백 커패시터(132a2)는 제k 화소부(PXk)의 제8 트랜지스터(T8)를 통해 흐르는 센싱 전류(Isen)에 대응되는 전압이 충전될 수 있다. 만약, 피드백 커패시터(132a2)의 사전 용량 값이 고정된 경우라면, 피드백 커패시터(132a2)에 충전되는 상기 센싱 전류(Isen)에 대응되는 센싱 전압(Vsen)이 측정 데이터(TDATA)의 계조 값에 의해 변동될 수 있다.

[0162] 그러나, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 상기 룩업 테이블(LUT)을 이용하여 피드백 커패시터(132a2)의 용량 값을 측정 데이터(TDATA)의 계조 값에 따라 변동시킴으로써, 연산 증폭부(132a1)의 출력단으로부터 출력되는 센싱 전압(Vsen)의 전위를 일정하게 형성할 수 있다. ADC(132b)는 상기 센싱 전압(Vsen)을 디지털 값으로 변환된 센싱 데이터(SDATA)를 생성할 수 있다. 이에 따라, ADC(132b)에서 출력되는 센싱 데이터(SDATA)는 일정한 디지털 값을 가질 수 있다.

[0163] 한편, 상기 화소 행의 개수 및 피드백 커패시터(132a2)의 디폴트 값은 ADC(132b)에서 출력되는 센싱 데이터(SDATA)가 일정한 디지털 값을 가질 수 있는 경우라면 룩업 테이블(LUT)에 사전에 설정된 값으로 제한되는 것은 아니다.

[0164] 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 피드백 커패시터(132a2)의 용량 값 및 제8 트랜지스터(T8)가 턴 온 되는 화소부가 배치되는 화소 행의 개수를 이용하여, DC(132b)에서 출력되는 센싱 데이터(SDATA)는 일정한 디지털 값을 가질 수 있도록 함으로써, 저계조의 경우에도 히스테리시스의 측정 정확성을 향상시킬 수 있다.

[0165] 도 22 및 도 23은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에 대해 설명하기 위한 도면이다. 다만,

도 19 내지 도 21에서 설명한 내용과 중복되는 설명은 생략하기로 한다.

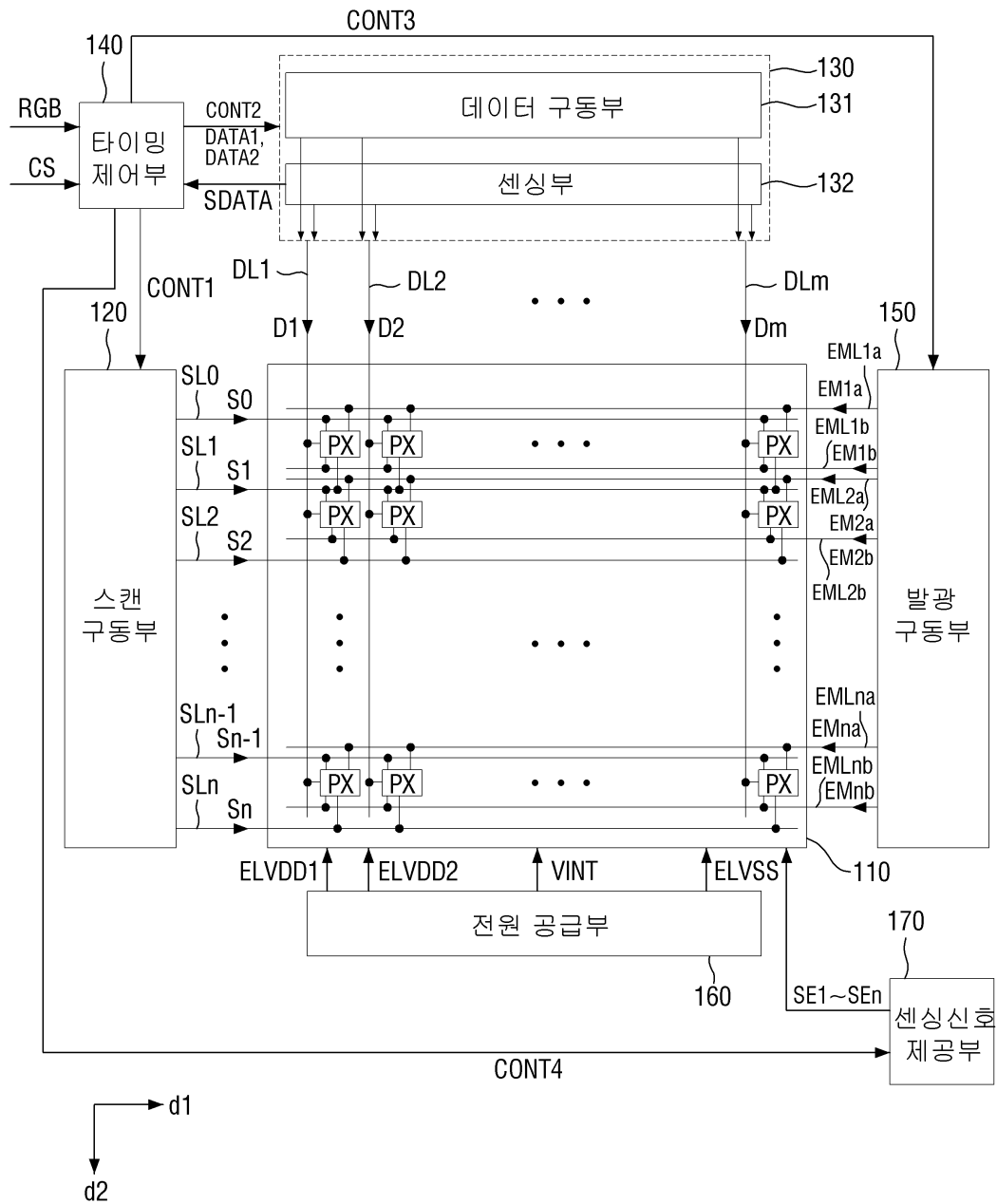
- [0166] 도 22 및 도 23을 참조하면, 제ka 화소부(PXka)는 제9 트랜지스터(T9)를 포함하지 않는다. 또한, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 동일한 제i 발광 제어 신호(EMi)를 제공받을 수 있으며, 제5 트랜지스터(T5)는 전압 레벨이 일정한 제1 구동 전압(ELVDD)을 제공받을 수 있다.
- [0167] 즉, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 피드백 커패시터(132a2)의 용량 값 및 제8 트랜지스터(T8)가 턴 온 되는 화소부가 배치되는 화소 행의 개수를 이용하여, DC(132b)에서 출력되는 센싱 데이터(SDATA)는 일정한 디지털 값을 가질 수 있도록 하므로, 제9 트랜지스터(T9)를 생략할 수 있다.
- [0168] 도 24는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치를 나타낸 등가 회로도이다. 다만, 도 1 내지 도 23에서 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0169] 도 24를 참조하면, 제8 트랜지스터(T8)는 제j 데이터 라인(DLj) 외에 별도의 센싱 라인(CLi)과 연결될 수 있다. 상기 센싱 라인(CLi)은 센싱부(132, 도 4 참조)와 연결된다. 이 경우, 스위칭부(133)는 생략될 수 있다.
- [0170] 한편, 도면에는 도시하지 않았으나, 히스테리시스 측정은 당해 프레임 내에서 반드시 하나의 화소부 또는 상기 화소부가 포함된 하나의 화소 행에서만 수행되는 것은 아니다. 예를 들어, 복수의 화소부에 대해 히스테리시스 측정이 동시에 수행될 수도 있다. 또한, 보상 데이터가 제공되는 당해 프레임 내에서, 히스테리시스 보상 및 다른 화소부의 히스테리시스 측정이 동시에 수행될 수도 있다.
- [0171] 또한, 복수의 화소부(PX, 도 1 참조)가 반드시 9개의 트랜지스터를 모두 포함하지 않을 수도 있다. 제k 화소부(PXk, 도 2 참조)를 기준으로 예를 들어 설명하면, 제k 화소부(PXk)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 제8 트랜지스터(T8) 및 제9 트랜지스터(T9)만 포함할 수도 있다. 이 경우, 제2 트랜지스터(T2)의 드레인 전극은 제1 트랜지스터(T1)의 제어 전극과 직접 연결될 수 있다.
- [0172] 이상에서 본 발명의 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

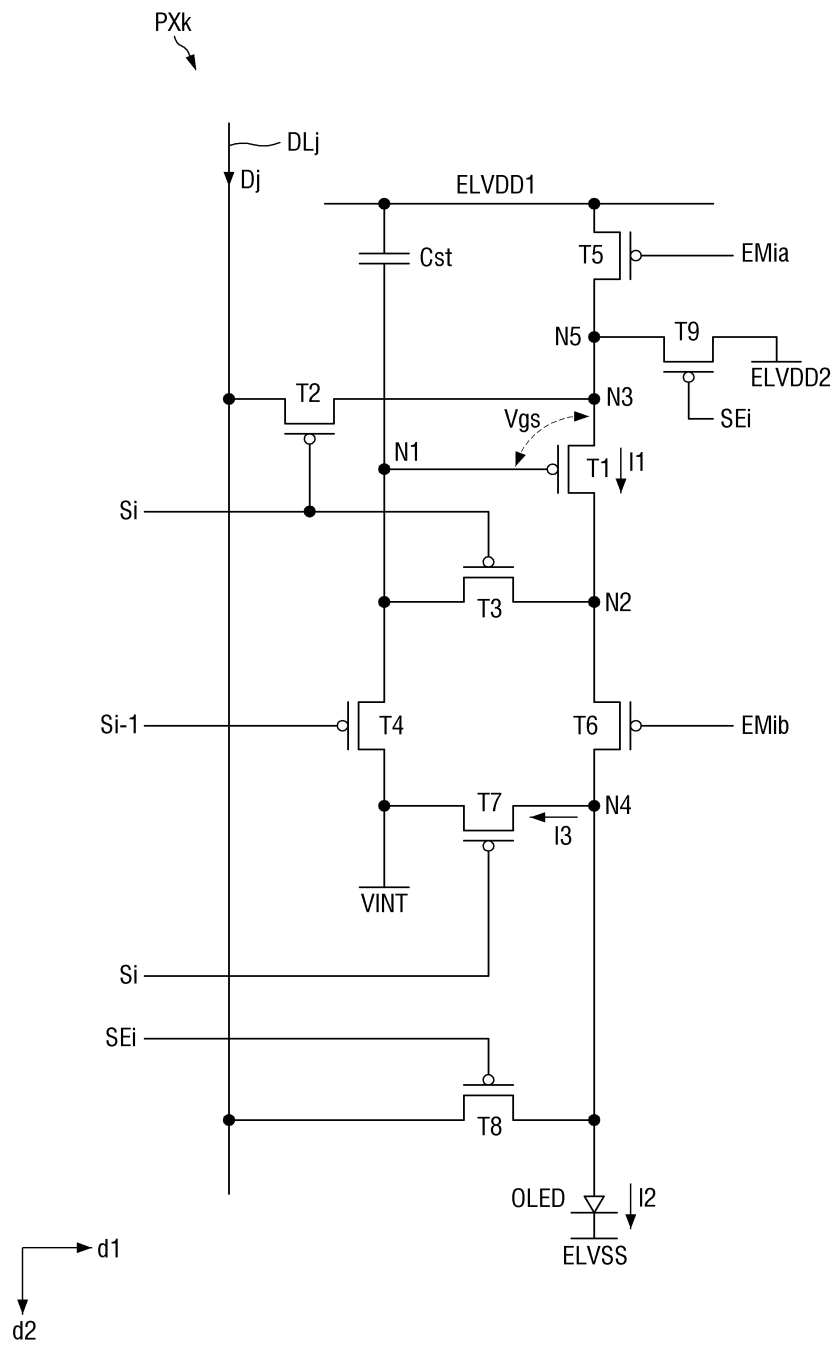
- [0173] 110: 표시부;
120: 스캔 구동부;
130: 데이터 구동 회로;
131: 데이터 구동부;
132: 센싱부;
140: 타이밍 제어부;
150: 발광 제어부;
160: 전원 공급부;
170: 센싱 신호 제공부;

도면

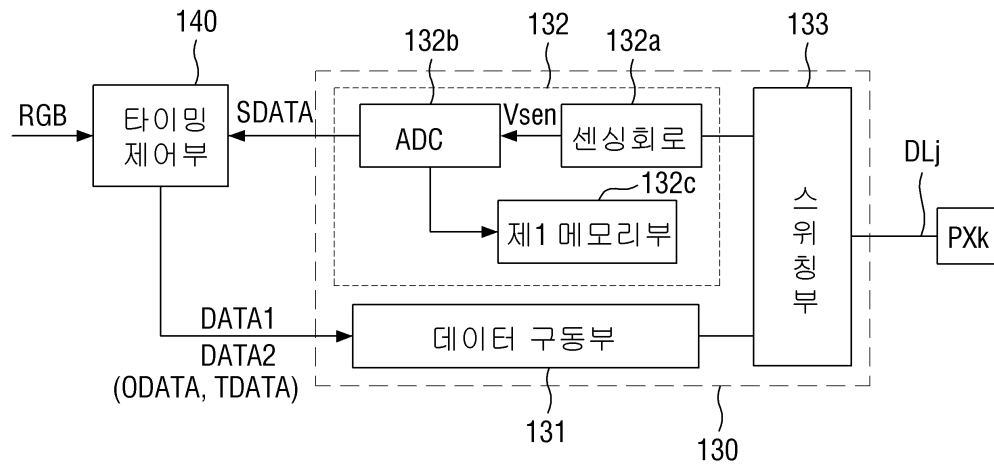
도면1



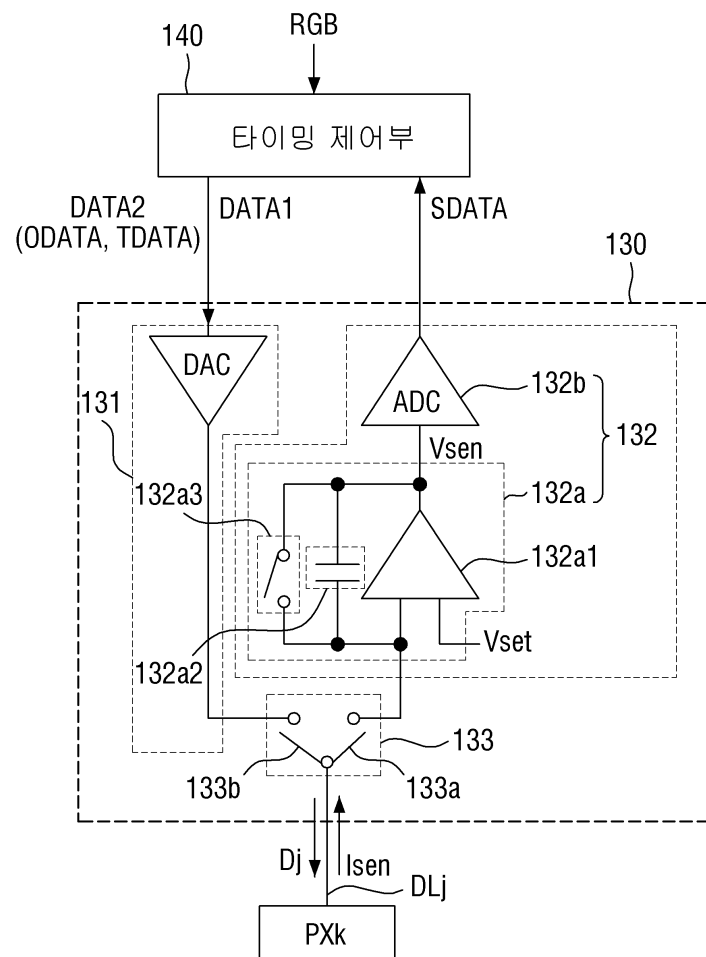
도면2



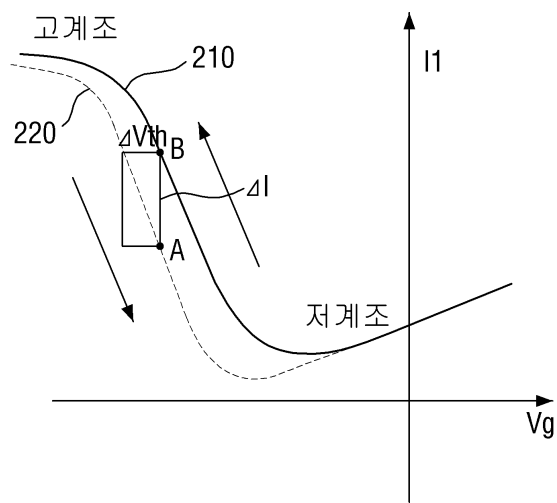
도면3



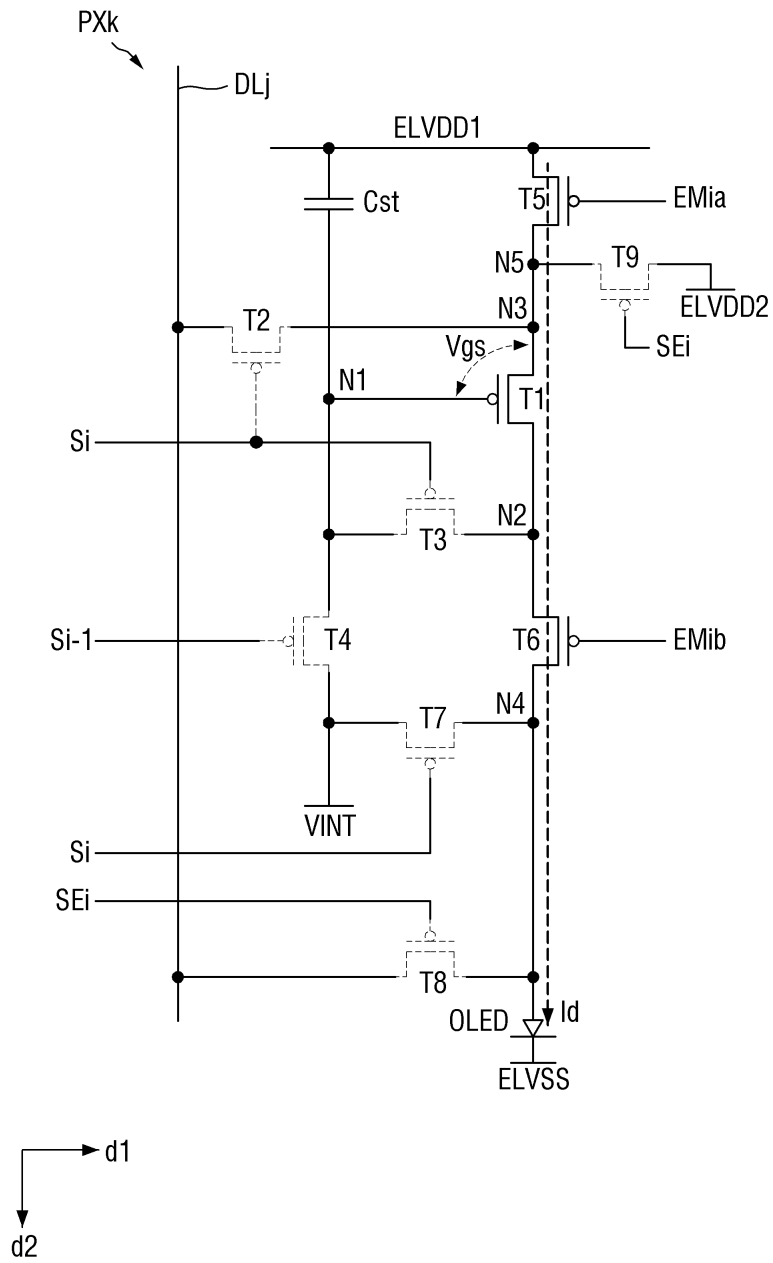
도면4



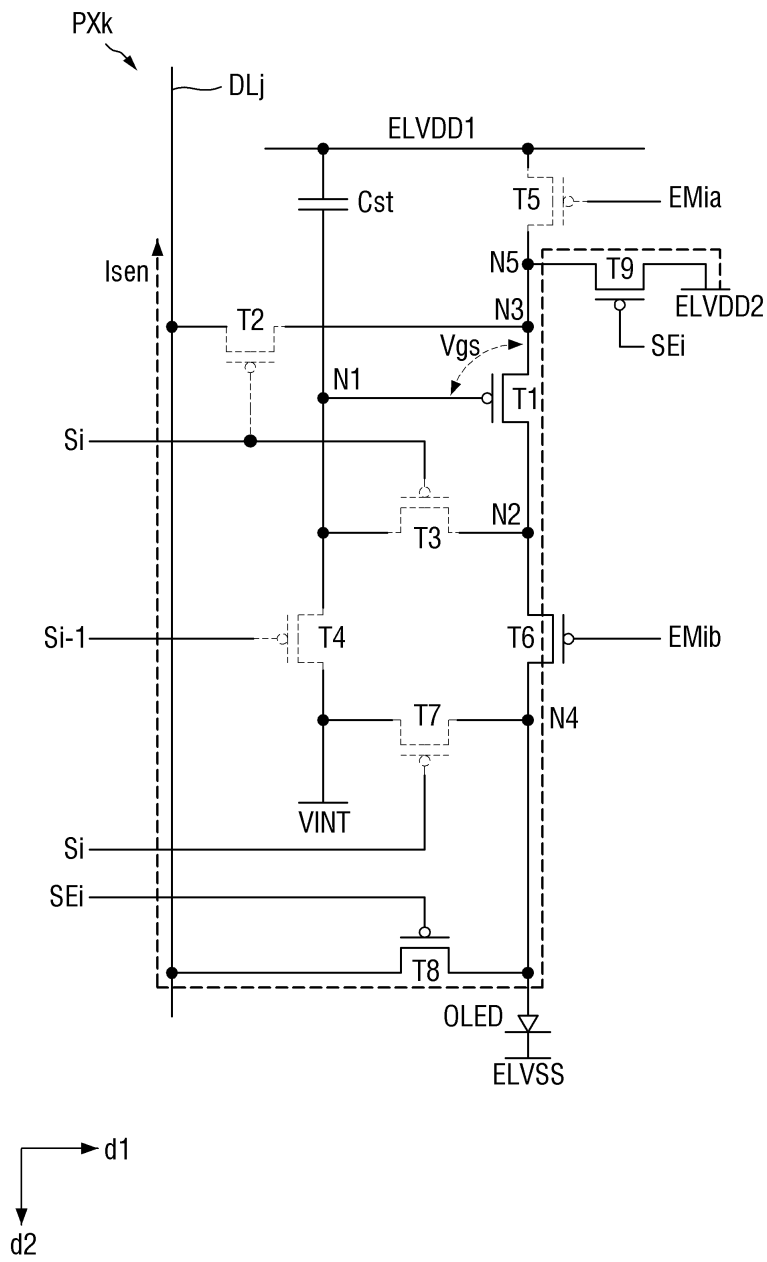
도면5



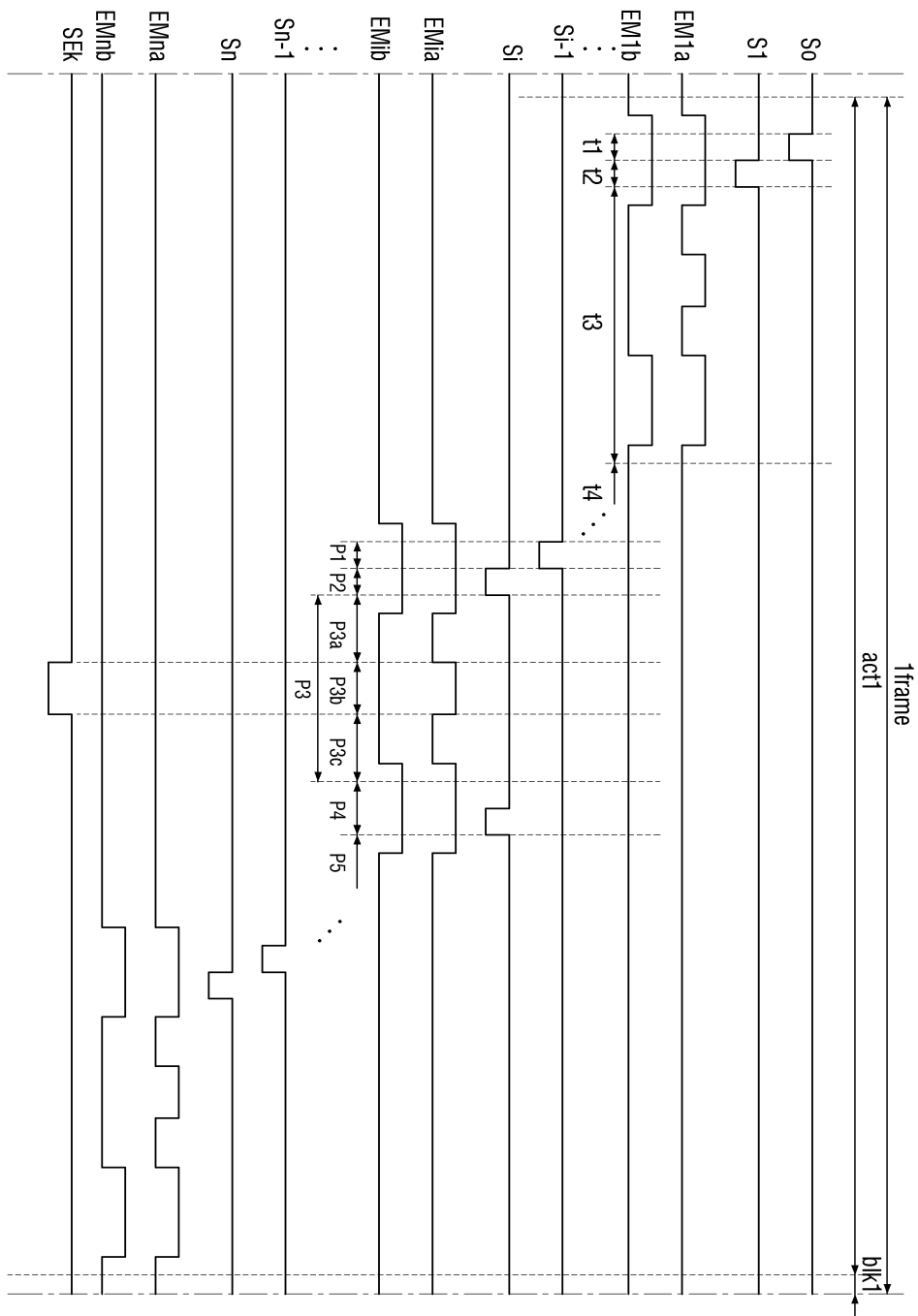
도면6a



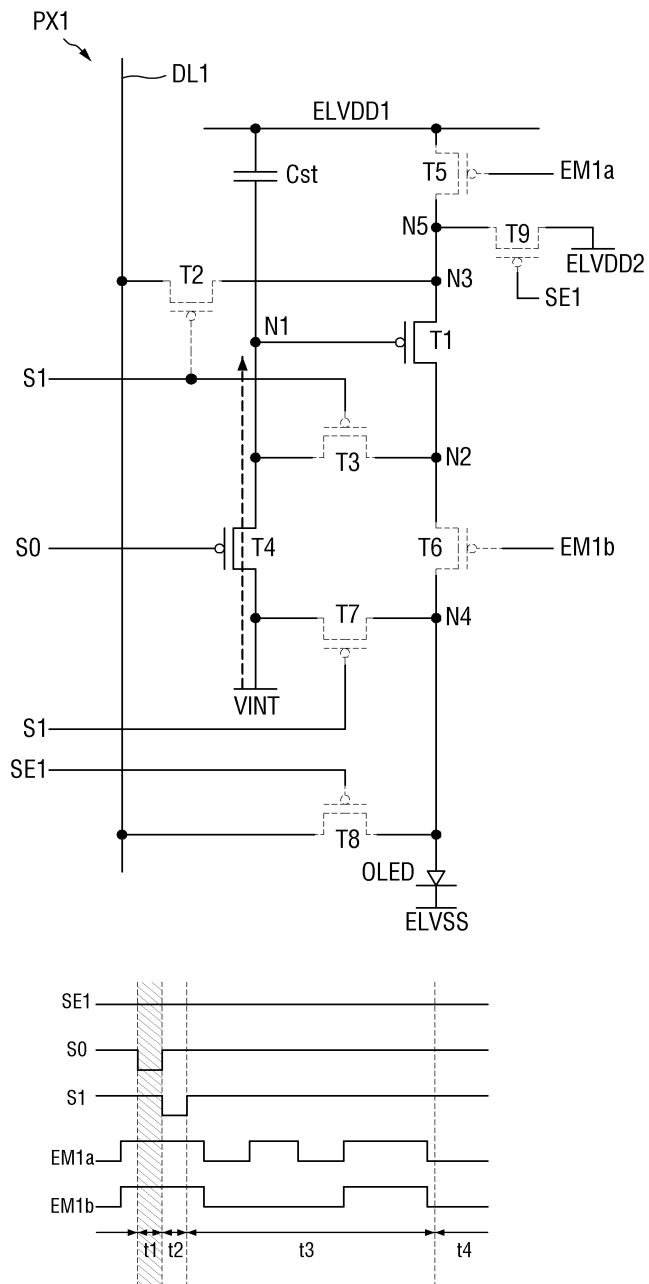
도면6b



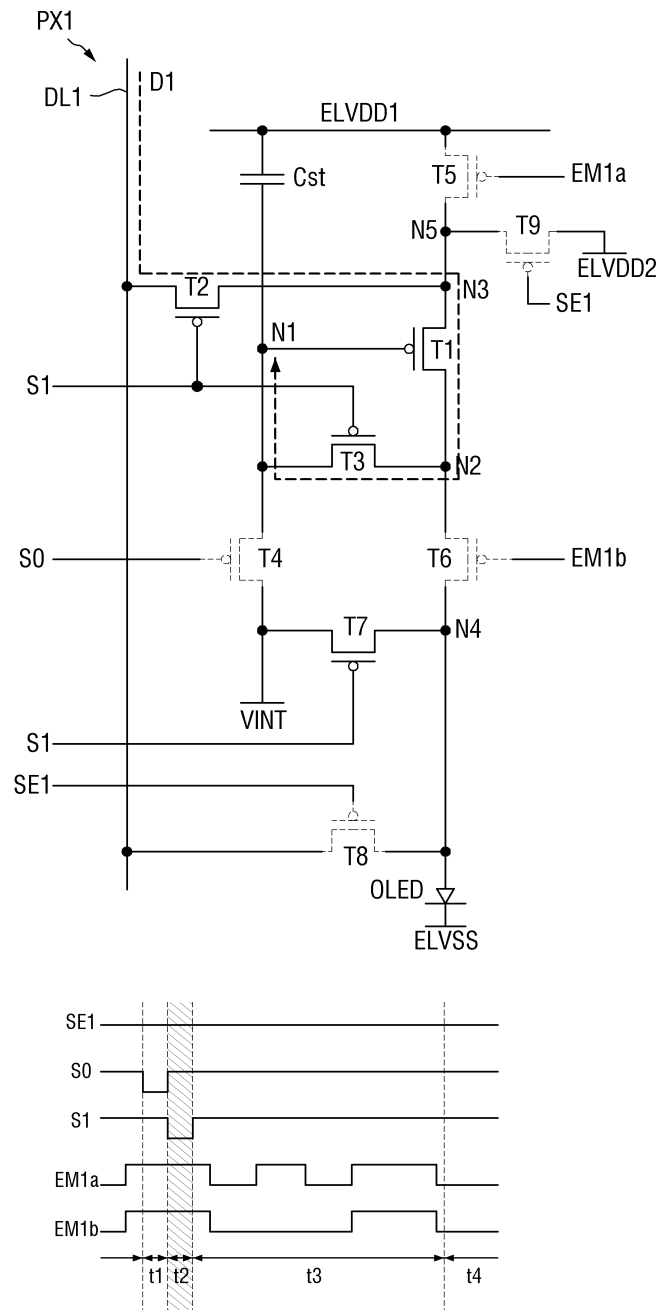
도면7



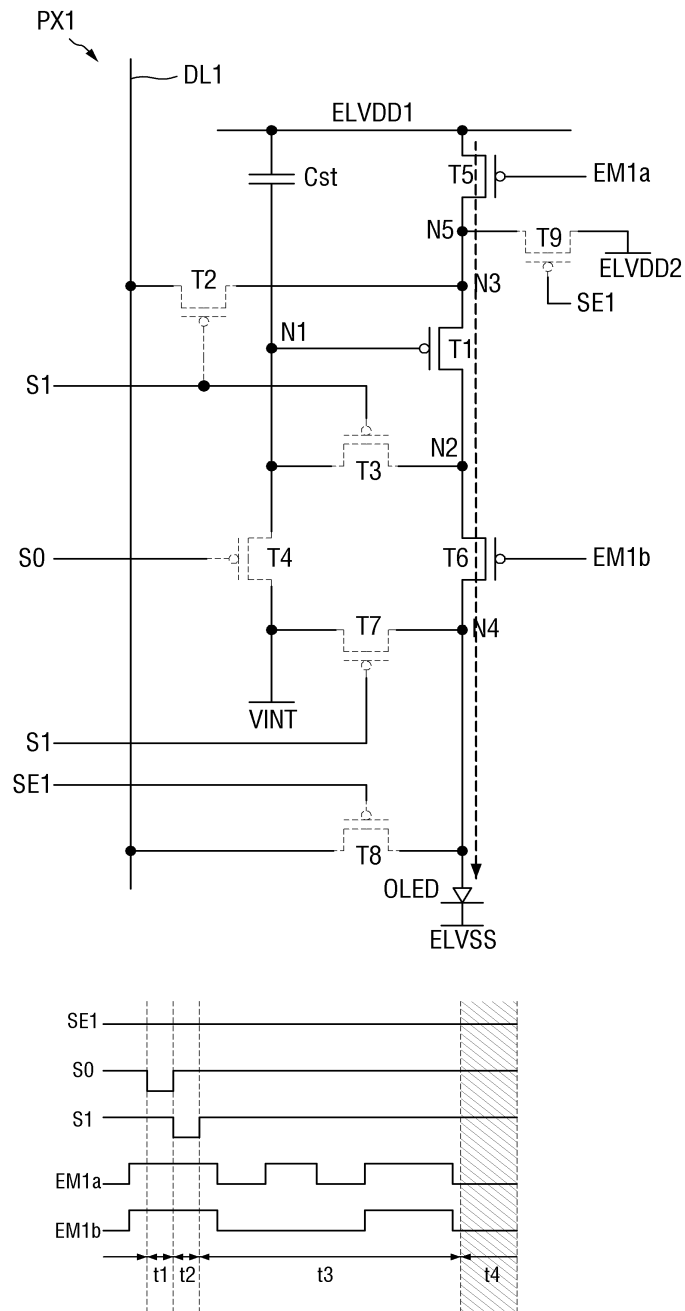
도면8



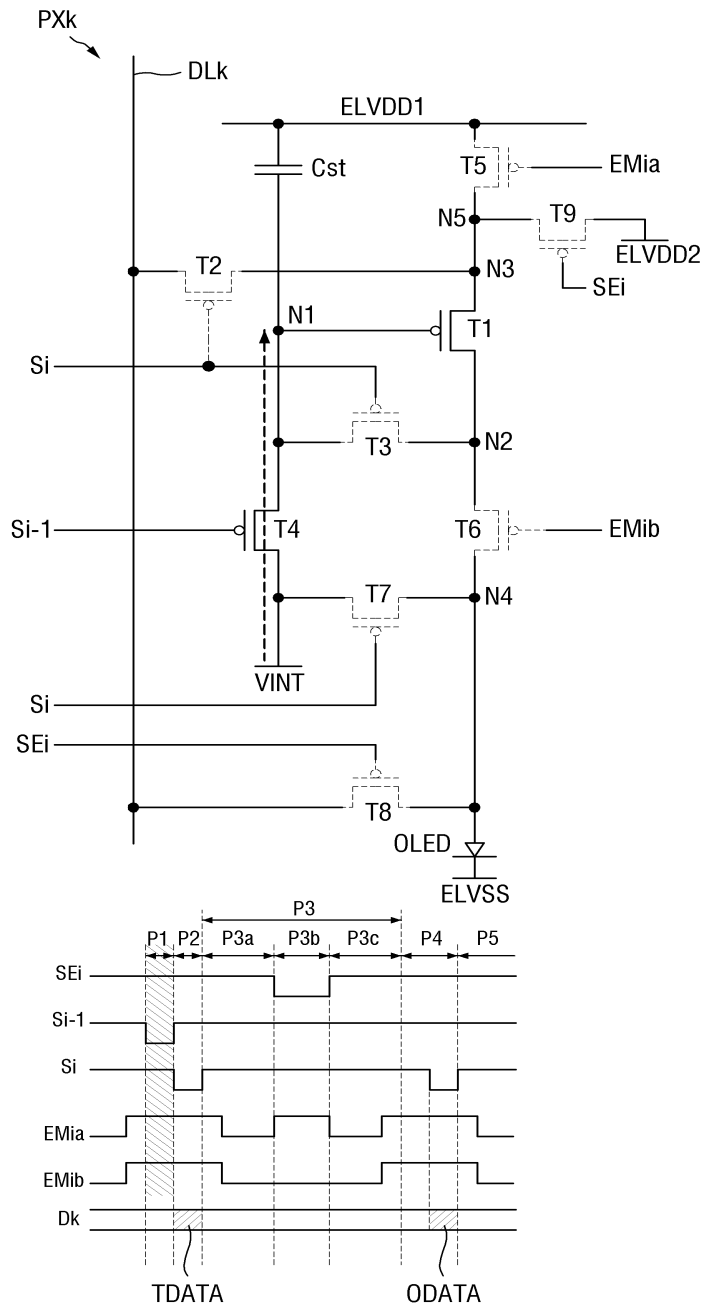
도면9



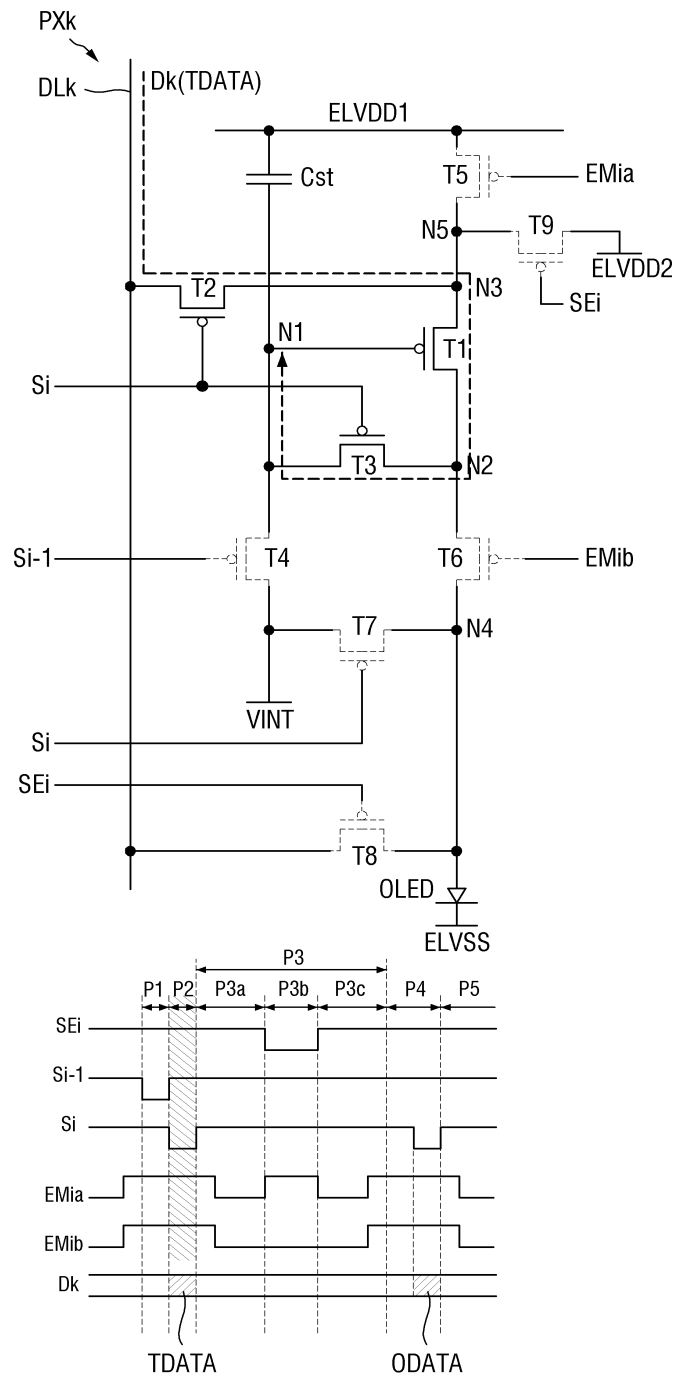
도면10



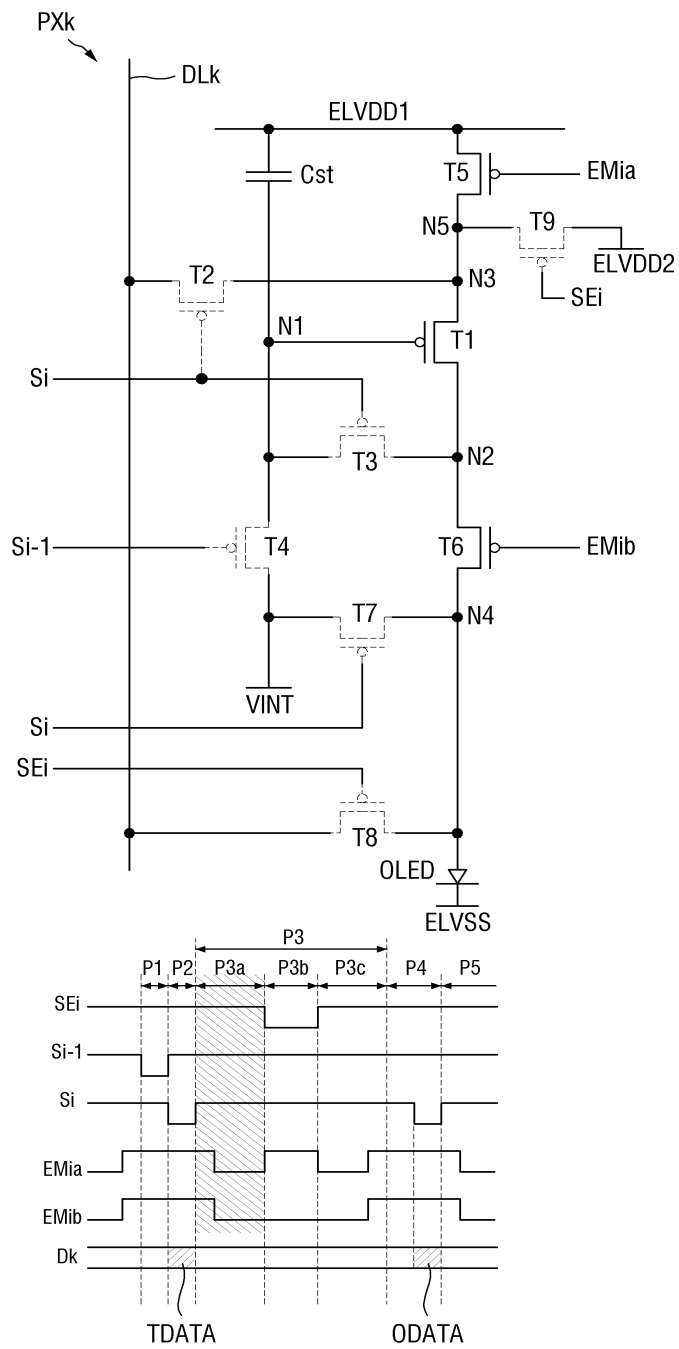
도면11



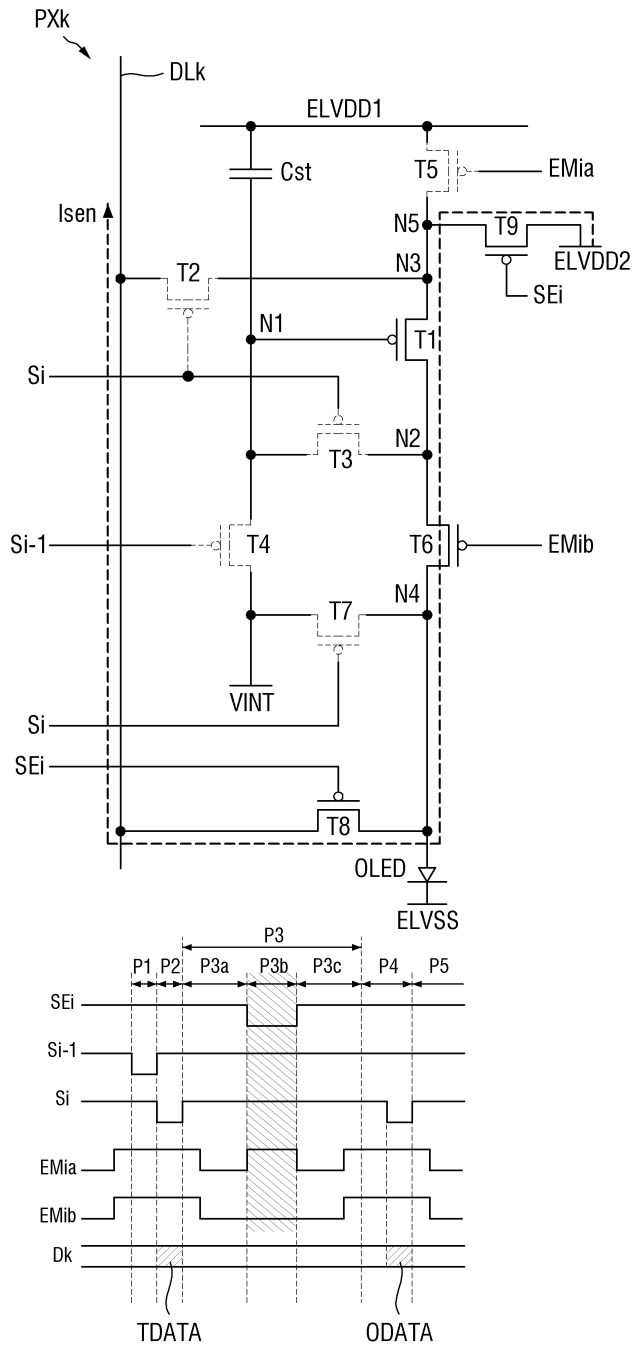
도면12



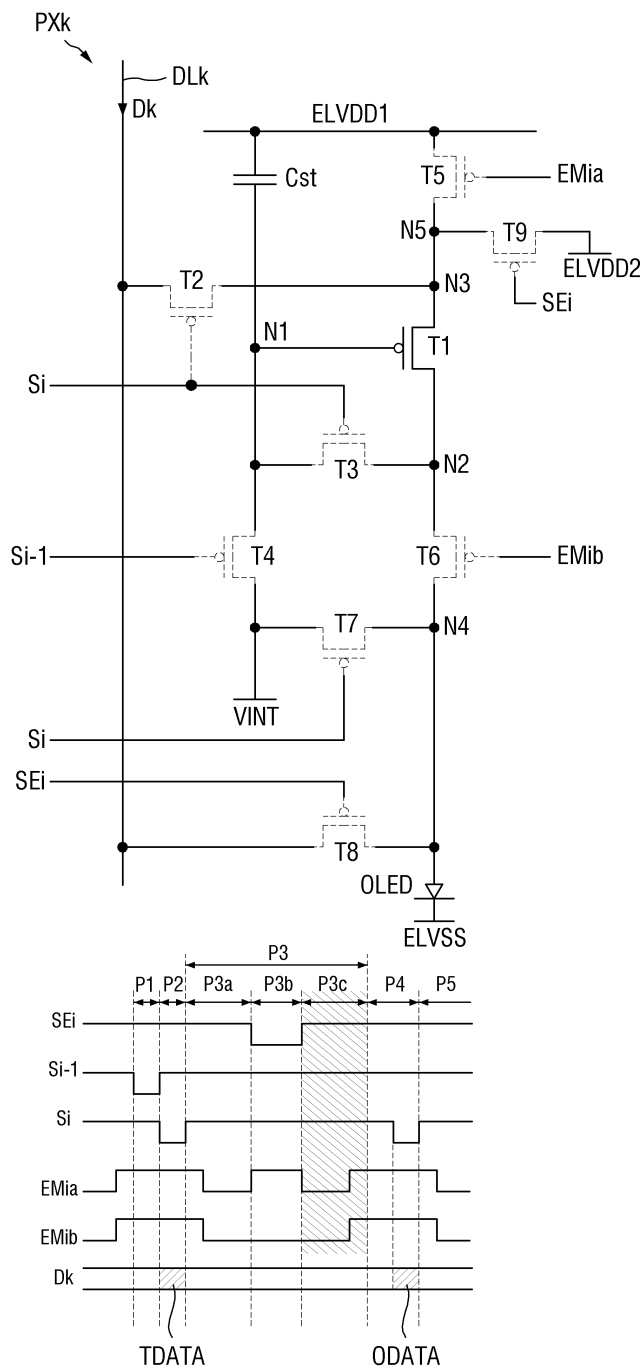
도면13



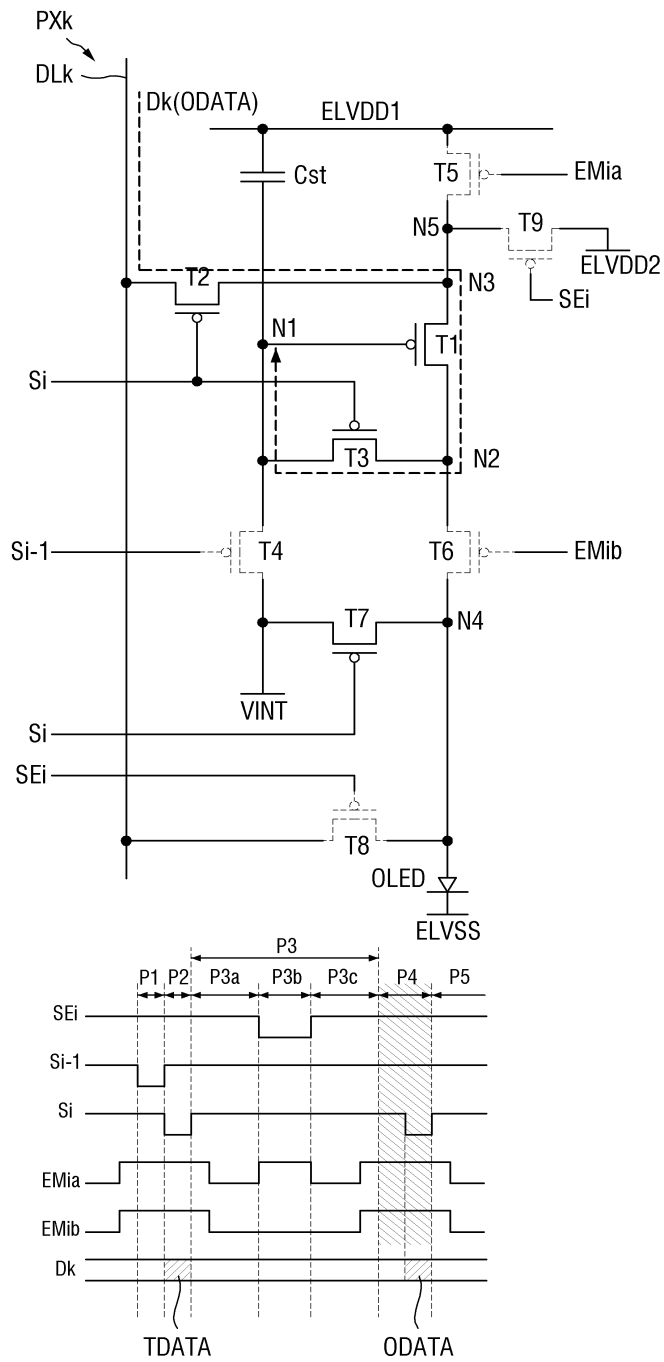
도면14



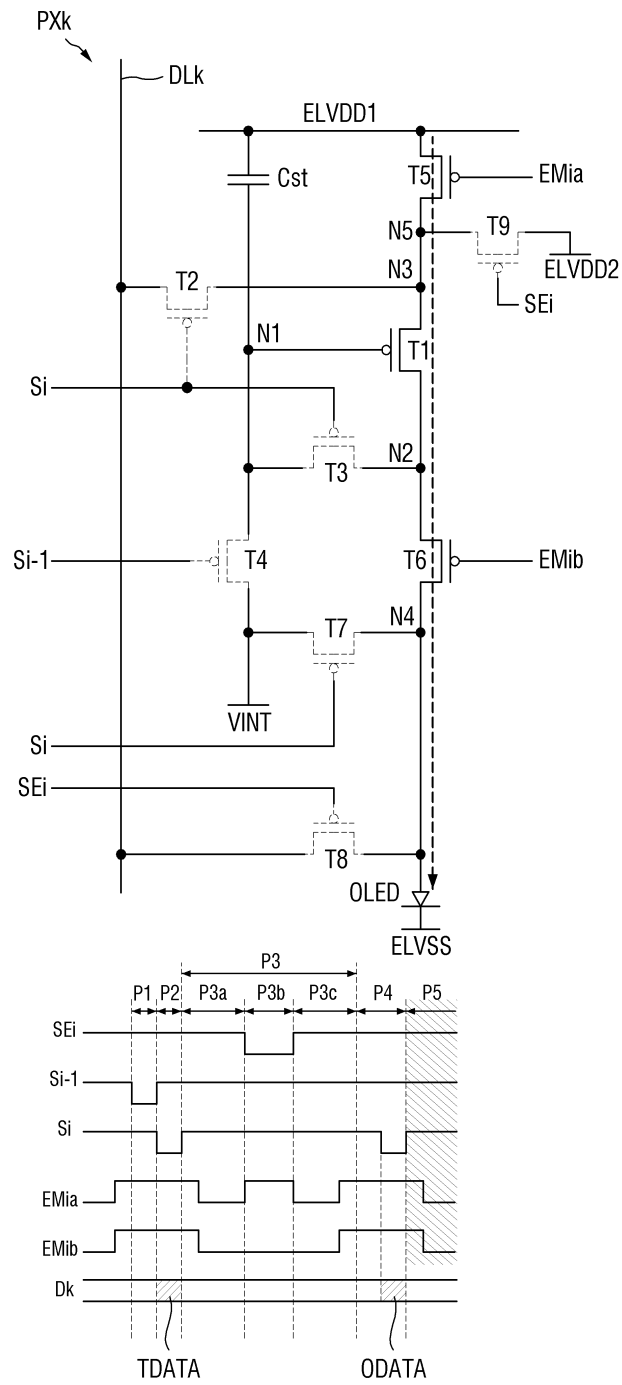
도면15



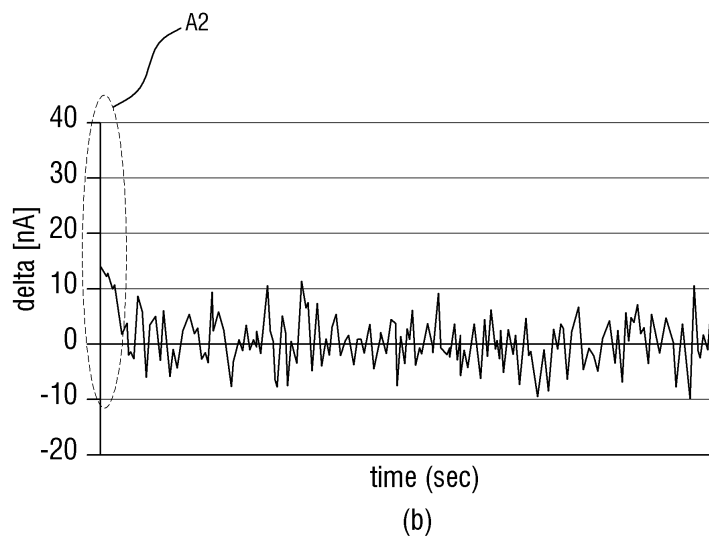
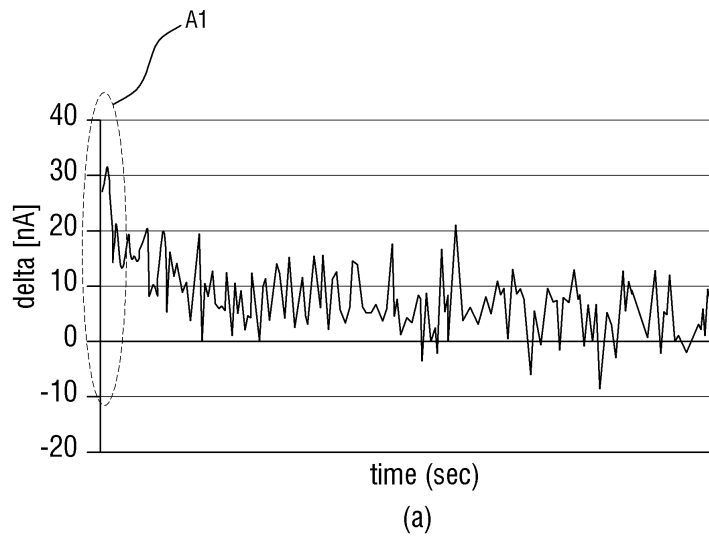
도면16



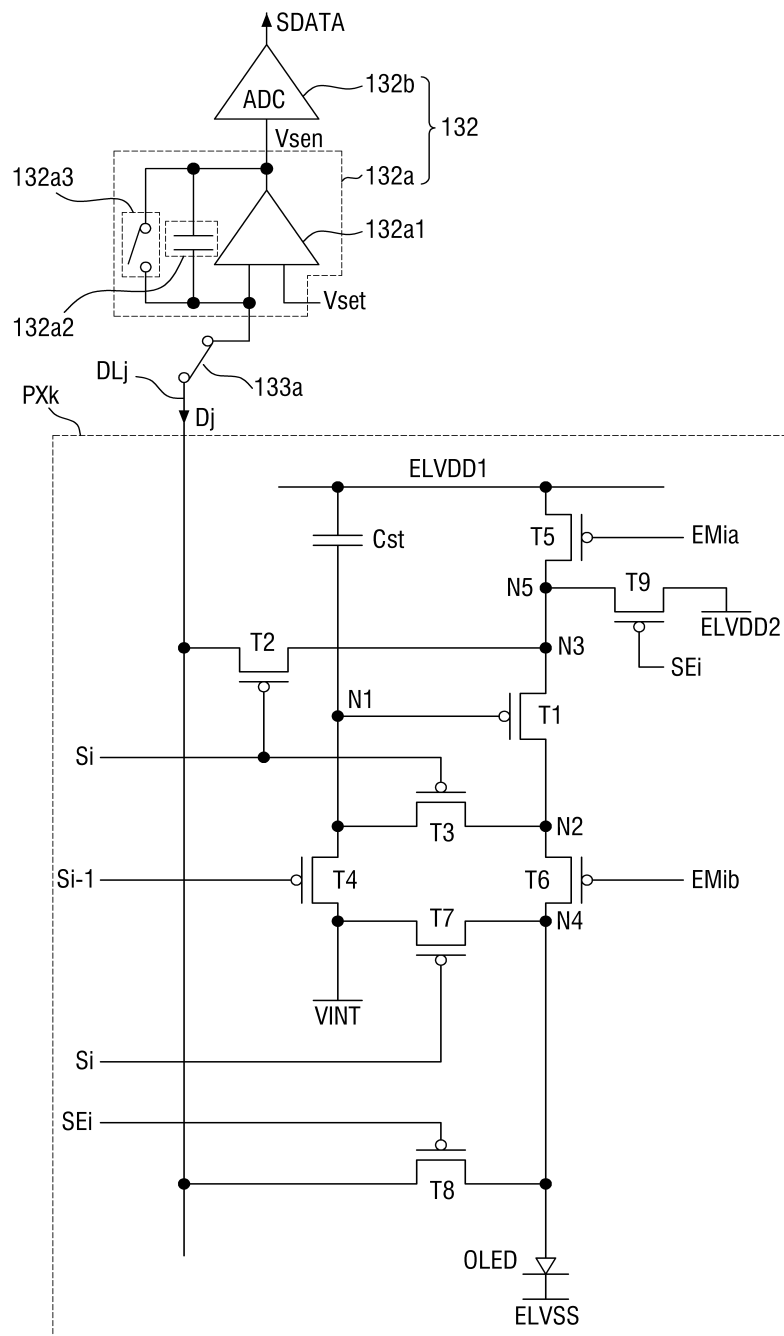
도면17



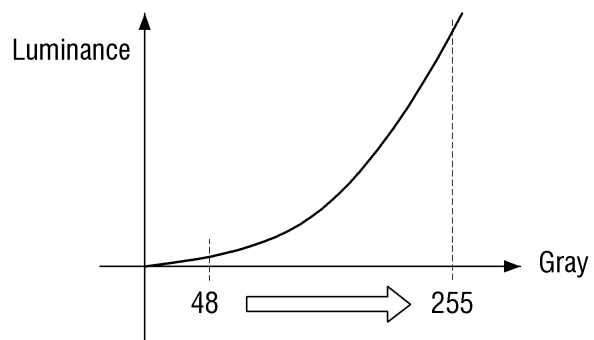
도면18



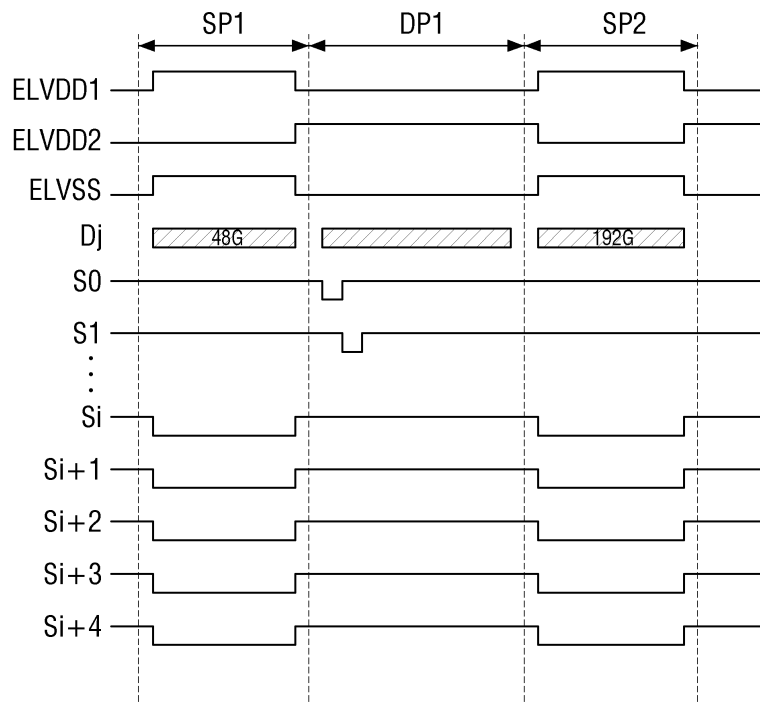
도면19



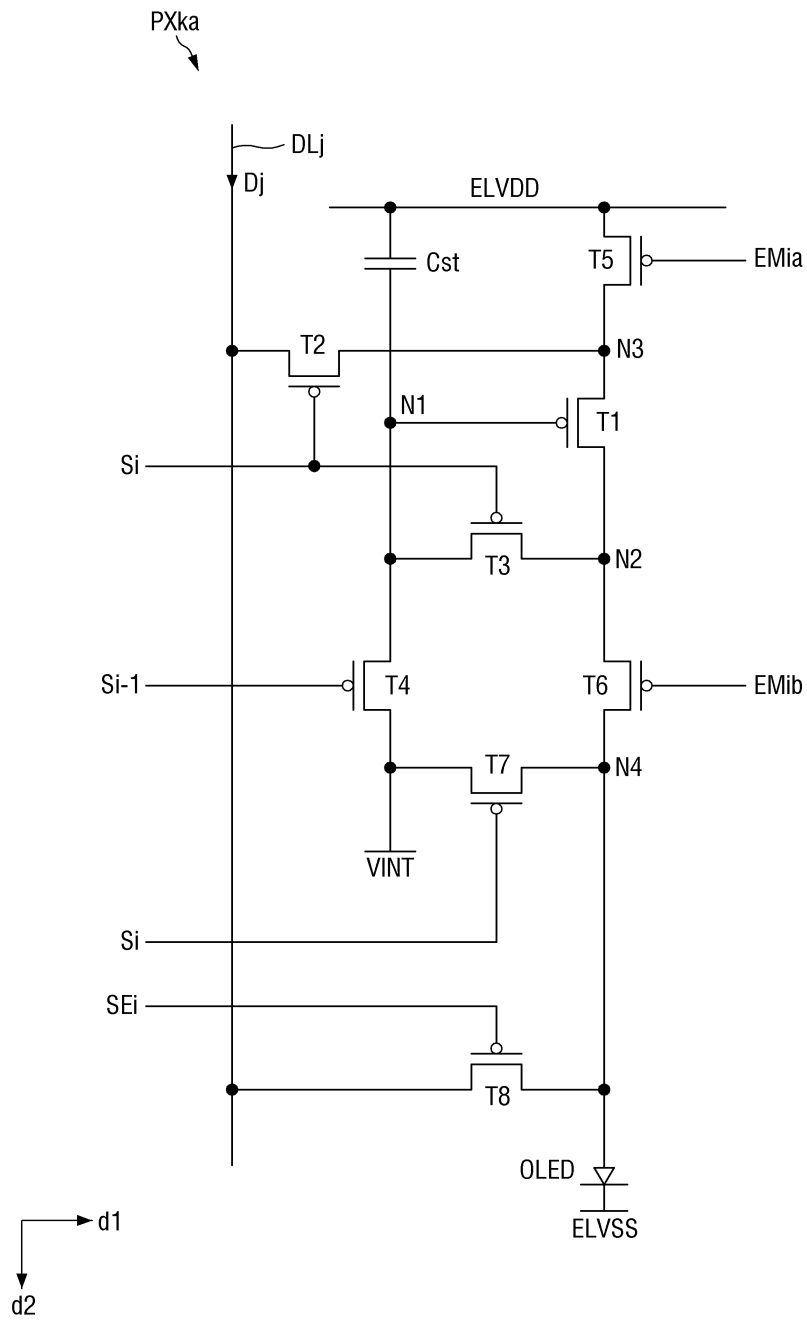
도면20



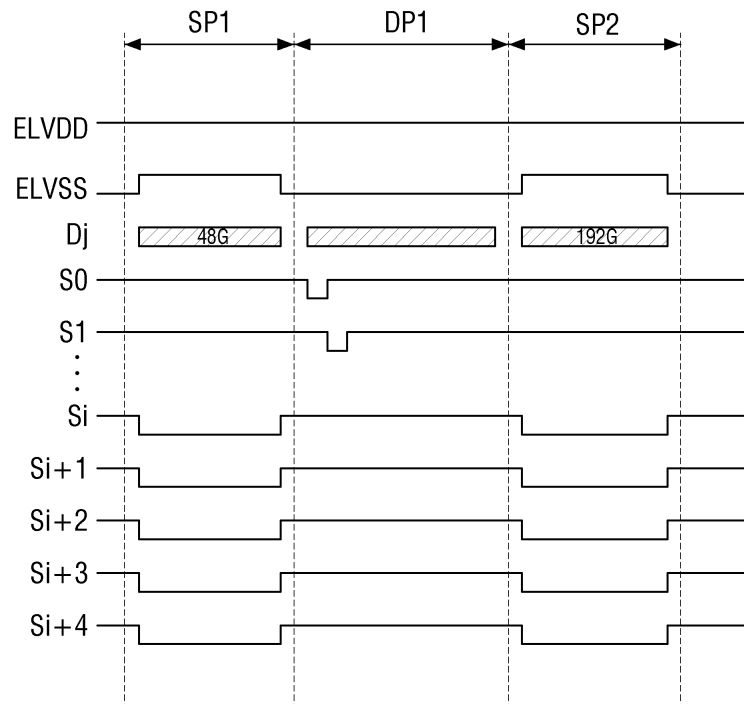
도면21



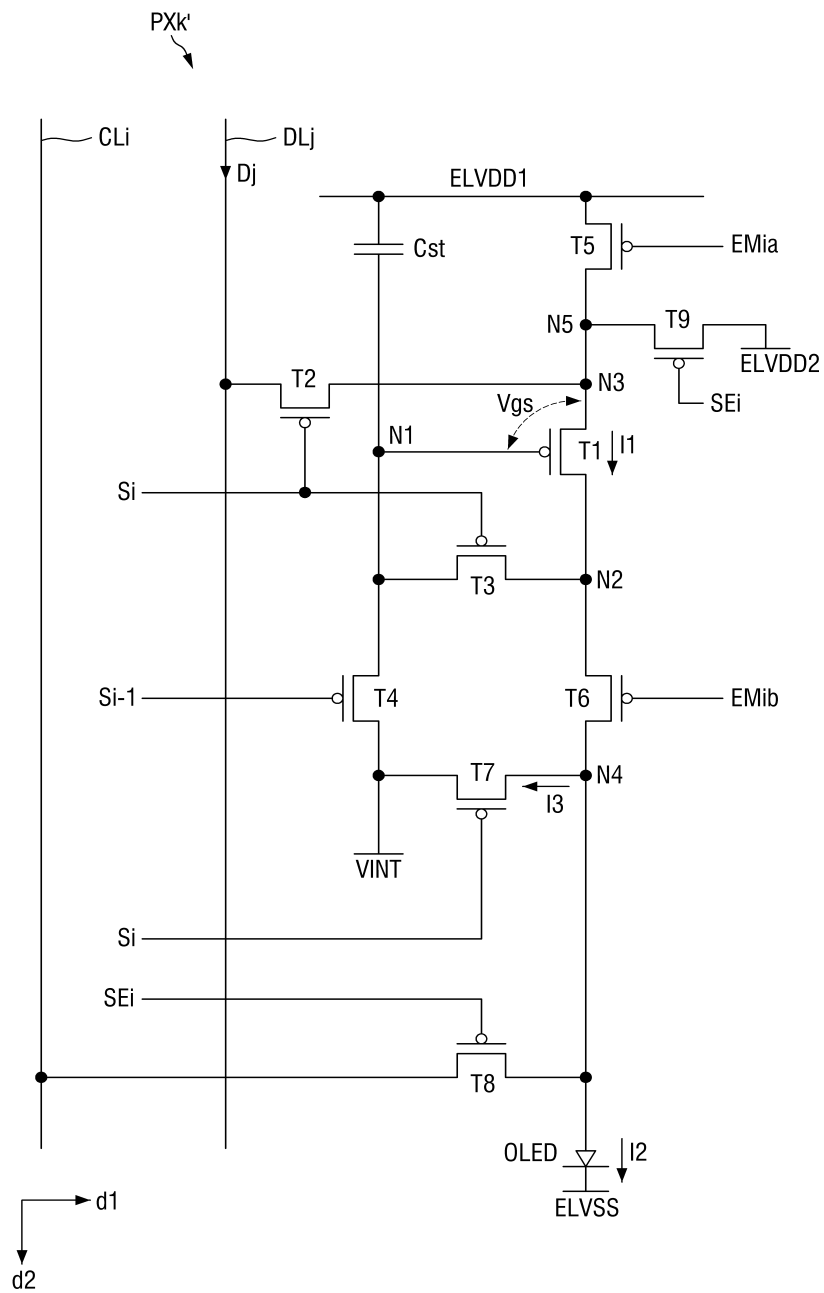
도면22



도면23



도면24



根据本发明示例性实施例的有机发光二极管显示器包括驱动晶体管，其中一个电极连接至第一节点，另一电极连接至有机发光二极管，并且通过另一电极提供第一驱动电压。第一控制晶体管与第一节点连接；第二控制晶体管通过一个电极提供第二驱动电压，并且另一个电极连接到第一节点；以及一种感测晶体管，其一个电极连接至驱动晶体管的另一电极与有机发光二极管之间的信号路径，其中，在感测周期中，感测晶体管导通，在感测周期中，第一控制晶体管截止；第二在感测周期中，控制晶体管导通。

