(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0074985
(43) 공개일자 2018년07월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G06F 3/041* (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/323 (2013.01)
G06F 3/0412 (2013.01)
(21) 출원번호 10-2016-0178822
(22) 출원일자 2016년12월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조정식
경기도 파주시 한빛로 67, 202동 2302호(야당동, 한빛마을2단지휴먼빌레이크팰리스)
윤종근
경기도 군포시 산본로432번길 25, 1209동 202호(산본동, 한양목련아파트)
(74) 대리인
특허법인천문

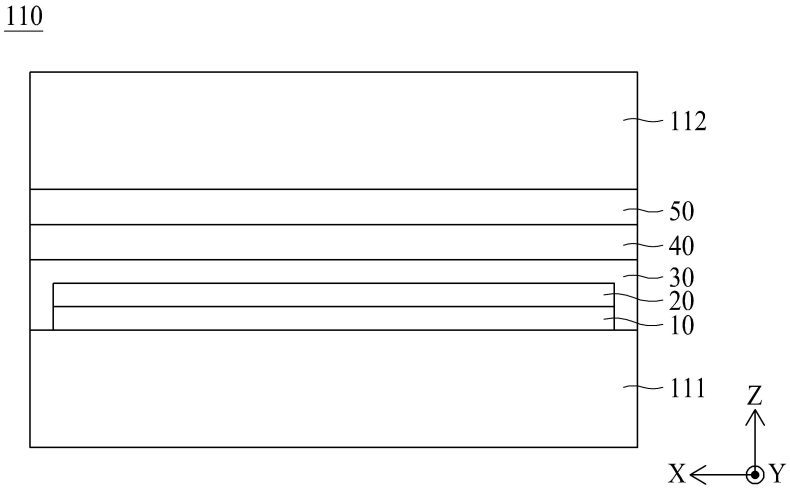
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **터치 스크린 일체형 표시장치**

(57) 요 약

본 발명은 편광판 없이 외부의 광이 터치 전극들에 반사되는 것을 방지할 수 있는 터치 스크린 일체형 표시장치를 제공한다. 본 발명의 실시예에 따른 터치 스크린 일체형 표시장치는 기판 상에 배치된 유기발광소자층, 유기발광소자층 상에 배치된 복수의 컬러필터들, 복수의 컬러필터들 상에 배치되고, 복수의 컬러필터들의 경계부와 중첩되도록 배치된 제1 터치 전극들 및 제2 터치 전극들, 및 제1 터치 전극들과 제2 터치 전극들 상에 배치되고, 제1 터치 전극들 및 제2 터치 전극들과 중첩되도록 배치된 블랙 매트릭스를 포함한다.

대 표 도 - 도4



(52) CPC특허분류
H01L 27/322 (2013.01)
H01L 27/3246 (2013.01)
H01L 51/5253 (2013.01)
H01L 51/5284 (2013.01)

명 세 서

청구범위

청구항 1

기판 상에 배치된 유기발광소자층;

상기 유기발광소자층 상에 배치된 복수의 컬러필터들;

상기 복수의 컬러필터들 상에 배치되고, 상기 복수의 컬러필터들의 경계부와 중첩되는 제1 터치 전극들 및 제2 터치 전극들; 및

상기 제1 터치 전극들 및 상기 제2 터치 전극들 상에 배치되고, 상기 제1 터치 전극들 및 상기 제2 터치 전극들과 중첩되는 블랙 매트릭스를 포함하는 터치 스크린 일체형 표시장치.

청구항 2

제1항에 있어서,

상기 복수의 컬러필터들은 제1 색 물질을 포함하는 제1 컬러필터, 제2 색 물질을 포함하는 제2 컬러필터, 제3 색 물질을 포함하는 제3 컬러필터를 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 3

제2항에 있어서,

상기 제1 내지 제3 컬러필터들 중 인접한 2개의 컬러필터는 경계부에서 서로 중첩되는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 4

제2항에 있어서,

상기 제1 내지 제3 컬러필터들은 경계부에서 모두 중첩되는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 5

제1항에 있어서,

상기 유기발광소자층 상에 배치된 봉지층을 더 포함하고,

상기 복수의 컬러필터들은 상기 봉지층에 직접 형성되는 것을 특징으로 터치 스크린 일체형 표시장치.

청구항 6

제1항에 있어서,

상기 블랙 매트릭스는 광을 흡수하는 물질을 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 7

제1항에 있어서, 상기 유기발광소자층은

상기 기판 상에 배치된 제1 전극;

상기 제1 전극을 구획하는 뱅크;

상기 제1 전극 및 상기 뱅크 상에 배치된 유기발광층;

상기 유기발광층 상에 배치된 제2 전극를 포함하고,

상기 블랙 매트릭스는 상기 뱅크와 중첩되고, 상기 뱅크는 광을 흡수하는 물질을 포함하는 터치 스크린 일체형

표시장치.

청구항 8

제7항에 있어서,

상기 뱅크의 너비는 상기 블랙 매트릭스의 너비와 동일하거나 큰 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 9

기판 상에 배치된 유기발광소자층;

상기 유기발광소자층 상에 배치되고, 제1 색 물질을 포함하는 제1 컬러필터, 제2 색 물질을 포함하는 제2 컬러필터, 제3 색 물질을 포함하는 제3 컬러필터를 포함하는 복수의 컬러필터들; 및

상기 복수의 컬러필터들 상에 배치되고, 상기 복수의 컬러필터들의 경계부와 중첩되도록 배치된 제1 터치 전극들 및 제2 터치 전극들을 포함하고,

상기 제1, 제2 및 제3 컬러필터들 중 적어도 둘 이상은 경계부에서 중첩되는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 10

제9항에 있어서,

상기 제1, 제2 및 제3 컬러필터들 중 인접한 2개의 컬러필터는 경계부에서 서로 중첩되는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 11

제9항에 있어서,

상기 제1 내지 제3 컬러필터들은 경계부에서 모두 중첩되는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

청구항 12

제9항에 있어서, 상기 유기발광소자층은

상기 기판 상에 배치된 제1 전극;

상기 제1 전극을 구획하는 뱅크;

상기 제1 전극 및 상기 뱅크 상에 배치된 유기발광층;

상기 유기발광층 상에 배치된 제2 전극를 포함하고,

상기 복수의 컬러필터들의 경계부는 상기 뱅크와 중첩되고, 상기 뱅크는 광을 흡수하는 물질을 포함하는 것을 특징으로 하는 터치 스크린 일체형 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 터치 스크린 일체형 표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다. 이들 중에서 유기발광 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다.

[0003] 유기발광표시장치는 유기발광소자를 각각 포함하는 화소들, 및 화소들을 정의하기 위해 화소들을 구획하는 뱅크를 포함한다. 뱅크는 화소 정의막으로 역할을 할 수 있다. 유기발광소자는 애노드 전극, 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극을 포함한다. 이 경우, 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0004] 유기발광소자가 백색 광을 발광하는 경우, 적색, 녹색, 및 청색을 구현하기 위한 적색, 녹색 및 청색 컬러필터들과 컬러필터들을 구획하기 위한 블랙 매트릭스가 필요하다. 유기발광소자는 유기발광표시장치의 하부 기판에 형성되고, 컬러필터들과 블랙 매트릭스는 유기발광표시장치의 상부 기판에 형성된다. 그리고 유기발광소자가 형성된 하부 기판과 컬러필터들 및 블랙 매트릭스가 형성된 상부 기판이 접착층에 의하여 합착한다.

[0005] 이러한 유기발광표시장치는 접착층에 의하여 두께가 두꺼워지고, 결과적으로 유기발광소자와 블랙 매트릭스 사이의 거리가 멀어진다는 문제가 있다. 이에 따라, 유기발광표시장치는 아래와 같은 문제가 발생할 수 있다.

[0006] 도 1a 및 도 1b는 유기발광소자와 블랙 매트릭스 사이의 거리에 따른 혼색 발생과 휘도 시야각을 보여주는 예시도면들이다.

[0007] 도 1a에는 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리가 "a"인 경우 유기발광소자(EL)로 인한 혼색 발생과 휘도 시야각이 나타나 있으며, 도 1b에는 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리가 "b"인 경우 유기발광소자(EL)로 인한 혼색 발생과 휘도 시야각이 나타나 있다. 거리 "a"는 거리 "b"보다 길다. 유기발광소자(EL)는 애노드 전극(AND), 유기발광층(OL), 및 캐소드 전극(CAT)을 포함한다.

[0008] 도 1a 및 도 1b를 참조하면, 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리가 "a"인 경우에는 어느 한 화소의 유기발광소자(EL)로부터 발광된 빛이 블랙 매트릭스(BM)에 의해 차단되지 않고 인접한 화소의 컬러필터(CF)로 진행하는 혼색이 발생할 수 있다. 하지만, 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리가 "b"인 경우에는 혼색이 거의 발생하지 않을 수 있다.

[0009] 또한, 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리가 "a"인 경우에는 유기발광소자(EL)로부터 발광된 빛이 제1 각도(Θ1)로 출광됨에 비해, 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리가 "b"인 경우에는 유기발광소자(EL)로부터 발광된 빛이 제1 각도(Θ1)보다 큰 제2 각도(Θ2)로 출광된다.

[0010] 이상에서 살펴본 바와 같이, 혼색 발생을 방지하고 휘도 시야각을 높이기 위해 유기발광소자(EL)의 유기발광층(OL)과 블랙 매트릭스(BM) 사이의 거리를 줄일 필요가 있다.

[0011] 한편, 최근에 유기발광표시장치는 사용자의 터치를 인식할 수 있는 터치 스크린 패널을 포함하는 터치 스크린 일체형 표시장치로 형성된다. 이 경우, 유기발광표시장치는 터치 스크린 장치로도 기능하게 된다.

[0012] 터치 스크린 일체형 표시장치는 터치 스크린 패널 내에 Tx 전극들과 Rx 전극들을 형성한다. 그리고 터치 스크린 일체형 표시장치는 외부로부터 입사되는 광이 Tx 전극들과 Rx 전극들에 반사되어 화질이 저하되는 것을 방지하기 위하여 편광판을 형성한다. 이 경우, 종래의 터치 스크린 일체형 표시장치는 편광판에 의하여 비용이 증가하고, 두께가 두꺼워질 뿐만 아니라 외부광이 편광판에 반사되면서 야외에서 화면이 거울처럼 보이는 등, 야외에서의 화상 시인성이 떨어진다는 또 다른 문제가 발생한다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 편광판 없이 외부의 광이 터치 전극들에 반사되는 것을 방지할 수 있는 터치 스크린 일체형 표시장치를 제공하는 것을 기술적 과제로 한다.

[0014] 또한, 본 발명은 컬러필터 및 터치 전극을 포함하면서 두께를 최소화시킬 수 있는 터치 스크린 일체형 표시장치를 제공하는 것을 다른 기술적 과제로 한다.

[0015] 또한, 본 발명은 유기발광층과 블랙 매트릭스 사이의 거리를 최소화시킬 수 있는 터치 스크린 일체형 표시장치를 제공하는 것을 또 다른 기술적 과제로 한다.

과제의 해결 수단

[0016] 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 기판 상에 배치된 유기발광소자, 유기발광소자 상에 배치된 복수의 컬러필터들, 복수의 컬러필터들 상에 배치되고, 복수의 컬러필터들의 경계부와 중첩되도록 배치된 제1 터치 전극들 및 제2 터치 전극들, 및 제1 터치 전극들과 제2 터치 전극들 상에 배치되고, 제1 터치 전극들 및 제2 터치 전극들과 중첩되도록 배치된 블랙 매트릭스를 포함한다.

[0017] 본 발명의 다른 실시예에 따른 터치 스크린 일체형 표시장치는 기판 상에 배치된 유기발광소자, 유기발광소자 상에 배치되고, 제1 색 물질을 포함하는 제1 컬러필터, 제2 색 물질을 포함하는 제2 컬러필터, 제3 색 물질을 포함하는 제3 컬러필터를 포함하는 복수의 컬러필터들, 및 복수의 컬러필터들 상에 배치되고, 복수의 컬러필터들의 경계부와 중첩되도록 배치된 제1 터치 전극들 및 제2 터치 전극들을 포함한다. 제1, 제2 및 제3 컬러필터들 중 적어도 둘 이상은 경계부에서 중첩된다.

발명의 효과

[0018] 본 발명의 실시예는 봉지층 상에 컬러필터층을 직접 형성하고, 컬러필터층 상에 터치 센싱층을 직접 형성함으로써 제1 기판과 제2 기판을 합착시 정렬할 필요가 없으며, 별도의 접착층이 필요 없다. 이에 따라, 본 발명의 실시예는 장치의 두께를 감소시킬 수 있다.

[0019] 또한, 본 발명의 실시예는 봉지층 상에 터치 센싱층이 아닌 컬러필터층을 먼저 형성함으로써 유기발광층과 컬러필터들 간의 거리를 최소화시킬 수 있다. 이에 따라, 본 발명의 실시예는 휘도 시야각 및 색 시야각을 개선할 수 있다.

[0020] 또한, 본 발명의 실시예는 제1 및 제2 터치 전극들 상에 블랙 매트릭스를 배치함으로써, 블랙 매트릭스를 이용하여 외부로부터 입사되는 광이 제1 및 제2 터치 전극들에 반사되는 것을 방지할 수 있다. 이에 따라, 본 발명의 실시예는 별도의 편광판을 구비하지 않고도 외광 반사를 차단할 수 있으므로, 제조 비용을 절감할 수 있는 동시에 장치의 두께를 감소시킬 수 있다.

[0021] 또한, 본 발명의 실시예는 컬러필터층 상에 터치 센싱층을 배치함으로써, 터치 센싱층의 제1 및 제2 터치 전극들과 유기발광소자층의 제1 및 제2 전극 사이의 거리를 확보할 수 있다. 이에 따라, 본 발명의 실시예는 터치 센싱층의 제1 및 제2 터치 전극들과 유기발광소자층의 제1 및 제2 전극들 간의 기생 캡에 의한 노이즈를 줄일 수 있다.

[0022] 또한, 본 발명의 실시예는 제1 내지 제3 컬러필터들의 경계부에 적어도 둘 이상의 컬러필터가 중첩되도록 함으로써, 어느 한 화소의 광이 인접한 화소의 컬러필터로 진행하여 혼색이 발생하는 것을 효과적으로 방지할 수 있다.

[0023] 또한, 본 발명의 실시예는 제1 내지 제3 컬러필터들의 경계부에 혼색을 방지하기 위한 별도의 패턴을 형성하지 않고, 제1 내지 제3 컬러필터들 중 둘 이상이 중첩되도록 형성하는 것만으로 혼색 발생 효과를 기대할 수 있다. 이에 따라, 본 발명의 실시예는 별도의 제조 공정이 추가될 필요가 없다.

도면의 간단한 설명

[0024] 도 1a 및 도 1b는 유기발광소자와 블랙 매트릭스 사이의 거리에 따른 혼색 발생과 휘도 시야각을 보여주는 예시도면들이다.

도 2는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 사시도이다.

도 3은 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 블록도이다.

도 4는 도 2의 표시패널의 일 측을 개략적으로 보여주는 단면도이다.

도 5는 도 4의 터치 센싱층의 일 예를 보여주는 평면도이다.

도 6은 도 5의 Ⅰ-Ⅰ'의 일 실시예를 보여주는 단면도이다.

도 7은 도 5의 Ⅱ-Ⅱ'의 일 실시예를 보여주는 단면도이다.

도 8은 도 5의 Ⅰ-Ⅰ'의 다른 실시예를 보여주는 단면도이다.

도 9는 도 4의 터치 센싱층의 다른 예를 보여주는 평면도이다.

도 10은 도 9의 Ⅲ-Ⅲ'의 일 실시예를 보여주는 단면도이다.

도 11은 도 9의 Ⅳ-Ⅳ'의 일 실시예를 보여주는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0026] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0027] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0028] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0029] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0030] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0031] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0032] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0033] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0034] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0035] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0036] 도 2는 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 사시도이다. 도 3은 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치를 보여주는 블록도이다.

[0037] 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 터치 스크린 일체형 표시장치는 표시패널(110), 스캔 구동부(120), 데이터 구동부(130), 타이밍 콘트롤러(160), 호스트 시스템(170), 터치 구동부(180), 및 터치 좌표 산출부(190)를 포함한다.

[0038] 본 발명의 실시 예에 따른 터치 스크린 일체형 표시장치는 액정표시장치(Liquid Crystal Display, LCD), 전계방출 표시장치(Field Emission Display : FED), 플라즈마 표시장치(Plasma Display Panel, PDP), 유기발광 표시

장치(Organic Light Emitting Display, OLED), 전기영동 표시장치(Electrophoresis, EPD) 등의 평판 표시장치로 구현될 수 있다. 이하의 실시 예에서, 본 발명의 실시 예에 따른 터치 스크린 일체형 표시장치가 유기발광 표시장치로 구현된 것을 중심으로 설명하지만, 이에 한정되지 않음에 주의하여야 한다.

[0039] 표시패널(110)은 제1 기판(111)과 제2 기판(112)을 포함한다. 제2 기판(112)은 봉지 기판일 수 있다. 제1 기판(111)은 플라스틱 필름(plastic film) 또는 유리 기판(glass substrate)일 수 있다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 봉지 필름(보호 필름)일 수 있다.

[0040] 표시패널(110)은 화소(P)들이 마련되어 화상을 표시하는 영역인 표시영역을 포함한다. 표시패널(110)에는 데이터 라인들(D1~Dm, m은 2 이상의 양의 정수)과 스캔 라인들(S1~Sn, n은 2 이상의 양의 정수)이 형성된다. 데이터 라인들(D1~Dm)은 스캔 라인들(S1~Sn)과 교차되도록 형성될 수 있다. 화소(P)들은 게이트 라인들과 데이터 라인들의 교차 구조에 의해 정의되는 영역에 형성될 수 있다.

[0041] 표시패널(110)의 화소(P)들 각각은 데이터 라인들(D1~Dm) 중 어느 하나와 스캔 라인들(S1~Sn) 중 어느 하나에 접속될 수 있다. 표시패널(110)의 화소(P)들 각각은 게이트 전극에 인가된 데이터 전압에 따라 드레인-소스간 전류를 조정하는 구동 트랜지스터(transistor), 스캔 라인의 스캔신호에 의해 턴-온되어 데이터 라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 스캔 트랜지스터, 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드(organic light emitting diode), 및 상기 구동 트랜지스터의 게이트 전극의 전압을 저장하기 위한 커패시터(capacitor)를 포함할 수 있다. 이로 인해, 화소(P)들 각각은 유기발광다이오드에 공급되는 전류에 따라 발광할 수 있다.

[0042] 스캔 구동부(120)는 타이밍 콘트롤러(160)로부터 스캔 제어신호(GCS)를 입력받는다. 스캔 구동부(120)는 스캔 제어신호(GCS)에 따라 스캔 신호들을 스캔 라인들(S1~Sn)에 공급한다.

[0043] 스캔 구동부(120)는 표시패널(110)의 표시영역의 일측 또는 양측 바깥쪽의 비표시영역에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 스캔 구동부(120)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(110)의 표시영역의 일측 또는 양측 바깥쪽의 비표시영역에 부착될 수도 있다.

[0044] 데이터 구동부(130)는 타이밍 콘트롤러(160)로부터 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 입력받는다. 데이터 구동부(130)는 데이터 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 아날로그 정극성/부극성 데이터 전압으로 변환하여 데이터 라인들에 공급한다. 즉, 스캔 구동부(120)의 스캔 신호들에 의해 데이터 전압들이 공급될 화소들이 선택되며, 선택된 화소들에 데이터 전압들이 공급된다.

[0045] 데이터 구동부(130)는 도 2와 같이 복수의 소스 드라이브 IC(131)들을 포함할 수 있다. 복수의 소스 드라이브 IC(131)들 각각은 COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(140)에 실장될 수 있다. 연성필름(140)은 이방성 도전 필름(antisotropic conducting film)을 이용하여 표시패널(110)의 비표시영역에 마련된 패드들 상에 부착되며, 이로 인해 복수의 소스 드라이브 IC(131)들은 패드들에 연결될 수 있다.

[0046] 회로보드(150)는 연성필름(140)들에 부착될 수 있다. 회로보드(150)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(150)에는 타이밍 제어부(160)가 실장될 수 있다. 회로보드(150)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.

[0047] 타이밍 콘트롤러(160)는 호스트 시스템(170)으로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical synchronization signal), 수평동기신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함할 수 있다. 수직동기신호는 1 프레임 기간을 정의하는 신호이다. 수평동기신호는 표시패널(DIS)의 1 수평 라인의 화소들에 데이터 전압들을 공급하는데 필요한 1 수평기간을 정의하는 신호이다. 데이터 인에이블 신호는 유효한 데이터가 입력되는 기간을 정의하는 신호이다. 도트 클럭은 소정의 짧은 주기로 반복되는 신호이다.

[0048] 타이밍 콘트롤러(160)는 스캔 구동부(120)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위해, 타이밍 신호들에 기초하여 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)와 스캔 구동부(120)의 동작 타이밍을 제어하기 위한 스캔 제어신호(GCS)를 발생한다. 타이밍 콘트롤러(160)는 스캔 구동부(120)에 스캔 제어신호(GCS)를 출력하고, 데이터 구동부(130)에 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 출력한다.

[0049] 호스트 시스템(170)은 네비게이션 시스템, 셋톱박스, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈

시어터 시스템, 방송 수신기, 폰 시스템(Phone system) 등으로 구현될 수 있다. 호스트 시스템(170)은 스케일러(scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(DATA)를 표시패널(110)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(170)는 디지털 비디오 데이터(DATA)와 타이밍 신호들을 타이밍 콘트롤러(160)로 전송한다.

[0050] 표시패널(110)에는 데이터 라인들(D1~Dm)과 스캔 라인들(S1~Sn) 이외에 제1 및 제2 터치 전극들이 형성될 수 있다. 제1 터치 전극들은 제2 터치 전극들과 교차되도록 형성될 수 있다. 제1 터치 전극들은 제1 터치 라인들(T1~Tj, j는 2 이상의 양의 정수)을 통해 제1 터치 구동부(181)에 연결될 수 있다. 제2 터치 전극들은 제2 터치 라인들(R1~Ri, i는 2 이상의 양의 정수)을 통해 제2 터치 구동부(182)에 연결될 수 있다. 제1 터치 전극들과 제2 터치 전극들의 교차부들 각각에는 터치 센서가 형성될 수 있다. 본 발명의 실시예에서 터치 센서가 상호 용량(mutual capacitance)으로 구현된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 제1 및 제2 터치 전극들에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0051] 터치 구동부(180)는 제1 터치 라인들(T1~Tj)을 통해 제1 터치 전극들에 구동펄스를 공급하고 제2 터치 라인들(R1~Ri)을 통해 터치 센서들 각각의 차지 변화량을 센싱한다. 즉, 도 3에서는 제1 터치 라인들(T1~Tj)이 구동펄스를 공급하는 Tx 라인들이고, 제2 터치 라인들(R1~Ri)이 터치 센서들 각각의 차지 변화량을 센싱하는 Rx 라인들인 것을 중심으로 설명하였다.

[0052] 터치 구동부(40)는 제1 터치 구동부(181), 제2 터치 구동부(182), 및 터치 콘트롤러(183)를 포함한다. 제1 터치 구동부(181), 제2 터치 구동부(182), 및 터치 콘트롤러(183)는 하나의 ROIC(Read-out IC) 내에 집적될 수 있다.

[0053] 제1 터치 구동부(181)는 터치 콘트롤러(183)의 제어 하에 구동펄스를 출력할 제1 터치 라인을 선택하고, 선택된 제1 터치 라인에 구동펄스를 공급한다. 예를 들어, 제1 터치 구동부(181)는 제1 터치 라인들(T1~Tj)에 순차적으로 구동펄스들을 공급할 수 있다.

[0054] 제2 터치 구동부(182)는 터치 콘트롤러(183)의 제어 하에 터치 센서들의 차지 변화량들을 수신할 제2 터치 라인들을 선택하고, 선택된 제2 터치 라인들을 통해 터치 센서들의 차지 변화량들을 수신한다. 제2 터치 구동부(182)는 제2 터치 라인들(R1~Ri)을 통해 수신된 터치 센서들의 차지 변화량들을 샘플링하여 디지털 데이터인 터치 로우 데이터(touch raw data, TRD)로 변환한다.

[0055] 터치 콘트롤러(183)는 제1 터치 구동부(181)에서 구동펄스가 출력될 제1 터치 라인을 설정하기 위한 Tx 셋업 신호와, 제2 터치 구동부(182)에서 터치 센서 전압을 수신할 제2 터치 라인을 설정하기 위한 Rx 셋업 신호를 발생할 수 있다. 또한, 터치 콘트롤러(183)는 제1 터치 구동부(181)와 제2 터치 구동부(182)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.

[0056] 터치 좌표 산출부(190)는 터치 구동부(180)로부터 터치 로우 데이터(TRD)를 입력받는다. 터치 좌표 산출부(190)는 터치 좌표 산출방법에 따라 터치 좌표(들)를 산출하고, 터치 좌표(들)의 정보를 포함하는 터치 좌표 데이터(HIDxy)를 호스트 시스템(170)으로 출력한다.

[0057] 터치 좌표 산출부(190)는 MCU(Micro Controller Unit, MCU)로 구현될 수 있다. 호스트 시스템(170)은 터치 좌표 산출부(190)로부터 입력되는 터치 좌표 데이터(HIDxy)를 분석하여 사용자에 의해 터치가 발생한 좌표와 연계된 응용 프로그램(application program)을 실행한다. 호스트 시스템(170)은 실행된 응용 프로그램에 따라 디지털 비디오 데이터(DATA)와 타이밍 신호들을 타이밍 콘트롤러(160)로 전송한다.

[0058] 터치 구동부(180)는 소스 드라이브 IC(131)들에 포함되거나 또는 별도의 구동 칩으로 제작되어 회로 보드(150) 상에 실장될 수 있다. 또한, 터치 좌표 산출부(190)는 구동 칩으로 제작되어 회로 보드(150) 상에 실장될 수 있다.

[0059] 도 4는 도 2의 표시패널의 일 측을 개략적으로 보여주는 단면도이다.

[0060] 도 4를 참조하면, 표시패널(110)은 제1 기판(111), 제2 기판(112), 제1 및 제2 기판들(111, 112) 사이에 배치된 박막 트랜지스터층(10), 유기발광소자층(20), 봉지층(30), 컬러필터층(40) 및 터치 센싱층(50)을 포함할 수 있다.

[0061] 제1 기판(111)은 플라스틱 필름 또는 유리 기판일 수 있다.

[0062] 제1 기판(111) 상에는 박막 트랜지스터층(10)이 형성된다. 박막 트랜지스터층(10)은 스캔 라인들, 데이터 라인

들, 및 박막 트랜지스터들을 포함할 수 있다. 박막 트랜지스터들 각각은 게이트 전극, 반도체층, 소스 및 드레인 전극들을 포함한다. 스캔 구동부가 GIP(gate driver in panel) 방식으로 형성되는 경우, 스캔 구동부는 박막 트랜지스터층(10)와 함께 형성될 수 있다.

[0063] 박막 트랜지스터층(10) 상에는 유기발광소자층(20)이 형성된다. 유기발광소자층(20)은 제1 전극들, 유기발광층, 제2 전극, 및 뱅크들을 포함한다. 유기발광층들 각각은 정공 수송층(hole transporting layer), 발광층(organic light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제1 전극과 제2 전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동되며, 발광층에서 서로 결합하여 발광하게 된다. 유기발광소자층(20)이 형성된 영역에는 화소들이 마련되므로, 유기발광소자층(20)이 형성된 영역은 표시영역으로 정의될 수 있다. 표시영역의 주변 영역은 비표시영역으로 정의될 수 있다.

[0064] 유기발광소자층(20) 상에는 봉지층(30)이 형성된다. 봉지층(30)은 유기발광소자층(20)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 봉지층(30)은 적어도 하나의 무기막을 포함할 수 있다.

[0065] 봉지층(30) 상에는 컬러필터층(40)이 형성된다. 컬러필터층(50)은 서로 다른 투과 파장 범위를 갖는 복수의 컬러필터들을 포함할 수 있다. 이때, 복수의 컬러필터들 각각은 유기발광소자층(20)에 마련된 화소들 각각과 대응되도록 배치될 수 있다.

[0066] 컬러필터층(40) 상에는 터치 센싱층(50)이 형성된다. 터치 센싱층(50)은 사용자의 터치를 센싱하기 위한 제1 및 제2 터치 전극들을 포함한다. 또한, 터치 센싱층(50)은 외부로부터 입사되는 광이 제1 및 제2 터치 전극들에 반사되는 것을 방지하기 위하여 제1 및 제2 터치 전극들 상에 배치된 블랙 매트릭스를 더 포함한다. 터치 센싱층(50)의 평면 구조는 도 5를 결부하여 후술한다. 터치 센싱층(50)의 단면 구조는 도 6 및 도 7을 결부하여 후술한다.

[0067] 터치 센싱층(50) 상에는 제2 기판(112)이 형성된다. 제2 기판(112)은 제1 기판(111)을 덮는 커버(cover) 기판 또는 커버 윈도우(window)와 같은 역할을 한다. 제2 기판(112)은 플라스틱 필름, 유리 기판 또는 봉지 필름(보호 필름)일 수 있으나, 이에 한정되지 않는다. 제2 기판(112)은 휘도 향상 필름(OTF; Oled Transmittance Controllable Film)과 같은 광학 필름일 수 있다.

[0068] 도 5는 도 4의 터치 센싱층의 일 예를 보여주는 평면도이다.

[0069] 도 5를 참조하면, 터치 센싱층(50)은 제1 터치 전극들(TE)들 및 제2 터치 전극(RE)들을 포함한다. 제1 터치 전극(TE)들은 제1 방향(x축 방향)으로 연장되어 라인 형상을 가지며, 제2 터치 전극(RE)들은 제2 방향(y축 방향)으로 연장되어 라인 형상을 가진다. 제1 방향(x축 방향)은 스캔 라인들(S1~Sn)과 나란한 방향이고, 제2 방향(y축 방향)은 데이터 라인들(D1~Dm)과 나란한 방향일 수 있다. 또는, 제1 방향(x축 방향)은 데이터 라인들(D1~Dm)과 나란한 방향이고, 제2 방향(y축 방향)은 스캔 라인들(S1~Sn)과 나란한 방향일 수 있다.

[0070] 한편, 제1 터치 전극(TE)들 및 제2 터치 전극(RE)들 사이에는 절연막이 배치되어 제1 터치 전극(TE)들과 제2 터치 전극(RE)들은 전기적으로 절연된다. 또한, 제1 방향으로 연장된 제1 터치 전극(TE)들 각각은 제2 방향으로 이웃하는 제1 터치 전극(TE)들과 전기적으로 절연된다. 제2 방향으로 연장된 제2 터치 전극(RE)들 각각은 제1 방향으로 이웃하는 제2 터치 전극(RE)들과 전기적으로 절연된다.

[0071] 이로 인해, 제1 터치 전극(TE)과 제2 터치 전극(RE)의 교차 영역에는 터치 센서에 해당하는 상호 용량(mutual capacitance)이 형성될 수 있다.

[0072] 제1 방향으로 연장된 제1 터치 전극(TE)들은 일 측 끝에 제1 터치 라인(TL)과 연결될 수 있다. 제1 터치 라인(TL)은 패드(PAD)를 통해 제1 터치 구동부(181)에 연결될 수 있다. 따라서, 제1 터치 전극(TE)들은 제1 터치 라인(TL)을 통해 제1 터치 구동부(181)로부터 구동펄스를 입력받을 수 있다.

[0073] 제2 방향으로 연장된 제2 터치 전극(RE)들은 일 측 끝에 제2 터치 라인(RL)과 연결될 수 있다. 제2 터치 라인(RL)은 패드(PAD)를 통해 제2 터치 구동부(182)에 연결될 수 있다. 따라서, 제2 터치 구동부(182)는 제2 터치 전극(RE)들의 터치 센서들의 차지 변화량들을 입력받을 수 있다.

[0075] **제1 실시예**

[0076] 도 6은 도 5의 Ⅰ-Ⅰ'의 일 실시예를 보여주는 단면도이고, 도 7은 도 5의 Ⅱ-Ⅱ'의 일 실시예를 보여주는 단면

도이다.

[0077] 도 6 및 도 5를 참조하면, 제1 기판(111) 상에는 박막 트랜지스터층(10)이 형성된다. 박막 트랜지스터층(10)은 박막 트랜지스터(210)들, 게이트 절연막(220), 층간 절연막(230), 보호막(240), 및 평탄화막(250)을 포함한다.

[0078] 제1 기판(111)의 일면 상에는 버퍼막이 형성된다. 버퍼막은 투습에 취약한 제1 기판(111)을 통해 침투하는 수분으로부터 박막 트랜지스터(210)들과 유기발광소자(260)들을 보호하기 위해 제1 기판(111)의 일면 상에 형성된다. 제1 기판(111)의 일면은 제2 기판(112)과 마주보는 면일 수 있다. 버퍼막은 교번하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 버퍼막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), SiON 중 하나 이상의 무기막이 교번하여 적층된 다중막으로 형성될 수 있다. 버퍼막은 생략될 수 있다.

[0079] 버퍼막 상에는 박막 트랜지스터(210)가 형성된다. 박막 트랜지스터(210)는 액티브층(211), 게이트전극(212), 소스전극(213) 및 드레인전극(214)을 포함한다. 도 6에서는 박막 트랜지스터(210)가 게이트전극(212)이 액티브층(211)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 박막 트랜지스터(210)들은 게이트전극(212)이 액티브층(211)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트전극(212)이 액티브층(211)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.

[0080] 버퍼막 상에는 액티브층(211)이 형성된다. 액티브층(211)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다. 버퍼막과 액티브층(211) 사이에는 액티브층(211)으로 입사되는 외부광을 차단하기 위한 차광층이 형성될 수 있다.

[0081] 액티브층(211) 상에는 게이트 절연막(220)이 형성될 수 있다. 게이트 절연막(220)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.

[0082] 게이트 절연막(220) 상에는 게이트전극(212)과 게이트 라인이 형성될 수 있다. 게이트전극(212)과 게이트 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0083] 게이트전극(212)과 게이트 라인 상에는 층간 절연막(230)이 형성될 수 있다. 층간 절연막(230)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.

[0084] 층간 절연막(230) 상에는 소스전극(213), 드레인전극(214), 및 데이터 라인이 형성될 수 있다. 소스전극(213)과 드레인 전극(214) 각각은 게이트 절연막(220)과 층간 절연막(230)을 관통하는 콘택홀을 통해 액티브층(211)에 접속될 수 있다. 소스전극(213), 드레인전극(214), 및 데이터 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0085] 소스전극(223), 드레인전극(224), 및 데이터 라인 상에는 박막 트랜지스터(220)를 절연하기 위한 보호막(240)이 형성될 수 있다. 보호막(240)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.

[0086] 보호막(240) 상에는 박막 트랜지스터(210)로 인한 단차를 평탄하게 하기 위한 평탄화막(250)이 형성될 수 있다. 평탄화막(250)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0087] 박막 트랜지스터층(10) 상에는 유기발광소자층(20)이 형성된다. 유기발광소자층(20)은 유기발광소자(260)들과 뱅크(270)를 포함한다.

[0088] 유기발광소자(260)와 뱅크(270)는 평탄화막(250) 상에 형성된다. 유기발광소자는 제1 전극(261), 유기발광층(262), 및 제2 전극(263)을 포함한다. 제1 전극(261)은 애노드 전극이고, 제2 전극(263)은 캐소드 전극일 수 있다.

[0089] 제1 전극(261)은 평탄화막(250) 상에 형성될 수 있다. 제1 전극(261)은 보호막(240)과 평탄화막(250)을 관통하는 콘택홀을 통해 박막 트랜지스터(210)의 소스전극(223)에 접속된다. 제1 전극(261)은 알루미늄과 티타늄의 적층 구조(Ti/Al/Ti), 알루미늄과 ITO의 적층 구조(ITO/Al/ITO), APC 합금, 및 APC 합금과 ITO의 적층 구조(ITO/APC/ITO)과 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd), 및 구리(C

u)의 합금이다.

[0090] 뱅크(270)는 화소들(P1, P2, P3)을 구획하기 위해 평탄화막(250) 상에서 제1 전극(261)의 가장자리를 덮도록 형성될 수 있다. 즉, 뱅크(270)는 화소들(P1, P2, P3)을 정의하는 화소 정의막으로서 역할을 한다.

[0091] 화소들(P1, P2, P3) 각각은 애노드 전극에 해당하는 제1 전극, 유기발광층, 및 캐소드 전극에 해당하는 제2 전극이 순차적으로 적층되어 제1 전극으로부터의 정공과 제2 전극으로부터의 전자가 유기발광층에서 서로 결합되어 발광하는 영역을 나타낸다. 이때, 제1 화소(P1)는 적색 서브 화소로 정의될 수 있고, 제2 화소(P2)는 녹색 서브 화소로 정의될 수 있으며, 제3 화소(P3)는 청색 서브 화소로 정의될 수 있다. 그리고 제1, 제2 및 제3 화소들(P1, P2, P3)은 하나의 단위 화소로 정의될 수 있다. 하지만, 본 발명의 실시예는 이에 한정되지 않으며, 백색 서브 화소가 추가로 정의될 수도 있다.

[0092] 뱅크(270)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0093] 한편, 뱅크(270)는 블랙 뱅크일 수 있다. 블랙 뱅크는 빛을 흡수하는 물질로 이루어져 있거나 광 흡수제가 도포되어 외부로부터 유입된 광을 흡수할 수 있다. 블랙 뱅크는 후술하는 블랙 매트릭스(BM)와 중첩되도록 배치될 수 있다. 이때, 블랙 뱅크는 너비가 블랙 매트릭스(BM)와 동일하거나 크게 형성되어 블랙 매트릭스(BM)에 흡수되지 못하고 유입된 광을 흡수할 수 있다. 이러한 블랙 뱅크는 흑색 계열의 물질로 이루어질 수 있고, 예를 들어, 카본 계열의 블랙 안료를 포함할 수 있다.

[0094] 제1 전극(261)과 뱅크(270) 상에는 유기발광층(262)이 형성된다. 유기발광층(262)은 화소들(P1, P2, P3)에 공통적으로 형성되는 공통층이며, 백색 광을 발광하는 백색 발광층일 수 있다. 이 경우, 유기발광층(262)은 2 스택(stack) 이상의 탠덤 구조로 형성될 수 있다. 스택들 각각은 정공 수송층(hole transporting layer), 적어도 하나의 발광층(light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다.

[0095] 도 6 및 도 7에서는 유기발광층(262)이 화소들(P1, P2, P3)에 공통적으로 형성되는 공통층으로 도시하고 있으나, 이에 한정되지 않는다. 다른 일 실시예에 있어서, 유기발광층(262)은 적색 광을 발광하는 적색 발광층, 녹색 광을 발광하는 녹색 발광층 및 청색 광을 발광하는 청색 발광층을 포함할 수 있다. 제1 화소(P1)의 제1 전극(261) 상에는 적색 발광층이 형성될 수 있다. 제2 화소(P2)의 제1 전극(261) 상에는 녹색 발광층이 형성될 수 있다. 제3 화소(P3)의 제1 전극(261) 상에는 청색 발광층이 형성될 수 있다. 이 경우, 적색 발광층, 녹색 발광층 및 청색 발광층 각각은 미세 금속 마스크(fine metal mask, FMM)를 이용하여 증착될 수 있다.

[0096] 제2 전극(263)은 유기발광층(262) 상에 형성된다. 제2 전극(263)은 유기발광층(262)을 덮도록 형성될 수 있다. 제2 전극(263)은 화소들(RP, GP, BP, WP)에 공통적으로 형성되는 공통층일 수 있다.

[0097] 제2 전극(263)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)로 형성될 수 있다. 제2 전극(140)이 반투과 금속물질로 형성되는 경우, 마이크로 캐비티(micro cavity)에 의해 출광 효율이 높아질 수 있다. 제2 전극(263) 상에는 캡핑층(capping layer)이 형성될 수 있다.

[0098] 유기발광소자층(20) 상에는 봉지층(30)이 형성된다. 봉지층(30)은 봉지막(280)을 포함한다.

[0099] 구체적으로, 제2 전극(263) 상에는 봉지막(280)이 배치된다. 봉지막(280)은 유기발광층(262)과 제2 전극(263)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위해, 봉지막(280)은 적어도 하나의 무기막 및 적어도 하나의 유기막을 포함할 수 있다. 예를 들어, 봉지막(280)은 제1 무기막(281), 유기막(282), 및 제2 무기막(283)를 포함할 수 있다.

[0100] 제2 전극(263) 상에는 제1 무기막(281)이 배치될 수 있다. 제1 무기막(281)은 제2 전극(263)을 덮도록 형성될 수 있다. 제1 무기막(281) 상에는 유기막(282)이 배치될 수 있다. 유기막(282)은 이물들(particles)이 제1 무기막(281)을 뚫고 유기발광층(262)과 제2 전극(263)에 투입되는 것을 방지하기 위해 충분한 두께로 형성될 수 있다. 이러한 유기막(282)은 패드(PAD)를 덮지 않도록 댐(미도시)에 의해 차단될 수 있다. 유기막(282) 상에는 제2 무기막(283)이 배치될 수 있다. 제2 무기막(283)은 유기막(282)을 덮도록 형성될 수 있다.

[0101] 제1 및 제2 무기막들(281, 283) 각각은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물로 형성될 수 있다. 유기막(282)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지

(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있다.

[0102] 봉지층(30) 상에는 컬러필터층(40)이 형성된다. 컬러필터층(40)은 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 및 오버코트층(290)을 포함한다.

[0103] 구체적으로, 봉지막(280) 상에는 서로 다른 투과 파장 범위를 갖는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)이 배치된다. 제1 컬러필터(CF1)는 제1 화소(P1)에 대응되게 배치되는 적색 컬러필터이고, 제2 컬러필터(CF2)는 제2 화소(P2)에 대응되게 배치되는 녹색 컬러필터이며, 제3 컬러필터(CF3)는 제3 화소(P3)에 대응되게 배치되는 청색 컬러필터일 수 있다. 이와 같은 경우, 제1 컬러필터(CF1)는 적색 안료를 포함하는 유기막으로 형성되고, 제2 컬러필터(CF2)는 녹색 안료를 포함하는 유기막으로 형성되며, 제3 컬러필터(CF3)는 청색 안료를 포함하는 유기막으로 형성될 수 있다.

[0104] 도면에 도시하고 있지는 않지만, 컬러필터층(40)은 백색 서브 화소에 대응되게 배치되는 투명 유기막을 더 포함할 수 있다. 이때, 투명 유기막은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있다.

[0105] 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 상에는 오버코트층(overcoat layer, 290)이 형성된다. 오버코트층(290)은 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 상에 배치되어 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 간의 단차를 평탄화시킨다.

[0106] 컬러필터층(40) 상에는 터치 센싱층(50)이 형성된다. 터치 센싱층(50)은 제1 터치 전극(TE)들, 제2 터치 전극(RE)들, 블랙 매트릭스(BM), 제1 절연막(INS1), 제2 절연막(INS2) 및 제3 절연막(INS3)을 포함한다.

[0107] 제1 터치 전극(TE)들은 컬러필터층(40) 상면에 직접 형성될 수 있다. 제1 터치 전극(TE)들은 제1 방향(x축 방향)으로 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부와 중첩되도록 배치될 수 있다. 이러한 제1 터치 전극(TE)들은 ITO, IZO와 같은 투명한 금속물질은 물론, 또는 Al, AlNd, Mo, MoTi, Cu, Cr, Ag, Ag 계열 합금들과 같은 금속물질로 형성될 수 있다.

[0108] 제1 절연막(INS1)은 제1 터치 전극(TE)들을 덮도록 형성될 수 있다. 이때, 제1 절연막(INS1)은 제1 터치 전극(TE)들 사이에 배치될 수 있다. 제1 터치 전극(TE)들 각각은 제1 절연막(INS1)에 의해 서로 절연될 수 있다. 또한, 제1 절연막(INS1)은 제1 터치 전극(TE)들 상에 배치될 수 있다. 이러한 제1 절연막(INS1)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.

[0109] 제2 터치 전극(RE)들은 제1 절연막(INS1) 상에 형성될 수 있다. 제2 터치 전극(RE)들은 제2 방향(y축 방향)으로 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부와 중첩되도록 배치될 수 있다. 또한, 제2 터치 전극(RE)들은 제1 절연막(INS1)에 의해 제1 터치 전극(TE)들과 절연될 수 있다. 이러한 제2 터치 전극(RE)들은 ITO, IZO와 같은 투명한 금속물질은 물론, 또는 Al, AlNd, Mo, MoTi, Cu, Cr, Ag, Ag 계열 합금들과 같은 금속물질로 형성될 수 있다.

[0110] 제2 절연막(INS2)은 제2 터치 전극(RE)들을 덮도록 형성될 수 있다. 이때, 제2 절연막(INS2)은 제2 터치 전극(RE)들 사이에 배치될 수 있다. 제2 터치 전극(RE)들 각각은 제2 절연막(INS2)에 의해 서로 절연될 수 있다. 또한, 제2 절연막(INS2)은 제2 터치 전극(RE)들 상에 배치될 수 있다. 이러한 제2 절연막(INS2)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 도 6 및 도 7에서는 제2 절연막(INS2)을 도시하고 있으나, 제2 절연막(INS2)은 생략될 수 있다.

[0111] 제1 터치 라인(TL)은 제1 터치 전극(TE)으로부터 연장되고, 제2 터치 라인(RL)은 제2 터치 전극(RE)으로부터 연장될 수 있다. 제1 및 제2 터치 라인(TL, RL) 각각은 비표시 영역으로 연장되어 비표시 영역의 패드(PAD)에 접속될 수 있다.

[0112] 블랙 매트릭스(BM)는 제2 절연막(INS2) 상에 형성될 수 있다. 블랙 매트릭스(BM)는 제1 방향(x축 방향)으로 제1 터치 전극(TE)들과 중첩되도록 배치될 수 있다. 또한, 블랙 매트릭스(BM)는 제2 방향(y축 방향)으로 제2 터치 전극(RE)들과 중첩되도록 배치될 수 있다. 이와 같이, 블랙 매트릭스(BM)는 제1 및 제2 터치 전극(TE, RE)들과 중첩되도록 배치되어 외부로부터 입사되는 광이 제1 및 제2 터치 전극(TE, RE)들에 반사되는 것을 방지한다. 이와 함께, 블랙 매트릭스(BM)는 제1 내지 제3 컬러필터(CF1, CF2, CF3)의 경계부에 중첩되도록 배치되어 인접한 화소들에서 혼색이 발생하는 것을 방지한다.

[0113] 이러한 블랙 매트릭스(BM)는 카본 계열의 블랙 안료를 포함하는 유기막으로 형성될 수 있다. 또는 블랙 매트릭

스(BM)는 광 흡수율이 높은 크롬(Cr), 몰리브덴(Mo), 몰리브덴과 티타늄의 합금(MoTi), 텅스텐(W), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 망간(Mn), 코발트(Co) 또는 니켈(Ni)과 같은 불투명 금속 물질로 형성될 수 있다.

[0114] 제3 절연막(INS3)은 블랙 매트릭스(BM)를 덮도록 형성될 수 있다. 이러한 제3 절연막(INS3)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 도 6 및 도 7에서는 제3 절연막(INS3)을 도시하고 있으나, 제3 절연막(INS3)은 생략될 수 있다.

[0115] 본 발명의 실시예는 봉지층(30) 상에 컬러필터층(40)을 직접 형성하고, 컬러필터층(40) 상에 터치 센싱층(50)을 직접 형성함으로써 제1 기판(111)과 제2 기판(112)을 합착시 정렬할 필요가 없으며, 별도의 접착층이 필요 없다. 이에 따라, 본 발명의 실시예는 장치의 두께를 감소시킬 수 있다.

[0116] 또한, 본 발명의 실시예는 봉지층(30) 상에 터치 센싱층(50)이 아닌 컬러필터층(40)을 형성하여 유기발광층(262)과 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 간의 거리를 최소화시킬 수 있다. 이에 따라, 본 발명의 실시예는 휘도 시야각 및 색 시야각을 개선시킬 수 있다.

[0117] 또한, 본 발명의 실시예는 제1 및 제2 터치 전극(TE, RE)들 상에 블랙 매트릭스(BM)를 배치함으로써, 블랙 매트릭스(BM)를 이용하여 외부로부터 입사되는 광이 제1 및 제2 터치 전극(TE, RE)들에 반사되는 것을 방지할 수 있다. 이에 따라, 본 발명의 실시예는 별도의 편광판을 구비하지 않고도 외광 반사를 차단할 수 있으므로, 제조 비용을 절감할 수 있는 동시에 장치의 두께를 감소시킬 수 있다.

[0118] 또한, 본 발명의 실시예는 컬러필터층(40) 상에 터치 센싱층(50)을 배치함으로써, 터치 센싱층(50)의 제1 및 제2 터치 전극(TE, RE)들과 유기발광소자층(20)의 제1 및 제2 전극(261, 263) 사이에 거리를 확보할 수 있다. 이에 따라, 본 발명의 실시예는 터치 센싱층(50)의 제1 및 제2 터치 전극(TE, RE)들과 유기발광소자층(20)의 제1 및 제2 전극(261, 263)들 간의 기생 캡에 의한 노이즈를 줄일 수 있다.

[0120] **제2 실시예**

[0121] 도 8은 도 5의 Ⅰ-Ⅰ'의 다른 실시예를 보여주는 단면도이다.

[0122] 도 8에 도시된 터치 스크린 일체형 표시장치는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)이 경계부에서 중첩되어 있다는 것을 제외하고는 도 6 및 도 7을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 6 및 도 7에 도시된 제1 기판(111), 제2 기판(112), 박막 트랜지스터(10), 유기발광소자층(20), 봉지층(30) 및 터치 센싱층(50)에 대한 자세한 설명은 생략하도록 한다.

[0123] 봉지층(30) 상에는 컬러필터층(40)이 형성된다. 컬러필터층(40)은 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 및 오버코트층(290)을 포함한다.

[0124] 구체적으로, 봉지막(280) 상에는 서로 다른 투과 파장 범위를 갖는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)이 배치된다. 제1 컬러필터(CF1)는 제1 화소(P1)에 대응되게 배치되는 적색 컬러필터이고, 제2 컬러필터(CF2)는 제2 화소(P2)에 대응되게 배치되는 녹색 컬러필터이며, 제3 컬러필터(CF3)는 제3 화소(P3)에 대응되게 배치되는 청색 컬러필터일 수 있다. 이와 같은 경우, 제1 컬러필터(CF1)는 적색 안료를 포함하는 유기막으로 형성되고, 제2 컬러필터(CF2)는 녹색 안료를 포함하는 유기막으로 형성되며, 제3 컬러필터(CF3)는 청색 안료를 포함하는 유기막으로 형성될 수 있다.

[0125] 제1 내지 제3 컬러필터들(CF1, CF2, CF3)은 뱅크(270)와 중첩되는 영역, 즉, 경계부에서 중첩되도록 배치될 수 있다. 도 8에 도시된 바와 같이, 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)이 차례로 적층될 수 있다. 이때, 경계부에 적층된 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 적층 순서는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 형성 순서와 관련이 있다. 예를 들어, 컬러필터층(40)이 제1 컬러필터(CF1), 제2 컬러필터(CF2), 제3 컬러필터(CF3) 순서로 형성된다면, 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에는 제1 컬러필터(CF1), 제2 컬러필터(CF2), 제3 컬러필터(CF3) 순서로 중첩되어 형성될 수 있다.

[0126] 한편, 도 8에서는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 모두가 중첩되어 있는 것으로 도시하고 있으나, 이에 한정되지 않는다. 다른 일 실시예에 있어서, 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에는 인접한 2개의 컬러필터가 중첩될 수 있다. 예를 들어, 제1 컬러필터(CF1)와 제2 컬러필터(CF2)의 경계부에는 제1 컬러필터(CF1) 및 제2 컬러필터(CF2)가 중첩되어 형성되고,

제3 컬러필터(CF3)는 중첩되지 않을 수 있다.

[0127] 상술한 바와 같이 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 중 적어도 둘 이상을 중첩되도록 배치함으로써 어느 한 화소의 광이 인접한 화소의 컬러필터로 진행하여 혼색이 발생하는 것을 효과적으로 방지할 수 있다.

[0128] 예를 들어 설명하면, 제1 및 제2 컬러필터들(CF1, CF2)의 경계부에 적색광을 투과시키는 제1 컬러필터(CF1) 및 녹색광을 투과시키는 제2 컬러필터(CF2)가 순서대로 중첩되어 있는 경우, 제1 컬러필터(CF1)를 투과한 적색광은 제2 컬러필터(CF2)를 투과하지 못할 수 있다. 이에 따라, 제1 화소(P1)의 광이 제2 화소(P2)로 진행하지 못하며, 제2 화소(P2)의 광이 제1 화소(P1)로 진행하지 못할 수 있다.

[0129] 한편, 도면에 도시하고 있지는 않지만, 컬러필터층(40)은 백색 서브 화소에 대응되게 배치되는 투명 유기막을 더 포함할 수 있다. 이때, 투명 유기막은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin)로 형성될 수 있다.

[0130] 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 상에는 오버코트층(overcoat layer, 290)이 형성된다. 오버코트층(290)은 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 상에 배치되어 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 간의 단차를 평탄화시킨다.

[0131] 본 발명의 실시예는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 중 둘 이상이 중첩되도록 형성함으로써, 어느 한 화소의 광이 인접한 화소의 컬러필터로 진행하여 혼색이 발생하는 것을 효과적으로 방지할 수 있다.

[0132] 또한, 본 발명의 실시예는 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부에 혼색을 방지하기 위한 별도의 패턴을 형성하지 않고, 제1 내지 제3 컬러필터들(CF1, CF2, CF3) 중 둘 이상을 중첩되도록 형성하는 것만으로 혼색 발생 효과를 기대할 수 있다. 이에 따라, 본 발명의 실시예는 별도의 제조 공정이 추가될 필요가 없다.

[0134] **제3 실시예**

[0135] 도 9는 도 4의 터치 센싱층의 다른 예를 보여주는 평면도이다. 도 10은 도 9의 Ⅲ-Ⅲ'의 일 실시예를 보여주는 단면도이고, 도 11은 도 9의 Ⅳ-Ⅳ'의 일 실시예를 보여주는 단면도이다.

[0136] 도 9를 참조하면, 터치 센싱층(50)은 제1 터치 전극들(TE)들, 제2 터치 전극(RE)들 및 브리지 전극(BE)을 포함한다. 제1 터치 전극(TE)들은 제1 방향(x축 방향)으로 배치되어 서로 연결되며, 제2 터치 전극(RE)들은 제2 방향(y축 방향)으로 배치되어 서로 연결된다. 제1 방향(x축 방향)은 스캔 라인들(S1~Sn)과 나란한 방향이고, 제2 방향(y축 방향)은 데이터 라인들(D1~Dm)과 나란한 방향일 수 있다. 또는, 제1 방향(x축 방향)은 데이터 라인들(D1~Dm)과 나란한 방향이고, 제2 방향(y축 방향)은 스캔 라인들(S1~Sn)과 나란한 방향일 수 있다.

[0137] 제1 터치 전극(TE)들과 제2 터치 전극(RE)들이 그들이 교차 영역들에서 서로 단락되는 것을 방지하기 위해, 제1 방향으로 서로 인접한 제1 터치 전극(TE)들은 브리지 전극(BE)을 통해 전기적으로 연결될 수 있다. 브리지 전극(BE)은 제1 및 제2 터치 전극(TE, RE)들과 서로 다른 층에 배치되며, 콘택부(CT)들을 통해 서로 인접한 제1 터치 전극(TE)들에 접속될 수 있다. 브리지 전극(BE)은 제2 터치 전극(RE)과 교차될 수 있다.

[0138] 제1 방향으로 연결된 제1 터치 전극(TE)들 각각은 제2 방향으로 이웃하는 제1 터치 전극(TE)들과 전기적으로 절연된다. 제2 방향으로 연결된 제2 터치 전극(RE)들 각각은 제1 방향으로 이웃하는 제2 터치 전극(RE)들과 전기적으로 절연된다.

[0139] 이로 인해, 제1 터치 전극(TE)과 제2 터치 전극(RE)의 교차 영역에는 터치 센서에 해당하는 상호 용량(mutual capacitance)이 형성될 수 있다.

[0140] 제1 방향으로 연결된 제1 터치 전극(TE)들은 일 측 끝에 제1 터치 라인(TL)과 연결될 수 있다. 제1 터치 라인(TL)은 패드(PAD)를 통해 제1 터치 구동부(181)에 연결될 수 있다. 따라서, 제1 터치 전극(TE)들은 제1 터치 라인(TL)을 통해 제1 터치 구동부(181)로부터 구동펄스를 입력받을 수 있다.

[0141] 제2 방향으로 연결된 제2 터치 전극(RE)들은 일 측 끝에 제2 터치 라인(RL)과 연결될 수 있다. 제2 터치 라인(RL)은 패드(PAD)를 통해 제2 터치 구동부(182)에 연결될 수 있다. 따라서, 제2 터치 구동부(182)는 제2 터치

전극(RE)들의 터치 센서들의 차지 변화량들을 입력받을 수 있다.

[0142] 도 10 및 도 11에 도시된 터치 스크린 일체형 표시장치는 제1 터치 전극(TE)들이 브리지 전극(BE)을 통해 서로 연결된다는 것을 제외하고는 도 6 및 도 7을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 6 및 도 7에 도시된 제1 기판(111), 제2 기판(112), 박막 트랜지스터(10), 유기발광소자층(20), 봉지층(30) 및 컬러필터층(40)에 대한 자세한 설명은 생략하도록 한다.

[0143] 컬러필터층(40) 상에는 터치 센싱층(50)이 형성된다. 터치 센싱층(50)은 제1 터치 전극(TE)들, 제2 터치 전극(RE)들, 브리지 전극(BE)들, 블랙 매트릭스(BM), 제1 절연막(INS1) 및 제3 절연막(INS3)을 포함한다.

[0144] 제1 터치 전극(TE)들 및 제2 터치 전극(RE)들은 컬러필터층(40) 상면에 직접 형성될 수 있다. 제1 터치 전극(TE)들은 제1 방향(x축 방향)으로 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부와 중첩되도록 배치될 수 있다. 제2 터치 전극(RE)들은 제2 방향(y축 방향)으로 제1 내지 제3 컬러필터들(CF1, CF2, CF3)의 경계부와 중첩되도록 배치될 수 있다. 이러한 제1 및 제2 터치 전극(TE, RE)들은 ITO, IZO와 같은 투명한 금속물질은 물론, 또는 Al, AlNd, Mo, MoTi, Cu, Cr, Ag, Ag 계열 합금들과 같은 금속물질로 형성될 수 있다.

[0145] 제1 터치 전극(TE)들, 제2 터치 전극(RE)들, 제1 터치 라인(TL)들, 및 제2 터치 라인(RL)들은 동일한 층에 배치될 수 있다. 제1 절연막(INS1)은 제1 터치 전극(TE)들, 제2 터치 전극(RE)들, 제1 터치 라인(TL)들, 및 제2 터치 라인(RL)들을 덮도록 배치될 수 있다. 이때, 제1 절연막(INS1)은 제1 터치 전극(TE)들 각각과 제2 터치 전극(RE)들 각각의 사이에 배치될 수 있다. 제1 터치 전극(TE)들 각각은 제1 절연막(INS1)에 의해 제2 터치 전극(RE)들 각각과 절연될 수 있다. 또한, 제1 절연막(INS1)은 제1 터치 전극(TE)들과 제2 터치 전극(RE)들 상에 배치될 수 있다. 제2 터치 전극(RE)들은 제1 절연막(INS1)에 의해 브리지 전극(BE)들과 절연될 수 있다. 이러한 제1 절연막(INS1)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다.

[0146] 제1 터치 라인(TL)은 제1 터치 전극(TE)으로부터 연장되고, 제2 터치 라인(RL)은 제2 터치 전극(RE)으로부터 연장될 수 있다. 제1 및 제2 터치 라인(TL, RL) 각각은 비표시 영역으로 연장되어 비표시 영역의 패드(PAD)에 접속될 수 있다.

[0147] 브리지 전극(BE)들 각각은 콘택부(CT)들을 통해 서로 인접한 제1 터치 전극(TE)들과 접속될 수 있다. 브리지 전극(BE)은 제2 터치 전극(RE)과 교차될 수 있다. 이때, 콘택부(CT)들은 제1 절연막(INS1)을 관통하여 형성될 수 있다.

[0148] 블랙 매트릭스(BM)는 제1 절연막(INS1) 및 브리지 전극(BE)들 상에 형성될 수 있다. 블랙 매트릭스(BM)는 제1 방향(x축 방향)으로 제1 터치 전극(TE)들 및 브리지 전극(BE)들과 중첩되도록 배치될 수 있다. 또한, 블랙 매트릭스(BM)는 제2 방향(y축 방향)으로 제2 터치 전극(RE)들과 중첩되도록 배치될 수 있다. 이와 같이, 블랙 매트릭스(BM)는 제1 터치 전극(TE)들, 제2 터치 전극(RE)들 및 브리지 전극(BE)들과 중첩되도록 배치되어 외부로부터 입사되는 광이 제1 터치 전극(TE)들, 제2 터치 전극(RE)들 및 브리지 전극(BE)들에 반사되는 것을 방지한다. 또한, 블랙 매트릭스(BM)는 제1 내지 제3 컬러필터(CF1, CF2, CF3)의 경계부에 중첩되도록 배치되어 인접한 화소들에서 혼색이 발생하는 것을 방지한다.

[0149] 이러한 블랙 매트릭스(BM)는 카본 계열의 블랙 안료를 포함하는 유기막으로 형성될 수 있다. 또는 블랙 매트릭스(BM)는 광 흡수율이 높은 크롬(Cr), 몰리브덴(Mo), 몰리브덴과 티타늄의 합금(MoTi), 텅스텐(W), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 망간(Mn), 코발트(Co) 또는 니켈(Ni)과 같은 불투명 금속 물질로 형성될 수 있다.

[0150] 제3 절연막(INS3)은 블랙 매트릭스(BM)를 덮도록 형성될 수 있다. 이러한 제3 절연막(INS3)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있다. 도 10 및 도 11에서는 제3 절연막(INS3)을 도시하고 있으나, 제3 절연막(INS3)은 생략될 수 있다.

[0151] 본 발명의 실시예는 제1 및 제2 터치 전극(TE, RE)들을 동일한 층에 형성함으로써, 터치 센싱층(50)의 두께를 최소화시킬 수 있다.

[0153] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한

것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0154] 100: 터치 스크린 일체형 표시장치 110: 표시패널

111: 하부 기판 112: 상부 기판

120: 게이트 구동부 130: 데이터 구동부

131: 소스 드라이브 IC 140: 연성필름

150: 회로보드 160: 타이밍 콘트롤러

170: 호스트 시스템 180: 터치 구동부

181: 제1 터치 구동부 182: 제2 터치 구동부

183: 터치 콘트롤러 190: 터치 좌표 산출부

10: 박막 트랜지스터층 20: 유기발광소자층

30: 봉지층 40: 컬러필터층

50: 터치 센싱층 210: 박막 트랜지스터

211: 액티브층 212: 게이트전극

213: 소스전극 214: 드레인전극

220: 게이트 절연막 230: 층간 절연막

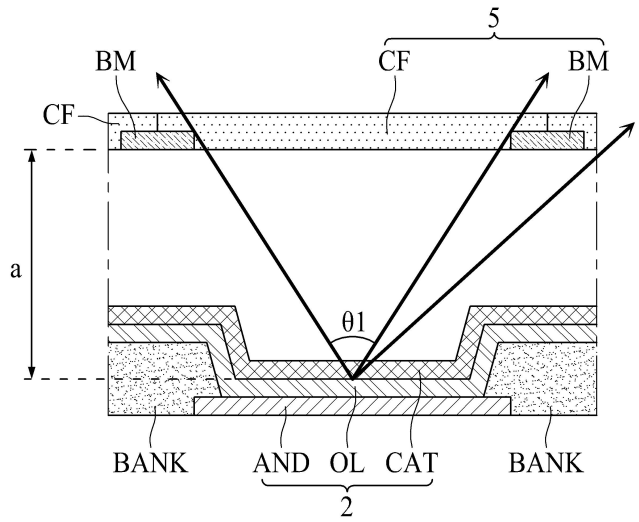
240: 보호막 250: 평탄화막

260: 유기발광소자 261: 제1 전극

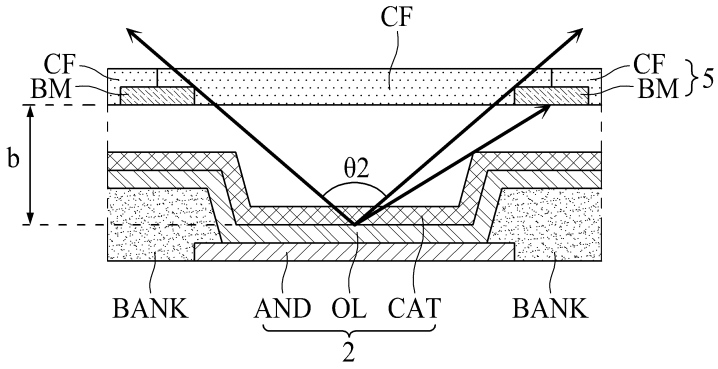
262: 유기발광층 263: 제2 전극

도면

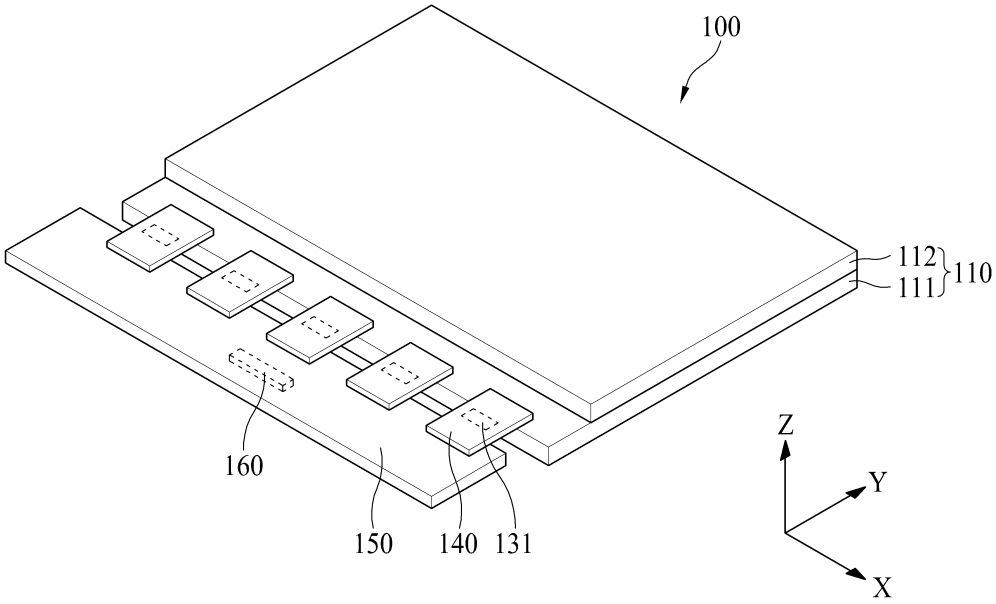
도면1a



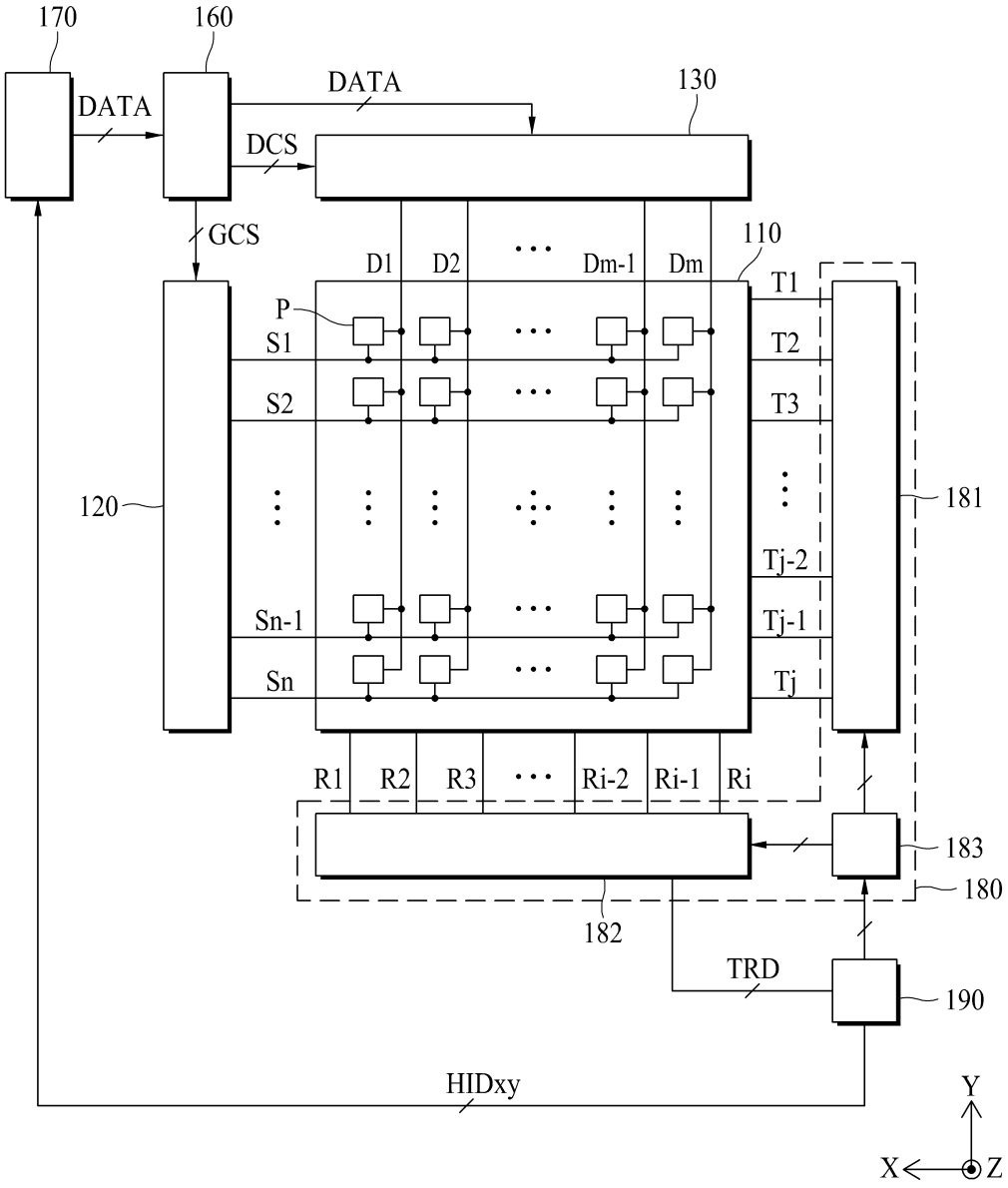
도면1b


CF
CF
BM
CF
BM
5
b
θ2
BANK
AND
OL
CAT
BANK
2

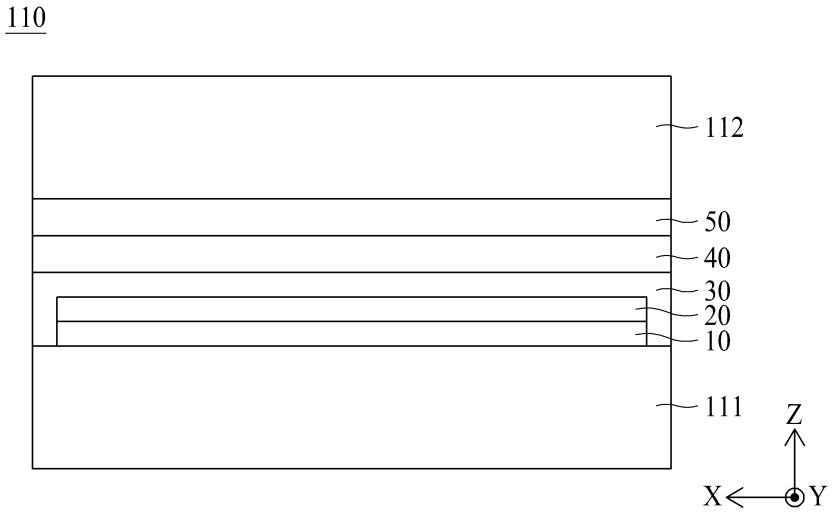
도면2


100
112
111
110
160
150
140
131
Z
Y
X

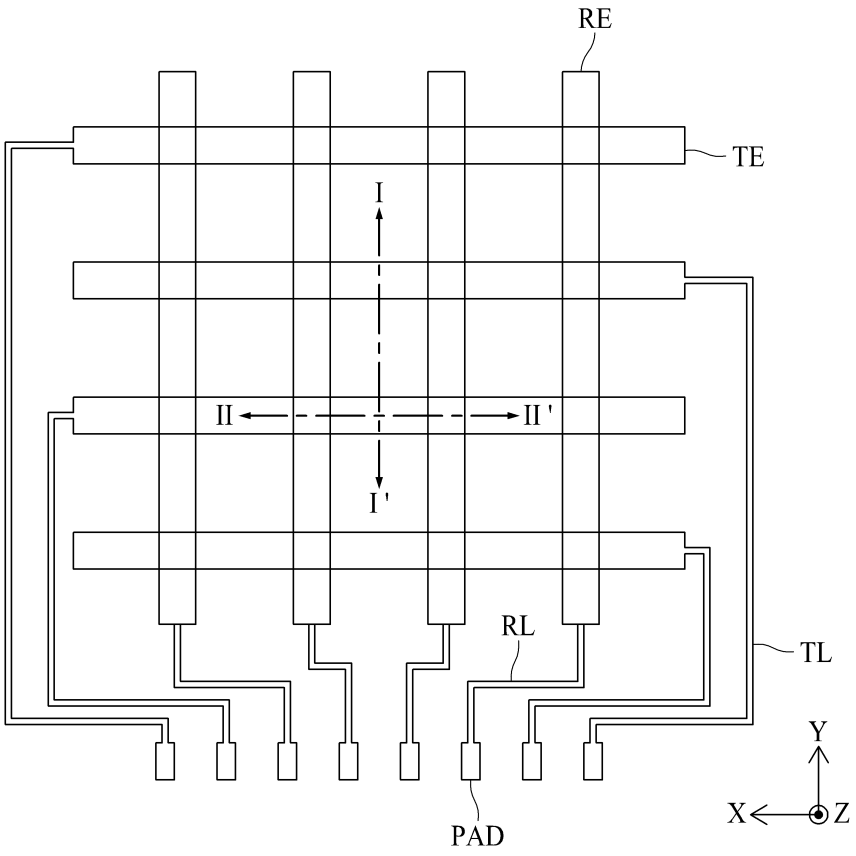
도면3


170
160
DATA
DATA
130
DCS
GCS
110
D1
D2
Dm-1
Dm
T1
P
S1
T2
S2
T3
120
181
Tj-2
Sn-1
Tj-1
Sn
Tj
R1
R2
R3
Ri-2
Ri-1
Ri
183
180
182
TRD
190
HIDxy
Y
X
Z

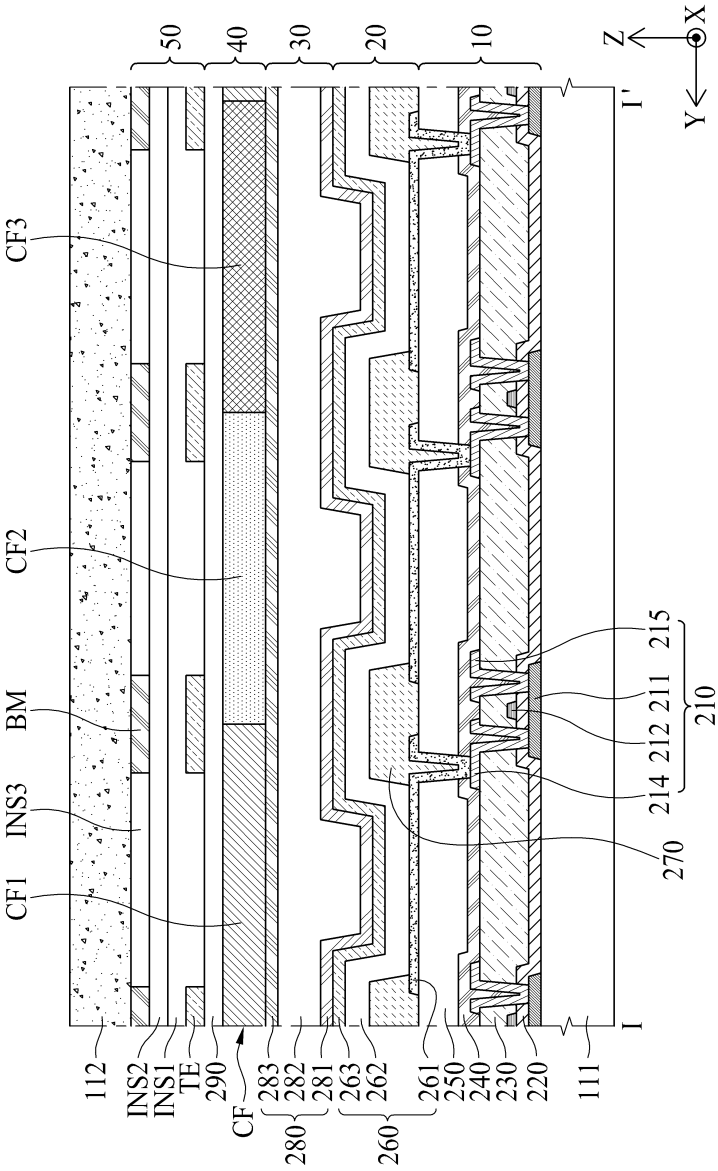
도면4



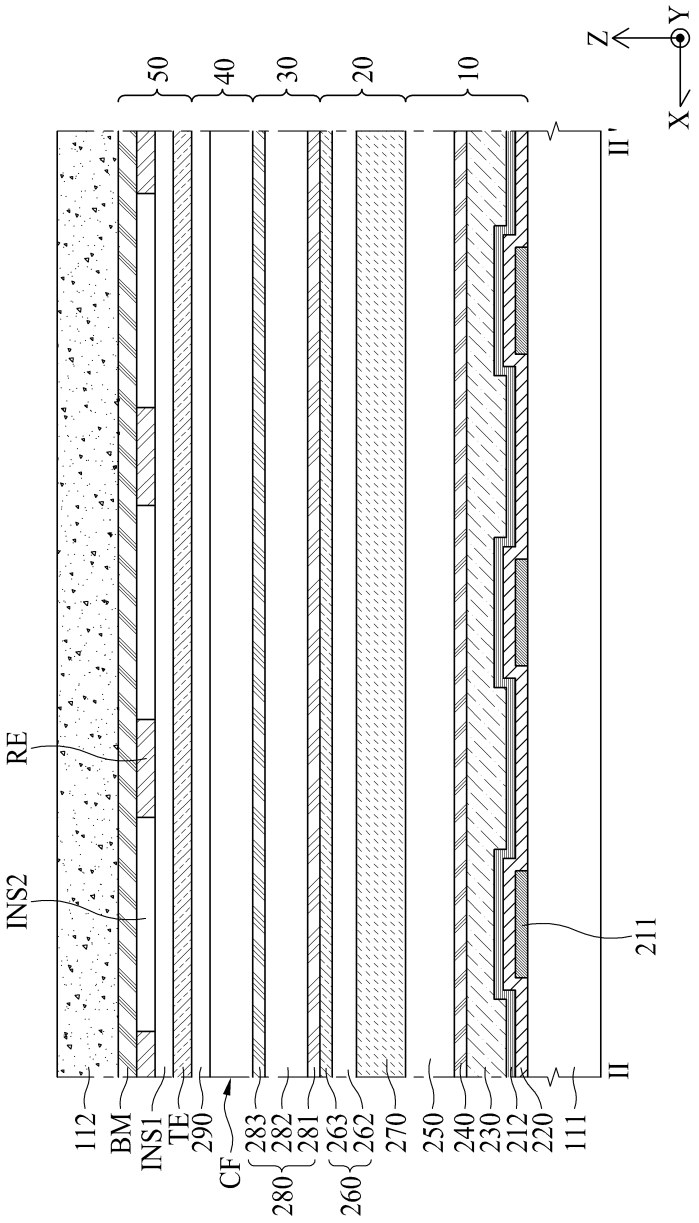
도면5



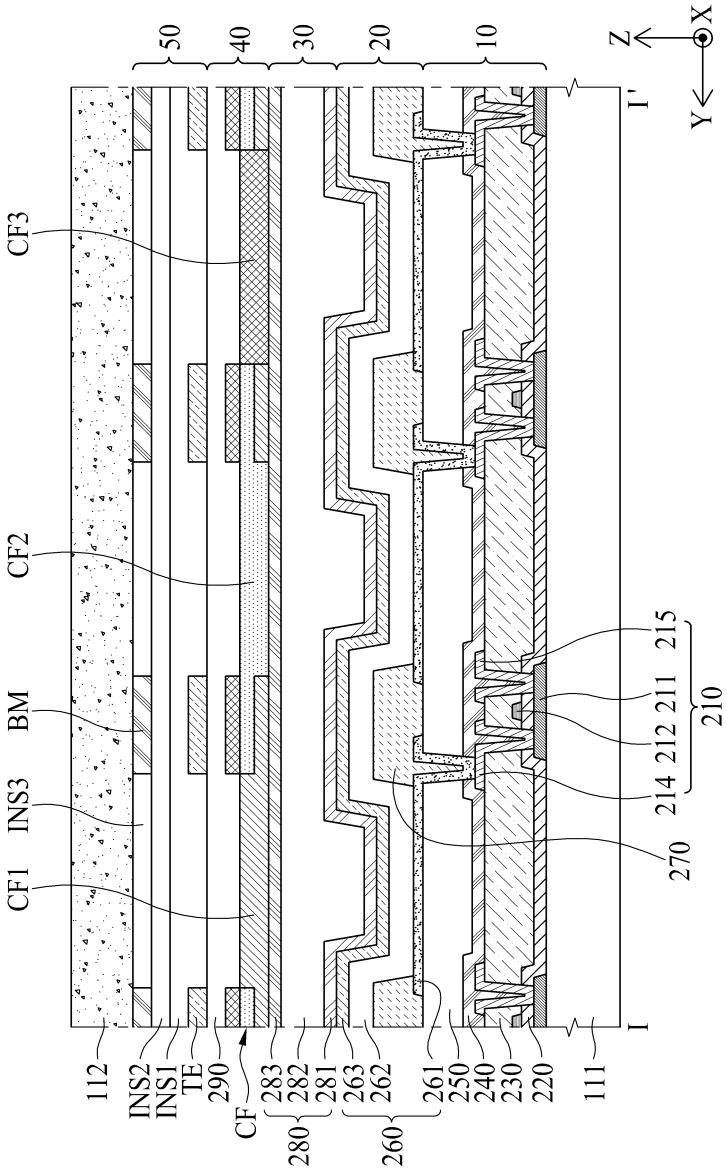
도면6


50
40
30
20
10
Z
X
Y
I'
I
CF3
CF2
BM
INS3
CF1
112
INS2
INS1
TE
290
CF
283
282
281
263
262
280
260
261
250
240
230
220
111
270
214
212
211
215
210

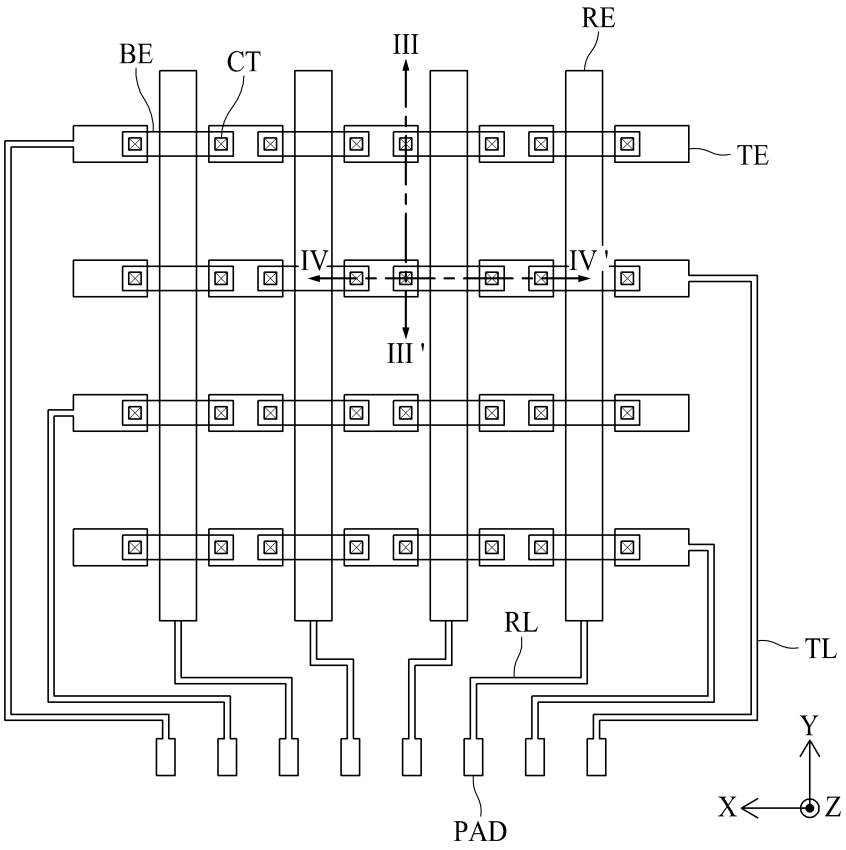
도면7


50
40
30
20
10
Z
Y
X
II'
II
RE
INS2
211
112
BM
INS1
TE
290
CF
283
282
281
280
263
262
260
270
250
240
230
212
220
111

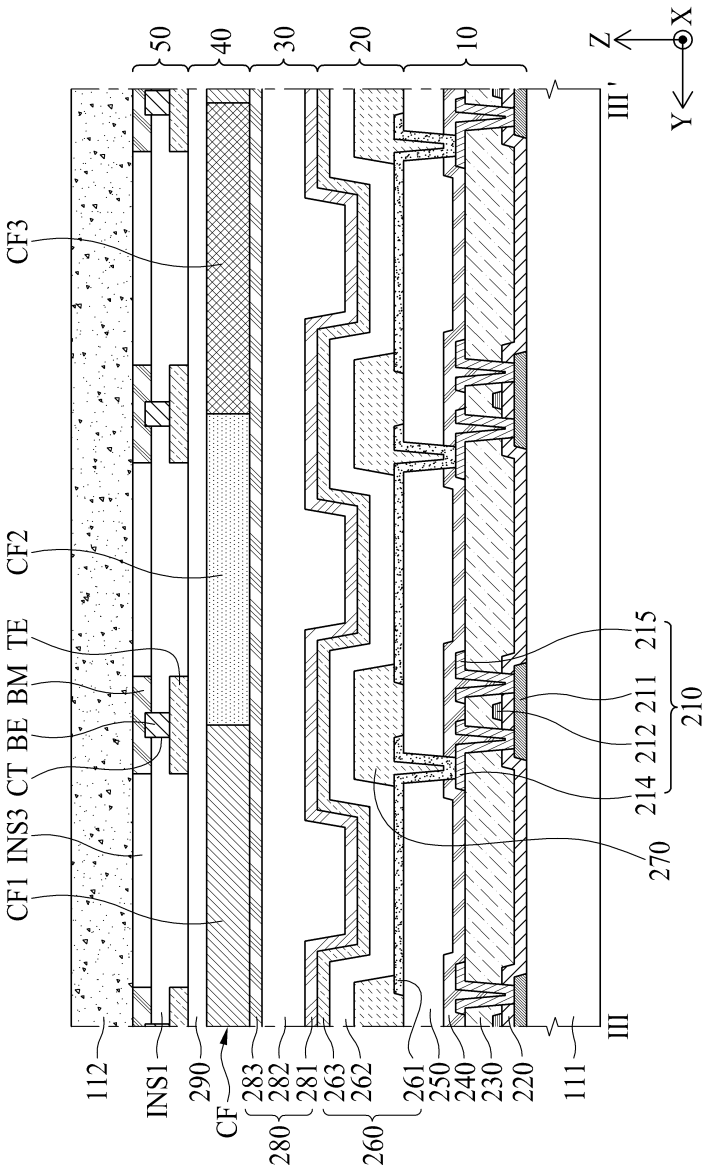
도면8


50
40
30
20
10
Z
X
Y
I'
I
CF3
CF2
BM
INS3
CF1
215
211
212
210
214
270
112
INS2
INS1
TE
290
CF
283
282
280
281
263
262
260
261
250
240
230
220
111

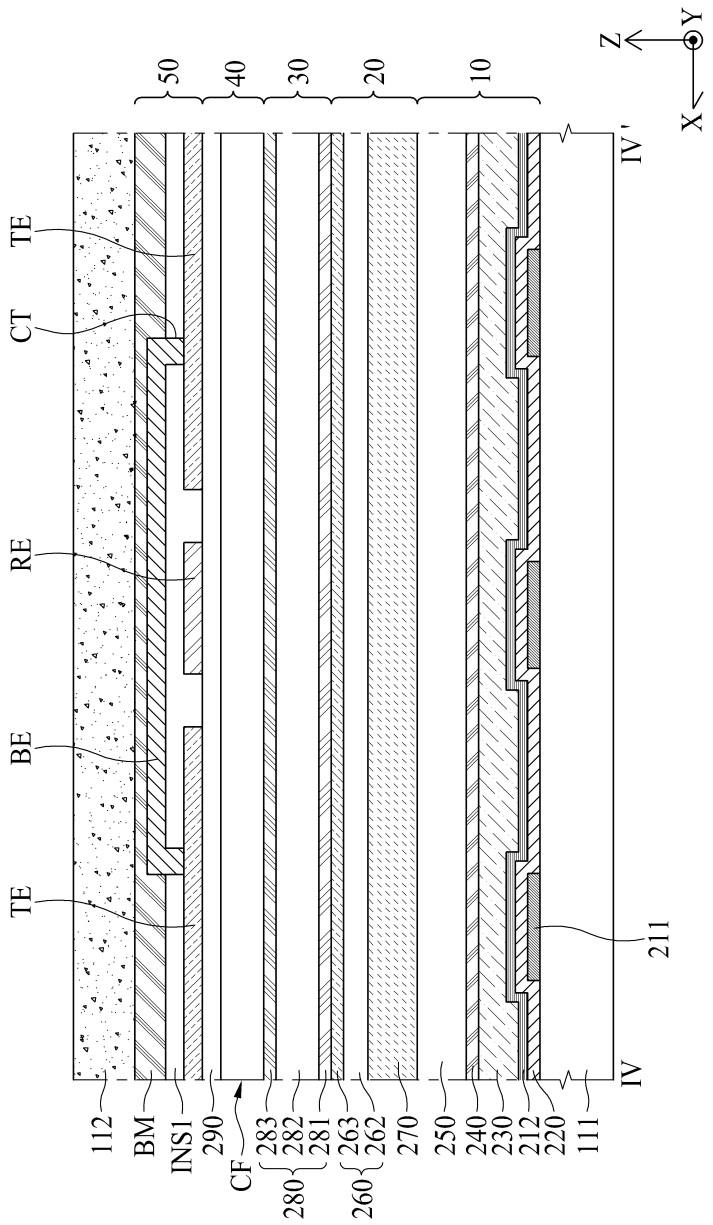
도면9



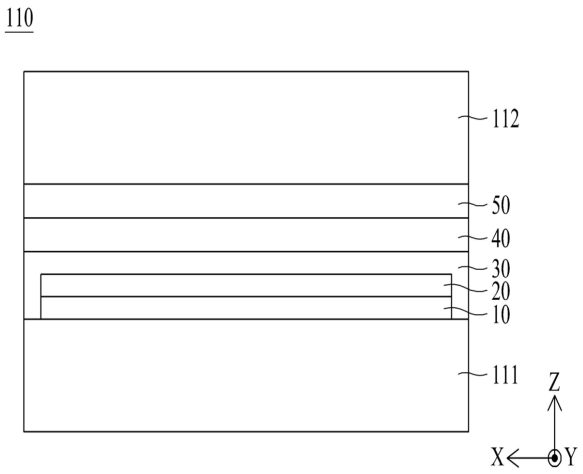
도면10


50
40
30
20
10
Z
X
Y
III'
III
CF3
CF2
TE
BM
BE
CT
INS3
CF1
215
211
212
210
214
270
112
INS1
290
CF
283
282
280
281
263
262
260
261
250
240
230
220
111

도면11


50
40
30
20
10
Z
Y
X
IV'
IV
TE
CT
RE
BE
TE
211
112
BM
INS1
290
CF
283
282
281
280
263
262
260
270
250
240
230
212
220
111

专利名称(译)	触摸屏集成显示器		
公开(公告)号	KR1020180074985A	公开(公告)日	2018-07-04
申请号	KR1020160178822	申请日	2016-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNGSIK JO 조정식 JONGGEUN YOON 윤종근		
发明人	조정식 윤종근		
IPC分类号	H01L27/32 G06F3/041 H01L51/52		
CPC分类号	H01L27/323 H01L27/322 H01L51/5284 H01L51/5253 H01L27/3246 G06F3/0412 H01L27/3272 H01L27/3276 G06F3/0416 G06F3/044 G06F2203/04103 G06F2203/04111		
外部链接	Espacenet		

摘要(译)

本发明提供一种触摸屏集成显示装置，其能够防止外部光在没有偏振板的情况下被反射到触摸电极。根据本发明实施例的触摸屏集成显示装置包括布置在基板上的有机发光器件层，布置在有机发光器件层上的多个滤色器，以及布置在多个滤色器上的黑色矩阵。布置在第一触摸电极，第二触摸电极，第一触摸电极和第二触摸电极上，所述第一触摸电极，第二触摸电极和第二触摸电极设置为与多个滤色器的边界重叠，并且设置为与第一触摸电极和第二触摸电极重叠。