



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0023155
(43) 공개일자 2018년03월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 27/12 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2016-0107960
(22) 출원일자 2016년08월24일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정창용
경기도 용인시 기흥구 흥덕2로118번길 26 902동
1602호 (영덕동, 흥덕마을9단지이던하우스아파트)
강태욱
경기도 성남시 분당구 수내로 181 311동 403호 (분당동, 샛별마을우방아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

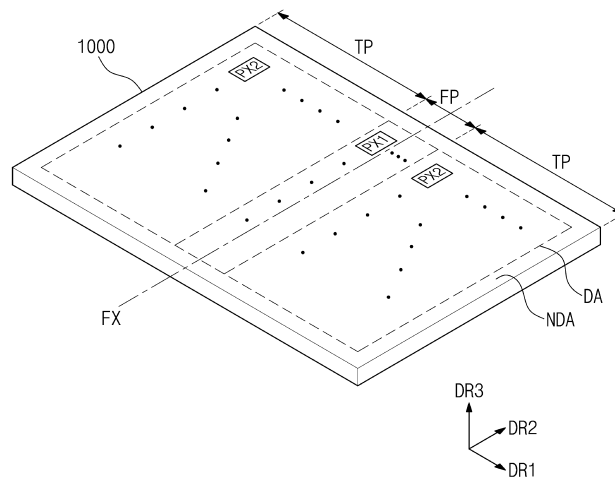
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

유기발광 표시 장치는 폴딩 부분과 평탄 부분을 포함한다. 상기 폴딩 부분은 폴딩축을 따라 폴딩되고, 제1 화소를 포함한다. 상기 평탄 부분은 상기 폴딩 영역에 인접하고, 제2 화소를 포함한다. 상기 제1 화소는, 제1 유기발광 다이오드, 상기 제1 유기발광 다이오드에 연결되고, 제1 반도체 패턴을 포함하는 폴딩 구동 트랜지스터, 및 제2 반도체 패턴을 포함하는 폴딩 제어 트랜지스터를 포함한다. 상기 제2 화소는, 제2 유기발광 다이오드, 상기 제2 유기발광 다이오드에 연결되고 제3 반도체 패턴을 포함하는 평탄 구동 트랜지스터, 및 제4 반도체 패턴을 포함하는 평탄 제어 트랜지스터를 포함한다. 상기 제1 및 제2 반도체 패턴들 중 적어도 하나는 산화물 반도체 및 다결정 실리콘 중 어느 하나를 포함한다. 상기 제3 및 제4 반도체 패턴들 각각은 상기 산화물 반도체 및 상기 다결정 실리콘 중 다른 하나를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/1229 (2013.01)

H01L 27/1233 (2013.01)

H01L 27/1251 (2013.01)

H01L 51/0097 (2013.01)

H01L 2251/5338 (2013.01)

H01L 2251/558 (2013.01)

(72) 발명자

곽희준

경기도 용인시 기흥구 관곡로 53 601동 1702호 (구 갈동, 가현마을신안아파트)

김무겸

경기도 화성시 동탄대로시범길 20 1413동 1202호 (청계동, 꿈에그린프레스티지아파트)

이재섭

서울특별시 서초구 사임당로 137 2동 905호 (서초동, 신동아아파트)

정종한

경기도 용인시 수지구 진산로 96 진산마을 래미안 5차 502동 906호

명세서

청구범위

청구항 1

폴딩축을 따라 폴딩되고, 제1 화소를 포함하는 폴딩 부분; 및

상기 폴딩 영역에 인접하고, 제2 화소를 포함하는 평탄 부분을 포함하고,

상기 제1 화소는, 제1 유기발광 다이오드, 상기 제1 유기발광 다이오드에 연결되고 제1 반도체 패턴을 포함하는 폴딩 구동 트랜지스터, 및 복수의 주사 라인들 중 하나 및 복수의 데이터 라인들 중 하나에 연결되고 제2 반도체 패턴을 포함하는 폴딩 제어 트랜지스터를 포함하고,

상기 제2 화소는, 제2 유기발광 다이오드, 상기 제2 유기발광 다이오드에 연결되고 제3 반도체 패턴을 포함하는 평탄 구동 트랜지스터, 및 상기 복수의 주사 라인들 중 하나 및 상기 복수의 데이터 라인들 중 하나에 연결되고 제4 반도체 패턴을 포함하는 평탄 제어 트랜지스터를 포함하고,

상기 제1 및 제2 반도체 패턴들 중 적어도 하나는 산화물 반도체 및 다결정 실리콘 중 어느 하나를 포함하고,

상기 제3 및 제4 반도체 패턴들 각각은 상기 산화물 반도체 및 상기 다결정 실리콘 중 다른 하나를 포함하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 제1 반도체 패턴, 상기 제3 반도체 패턴, 및 상기 제4 반도체 패턴 각각은 다결정 실리콘을 포함하고,

상기 제1 반도체 패턴은 산화물 반도체를 포함하는 유기발광 표시장치.

청구항 3

제2항에 있어서,

제1 반도체 패턴의 채널 영역의 길이는 제2 내지 제4 반도체 패턴들 각각의 채널 영역의 길이 보다 짧은 유기발광 표시장치.

청구항 4

제2항에 있어서,

상기 제1 화소 및 상기 제2 화소 각각은 복수개로 제공되고,

단위 면적당 상기 제1 화소들의 개수는 단위 면적당 상기 제2 화소들의 개수 보다 많은 유기발광 표시장치.

청구항 5

제2항에 있어서,

상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 상에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 6

제2항에 있어서,

상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,

상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,
상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,
상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 상에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 7

제1항에 있어서,
상기 제1 반도체 패턴 및 상기 제2 반도체 패턴 각각은 산화물 반도체를 포함하고,
상기 제3 반도체 패턴 및 상기 제4 반도체 패턴 각각은 다결정 실리콘을 포함하는 유기발광 표시장치.

청구항 8

제7항에 있어서,
상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,
상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,
상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,
상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 상에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 9

제7항에 있어서,
상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,
상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,
상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,
상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 상에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 10

제1항에 있어서,
상기 제1 반도체 패턴, 상기 제2 반도체 패턴, 및 상기 제3 반도체 패턴 각각은 다결정 실리콘을 포함하고,
상기 제4 반도체 패턴은 산화물 반도체를 포함하는 유기발광 표시장치.

청구항 11

제10항에 있어서,
상기 제1 반도체 패턴은 평면상에서 상기 폴딩축에 수직한 방향으로 오목 또는 볼록하게 휘어진 형상을 갖는 유기발광 표시 장치.

청구항 12

제11항에 있어서,
상기 제1 반도체 패턴은 제1 내지 제3 영역들을 포함하고,
상기 제1 영역 및 상기 제3 영역은 상기 폴딩축과 평행한 방향으로 서로 이격되고,
상기 제2 영역은 상기 제1 영역 및 상기 제3 영역을 연결하고, 채널 영역으로 기능하고,
상기 제2 영역은 상기 폴딩축의 연장 방향으로 세로 길이를 갖고, 상기 폴딩축에 수직한 방향으로 상기 제1 영역 및 상기 제3 영역에 비해 돌출 길이만큼 돌출되고,
 $a1/a2 = 0.3$ 이상 1 미만이고, $a1$ 은 상기 세로 길이이고, $a2$ 는 상기 돌출 길이인 유기발광 표시장치.

청구항 13

제1항에 있어서,

상기 제1 반도체 패턴 및 상기 제2 반도체 패턴 각각은 다결정 실리콘을 포함하고,

상기 제3 반도체 패턴 및 상기 제4 반도체 패턴 각각은 산화물 반도체를 포함하는 유기발광 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 반도체 패턴은 평면상에서 상기 폴딩축에 수직한 방향으로 오목 또는 볼록하게 휘어진 형상을 갖는 유기발광 표시 장치.

청구항 15

제13항에 있어서,

상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 상에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 16

제13항에 있어서,

상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 상에 배치된 제어 전극을 더 포함하고,

상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,

상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 하부에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 17

제13항에 있어서,

상기 폴딩 구동 트랜지스터는 상기 제1 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,

상기 폴딩 제어 트랜지스터는 상기 제2 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,

상기 평탄 구동 트랜지스터는 상기 제3 반도체 패턴 하부에 배치된 제어 전극을 더 포함하고,

상기 평탄 제어 트랜지스터는 상기 제4 반도체 패턴 하부에 배치된 제어 전극을 더 포함하는 유기발광 표시장치.

청구항 18

폴딩축을 따라 폴딩되고, 제1 화소를 포함하는 폴딩 부분; 및

상기 폴딩 영역에 인접하고, 제2 화소를 포함하는 평탄 부분을 포함하고,

상기 제1 화소는, 제1 유기발광 다이오드, 상기 제1 유기발광 다이오드에 연결되고 제1 반도체 패턴을 포함하는 폴딩 구동 트랜지스터, 및 복수의 주사 라인들 중 하나 및 복수의 데이터 라인들 중 하나에 연결되고 제2 반도체 패턴을 포함하는 폴딩 제어 트랜지스터를 포함하고,

상기 제2 화소는, 제2 유기발광 다이오드, 상기 제2 유기발광 다이오드에 연결되고 제3 반도체 패턴을 포함하는 평탄 구동 트랜지스터, 및 상기 복수의 주사 라인들 중 하나 및 상기 복수의 데이터 라인들 중 하나에 연결되고

제4 반도체 패턴을 포함하는 평탄 제어 트랜지스터를 포함하고,

상기 제1 반도체 패턴은 산화물 반도체를 포함하고,

상기 제3 반도체 패턴 및 상기 제4 반도체 패턴은 각각 다결정 실리콘을 포함하는 유기발광 표시장치.

청구항 19

폴딩축을 따라 폴딩되고, 제1 화소를 포함하는 폴딩 부분; 및

상기 폴딩 영역에 인접하고, 제2 화소를 포함하는 평탄 부분을 포함하고,

상기 제1 화소는, 제1 유기발광 다이오드, 상기 제1 유기발광 다이오드에 연결되고 제1 반도체 패턴을 포함하는 폴딩 구동 트랜지스터, 및 복수의 주사 라인들 중 하나 및 복수의 데이터 라인들 중 하나에 연결되고 제2 반도체 패턴을 포함하는 폴딩 제어 트랜지스터를 포함하고,

상기 제2 화소는, 제2 유기발광 다이오드, 상기 제2 유기발광 다이오드에 연결되고 제3 반도체 패턴을 포함하는 평탄 구동 트랜지스터, 및 상기 복수의 주사 라인들 중 하나 및 상기 복수의 데이터 라인들 중 하나에 연결되고 제4 반도체 패턴을 포함하는 평탄 제어 트랜지스터를 포함하고,

상기 제4 반도체 패턴은 산화물 반도체를 포함하고,

상기 제1 반도체 패턴 및 상기 제2 반도체 패턴은 각각 다결정 실리콘을 포함하는 유기발광 표시장치.

청구항 20

제19항에 있어서,

상기 제1 반도체 패턴은 평면상에서 상기 폴딩축에 수직한 방향으로 오목 또는 볼록하게 휘어진 형상을 갖는 유기발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 좀 더 상세하게는 층 구조가 서로 다른 2 이상의 트랜지스터들을 갖는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 유기발광 표시장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기발광 다이오드 및 유기발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 제어 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다.

[0003] 유기발광 다이오드는 애노드, 캐소드, 및 애노드와 캐소드 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 애노드와 캐소드 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

[0004] 유기발광 표시장치는 유연한 기판상에 형성되므로, 벤딩될 수 있다. 유기발광 표시장치가 폴딩 및 언폴딩을 반복하는 경우, 폴딩 부분에 배치된 소자는 열화되거나 크랙이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 벤딩에 의해 폴딩 부분에 배치된 소자 열화 및 크랙을 방지할 수 있는 유기발광 표시장치를 제공할 수 있다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 유기발광 표시장치는, 폴딩 부분 및 평탄 부분을 포함한다.

[0007] 상기 폴딩 부분은 폴딩축을 따라 폴딩되고, 제1 화소를 포함할 수 있다.

- [0008] 상기 평탄 부분은 상기 폴딩 영역에 인접하고, 제2 화소를 포함할 수 있다.
- [0009] 상기 제1 화소는, 제1 유기발광 다이오드, 상기 제1 유기발광 다이오드에 연결되고 제1 반도체 패턴을 포함하는 폴딩 구동 트랜지스터, 및 복수의 주사 라인들 중 하나 및 복수의 데이터 라인들 중 하나에 연결되고 제2 반도체 패턴을 포함하는 폴딩 제어 트랜지스터를 포함할 수 있다.
- [0010] 상기 제2 화소는, 제2 유기발광 다이오드, 상기 제2 유기발광 다이오드에 연결되고 제3 반도체 패턴을 포함하는 평탄 구동 트랜지스터, 및 상기 복수의 주사 라인들 중 하나 및 상기 복수의 데이터 라인들 중 하나에 연결되고 제4 반도체 패턴을 포함하는 평탄 제어 트랜지스터를 포함할 수 있다.
- [0011] 상기 제1 및 제2 반도체 패턴들 중 적어도 하나는 산화물 반도체 및 다결정 실리콘 중 어느 하나를 포함할 수 있다.
- [0012] 상기 제3 및 제4 반도체 패턴들 각각은 상기 산화물 반도체 및 상기 다결정 실리콘 중 다른 하나를 포함할 수 있다.
- [0013] 본 발명의 일 실시예에서, 상기 제1 반도체 패턴, 상기 제3 반도체 패턴, 및 상기 제4 반도체 패턴 각각은 다결정 실리콘을 포함하고, 상기 제1 반도체 패턴은 산화물 반도체를 포함할 수 있다.
- [0014] 본 발명의 일 실시예에서, 상기 제1 반도체 패턴 및 상기 제2 반도체 패턴 각각은 산화물 반도체를 포함하고, 상기 제3 반도체 패턴 및 상기 제4 반도체 패턴 각각은 다결정 실리콘을 포함할 수 있다.
- [0015] 본 발명의 일 실시예에서, 상기 제1 반도체 패턴, 상기 제2 반도체 패턴, 및 상기 제3 반도체 패턴 각각은 다결정 실리콘을 포함하고, 상기 제4 반도체 패턴은 산화물 반도체를 포함할 수 있다.
- [0016] 본 발명의 일 실시예에서, 상기 제1 반도체 패턴 및 상기 제2 반도체 패턴 각각은 다결정 실리콘을 포함하고, 상기 제3 반도체 패턴 및 상기 제4 반도체 패턴 각각은 산화물 반도체를 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 유기발광 표시장치에 의하면, 벤딩에 의해 폴딩 부분에 배치된 소자 열화 및 크랙을 방지할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 언폴딩(unfolding) 상태의 유기발광 표시장치를 도시한 사시도이다.
- 도 2는 폴딩 상태의 유기발광 표시장치를 도시한 사시도이다
- 도 3은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 5a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 5b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.
- 도 6a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 6b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.
- 도 7a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 7b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.
- 도 8a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 8b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.
- 도 9a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 9b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 9c는 도 9a에 도시된 폴딩 구동 트랜지스터의 제1 반도체 패턴을 도시한 평면도이다.
- 도 10a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 10b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.
- 도 7a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 7b는

본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.

도 11a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 11b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.

도 12a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 12b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.

도 13a는 본 발명의 일 실시예에서, 도 1의 제1 화소에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 13b는 본 발명의 일 실시예에서, 도 1의 제2 화소에 대응하는 유기발광 표시장치의 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0020] 도 1 및 도 2는 본 발명의 일 실시예에 따른 유기발광 표시장치의 사시도들이다.
- [0021] 도 1은 언폴딩(unfolding) 상태의 유기발광 표시장치(1000)를 도시한 것이고, 도 2는 폴딩 상태의 유기발광 표시장치(1000)를 도시한 것이다.
- [0022] 유기발광 표시 장치(1000)는 폴딩축(FX)을 따라 폴딩될 수 있다. 유기발광 표시장치(1000)에는 폴딩 부분(FP)과 평탄 부분(TP)이 정의될 수 있다. 폴딩 부분(FP)은 폴딩축(FX)을 따라 폴딩될 수 있다. 평탄 부분(TP)은 폴딩 부분(FP)에 연결되고 폴딩 상태에서 평탄한 형상을 유지한다.
- [0023] 본 발명의 실시예에서, 언폴딩 상태의 유기발광 표시장치(1000)에서, 폴딩 부분(FP)과 평탄 부분(TP)은 제1 방향(DR1)으로 서로 인접할 수 있다. 폴딩축(FX)은 제1 방향(DR1)에 수직한 제2 방향(DR2)으로 연장할 수 있다. 제3 방향(DR3)은 유기발광 표시장치(1000)의 두께 방향일 수 있다.
- [0024] 유기발광 표시 장치(1000)에는 표시 영역(DA)과 표시 영역(DA)에 인접하여 영상을 표시하지 않는 비표시 영역(NA)이 정의될 수 있다. 비표시 영역(NA)은 표시 영역(DA)의 적어도 일 변에 배치될 수 있다. 도 1에서 비표시 영역(NA)은 표시 영역(DA)을 둘러싸는 것을 예시적으로 도시하였다.
- [0025] 표시 영역(DA)에는 복수의 화소들이 배치될 수 있다. 폴딩 부분(FP)에 제1 화소(PX1)가 배치되고, 평탄 부분(TP)에 제2 화소(PX2)가 배치될 수 있다. 제1 화소(PX1) 및 제2 화소(PX2)는 복수개로 제공될 수 있다. 제1 화소(PX1) 및 제2 화소(PX2) 각각은 레드, 그린, 블루, 및 화이트와 같은 하나의 색상을 표시할 수 있다. 복수의 제1 화소들(PX1) 및 복수의 제2 화소들(PX2)은 매트릭스 형태로 배열될 수 있다. 제1 화소(PX1)와 제2 화소(PX2)의 동작 원리는 실질적으로 동일하나, 서로 다른 구조를 가질 수 있다. 구체적인 내용은 후술된다.
- [0026] 도 3은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.
- [0027] 유기발광 표시장치(1000)는 타이밍 제어부(TC), 주사 구동회로(SDC), 데이터 구동회로(DDC), 및 표시패널(DP)을 포함한다. 표시패널(DP)은 전기적 신호에 따라 영상을 표시한다.
- [0028] 본 실시예에서, 표시패널(DP)은 예시적으로 유기발광 표시패널인 것으로 설명한다. 한편, 이는 예시적으로 기재한 것이고, 본 발명에 따른 표시패널(DP)은 다양한 실시예들을 포함할 수 있다.
- [0029] 타이밍 제어부(TC)는 입력 영상신호들(미 도시)을 수신하고, 주사 구동회로(SDC)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(D-RGB)을 생성한다. 타이밍 제어부(TC)는 영상 데이터들(D-RGB)과 각종 제어 신호들(DCS, SCS)을 출력한다.
- [0030] 주사 구동회로(SDC)는 타이밍 제어부(TC)로부터 주사 제어 신호(SCS)를 수신한다. 주사 제어 신호(SCS)는 주사 구동회로(SDC)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭 신호 등을 포함할 수 있다.
- [0031] 주사 구동회로(SDC)는 복수의 주사 신호들을 생성하고, 주사 신호들을 복수의 주사 라인들(SL1~SLn)에 순차적으로 출력한다. 또한, 주사 구동회로(SDC)는 주사 제어 신호(SCS)에 응답하여 복수의 발광 제어 신호들을 생성하고, 복수의 발광 라인들(EL1~ELn)에 발광 제어 신호들을 출력한다.
- [0032] 도 3에서 주사 신호들과 발광 제어 신호들이 하나의 주사 구동회로(SDC)로부터 출력되는 것으로 도시하였지만,

본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 주사 구동회로들이 주사 신호들을 분할하여 출력하고, 발광 제어 신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 주사 신호들을 생성하여 출력하는 구동회로와 발광 제어 신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.

- [0033] 데이터 구동회로(DDC)는 타이밍 제어부(TC)로부터 데이터 제어 신호(DCS) 및 영상 데이터들(D-RGB)을 수신한다. 데이터 구동회로(DDC)는 영상 데이터들(D-RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터들(D-RGB)의 계조값들에 대응하는 아날로그 전압들이다.
- [0034] 표시패널(DP)은 주사 라인들(SL1~SLn), 발광 라인들(EL1~ELn), 데이터 라인들(DL1~DLm), 및 화소들(PX)을 포함한다. 주사 라인들(SL1~SLn)은 제1 방향(DR1)으로 연장되고, 제1 방향(DR1)에 직교하는 제2 방향(DR2)으로 나열된다.
- [0035] 복수의 발광 라인들(EL1~ELn) 각각은 주사 라인들(SL1~SLn) 중 대응하는 주사 라인에 나란하게 배열될 수 있다. 데이터 라인들(DL1~DLm)은 주사 라인들(SL1~SLn)과 절연되게 교차한다.
- [0036] 복수의 화소들(PX) 각각은 주사 라인들(SL1~SLn) 중 대응하는 주사 라인, 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다.
- [0037] 화소들(PX) 각각은 제1 전압(ELVDD) 및 제1 전압(ELVDD)보다 낮은 레벨의 제2 전압(ELVSS)을 수신한다. 제1 전압(ELVDD)은 상술한 전원 전압(ELVDD: 도 1 참조)에 대응될 수 있다. 화소들(PX) 각각은 제1 전압(ELVDD)이 인가되는 전원 라인(PL)에 접속된다. 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다.
- [0038] 복수의 화소들(PX) 각각은 3개의 주사 라인들에 전기적으로 연결될 수 있다. 도 1에 도시된 것과 같이, 제2 번째 화소행의 화소들은 제1 번째 내지 제3 번째 주사 라인(SL1 내지 SL3)에 연결될 수 있다.
- [0039] 복수의 화소들(PX) 각각은 위치에 따라 제1 화소(PX1, 도 1) 또는 제2 화소(PX2, 도 2)로 나눌 수 있다. 제1 화소(PX1)와 제2 화소(PX2)의 동작 원리는 실질적으로 동일하나, 서로 다른 구조를 가질 수 있다. 구체적인 내용은 후술된다.
- [0040] 미 도시되었으나, 표시패널(DP)은 복수의 더미 주사 라인들을 더 포함할 수 있다. 표시패널(DP)은 제1 번째 화소행의 화소들(PX)에 연결된 더미 주사 라인 및 제n 번째 화소행의 화소들(PX)에 연결된 더미 주사 라인을 더 포함할 수 있다. 또한, 데이터 라인들(DL1~DLm) 중 어느 하나의 데이터 라인에 연결된 화소들(이하, 화소열의 화소들)은 서로 연결될 수 있다. 화소열의 화소들 중 인접하는 2개의 화소들이 전기적으로 연결될 수 있다.
- [0041] 복수의 화소들(PX) 각각은 유기발광 다이오드(미 도시) 및 유기발광 다이오드의 발광을 제어하는 화소 구동회로(미 도시)를 포함한다. 화소 구동회로는 복수의 박막 트랜지스터들 및 커패시터를 포함할 수 있다. 구동회로(SDC)와 데이터 구동회로(DDC) 중 적어도 어느 하나는 화소 구동회로와 동일한 공정을 통해 형성된 박막 트랜지스터들을 포함할 수 있다.
- [0042] 복수 회기의 포토리소그래피 공정을 통해 베이스 기판(미 도시) 상에 주사 라인들(SL1~SLn), 발광 라인들(EL1~ELn), 데이터 라인들(DL1~DLm), 전원 라인(PL), 초기화 라인(RL), 화소들(PX), 주사 구동회로(SDC), 및 데이터 구동회로(DDC)를 형성할 수 있다. 복수 회기의 증착공정 또는 코팅공정을 통해 베이스 기판(미 도시) 상에 절연층들을 형성할 수 있다. 절연층들 각각은 표시패널(DP) 전체를 커버하는 박막이거나, 표시패널(DP)의 특정 구성에만 중첩하는 적어도 하나의 절연 패턴을 포함할 수 있다. 절연층들은 유기층 및/또는 무기층을 포함한다. 그밖에 화소들(PX)을 보호하는 봉지층(미 도시)을 베이스 기판 상에 더 형성할 수 있다.
- [0043] 도 4는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 4에는 데이터 라인들(DL1~DLm) 중 k번째 데이터 라인(DLk)에 연결된 i번째 화소(PXi)와 대응되는 등가 회로도를 예시적으로 도시하였다.
- [0044] i번째 화소(PXi)는 유기발광 다이오드(OLED) 및 유기발광 다이오드(OLED)를 제어하는 화소 구동회로를 포함한다. 화소 구동회로는 6개의 박막 트랜지스터들(T1~T6) 및 하나의 커패시터(CST)를 포함할 수 있다. 한편, 도 2에 도시된 화소 구동회로는 하나의 예시에 불과하고 구동회로의 구성은 변형되어 실시될 수 있다.
- [0045] 화소 구동회로는 구동 트랜지스터와 제어 트랜지스터를 포함할 수 있다. 구동 트랜지스터는 유기발광 다이오드(OLED)에 공급되는 구동전류를 제어한다. 본 발명의 실시예에서 구동 트랜지스터는 제1 트랜지스터(TR1)일 수 있다.
- [0046] 제1 트랜지스터(TR1)의 출력전극은 유기발광 다이오드(OLED)와 전기적으로 연결된다. 제1 트랜지스터(TR1)의 출

력전극은 유기발광 다이오드(OLED)의 애노드와 직접 접촉하거나, 다른 트랜지스터를 경유하여 연결될 수 있다.

- [0047] 제어 트랜지스터의 제어 전극은 제어 신호를 수신할 수 있다. i 번째 화소(PXi)에 인가되는 제어 신호는 i 번째 주사 신호(Si), 데이터 신호(Dk), $i-1$ 번째 발광 제어 신호(Ei-1, 및 i 번째 발광 제어 신호(Ei)를 포함할 수 있다.
- [0048] 본 발명의 실시예에서 제어 트랜지스터는 제2 내지 제6 트랜지스터들(TR2~TR6)을 포함할 수 있다. 이하에서 제어 트랜지스터는 5 개의 박막 트랜지스터들로 이루어진 실시예를 예시적으로 설명하나, 이에 제한되는 것은 아니고, 제어 트랜지스터는 5 개 미만이거나 5 개를 초과하는 박막 트랜지스터들로 이루어질 수도 있다.
- [0049] 제2 트랜지스터(TR2)의 출력 전극과 제1 트랜지스터(TR1)의 입력 전극 사이의 노드는 제1 노드(N1)로 정의되고, 제5 트랜지스터(TR5)의 출력 전극과 제1 트랜지스터(TR1)의 출력 전극 사이의 노드는 제2 노드(N2)로 정의된다.
- [0050] 제1 트랜지스터(TR1)는 제3 트랜지스터(TR3)를 경유하여 전원 전압(ELVDD)을 수신하고 제1 노드(N1)에 접속된 입력 전극, 커패시터(CST)의 일 전극에 접속된 제어 전극, 및 제2 노드(N2)를 통해 유기발광 다이오드(OLED)에 접속된 출력 전극을 포함한다.
- [0051] 제2 트랜지스터(TR2)는 i 번째 주사라인(SLi)에 접속된 제어 전극, 입력 전극, 및 제1 노드(N1)에 접속된 출력 전극을 포함한다. 제2 트랜지스터(TR2)의 입력 전극은 제1 트랜지스터(TR1)의 제어 전극 및 커패시터(CST)의 일 전극에 접속된다.
- [0052] 제3 트랜지스터(TR3)는 i 번째 발광 제어 라인(ELi)에 접속된 제어 전극, 전원 라인(PL)에 접속된 입력 전극, 및 제1 노드(N1)에 접속된 출력 전극을 포함한다. 제3 트랜지스터(TR3)는 i 번째 발광 제어 신호(Ei)에 응답하여 턴-온 된다.
- [0053] 제4 트랜지스터(TR4)는 i 번째 주사 라인(SLi)에 접속된 제어 전극, k 번째 데이터 라인(DLk)에 접속된 입력 전극, 및 출력 전극을 포함한다. 제4 트랜지스터(TR4)의 출력 전극은 커패시터의 다른 일 전극 및 제5 트랜지스터(TR5)에 연결된다. 제4 트랜지스터(TR4)는 i 번째 주사 신호(Si)에 의해 턴-온 되고 입력 전극을 통해 수신된 데이터 신호를 커패시터(CST)에 제공한다.
- [0054] 제5 트랜지스터(TR5)는 $i-1$ 번째 발광 제어 라인(Ei-1)에 접속된 제어 전극, 입력 전극, 및 제2 노드(N2)에 연결된 출력 전극을 포함한다. 제5 트랜지스터(TR5)의 입력 전극은 커패시터(CST)의 다른 일 전극 및 제4 트랜지스터(TR4)의 출력 전극에 연결된다. 제5 트랜지스터(TR5)는 $i-1$ 번째 발광 제어 신호(Ei-1)에 응답하여 턴-온 된다.
- [0055] 제6 트랜지스터(TR6)는 i 번째 주사 라인(SLi)에 접속된 제어 전극, 초기화 라인(RL)에 접속된 입력 전극, 및 유기발광 다이오드(OLED)에 접속된 출력 전극을 포함한다. 제6 트랜지스터(TR6)는 i 번째 주사 신호(Si)에 응답하여 턴-온 되고 초기화 전압(Vint)을 제2 노드(N2)에 제공한다.
- [0056] 제1 내지 제6 트랜지스터들(TR1~TR6) 각각은 P형 트랜지스터이거나 N형 트랜지스터일 수 있다. 본 발명에 따른 유기발광 표시장치는 어느 하나의 실시예에 한정되지 않으며, 다양한 형태의 트랜지스터들을 포함할 수 있다.
- [0057] 이하, 도 5a 및 도 5b를 참조하여 본 발명의 일 실시예에 따른 유기발광 표시장치를 설명한다.
- [0058] 도 5a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치(1001)의 부분 단면도이다.
- [0059] 유기발광 표시장치(1001)는 베이스 기판(SUB), 커패시터(CST), 및 유기발광 다이오드(OLED)를 포함한다. 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1) 및 폴딩 제어 트랜지스터(T2)를 포함한다.
- [0060] 폴딩 구동 트랜지스터(T1)는 도 4에 도시된 제1 트랜지스터(TR1)에 대응될 수 있다. 또한, 폴딩 제어 트랜지스터(T2)는 도 4에 도시된 제2 내지 제6 트랜지스터들(TR2~TR6) 중 어느 하나에 대응될 수 있다.
- [0061] 폴딩 구동 트랜지스터(T1), 폴딩 제어 트랜지스터(T2), 커패시터(CST), 및 유기발광 다이오드(OLED)는 베이스 기판(SUB) 상에 배치된다.
- [0062] 폴딩 구동 트랜지스터(T1)는 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제1 제어 전극(CE1), 및 제1 반도체 패턴(SP1)을 포함한다. 폴딩 구동 트랜지스터(T1)는 제1 화소(PX1)의 유기발광 다이오드(OLED)에 연결된 구동 트랜지스터일 수 있다. 폴딩 제어 트랜지스터(T2)는 제2 입력 전극(IE2), 제2 출력 전극(OE2), 제1 서브 제어 전극(CE21), 및 제2 반도체 패턴(SP2)을 포함한다. 폴딩 제어 트랜지스터(T2)는 제2 화소(PX2)를 턴-온 하기 위한 제어 트랜지스터일 수 있다. 제1 화소(PX1)는 보조 전극(CE22)을 더 포함할 수 있다.

- [0063] 커패시터(CST)는 제1 커패시터 전극(CPE1) 및 제2 커패시터 전극(CPE2)을 포함한다. 제1 커패시터 전극(CPE1) 및 제2 커패시터 전극(CPE2)은 소정의 절연막을 사이에 두고 서로 이격되어 배치된다.
- [0064] 유기발광 다이오드(OLED)는 하부 전극(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 상부 전극(CE)을 포함한다. 본 실시예에서, 하부 전극(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 상부 전극(CE)은 각각 애노드 전극(AE), 정공 제어층(HCL), 발광층(EML), 전자 제어층(ECL), 및 캐소드 전극(CE)에 대응될 수 있다. 한편, 이는 예시적으로 도시한 것이고, 하부 전극(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 상부 전극(CE)은 각각 캐소드 전극, 전자 제어층, 발광층, 정공 제어층, 및 애노드 전극에 대응될 수 있다.
- [0065] 베이스 기판(SUB)은 폴딩 구동 트랜지스터(T1), 폴딩 제어 트랜지스터(T2), 및 커패시터(CST)가 배치될 수 있는 층, 필름, 또는 플레이트일 수 있다. 베이스 기판(SUB)은 플라스틱 기판, 유리 기판, 금속 기판 등을 포함할 수 있다. 플라스틱 기판은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0066] 베이스 기판(SUB)의 상면과 폴딩 구동 트랜지스터(T1) 및 폴딩 제어 트랜지스터(T2) 사이에는 버퍼층(BFL)이 배치될 수 있다. 버퍼층(BFL)은 베이스 기판(SUB)과 도전성 패턴들 또는 반도체 패턴들의 결합력을 향상시킨다. 버퍼층(BFL)은 무기물 및/또는 유기물 중 어느 하나를 포함할 수 있다. 별도로 도시되지 않았으나, 이물질이 유입되는 것을 방지하는 배리어층이 베이스 기판(SUB)의 상면에 더 배치될 수도 있다. 버퍼층(BFL)과 배리어층은 선택적으로 배치되거나 생략될 수 있다.
- [0067] 버퍼층(BFL) 상에 제2 반도체 패턴(SP2)이 배치된다. 제2 반도체 패턴(SP2)은 결정질 반도체 물질을 포함할 수 있다. 예를 들어, 제2 반도체 패턴(SP2)은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다.
- [0068] 제2 반도체 패턴(SP2)은 불순물이 포함된 제1 영역(AR21) 및 제3 영역(AR23), 및 제1 영역(AR21)과 제3 영역(AR23) 사이에 배치된 제2 영역(AR22)으로 구분될 수 있다. 불순물은 도펀트(dopant)일 수 있다. 제1 영역(AR21)은 제1 입력 전극(IE2)에 접속되고, 제3 영역(AR23)은 제1 출력 전극(OE2)에 접속된다.
- [0069] 제2 영역(AR22)은 제1 영역(AR21)과 제3 영역(AR23) 사이에 배치되고 제2 제어 전극(CE2)과 평면상에서 중첩될 수 있다. 제2 영역(AR22)은 폴딩 제어 트랜지스터(T2)의 채널 영역일 수 있다.
- [0070] 폴딩 제어 트랜지스터(T2)의 채널 영역은 다결정 반도체 물질을 포함할 수 있다. 이에 따라, 폴딩 제어 트랜지스터(T2)는 향상된 이동도를 갖고, 높은 신뢰성을 가진 구동 소자로 기능할 수 있다.
- [0071] 제2 반도체 패턴(SP2) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및/또는 유기물 중 적어도 어느 하나를 포함할 수 있다. 예를 들어, 제1 절연층(10)은 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있다.
- [0072] 제1 절연층(10)은 버퍼층(BFL) 상에 배치되어 제2 반도체 패턴(SP2)의 적어도 일부를 커버할 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제1 절연층(10)은 평면상에서 제2 영역(AR22)에 중첩하는 절연 패턴일 수 있다. 본 발명의 일 실시예에 따른 제1 절연층(10)은 다양한 형상을 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0073] 제1 절연층(10) 상에 제1 서브 제어 전극(CE21) 및 제1 커패시터 전극(CPE1)이 배치된다. 제1 서브 제어 전극(CE21) 및 제1 커패시터 전극(CPE1)은 동일한 층상에 배치될 수 있다.
- [0074] 제1 서브 제어 전극(CE21)은 제2 영역(AR12)에 중첩한다. 제1 서브 제어 전극(CE21)은 평면상에서 제2 영역(AR22)과 동일한 형상을 가질 수 있다.
- [0075] 제1 서브 제어 전극(CE21) 및 제1 커패시터 전극(CPE1) 상에 제2 절연층(20)이 배치된다. 제2 절연층(20)은 제1 절연층(10) 상에 배치되어 제1 서브 제어 전극(CE21) 및 제1 커패시터 전극(CPE1)을 커버한다. 제2 절연층(20)은 유기물 및/또는 무기물을 포함할 수 있다. 한편, 본 발명의 일 실시예에 따른 표시장치에서 제2 절연층(20)은 생략될 수 있다.
- [0076] 제2 절연층(20) 상에 제1 반도체 패턴(SP1)이 배치된다. 제1 반도체 패턴(SP1)은 산화물 반도체를 포함할 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다.

- [0077] 한편, 제1 반도체 패턴(SP1)은 결정화된 산화물 반도체를 포함할 수 있다. 산화물 반도체의 결정은 수직 방향의 방향성을 가질 수 있다.
- [0078] 제1 반도체 패턴(SP1)은 불순물이 포함된 제1 영역(AR11), 제3 영역(AR13), 및 제1 영역(AR11)과 제3 영역(AR13)에 인접한 제2 영역(AR12)으로 구분될 수 있다. 제1 영역(AR11) 및 제3 영역(AR13)은 제2 영역(AR12)을 사이에 두고 서로 이격된다.
- [0079] 제2 영역(AR12)은 폴딩 구동 트랜지스터(T1)의 채널 영역일 수 있다. 제1 반도체 패턴(SP1)에 있어서, 불순물은 환원된 금속 물질들일 수 있다. 제1 영역(AR11) 및 제3 영역(AR13)은 제2 영역(AR12)을 이루는 금속 산화물로부터 환원된 금속 물질들을 포함할 수 있다. 이에 따라, 폴딩 구동 트랜지스터(T1)는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 소자로 기능할 수 있다.
- [0080] 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 무기물 및/또는 유기물을 포함한다. 제3 절연층(30)은 제1 서브 제어 전극(CE21) 및 제1 커패시터 전극(CPE1)에 중첩하고, 제1 반도체 패턴(SP1)의 적어도 일부를 노출시킨다. 제3 절연층(30)은 제1 반도체 패턴(SP1)의 제2 영역(AR12)을 커버하는 제1 절연 패턴(31) 및 제1 영역(AR11) 및 제3 영역(AR13)의 적어도 일부를 노출시키는 제2 절연 패턴(32)을 포함한다. 제1 절연 패턴(31) 및 제2 절연 패턴(32)은 제1 반도체 패턴(SP1)의 제1 영역(AR11) 및 제3 영역(AR13)을 각각 노출시키는 개구부를 형성함에 따라 형성될 수 있다.
- [0081] 제3 절연층(30) 상에 제1 제어 전극(CE1), 보조 전극(CE22), 및 제2 커패시터 전극(CPE2)이 배치된다. 제1 제어 전극(CE1)은 제1 절연 패턴(31) 상에 배치된다. 한편, 도시되지 않았으나, 주사 라인들(SL1~SLn)은 제1 제어 전극(CE1)과 동일한 층상에 배치될 수 있다.
- [0082] 제2 커패시터 전극(CPE2)은 제1 커패시터 전극(CPE1)에 중첩하도록 배치된다. 커패시터(CST)는 제2 커패시터 전극(CPE2)과 제1 커패시터 전극(CPE1) 사이에 배치된 제2 절연층(20) 및 제3 절연층(30)에 전계를 형성한다.
- [0083] 제1 제어 전극(CE1), 보조 전극(CE22), 및 제2 커패시터 전극(CPE2)은 서로 동일한 층 상에 배치될 수 있다. 또한, 제1 제어 전극(CE1), 보조 전극(CE22), 및 제2 커패시터 전극(CPE2)은 서로 동일한 물질을 포함할 수 있다. 본 발명의 일 실시예에 따른 유기발광 표시장치는, 제1 제어 전극(CE1), 보조 전극(CE22), 및 제2 커패시터 전극(CPE2)을 동일 층 상에 배치시킴으로써, 제1 제어 전극(CE1), 보조 전극(CE22), 및 제2 커패시터 전극(CPE2)을 동일 공정 하에서 동시에 형성할 수 있다. 보조 전극(CE22)은 제1 서브 제어 전극(CE21)과 중첩하게 배치된다. 보조 전극(CE22)은 제1 서브 제어 전극(CE21)과 함께 커패시터를 형성하고, 커패시터(CST)에 병렬 연결될 수 있다. 제1 제어 전극(CE1), 보조 전극(CE22), 및 제2 커패시터 전극(CPE2) 상에 제4 절연층(40)이 배치된다. 제4 절연층(40)은 무기물 및/또는 유기물을 포함한다.
- [0084] 제4 절연층(40) 상에 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제2 입력 전극(IE2), 및 제2 출력 전극(OE2)이 배치된다. 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제2 입력 전극(IE2), 및 제2 출력 전극(OE2)은 각각 제1 내지 제4 절연층들(10, 20, 30, 40) 중 적어도 일부를 관통하여 제1 반도체 패턴(SP1) 또는 제2 반도체 패턴(SP2)에 접속될 수 있다.
- [0085] 구체적으로, 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)은 제1 내지 제4 절연층들(10, 20, 30, 40)을 관통하는 제1 관통홀들(OP1)을 통해 각각 제1 반도체 패턴(SP1)의 제1 영역(AR11) 및 제3 영역(AR13)에 접속된다. 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 제4 절연층(40)을 관통하는 제2 관통홀들(OP2)을 통해 각각 제2 반도체 패턴(SP2)의 제1 영역(AR21) 및 제3 영역(AR23)에 접속된다. 한편, 도시되지 않았으나, 데이터 라인들(DL1~DLm)은 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)과 동일한 층상에 배치될 수 있다. 이에 따라, 데이터 라인들(DL1~DLm)은 제4 절연층(40)의 상면에 직접 배치될 수 있다.
- [0086] 제4 절연층(40) 상에 중간막(ILD)이 배치된다. 중간막(ILD)은 무기물 및/또는 유기물을 포함한다. 중간막(ILD)에는 중간막(ILD)을 관통하는 제3 관통홀(OP3)이 정의될 수 있다. 제3 관통홀(OP3)은 제1 출력 전극(OE1)에 중첩하는 영역에 정의될 수 있다.
- [0087] 중간막(ILD) 상에 하부 전극(AE)이 배치된다. 하부 전극(AE)은 제3 관통홀(OP3)을 통해 폴딩 구동 트랜지스터(T1)의 제1 출력 전극(OE1)에 접속된다. 제1 출력 전극(OE1)과 하부 전극(AE)의 접속부는 도 4에 도시된 제2 노드(N2)에 대응될 수 있다.
- [0088] 중간막(ILD) 상에 화소 정의막(PLD)이 배치된다. 화소 정의막(PLD)은 무기막 및/또는 유기막을 포함할 수 있다. 화소 정의막(PLD)에는 소정의 개구부(OP-PX)가 정의된다. 개구부(OP-PX)는 하부 전극(AE)의 적어도 일부를 노출

시킨다.

- [0089] 하부 전극(AE) 상에 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 상부 전극(CE)이 순차적으로 적층된다. 발광층(EML)은 개구부(OP-PX)에 중첩하는 발광 패턴일 수 있다. 유기발광 다이오드(OLED)는 하부 전극(AE) 및 상부 전극(CE) 사이의 전압 차이를 이용하여 발광층(EML)으로부터 광을 생성한다.
- [0090] 한편, 도시되지 않았으나, 본 발명의 일 실시예에 따른 표시장치는 상부 전극(CE) 상에 배치되는 유기막 및/또는 무기막을 더 포함할 수 있다.
- [0091] 도 5b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치의 부분 단면도이다.
- [0092] 제2 화소(PX2)는 평탄 구동 트랜지스터(T3) 및 평탄 제어 트랜지스터(T4)를 포함한다.
- [0093] 평탄 구동 트랜지스터(T3)는 도 4에 도시된 제1 트랜지스터(TR1)에 대응될 수 있다. 또한, 평탄 제어 트랜지스터(T4)는 도 4에 도시된 제2 내지 제6 트랜지스터들(TR2~TR6) 중 어느 하나에 대응될 수 있다.
- [0094] 평탄 구동 트랜지스터(T3)는 제1 입력 전극(IE3), 제1 출력 전극(OE3), 제1 서브 제어 전극(CE31), 및 제3 반도체 패턴(SP3)을 포함한다. 평탄 구동 트랜지스터(T3)는 제2 화소(PX2)의 유기발광 다이오드(OLED)에 연결된 구동 트랜지스터일 수 있다. 평탄 제어 트랜지스터(T4)는 제2 입력 전극(IE4), 제2 출력 전극(OE4), 제1 서브 제어 전극(CE41), 및 제4 반도체 패턴(SP4)을 포함한다. 평탄 제어 트랜지스터(T4)는 제2 화소(PX)를 턴-온 하기 위한 제어 트랜지스터일 수 있다. 제2 화소(PX2)는 보조 전극(CE32, CE42)을 더 포함할 수 있다.
- [0095] 보조 전극(CE32)은 평탄 구동 트랜지스터(T3)의 제1 서브 제어 전극(CE31)에 중첩하게 배치된다. 보조 전극(CE32)은 제1 서브 제어 전극(CE31)과 함께 커패시터를 형성하고, 커패시터(CST)에 병렬 연결될 수 있다. 보조 전극(CE42)은 평탄 제어 트랜지스터(T4)의 제1 서브 제어 전극(CE41)에 중첩하게 배치된다. 보조 전극(CE42)은 제1 서브 제어 전극(CE41)과 함께 커패시터를 형성하고, 커패시터(CST)에 병렬 연결될 수 있다.
- [0096] 제3 반도체 패턴(SP3)은 불순물이 포함된 제1 영역(AR31), 제3 영역(AR33), 및 제1 영역(AR31)과 제3 영역(AR33) 사이에 배치된 제2 영역(AR32)으로 구분될 수 있다.
- [0097] 제4 반도체 패턴(SP4)은 불순물이 포함된 제1 영역(AR41), 제3 영역(AR43), 및 제1 영역(AR41)과 제3 영역(AR43) 사이에 배치된 제2 영역(AR42)으로 구분될 수 있다.
- [0098] 도 5a에 도시된 폴딩 제어 트랜지스터(T2), 도 5b에 도시된 평탄 구동 트랜지스터(T3), 및 도 5b에 도시된 평탄 제어 트랜지스터(T4)의 구성들은 실질적으로 동일한 구조를 가질 수 있다.
- [0099] 따라서, 제3 반도체 패턴(SP3) 및 제4 반도체 패턴(SP4) 각각은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다.
- [0100] 도 5a 및 도 5b를 참조하여 설명한 본 발명의 일 실시예에 따르면, 제1 반도체 패턴(SP1)은 산화물 반도체를 포함하고, 제2 내지 제4 반도체 패턴(SP2~SP4)는 다결정 실리콘을 포함할 수 있다.
- [0101] 채널 영역이 산화물 반도체를 갖는 트랜지스터는 채널 영역이 다결정 실리콘을 갖는 트랜지스터에 비해 누설전류가 작고, SRU(Short Range Uniformity)가 작아 동일 성능을 갖는 다결정 실리콘을 갖는 트랜지스터에 비해 작은 사이즈를 갖도록 설계할 수 있다. 본 발명의 실시예에서, 제1 반도체 패턴(SP1)의 채널 길이(제2 영역(AR12)의 길이)는 제2 내지 제4 반도체 패턴(SP2~SP4)의 채널 길이(제2 영역(AR22, AR32, AR42)의 길이) 각각 보다 짧을 수 있다.
- [0102] 본 발명의 실시예에서, 폴딩 구동 트랜지스터(T1)의 사이즈를 평탄 구동 트랜지스터(T3) 및 평탄 제어 트랜지스터(T4) 각각 보다 작게 형성할 수 있다. 폴딩 부분(FP)에 배치된 단위 면적 당 제1 화소(PX1)의 개수는 평탄 부분(TP)에 배치된 단위 면적당 제2 화소(PX2)의 개수 보다 많을 수 있다.
- [0103] 또한, 트랜지스터의 사이즈가 작으면 밴딩에 의한 스트레스를 비교적 덜 받게 된다. 따라서, 제1 화소(PX1)의 폴딩 구동 트랜지스터(T1)의 제1 반도체 패턴(SP1)이 산화물 반도체를 포함함으로써, 유기발광 표시장치(1001)의 밴딩에 의해 폴딩 부분(FP)에 배치된 소자 열화 및 크랙을 방지할 수 있는 유기발광 표시장치(1001)를 제공할 수 있다.
- [0104] 또한, 채널 영역이 산화물 반도체를 갖는 트랜지스터와 채널 영역이 다결정 실리콘을 갖는 트랜지스터가 서로 동일한 사이즈의 채널 영역을 갖는 경우, 채널 영역이 다결정 실리콘을 갖는 트랜지스터가 채널 영역이 산화물 반도체를 갖는 트랜지스터에 비해 밴딩 스트레스에 대해 더 높은 내구성을 갖는다.

- [0105] 도 5a 및 도 5b를 참조하여 설명한 본 발명의 일 실시예에 따른 유기발광 표시장치에서, 폴딩 제어 트랜지스터(T2)의 제2 반도체 패턴(SP2)은 다결정 실리콘을 갖고, 제1 반도체 패턴(SP1) 보다 더 큰 채널 길이를 가질 수 있으므로, 유기발광 표시장치(1001)의 벤딩에 의해 폴딩 부분(FP)에 배치된 소자 열화 및 크랙을 방지할 수 있는 유기발광 표시장치(1001)를 제공할 수 있다.
- [0106] 이하, 도 6a 및 도 6b를 참조하여 본 발명의 다른 실시예에 따른 유기발광 표시장치(1002)를 설명한다.
- [0107] 도 6a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 6b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치의 부분 단면도이다.
- [0108] 도 5a 및 도 5b를 참조하여 설명한 유기발광 표시장치(1000)의 폴딩 구동 트랜지스터(T1)가 탑-게이트 구조를 갖는데 비해, 도 6a 및 도 6b를 참조하여 설명할 유기발광 표시장치(1001)의 폴딩 구동 트랜지스터(T1-1)는 바텀-게이트 구조를 갖는데 차이가 있고, 나머지는 실질적으로 유사하다.
- [0109] 도 6a에 도시된 것과 같이, 유기발광 표시장치(1002)의 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1-1), 폴딩 제어 트랜지스터(T2-1), 커패시터(CST-1), 및 유기발광 다이오드(OLED)를 포함한다.
- [0110] 폴딩 구동 트랜지스터(T1-1)는 제2 절연층(20) 상에 배치된 제1 제어 전극(CE1-1), 제4 절연층(40) 상에 배치된 제1 반도체 패턴(SP1-1), 제4 절연층(40) 상에 배치된 제1 입력 전극(IE1-1) 및 제1 출력 전극(OE1-1)을 포함할 수 있다. 제1 제어 전극(CE1-1)은 제2 절연층(20) 및 제4 절연층(40) 사이에 배치될 수 있다. 제1 제어 전극(CE1-1)은 보조 전극(CE22) 및 제2 커패시터 전극(CPE2)과 동일한 층상에 배치될 수 있다.
- [0111] 제1 반도체 패턴(SP1-1)은 제1 제어 전극(CE1-1) 상에 배치될 수 있다. 제1 반도체 패턴(SP1-1)은 제1 제어 전극(CE1-1)과 평면상에서 중첩한다. 제1 입력 전극(IE1-1) 및 제1 출력 전극(OE1-1)은 제4 절연층(40) 상에 배치되어 각각 제1 반도체 패턴(SP1-1)을 부분적으로 커버한다. 도시되지 않았으나, 폴딩 구동 트랜지스터(T1-1)는 제1 반도체 패턴(SP1-1) 중 제1 입력 전극(IE1-1) 및 제1 출력 전극(OE1-1) 각각과 접촉하는 영역에 정의된 옴믹 콘택층(ohmic contact layer)을 더 포함할 수 있다.
- [0112] 폴딩 제어 트랜지스터(T2-1)는 버퍼층(BFL) 상에 배치된 제2 반도체 패턴(SP2), 제1 절연층(10) 상에 배치된 제1 서브 제어 전극(CE21), 제4 절연층(40-1) 상에 배치된 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)을 포함한다. 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 제1 절연층(10), 제2 절연층(20), 및 제4 절연층(40)을 관통하는 제4 개구부들(OP4)을 통해 제2 반도체 패턴(SP2)의 제1 영역(AR21) 및 제3 영역(AR23)에 각각 접속될 수 있다. 제1 화소(PX1)는 제2 절연층(20) 상에 배치된 보조 전극(CE22)을 더 포함할 수 있다.
- [0113] 도 6a 및 도 6b에 도시된 유기발광 표시장치(1002)에서, 제1 제어 전극(CE1-1)과 제1 반도체 패턴(SP1-1)은 제4 절연층(40)에 의해 절연된다. 따라서, 도 6a 및 도 6b에 도시된 유기발광 표시장치(1002)는 도 5a 및 도 5b에 도시된 유기발광 표시장치(1001)와 달리, 제3 절연막(30, 도 5a 및 도 5b 참조)을 생략할 수 있다.
- [0114] 도 6b를 참조하면, 유기발광 표시장치(1002)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-1), 평탄 제어 트랜지스터(T4-1), 커패시터(CST-1), 및 유기발광 다이오드(OLED)를 포함한다.
- [0115] 평탄 구동 트랜지스터(T3-1)는 제3 반도체 패턴(SP3), 제1 서브 제어 전극(CE31), 제1 입력 전극(IE3), 및 제1 출력 전극(OE3)을 포함한다. 제3 반도체 패턴(SP3)은 불순물이 포함된 제1 영역(AR31), 제3 영역(AR33), 및 제1 영역(AR31)과 제3 영역(AR33) 사이에 배치된 제2 영역(AR32)으로 구분될 수 있다.
- [0116] 평탄 제어 트랜지스터(T4-1)는 제4 반도체 패턴(SP4), 제1 서브 제어 전극(CE41), 제2 입력 전극(IE4), 및 제2 출력 전극(OE4)을 포함한다. 제4 반도체 패턴(SP4)은 불순물이 포함된 제1 영역(AR41), 제3 영역(AR43), 및 제1 영역(AR41)과 제3 영역(AR43) 사이에 배치된 제2 영역(AR42)으로 구분될 수 있다.
- [0117] 제2 화소(PX2)는 보조 전극(CE32, CE42)을 더 포함할 수 있다.
- [0118] 도 6a에 도시된 폴딩 제어 트랜지스터(T2-1), 도 6b에 도시된 평탄 구동 트랜지스터(T3-1), 및 도 6b에 도시된 평탄 제어 트랜지스터(T4-1)의 구성들은 실질적으로 동일한 구조를 가질 수 있다.
- [0119] 도 6a 및 도 6b에 도시된 유기발광 표시장치(1002)에 있어서, 폴딩 구동 트랜지스터(T1-1)의 제1 반도체 패턴(SP1-1)은 제2 제어 전극(CE-1) 상에 배치된 구조(Bottom gate 구조)를 가질 수 있다. 이에 따라, 제1 입력 전극(IE1-1)과 제1 출력 전극(OE1-1)은 별도의 관통홀 없이 제1 반도체 패턴(SP1-1)에 직접 접속될 수 있다. 도 6a 및 도 6b를 참조하여 설명한 유기발광 표시장치(1002)는 도 5a 및 도 5b를 참조하여 설명한 유기발광 표시장

치(1001)에 비해 상대적으로 적은 절연막들을 포함하면서도 유사한 효과를 가질 수 있다.

- [0120] 이하, 도 7a 및 도 7b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치(1003)를 설명한다.
- [0121] 도 7a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 7b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치의 부분 단면도이다.
- [0122] 도 7a를 참조하면, 유기발광 표시장치(1003)의 제1 화소(PX1)는 풀딩 구동 트랜지스터(T1-2), 풀딩 제어 트랜지스터(T2-2), 커패시터(CST-2), 및 유기발광 다이오드(OLED)를 포함한다.
- [0123] 도 7a에 도시된 풀딩 구동 트랜지스터(T1-2), 커패시터(CST-2), 및 유기발광 다이오드(OLED)는 도 5a에 도시된 풀딩 구동 트랜지스터(T1), 커패시터(CST), 및 유기발광 다이오드(OLED)와 실질적으로 동일하므로, 구체적인 설명을 생략하고, 해당 구성에 동일한 참조부호를 부여한다.
- [0124] 풀딩 제어 트랜지스터(T2-2)는 풀딩 구동 트랜지스터(T1-2)와 실질적으로 동일한 구조를 갖는다.
- [0125] 풀딩 제어 트랜지스터(T2-2)는 제2 입력 전극(IE2-2), 제2 출력 전극(OE2-2), 제2 제어 전극(CE2-2), 및 제2 반도체 패턴(SP2-2)을 포함한다. 제2 반도체 패턴(SP2-2)은 불순물이 포함된 제1 영역(AR21-2) 및 제3 영역(AR23-2), 및 제1 영역(AR21-2)과 제3 영역(AR23-2) 사이에 배치된 제2 영역(AR22-2)으로 구분될 수 있다.
- [0126] 풀딩 제어 트랜지스터(T2-2)의 제2 입력 전극(IE2-2), 제2 출력 전극(OE2-2), 제2 제어 전극(CE2-2), 및 제2 반도체 패턴(SP2-2)은 각각 풀딩 구동 트랜지스터(T1-2)의 제1 입력 전극(IE1), 제1 출력 전극(OE1), 제1 제어 전극(CE1), 및 제1 반도체 패턴(SP1)과 동일한 층 상에 배치되고, 동일한 물질을 포함할 수 있다.
- [0127] 도 7b를 참조하면, 유기발광 표시장치(1003)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-2), 평탄 제어 트랜지스터(T4-2), 커패시터(CST-2), 및 유기발광 다이오드(OLED)를 포함한다.
- [0128] 도 7b에 도시된 평탄 구동 트랜지스터(T3-2)와 평탄 제어 트랜지스터(T4-2)는 각각 도 5b에 도시된 평탄 구동 트랜지스터(T3)와 평탄 제어 트랜지스터(T4)와 실질적으로 동일하므로, 구체적인 설명을 생략하고, 해당 구성에 동일한 참조부호를 부여한다.
- [0129] 제1 반도체 패턴(SP1) 및 제2 반도체 패턴(SP2-2)은 산화물 반도체를 포함하고, 제3 반도체 패턴(SP3-2) 및 제4 반도체 패턴(SP4-2)은 다결정 실리콘을 포함할 수 있다.
- [0130] 하나의 화소에 포함된 복수의 트랜지스터들이 동일한 구조를 갖는 경우, 그렇지 않은 경우에 비해 공정이 용이하고, 결과적으로 수율 향상 및 제조 비용이 감소된다.
- [0131] 도 7a 및 도 7b를 참조하여 설명한 본 발명의 실시예에 따른 유기발광 표시장치(1003)에 의하면, 제1 화소(PX1)의 풀딩 구동 트랜지스터(T1-2)의 제1 반도체 패턴(SP1)이 산화물 반도체를 포함함으로써, 유기발광 표시장치(1003)의 벤딩에 의해 풀딩 부분(FP)에 배치된 소자 열화 및 크랙을 방지할 수 있는 유기발광 표시장치(1003)를 제공할 수 있다.
- [0132] 또한, 유기발광 표시장치(1003)에 의하면, 제1 화소(PX1)에 포함된 풀딩 구동 트랜지스터(T1-2) 및 풀딩 제어 트랜지스터(T2-2)가 서로 동일한 구조를 갖고, 제2 화소(PX2)에 포함된 평탄 구동 트랜지스터(T3-2) 및 평탄 제어 트랜지스터(T4-2)가 서로 동일한 구조를 가지므로, 비교적 공정이 용이하고, 수율 향상 및 제조 비용 감소될 수 있다.
- [0133] 이하, 도 8a 및 도 8b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치를 설명한다.
- [0134] 도 8a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치(1004)의 부분 단면도이고, 도 8b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치(1004)의 부분 단면도이다.
- [0135] 도 7a 및 도 7b를 참조하여 설명한 유기발광 표시장치(1003)의 풀딩 구동 트랜지스터(T1-2) 및 풀딩 제어 트랜지스터(T1-2)가 탑-게이트 구조를 갖는데 비해, 도 8a 및 도 8b를 참조하여 설명할 유기발광 표시장치(1004)의 풀딩 구동 트랜지스터(T1-3) 및 풀딩 제어 트랜지스터(T2-3)는 바텀-게이트 구조를 갖는데 차이가 있고, 나머지는 실질적으로 유사하다.
- [0136] 유기발광 표시장치(1004)의 제1 화소(PX1)는 풀딩 구동 트랜지스터(T1-3), 풀딩 제어 트랜지스터(T2-3), 커패시터(CST-3), 및 유기발광 다이오드(OLED)를 포함한다.
- [0137] 풀딩 구동 트랜지스터(T1-3)는 제1 제어 전극(CE1-3), 제1 반도체 패턴(SP1-3), 제1 입력 전극(IE1-3), 및 제1

출력 전극(OE1-3)을 포함할 수 있다.

- [0138] 폴딩 제어 트랜지스터(T2-3)는 제2 제어 전극(CE2-3), 제2 반도체 패턴(SP2-3), 제2 입력 전극(IE2-3), 및 제2 출력 전극(OE2-3)을 포함할 수 있다.
- [0139] 폴딩 구동 트랜지스터(T1-3) 및 폴딩 제어 트랜지스터(T2-3)는 도 6a에 도시된 폴딩 구동 트랜지스터(T1-1)과 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.
- [0140] 도 8b를 참조하면, 유기발광 표시장치(1004)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-3), 평탄 제어 트랜지스터(T4-3), 커패시터(CST-3), 및 유기발광 다이오드(OLED)를 포함한다.
- [0141] 평탄 구동 트랜지스터(T3-3)는 제3 반도체 패턴(SP3), 제1 서브 제어 전극(CE31), 제1 입력 전극(IE3), 및 제1 출력 전극(OE3)을 포함한다. 제3 반도체 패턴(SP3)은 불순물이 포함된 제1 영역(AR31), 제3 영역(AR33), 및 제1 영역(AR31)과 제3 영역(AR33) 사이에 배치된 제2 영역(AR32)으로 구분될 수 있다.
- [0142] 평탄 제어 트랜지스터(T4-3)는 제4 반도체 패턴(SP4), 제1 서브 제어 전극(CE41), 제2 입력 전극(IE4), 및 제2 출력 전극(OE4)을 포함한다. 제4 반도체 패턴(SP4)은 불순물이 포함된 제1 영역(AR41), 제3 영역(AR43), 및 제1 영역(AR41)과 제3 영역(AR43) 사이에 배치된 제2 영역(AR42)으로 구분될 수 있다.
- [0143] 제2 화소(PX2)는 보조 전극(CE32, CE42)을 더 포함할 수 있다.
- [0144] 평탄 구동 트랜지스터(T3-3) 및 평탄 제어 트랜지스터(T4-3)는 각각 도 6b에 도시된 평탄 구동 트랜지스터(T3-1) 및 평탄 제어 트랜지스터(T4-1)과 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.
- [0145] 도 8a 및 도 8b에 도시된 유기발광 표시장치(1004)에 있어서, 폴딩 구동 트랜지스터(T1-3) 및 폴딩 제어 트랜지스터(T2-3)는 바텀 게이트 구조를 가질 수 있다. 도 8a 및 도 8b를 참조하여 설명한 유기발광 표시장치(1004)는 도 7a 및 도 7b를 참조하여 설명한 유기발광 표시장치(1003)에 비해 상대적으로 적은 절연막들을 포함하면서도 유사한 효과를 가질 수 있다.
- [0146] 도 9a 및 도 9b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치(1005)를 설명한다.
- [0147] 도 9a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 9b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치의 부분 단면도이다.
- [0148] 도 9a를 참조하면, 유기발광 표시장치(1005)의 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1-4), 폴딩 제어 트랜지스터(T2-4), 커패시터(CST-4), 및 유기발광 다이오드(OLED)를 포함한다.
- [0149] 폴딩 구동 트랜지스터(T1-4)는 제1 반도체 패턴(SP1-4), 제1 서브 제어 전극(CE11-4), 제1 입력 전극(IE1-4), 및 제1 출력 전극(OE1-4)을 포함한다. 제1 반도체 패턴(SP1-4)은 불순물이 포함된 제1 영역(AR11-4), 제3 영역(AR13-4), 및 제1 영역(AR11-4)과 제3 영역(AR13-4) 사이에 배치된 제2 영역(AR12-4)으로 구분될 수 있다.
- [0150] 폴딩 제어 트랜지스터(T2-4)는 제2 반도체 패턴(SP2-4), 제1 서브 제어 전극(CE21-4), 제2 입력 전극(IE2-4), 및 제2 출력 전극(OE2-4)을 포함한다. 제2 반도체 패턴(SP2-4)은 불순물이 포함된 제1 영역(AR21-4), 제3 영역(AR23-4), 및 제1 영역(AR21-4)과 제3 영역(AR23-4) 사이에 배치된 제2 영역(AR22-4)으로 구분될 수 있다. 제1 화소(PX1)는 보조 전극(CE12-4, CE22-4)을 더 포함할 수 있다.
- [0151] 폴딩 구동 트랜지스터(T1-4) 및 폴딩 제어 트랜지스터(T2-4)의 단면 구조는 도 5a에 도시된 폴딩 제어 트랜지스터(T2)와 실질적으로 동일하므로, 구체적인 설명은 생략한다.
- [0152] 도 9b를 참조하면, 유기발광 표시장치(1005)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-4), 평탄 제어 트랜지스터(T4-4), 커패시터(CST-4), 및 유기발광 다이오드(OLED)를 포함한다.
- [0153] 평탄 구동 트랜지스터(T3-4)는 제3 반도체 패턴(SP3-4), 제1 서브 제어 전극(CE31-4), 제1 입력 전극(IE3-4), 및 제1 출력 전극(OE3-4)을 포함한다. 제3 반도체 패턴(SP3-4)은 불순물이 포함된 제1 영역(AR31-4), 제3 영역(AR33-4), 및 제1 영역(AR31-4)과 제3 영역(AR33-4) 사이에 배치된 제2 영역(AR32-4)으로 구분될 수 있다. 제2 화소(PX2)는 보조 전극(CE32-4)을 더 포함할 수 있다.
- [0154] 평탄 구동 트랜지스터(T3-4)의 단면 구조는 도 5b에 도시된 평탄 구동 트랜지스터(T3)와 실질적으로 동일하므로, 구체적인 설명은 생략한다.
- [0155] 평탄 제어 트랜지스터(T4-4)는 제4 반도체 패턴(SP4-4), 제2 제어 전극(CE4-4), 제2 입력 전극(IE4-4), 및 제2

출력 전극(OE4-4)을 포함한다. 제4 반도체 패턴(SP4-4)은 불순물이 포함된 제1 영역(AR41-4), 제3 영역(AR43-4), 및 제1 영역(AR41-4)과 제3 영역(AR43-4) 사이에 배치된 제2 영역(AR42-4)으로 구분될 수 있다.

- [0156] 평탄 제어 트랜지스터(T4-4)의 단면 구조는 도 5a에 도시된 폴딩 구동 트랜지스터(T1)와 실질적으로 동일하므로, 구체적인 설명은 생략한다.
- [0157] 도 9c는 도 9a에 도시된 폴딩 구동 트랜지스터의 제1 반도체 패턴을 도시한 평면도이다.
- [0158] 제1 반도체 패턴(SP1-4)는 대략적으로 제2 방향(DR2)을 따라 연장된 형상을 가질 수 있다. 제1 영역(AR11-4)과 제3 영역(AR13-4)은 제2 방향(DR2)으로 서로 이격되어 배치될 수 있다. 제2 영역(AR12-4)은 제1 영역(AR11-4) 및 제3 영역(AR13-4)을 연결한다.
- [0159] 제2 영역(AR12-4)은 트랜지스터의 채널 영역이다. 트랜지스터의 채널 영역 내에서 캐리어의 이동 방향이 랜덤할수록 벤딩에 대한 내구성이 향상된다.
- [0160] 본 발명의 일 실시예에서, 제1 반도체 패턴(SP1-4)의 제2 영역(AR12-4)은 폴딩축(FX, 도 1)에 수직한 제1 방향(DR1)으로 오목하거나 볼록하게 휘어진 형상을 가질 수 있다.
- [0161] 제2 영역(AR12-4)은 제2 방향(DR2)으로 세로 길이(a1)를 가질 수 있다. 또한, 제2 영역(AR12-4)은 제1 영역(AR11-4) 및 제3 영역(AR13-4)에 비해 제1 방향(DR1)으로 돌출 길이(a2)만큼 돌출될 수 있다.
- [0162] 본 발명의 일 실시예에서, 세로 길이(a1)/돌출 길이(a2)는 0.3 이상 1 미만일 수 있다.
- [0163] 본 발명의 다른 실시예에서, 폴딩 제어 트랜지스터(T2-4)의 제2 반도체 패턴(SP2-4)도 제1 반도체 패턴(SP1-4)과 동일한 형상을 가질 수 있다.
- [0164] 도 9a 내지 도 9c를 참조하여 설명한 유기발광 표시장치(1005)에 의하면, 폴딩 부분(FP)에 비해 월등히 큰 면적을 갖는 평탄 부분(TP)에 배치된 제2 화소(PX2)의 평탄 제어 트랜지스터(T4-4)는 산화물 반도체를 포함한다. 따라서, 제2 화소(PX2)의 누설전류를 낮출 수 있고, 유기발광 표시장치(1005)의 소비전력을 개선할 수 있다.
- [0165] 제1 화소(PX1)의 폴딩 구동 트랜지스터(T1-4) 및 폴딩 제어 트랜지스터(T2-4)는 다결정 실리콘을 갖는다. 제1 화소(PX1)의 폴딩 구동 트랜지스터(T1-4) 및 폴딩 제어 트랜지스터(T2-4) 중 적어도 하나는 휘어진 채널 영역을 가진다. 따라서, 유기발광 표시장치(1005)는 벤딩에 대한 내구성이 향상된다.
- [0166] 이하, 도 10a 및 도 10b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치를 설명한다.
- [0167] 도 10a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치(1006)의 부분 단면도이고, 도 10b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치(1004)의 부분 단면도이다.
- [0168] 도 9a 및 도 9b를 참조하여 설명한 유기발광 표시장치(1005)의 폴딩 구동 트랜지스터(T1-3) 및 폴딩 제어 트랜지스터(T1-4)가 탑-게이트 구조를 갖는데 비해, 도 10a 및 도 10b를 참조하여 설명할 유기발광 표시장치(1006)의 폴딩 구동 트랜지스터(T1-3) 및 폴딩 제어 트랜지스터(T2-3)는 바텀-게이트 구조를 갖는데 차이가 있고, 나머지는 실질적으로 유사하다.
- [0169] 유기발광 표시장치(1006)의 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1-5), 폴딩 제어 트랜지스터(T2-5), 커패시터(CST-5), 및 유기발광 다이오드(OLED)를 포함한다.
- [0170] 폴딩 구동 트랜지스터(T1-5)는 제1 서브 제어 전극(CE11-5), 제2 서브 제어 전극(CE12-5), 제1 반도체 패턴(SP1-5), 제1 입력 전극(IE1-5), 및 제1 출력 전극(OE1-5)을 포함할 수 있다.
- [0171] 폴딩 제어 트랜지스터(T2-5)는 제1 서브 제어 전극(CE21-5), 제2 반도체 패턴(SP2-5), 제2 입력 전극(IE2-5), 및 제2 출력 전극(OE2-5)을 포함할 수 있다. 제1 화소(PX1)는 보조 전극(CE12-5, CE22-5)를 더 포함할 수 있다.
- [0172] 폴딩 구동 트랜지스터(T1-5) 및 폴딩 제어 트랜지스터(T2-5)는 도 6b에 도시된 평탄 구동 트랜지스터(T3-1) 및 평탄 제어 트랜지스터(T4-1)와 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.
- [0173] 도 10b를 참조하면, 유기발광 표시장치(1006)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-5), 평탄 제어 트랜지스터(T4-5), 커패시터(CST-5), 및 유기발광 다이오드(OLED)를 포함한다.
- [0174] 평탄 구동 트랜지스터(T3-5)는 제3 반도체 패턴(SP3-5), 제1 서브 제어 전극(CE31-5), 제1 입력 전극(IE3-5), 및 제1 출력 전극(OE3-5)을 포함한다. 평탄 구동 트랜지스터(T3-5)는 도 6b에 도시된 평탄 구동 트랜지스터(T3-

1) 및 평탄 제어 트랜지스터(T4-1)과 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다. 제2 화소(PX2)는 보조 전극(CE32-5)을 더 포함할 수 있다.

[0175] 평탄 제어 트랜지스터(T4-5)는 제2 제어 전극(CE4-5), 제4 반도체 패턴(SP4-5), 제2 입력 전극(IE4-5), 및 제2 출력 전극(OE4-5)을 포함할 수 있다. 평탄 제어 트랜지스터(T4-5)는 도 6a에 도시된 폴딩 구동 트랜지스터(T1-1)와 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.

[0176] 도 10a 및 도 10b에 도시된 유기발광 표시장치(1006)에 있어서, 평탄 제어 트랜지스터(T4-5)는 바텀 게이트 구조를 가질 수 있다. 도 10a 및 도 10b를 참조하여 설명한 유기발광 표시장치(1006)는 도 9a 및 도 9b를 참조하여 설명한 유기발광 표시장치(1005)에 비해 상대적으로 적은 절연막들을 포함하면서도 유사한 효과를 가질 수 있다.

[0177] 도 11a 및 도 11b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치(1007)를 설명한다.

[0178] 도 11a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치의 부분 단면도이고, 도 11b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치의 부분 단면도이다.

[0179] 도 11a를 참조하면, 유기발광 표시장치(1007)의 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1-6), 폴딩 제어 트랜지스터(T2-6), 커패시터(CST-6), 및 유기발광 다이오드(OLED)를 포함한다.

[0180] 폴딩 구동 트랜지스터(T1-6)는 제1 반도체 패턴(SP1-6), 제1 서브 제어 전극(CE11-6), 제1 입력 전극(IE1-6), 및 제1 출력 전극(OE1-6)을 포함한다.

[0181] 폴딩 제어 트랜지스터(T2-6)는 제2 반도체 패턴(SP2-6), 제1 서브 제어 전극(CE21-6), 제2 입력 전극(IE2-6), 및 제2 출력 전극(OE2-6)을 포함한다. 제1 화소(PX1)는 보조 전극(CE12-6, CE22-6)을 더 포함할 수 있다.

[0182] 폴딩 구동 트랜지스터(T1-6) 및 폴딩 제어 트랜지스터(T2-6)의 단면 구조는 도 5a에 도시된 폴딩 제어 트랜지스터(T2)와 실질적으로 동일하므로, 구체적인 설명은 생략한다.

[0183] 폴딩 구동 트랜지스터(T1-6)의 제1 반도체 패턴(SP1-6)의 평면상 형상은 도 9c에 도시된 제1 반도체 패턴(SP1-4)와 실질적으로 동일할 수 있다.

[0184] 도 11b를 참조하면, 유기발광 표시장치(1007)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-6), 평탄 제어 트랜지스터(T4-6), 커패시터(CST-6), 및 유기발광 다이오드(OLED)를 포함한다.

[0185] 평탄 구동 트랜지스터(T3-6)는 제3 반도체 패턴(SP3-6), 제1 제어 전극(CE3-6), 제1 입력 전극(IE3-6), 및 제1 출력 전극(OE3-6)을 포함한다.

[0186] 평탄 제어 트랜지스터(T4-6)는 제4 반도체 패턴(SP4-6), 제2 제어 전극(CE4-6), 제2 입력 전극(IE4-6), 및 제2 출력 전극(OE4-6)을 포함한다.

[0187] 평탄 구동 트랜지스터(T3-6) 및 평탄 제어 트랜지스터(T4-6) 각각의 단면 구조는 도 5a에 도시된 평탄 구동 트랜지스터(T1)와 실질적으로 동일하므로, 구체적인 설명은 생략한다.

[0188] 도 11a 및 도 11b를 참조하여 설명한 유기발광 표시장치(1007)에 의하면, 폴딩 부분(FP)에 비해 월등히 큰 면적을 갖는 평탄 부분(TP)에 배치된 제2 화소(PX2)의 평탄 구동 트랜지스터(T4-6) 및 평탄 제어 트랜지스터(T4-6)는 산화물 반도체를 포함한다. 따라서, 제2 화소(PX2)의 누설전류를 낮출 수 있고, 유기발광 표시장치(1007)의 소비전력을 개선할 수 있다.

[0189] 제1 화소(PX1)의 폴딩 구동 트랜지스터(T1-6) 및 폴딩 제어 트랜지스터(T2-6)는 다결정 실리콘을 갖는다. 제1 화소(PX1)의 폴딩 구동 트랜지스터(T1-6) 및 폴딩 제어 트랜지스터(T2-6) 중 적어도 하나는 휘어진 채널 영역을 가진다. 따라서, 유기발광 표시장치(1007)는 벤딩에 대한 내구성이 향상된다.

[0190] 도 11a 및 도 11b를 참조하여 설명한 유기발광 표시장치(1007)에 의하면, 제1 화소(PX1)에 포함된 폴딩 구동 트랜지스터(T1-6) 및 폴딩 제어 트랜지스터(T2-6)가 서로 동일한 구조를 갖고, 제2 화소(PX2)에 포함된 평탄 구동 트랜지스터(T3-6) 및 평탄 제어 트랜지스터(T4-6)가 서로 동일한 구조를 가지므로, 비교적 공정이 용이하고, 수율 향상 및 제조 비용 감소될 수 있다.

[0191] 이하, 도 12a 및 도 12b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치를 설명한다.

[0192] 도 12a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치(1008)의 부분 단면도이고, 도 12b는 도 1의 제2

화소(PX2)에 대응하는 유기발광 표시장치(1008)의 부분 단면도이다.

- [0193] 도 11a 및 도 11b를 참조하여 설명한 유기발광 표시장치(1007)의 평탄 구동 트랜지스터(T3-6) 및 평탄 제어 트랜지스터(T4-6)가 탑-게이트 구조를 갖는데 비해, 도 12a 및 도 12b를 참조하여 설명할 유기발광 표시장치(1008)의 평탄 구동 트랜지스터(T3-7) 및 평탄 제어 트랜지스터(T4-7)는 바텀-게이트 구조를 갖는데 차이가 있고, 나머지는 실질적으로 유사하다.
- [0194] 유기발광 표시장치(1008)의 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1-7), 폴딩 제어 트랜지스터(T2-7), 커패시터(CST-7), 및 유기발광 다이오드(OLED)를 포함한다.
- [0195] 폴딩 구동 트랜지스터(T1-7)는 제1 서브 제어 전극(CE11-7), 제1 반도체 패턴(SP1-7), 제1 입력 전극(IE1-7), 및 제1 출력 전극(OE1-7)을 포함할 수 있다.
- [0196] 폴딩 제어 트랜지스터(T2-7)는 제1 서브 제어 전극(CE21-7), 제2 반도체 패턴(SP2-7), 제2 입력 전극(IE2-7), 및 제2 출력 전극(OE2-7)을 포함할 수 있다. 제1 화소(PX1)는 보조 전극(CE12-7, CE22-7)을 더 포함할 수 있다.
- [0197] 폴딩 구동 트랜지스터(T1-7) 및 폴딩 제어 트랜지스터(T2-7)는 도 6b에 도시된 평탄 구동 트랜지스터(T3-1) 및 평탄 제어 트랜지스터(T4-1)와 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.
- [0198] 도 12b를 참조하면, 유기발광 표시장치(1008)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-7), 평탄 제어 트랜지스터(T4-7), 커패시터(CST-7), 및 유기발광 다이오드(OLED)를 포함한다.
- [0199] 평탄 구동 트랜지스터(T3-7)는 제1 제어 전극(CE3-7), 제3 반도체 패턴(SP3-7), 제1 입력 전극(IE3-7), 및 제1 출력 전극(OE3-7)을 포함할 수 있다.
- [0200] 평탄 제어 트랜지스터(T4-7)는 제2 제어 전극(CE4-7), 제4 반도체 패턴(SP4-7), 제2 입력 전극(IE4-7), 및 제2 출력 전극(OE4-7)을 포함할 수 있다.
- [0201] 평탄 구동 트랜지스터(T3-7) 및 평탄 제어 트랜지스터(T4-7) 각각은 도 6a에 도시된 폴딩 구동 트랜지스터(T1-1)와 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.
- [0202] 도 12a 및 도 12b에 도시된 유기발광 표시장치(1008)에 있어서, 평탄 구동 트랜지스터(T3-7) 및 평탄 제어 트랜지스터(T4-7) 각각은 바텀 게이트 구조를 가질 수 있다. 도 12a 및 도 12b를 참조하여 설명한 유기발광 표시장치(1008)는 도 11a 및 도 11b를 참조하여 설명한 유기발광 표시장치(1007)에 비해 상대적으로 적은 절연막들을 포함하면서도 유사한 효과를 가질 수 있다.
- [0203] 이하, 도 13a 및 도 13b를 참조하여 본 발명의 또 다른 실시예에 따른 유기발광 표시장치를 설명한다.
- [0204] 도 13a는 도 1의 제1 화소(PX1)에 대응하는 유기발광 표시장치(1009)의 부분 단면도이고, 도 13b는 도 1의 제2 화소(PX2)에 대응하는 유기발광 표시장치(1009)의 부분 단면도이다.
- [0205] 도 13a 및 도 13b를 참조하여 설명할 유기발광 표시장치(1009)에서, 폴딩 구동 트랜지스터(T1-8), 폴딩 제어 트랜지스터(T2-8), 평탄 구동 트랜지스터(T3-8), 및 평탄 제어 트랜지스터(T4-8)는 모두 바텀-게이트 구조를 가질 수 있다.
- [0206] 유기발광 표시장치(1009)의 제1 화소(PX1)는 폴딩 구동 트랜지스터(T1-8), 폴딩 제어 트랜지스터(T2-8), 커패시터(CST-8), 및 유기발광 다이오드(OLED)를 포함한다.
- [0207] 유기발광 표시장치(1009)의 제2 화소(PX2)는 평탄 구동 트랜지스터(T3-8), 평탄 제어 트랜지스터(T4-8), 커패시터(CST-8), 및 유기발광 다이오드(OLED)를 포함한다.
- [0208] 폴딩 구동 트랜지스터(T1-8)는 제1 제어 전극(CE1-8), 제1 반도체 패턴(SP1-8), 제1 입력 전극(IE1-8), 및 제1 출력 전극(OE1-8)을 포함할 수 있다.
- [0209] 폴딩 제어 트랜지스터(T2-8)는 제1 제어 전극(CE2-8), 제2 반도체 패턴(SP2-8), 제2 입력 전극(IE2-8), 및 제2 출력 전극(OE2-8)을 포함할 수 있다.
- [0210] 평탄 구동 트랜지스터(T3-8)는 제1 제어 전극(CE3-8), 제3 반도체 패턴(SP3-8), 제1 입력 전극(IE3-8), 및 제1 출력 전극(OE3-8)을 포함할 수 있다.
- [0211] 평탄 제어 트랜지스터(T4-8)는 제2 제어 전극(CE4-8), 제4 반도체 패턴(SP4-8), 제2 입력 전극(IE4-8), 및 제2

출력 전극(OE4-8)을 포함할 수 있다.

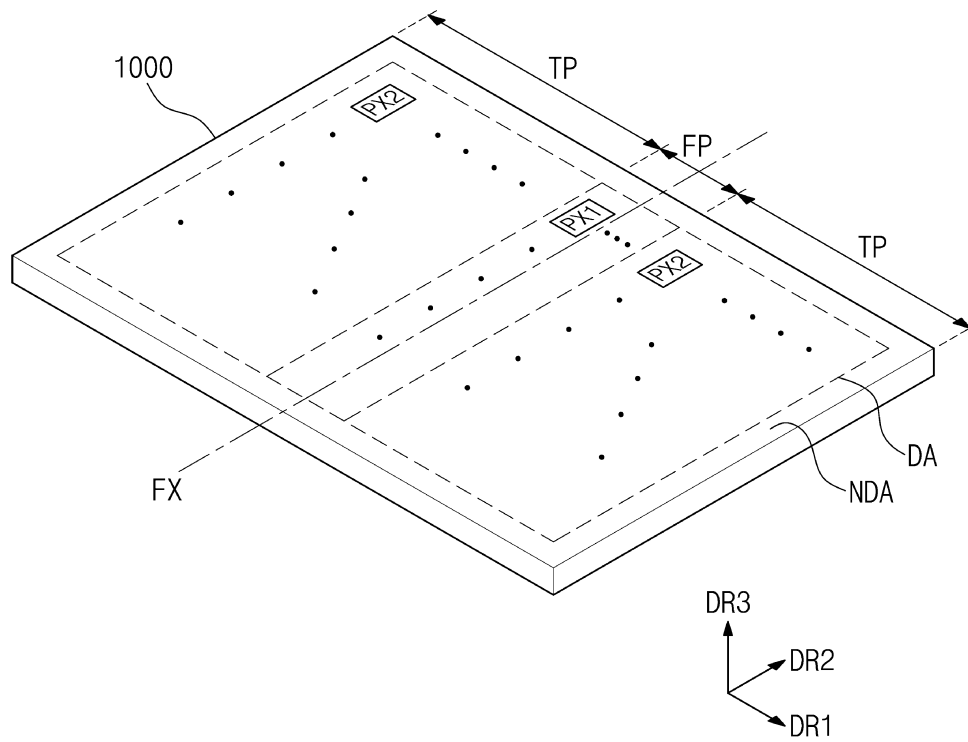
- [0212] 폴딩 구동 트랜지스터(T1-8), 폴딩 제어 트랜지스터(T2-8), 평탄 구동 트랜지스터(T3-8) 및 평탄 제어 트랜지스터(T4-8) 각각은 도 6a에 도시된 폴딩 구동 트랜지스터(T1-1)와 실질적으로 동일한 구조를 가지므로, 구체적인 설명은 생략한다.
- [0213] 도 13a 및 도 13b에 도시된 유기발광 표시장치(1009)에 있어서, 폴딩 구동 트랜지스터(T1-8), 폴딩 제어 트랜지스터(T2-8), 평탄 구동 트랜지스터(T3-7) 및 평탄 제어 트랜지스터(T4-7) 각각은 바텀 게이트 구조를 가질 수 있다. 도 13a 및 도 13b를 참조하여 설명한 유기발광 표시장치(1009)는 도 11a 및 도 11b를 참조하여 설명한 유기발광 표시장치(1007)에 비해 상대적으로 적은 절연막들을 포함하면서도 유사한 효과를 가질 수 있다.
- [0214] 도 13a 및 도 13b를 참조하여 설명한 유기발광 표시장치(1009)에 의하면, 폴딩 구동 트랜지스터(T1-8), 폴딩 제어 트랜지스터(T2-8), 평탄 구동 트랜지스터(T3-7) 및 평탄 제어 트랜지스터(T4-7)가 서로 동일한 구조를 가지므로, 비교적 공정이 용이하고, 수율 향상 및 제조 비용 감소될 수 있다.
- [0215] 한편 본 발명은 기재된 실시예에 한정되는 것이 아니고, 본 발명의 사상 및 범위를 벗어나지 않고 다양하게 수정 및 변형을 할 수 있음은 이 기술 분야에서 통상의 지식을 가진 자에게는 자명하다. 따라서, 그러한 변형예 또는 수정예들은 본 발명의 특허청구범위에 속한다 해야 할 것이다.

부호의 설명

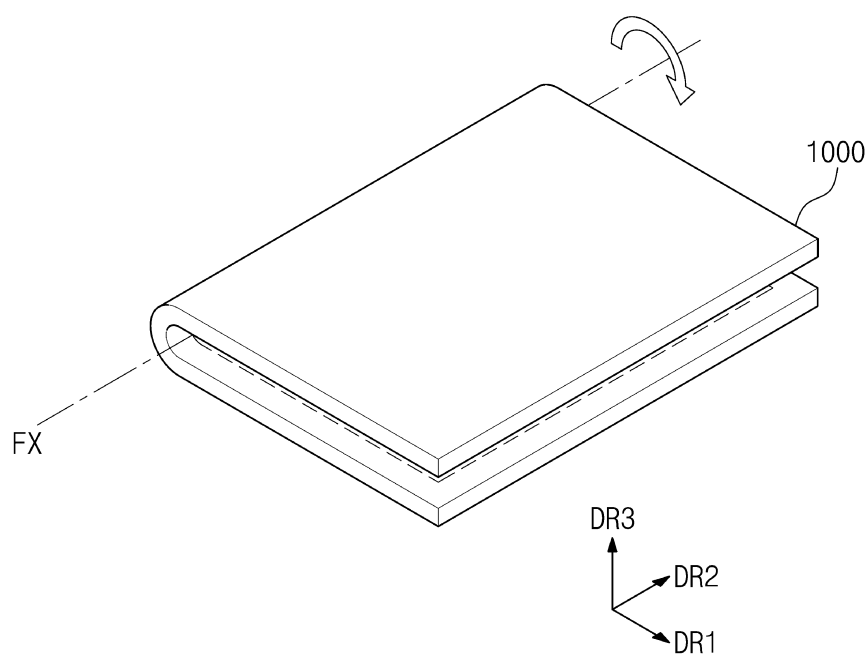
- [0216] 1000: 유기발광 표시장치 FX: 폴딩축
 FP: 폴딩 부분 TP: 평탄 부분
 TC: 타이밍 제어부 SCS: 주사 구동회로
 DDC: 데이터 구동회로 DP: 유기발광 표시패널
 OLED: 유기발광 다이오드 PX: 화소

도면

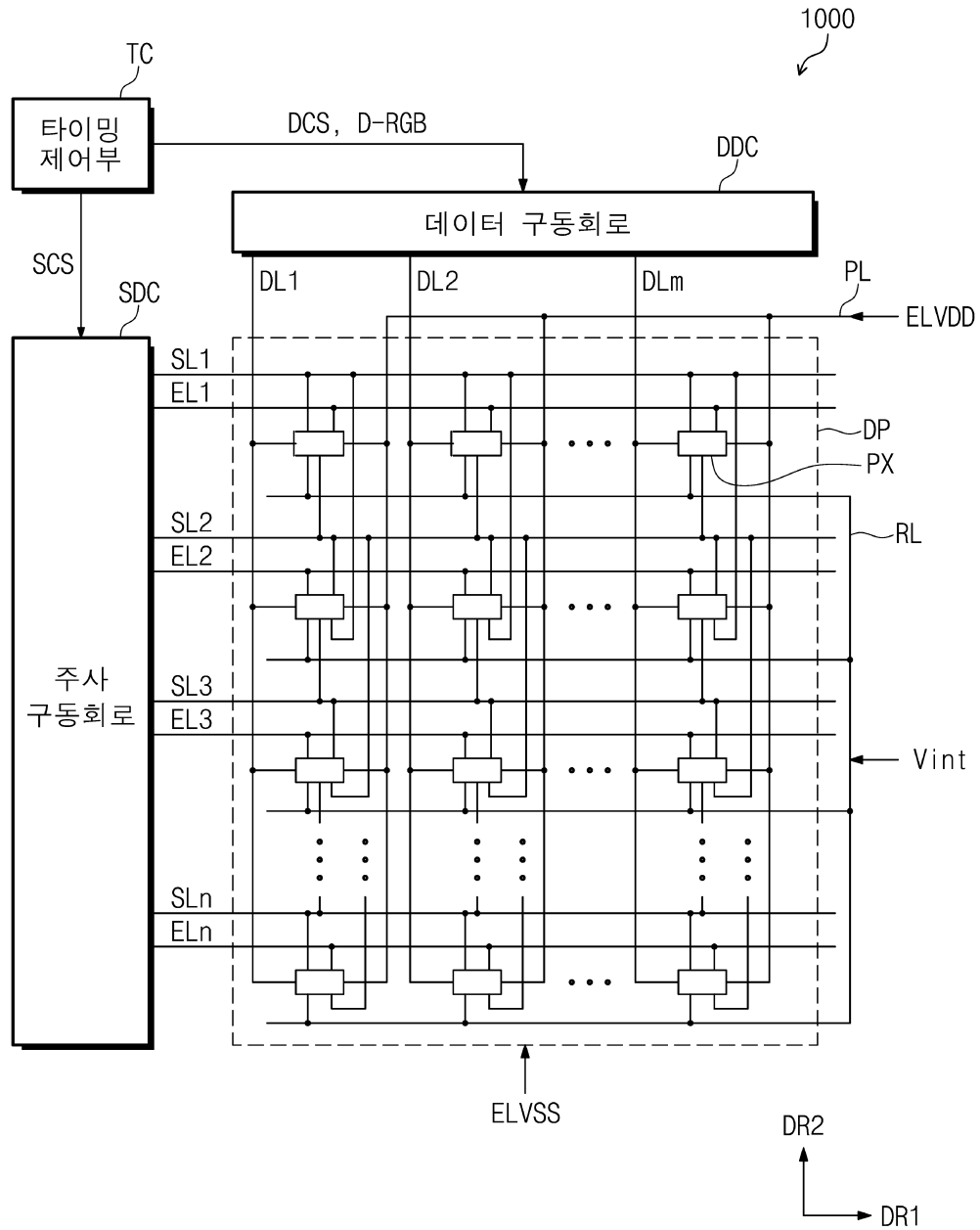
도면1



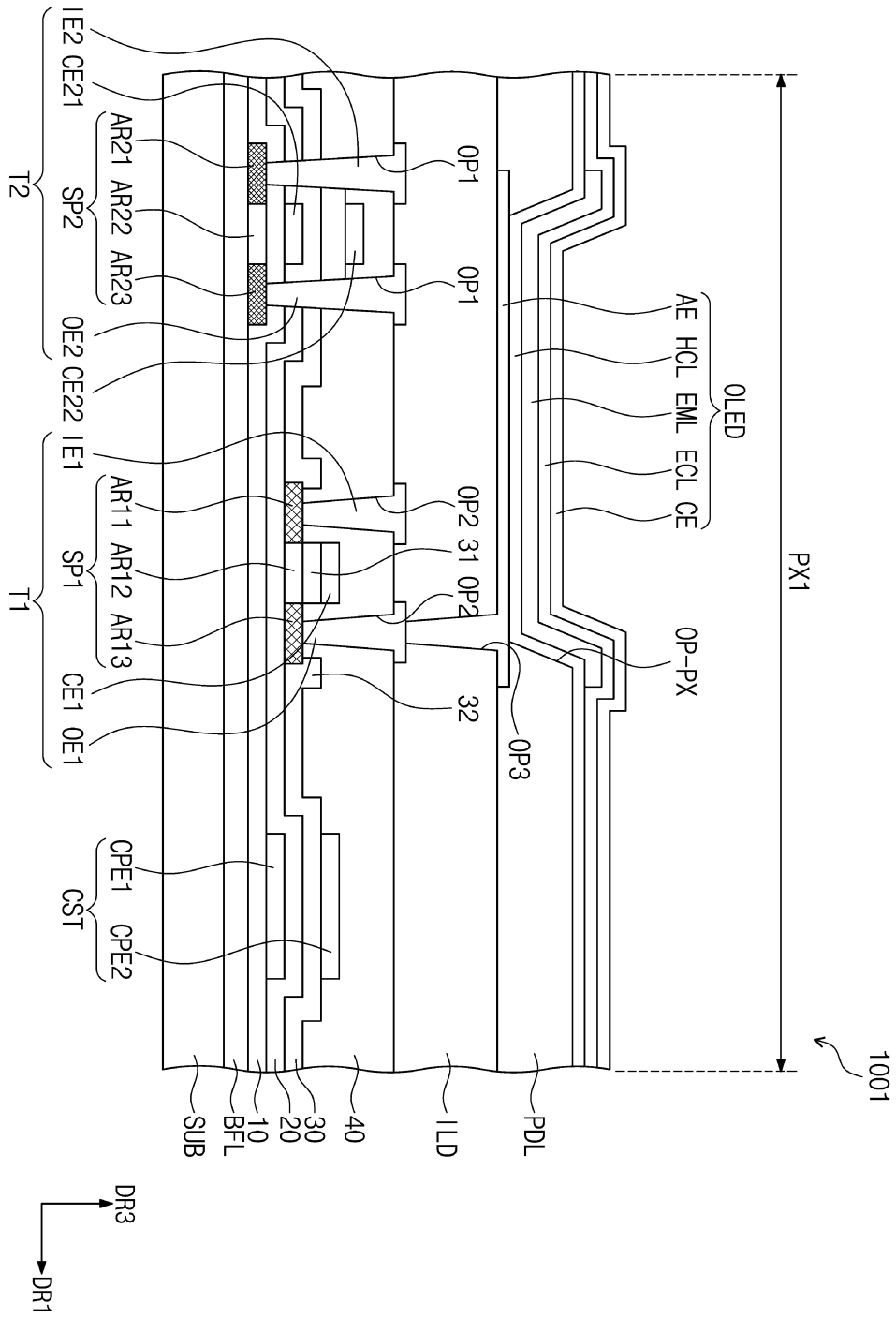
도면2



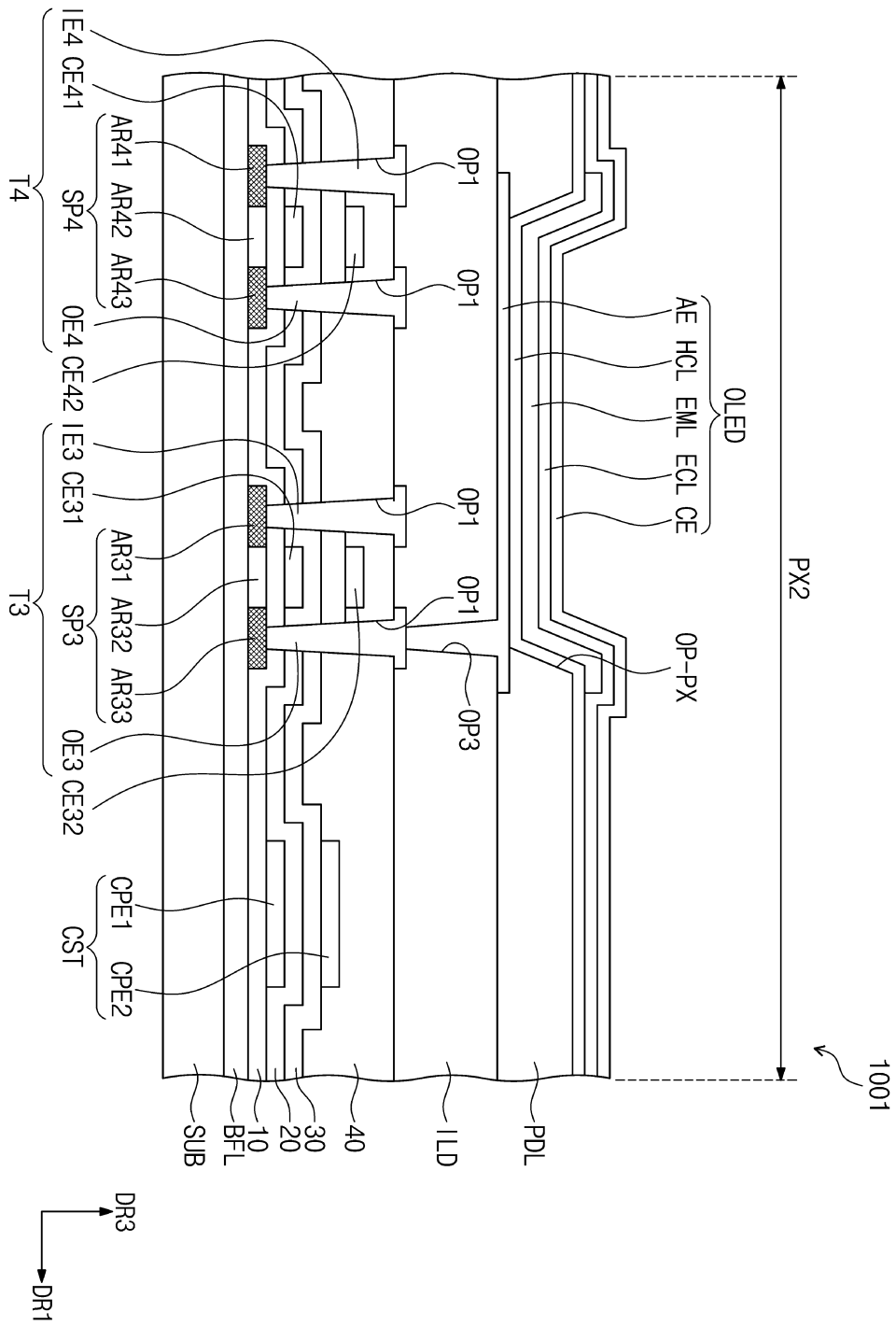
도면3



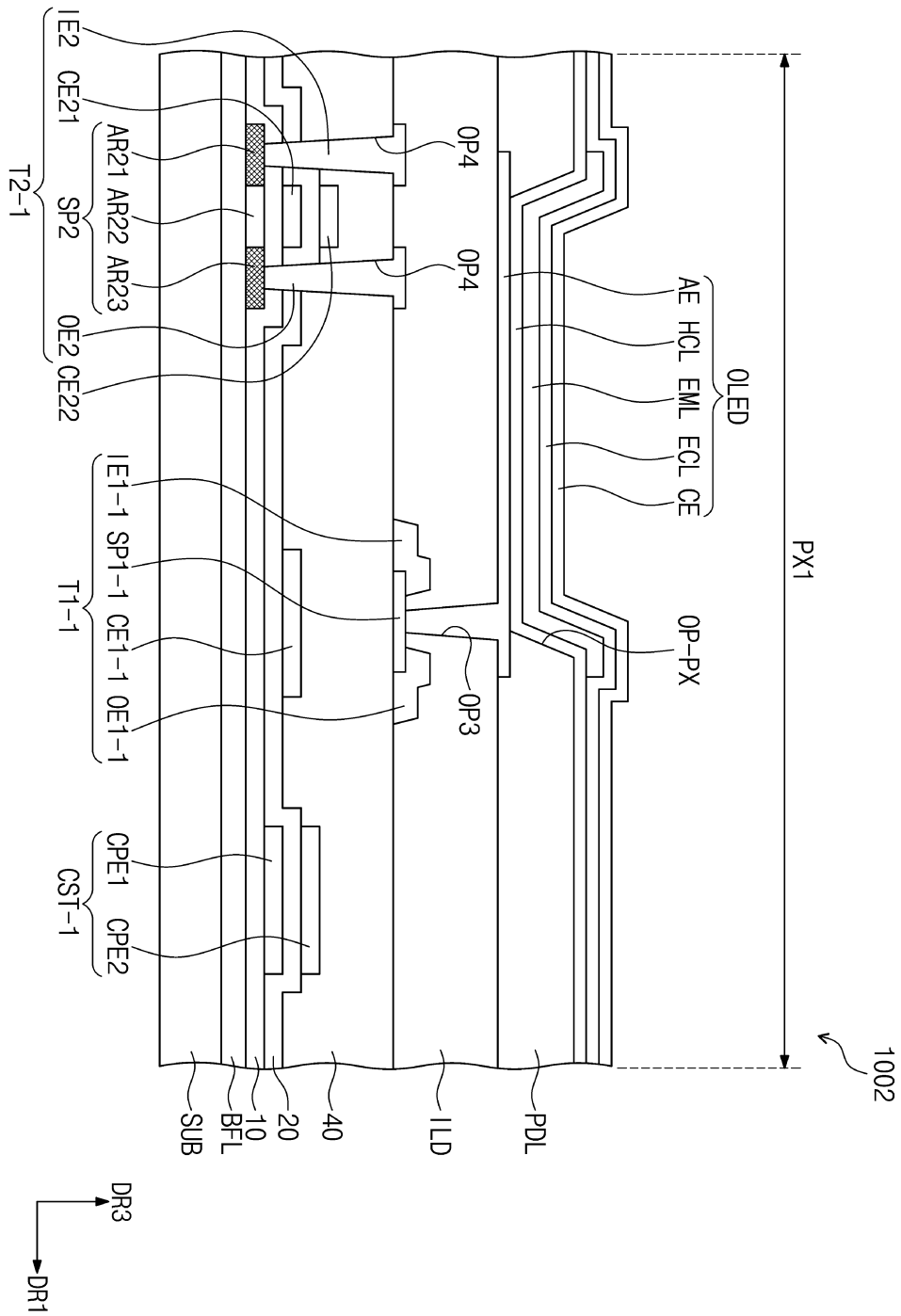
도면5a



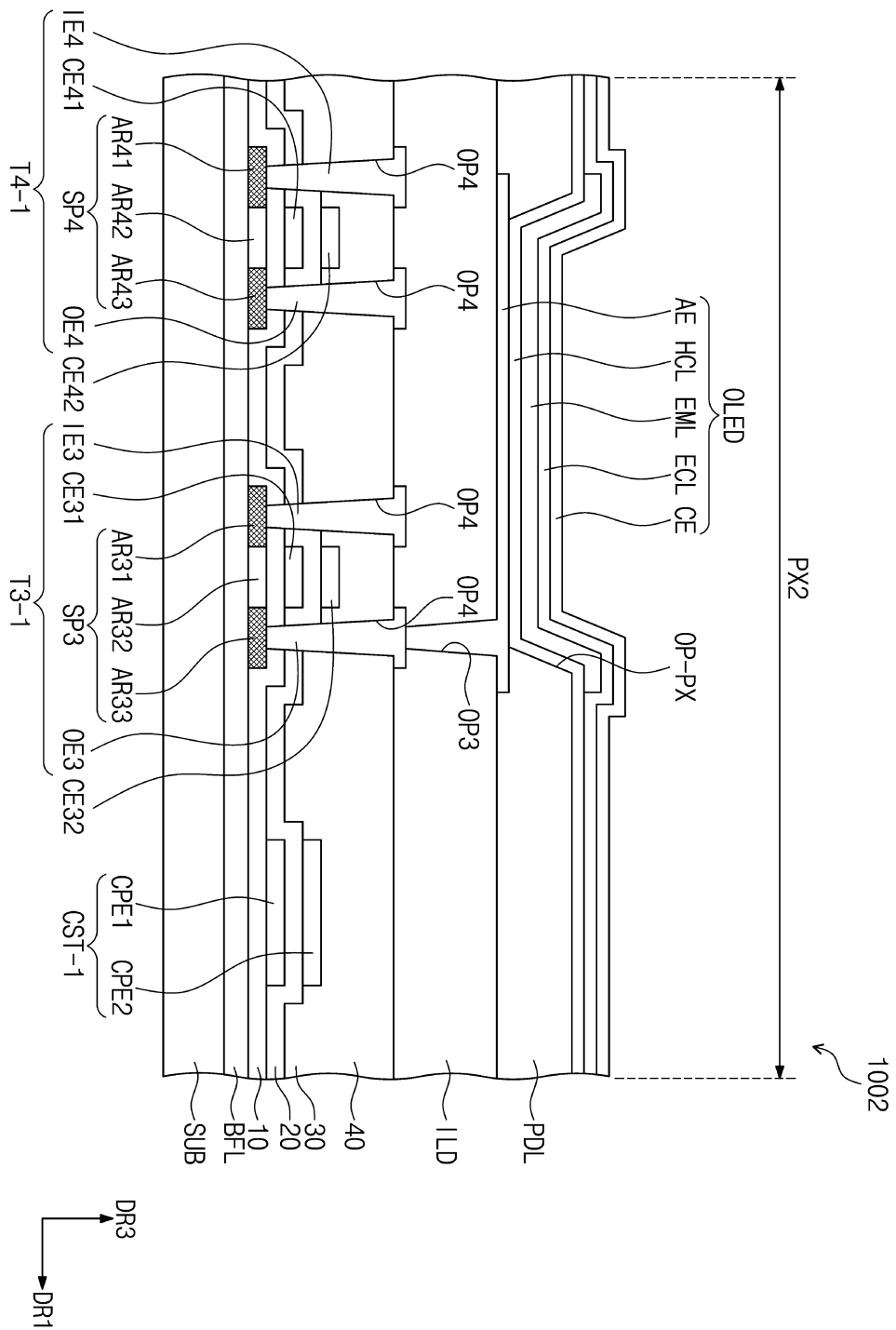
도면5b



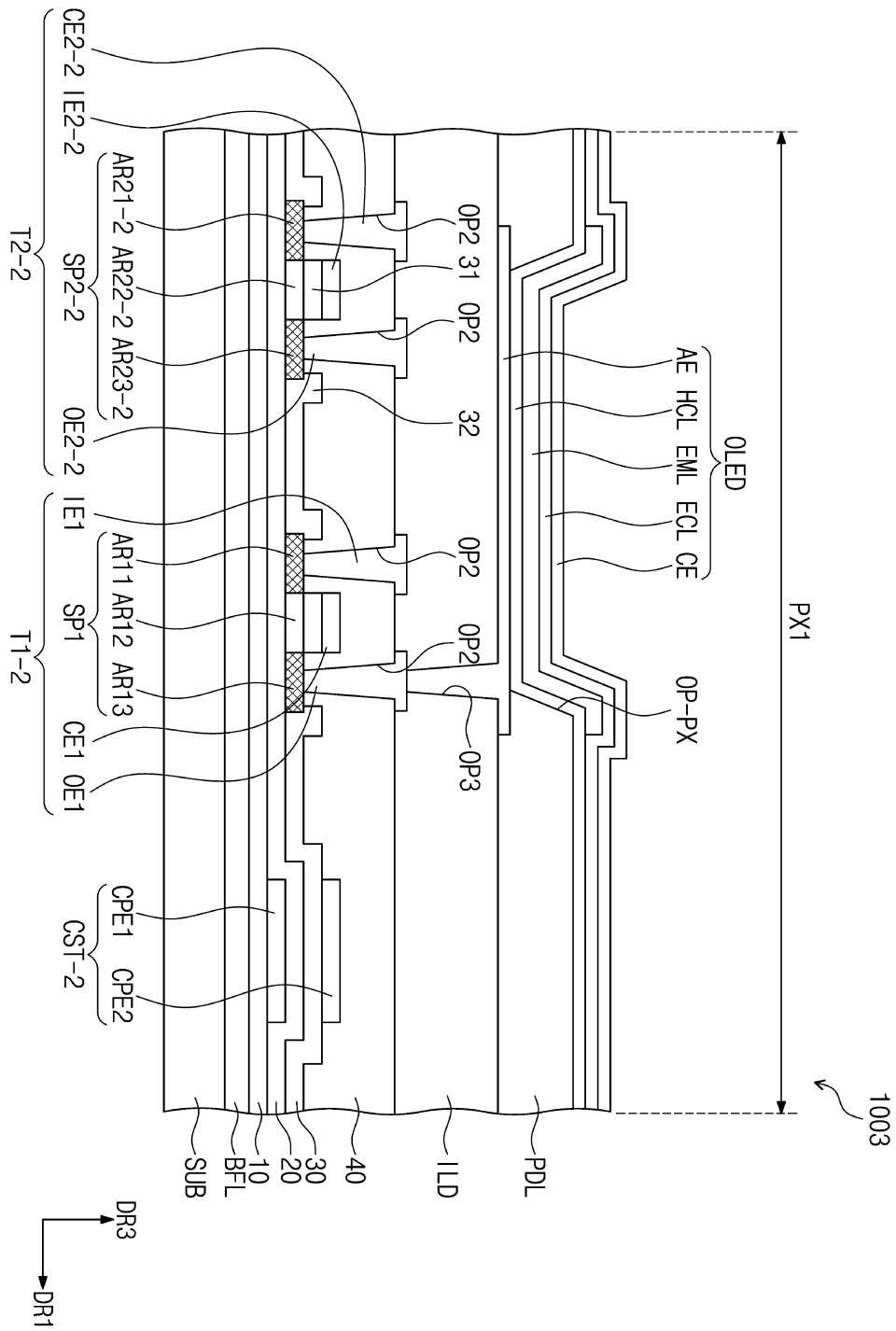
도면6a



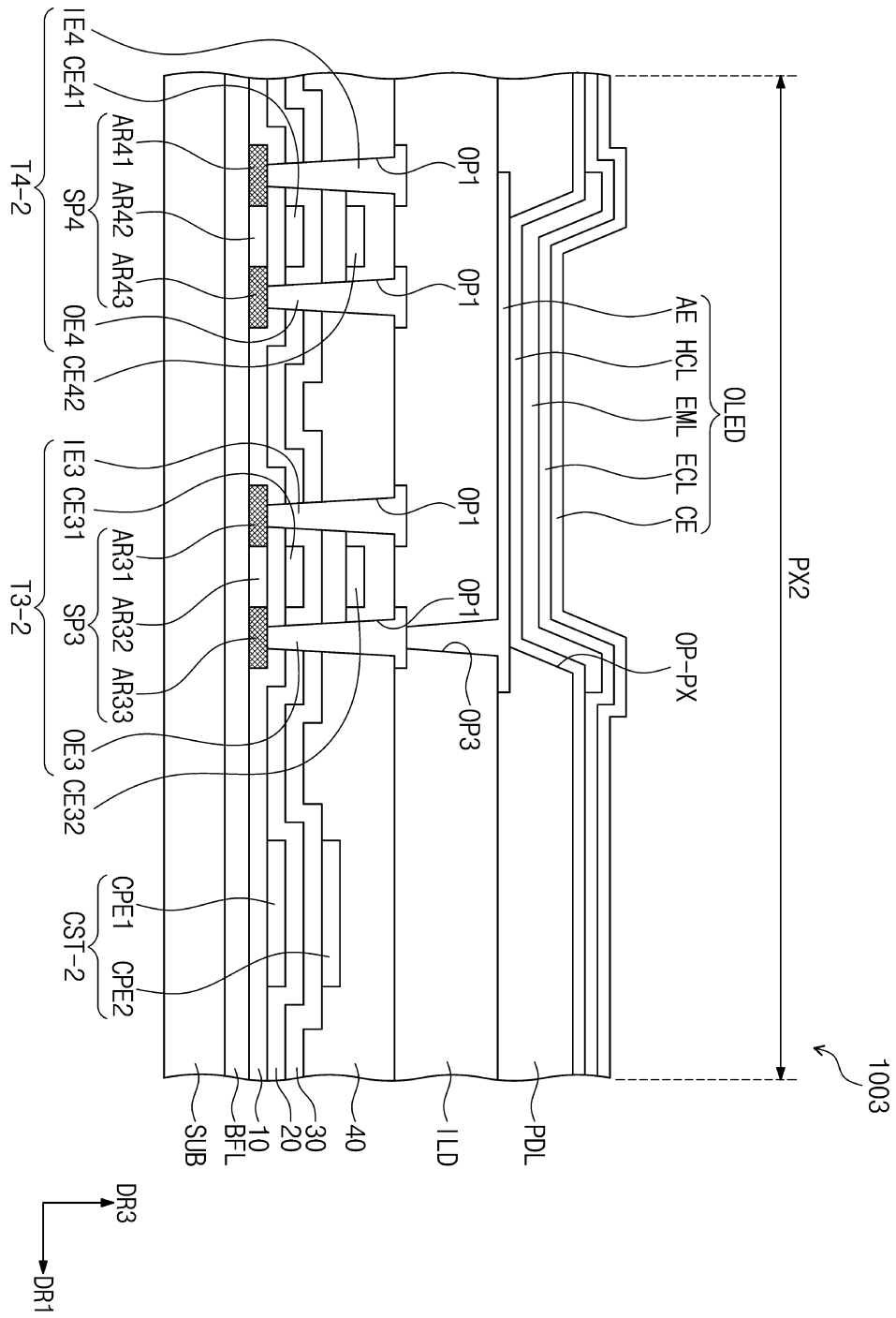
도면6b



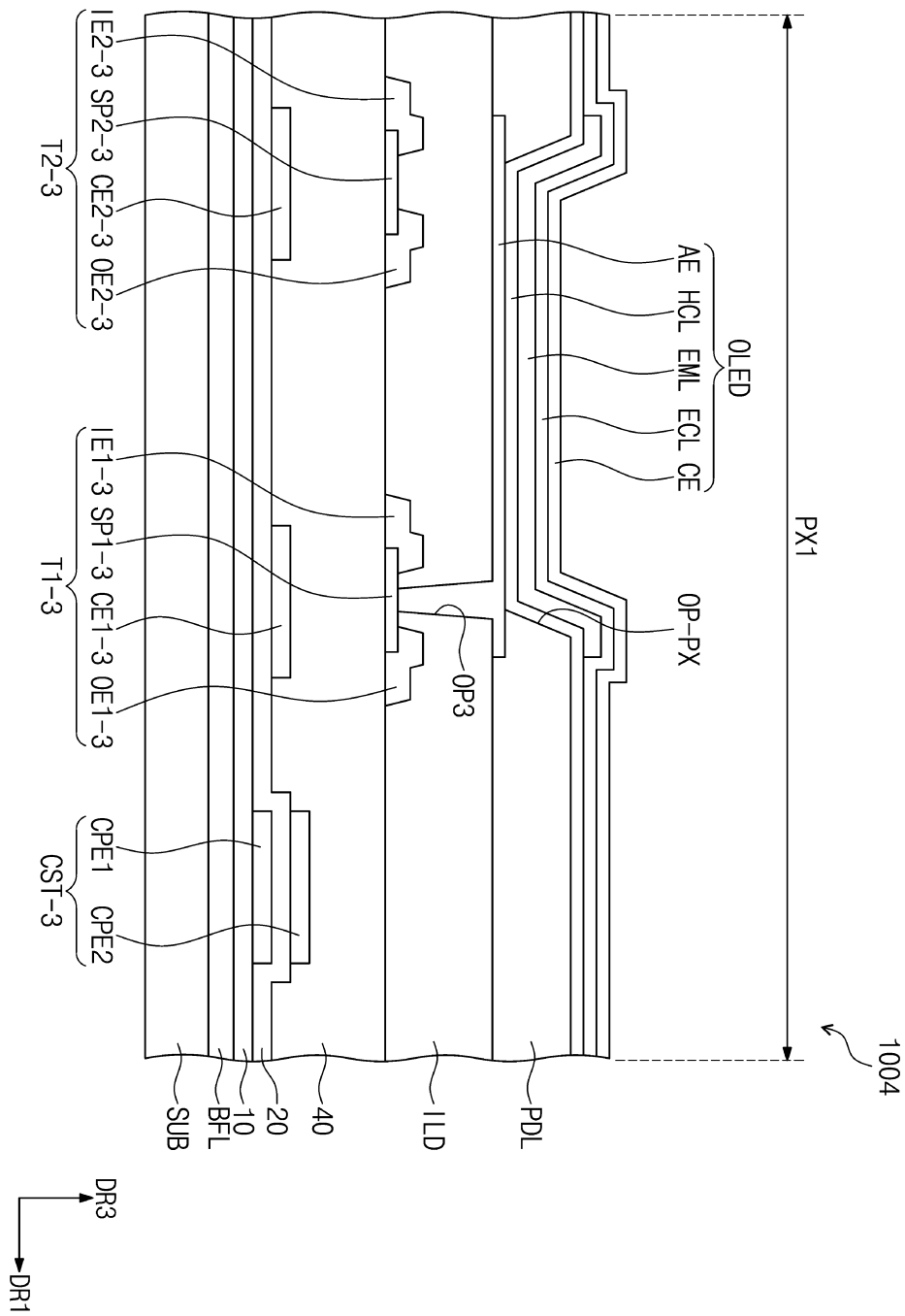
도면7a



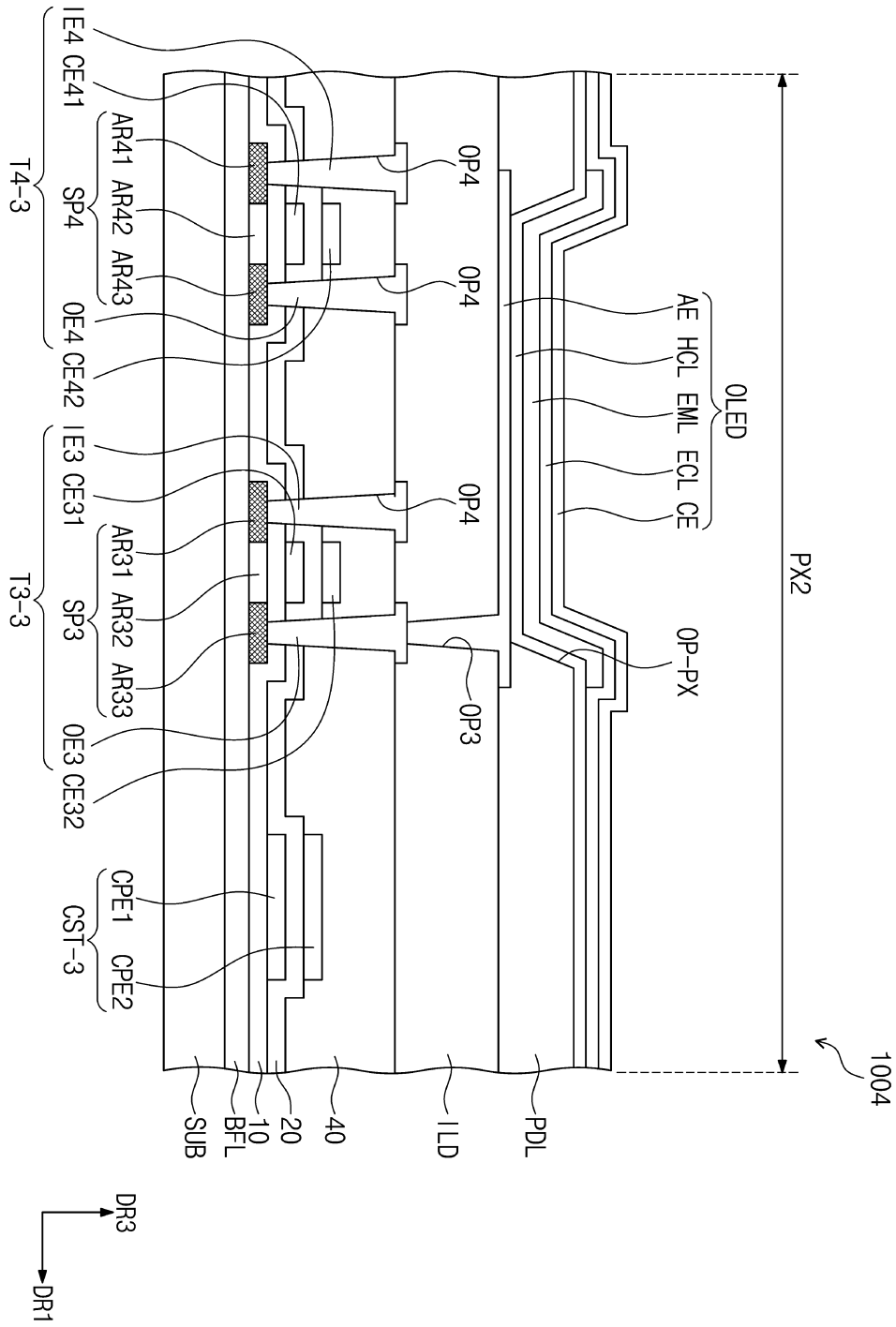
도면7b



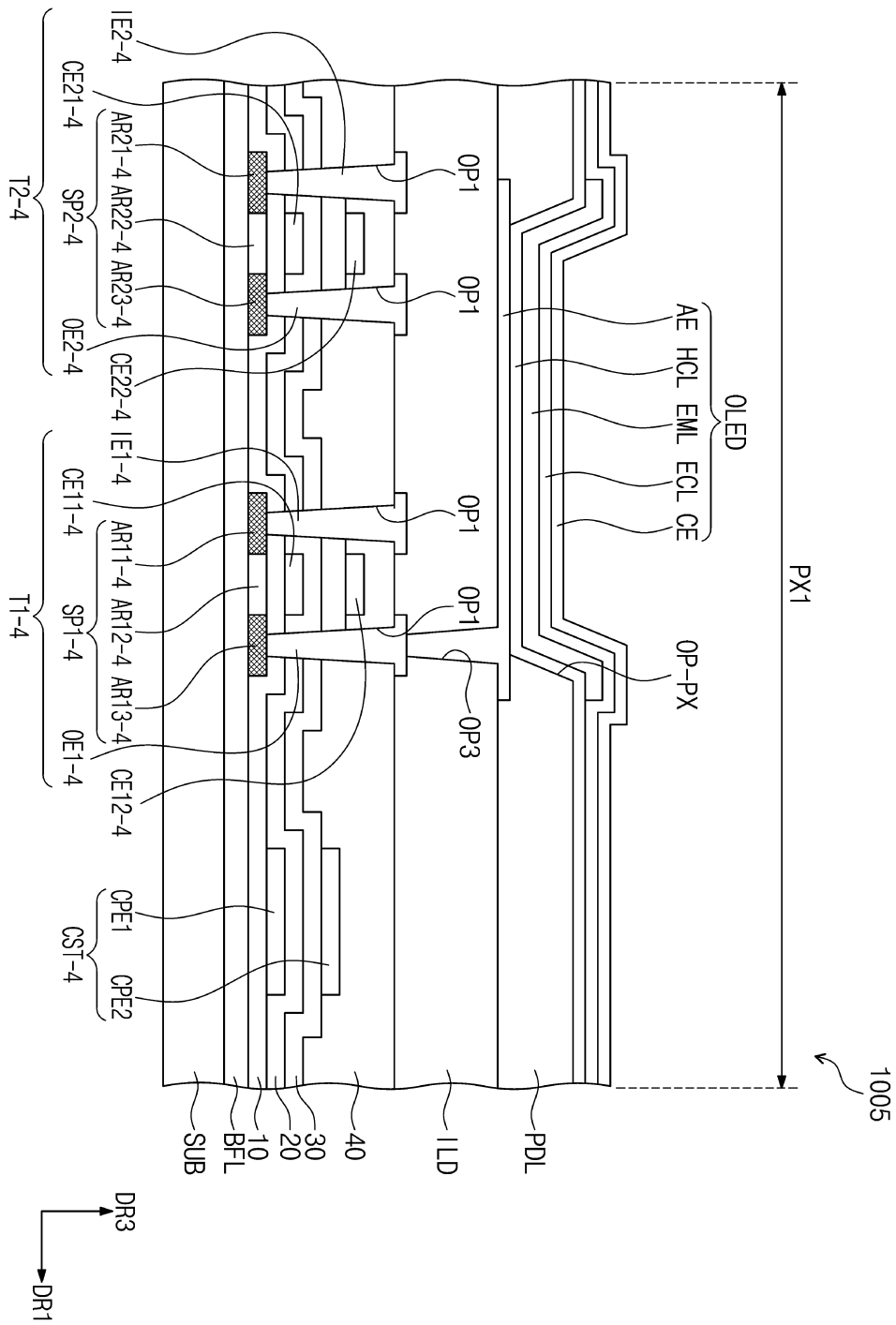
도면8a



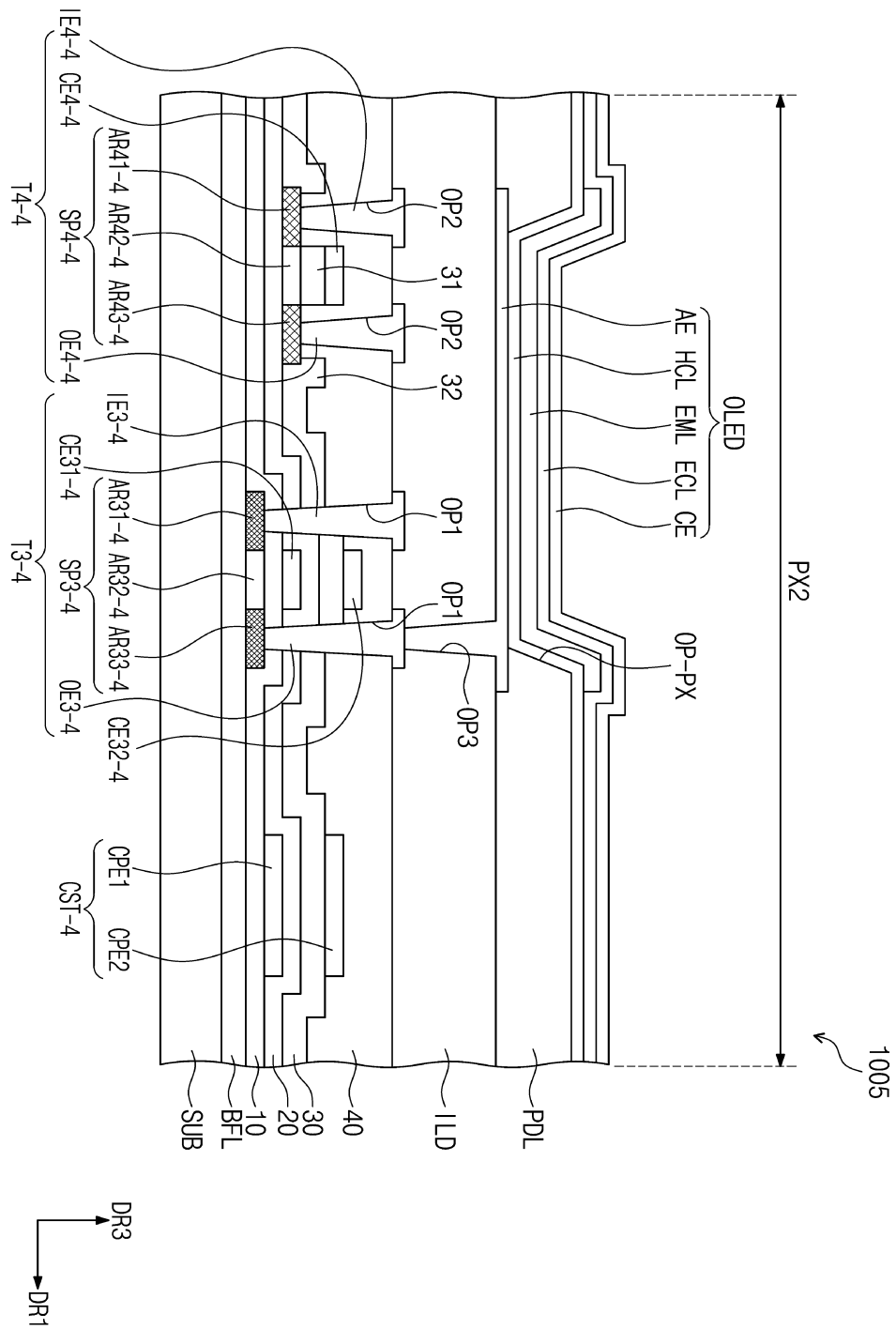
도면8b



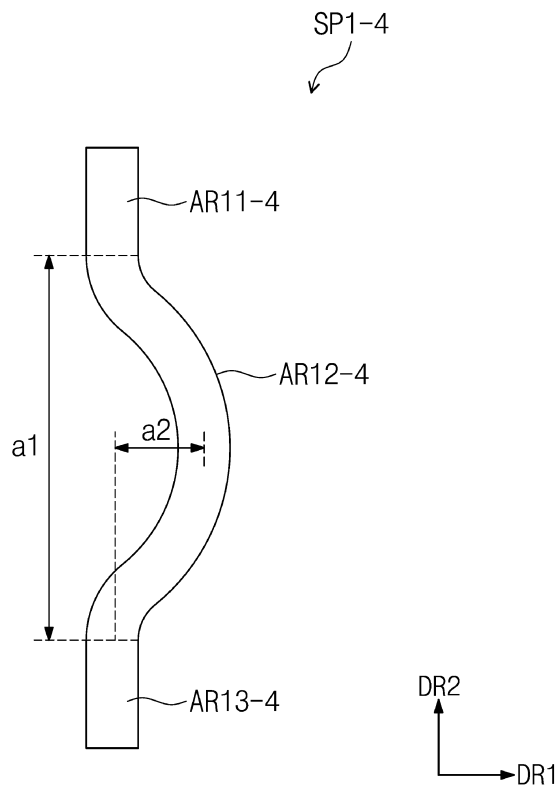
도면9a



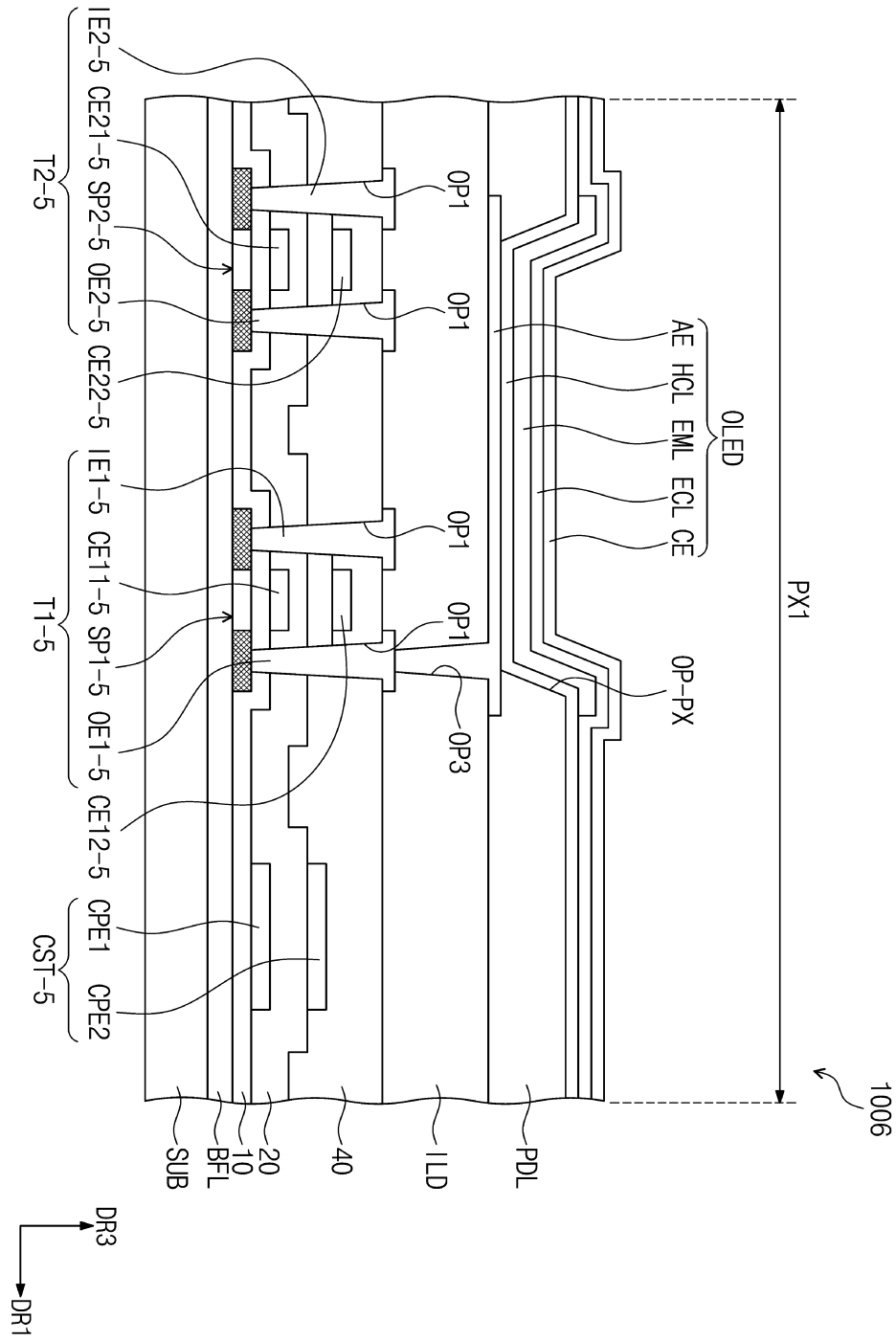
도면9b



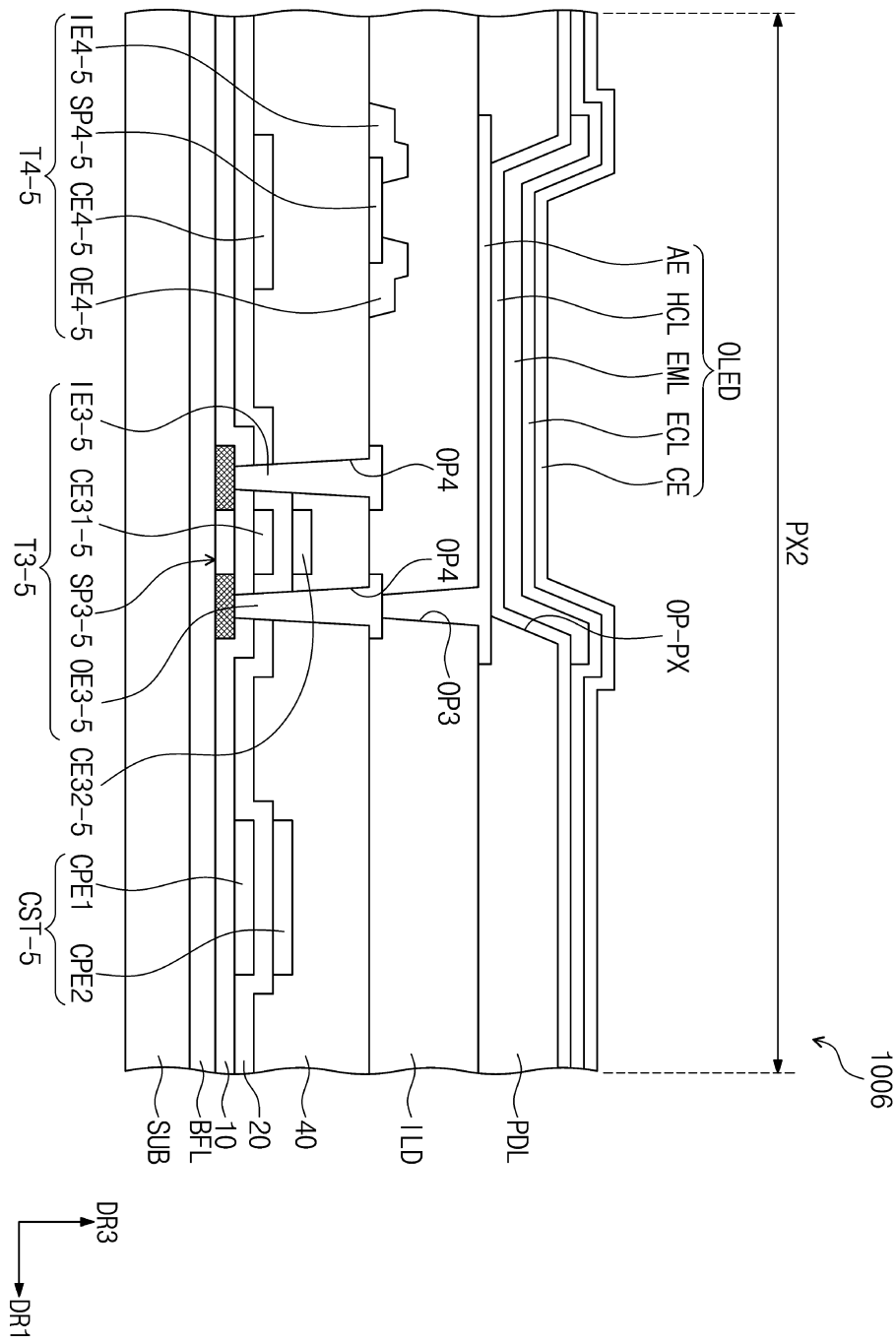
도면9c



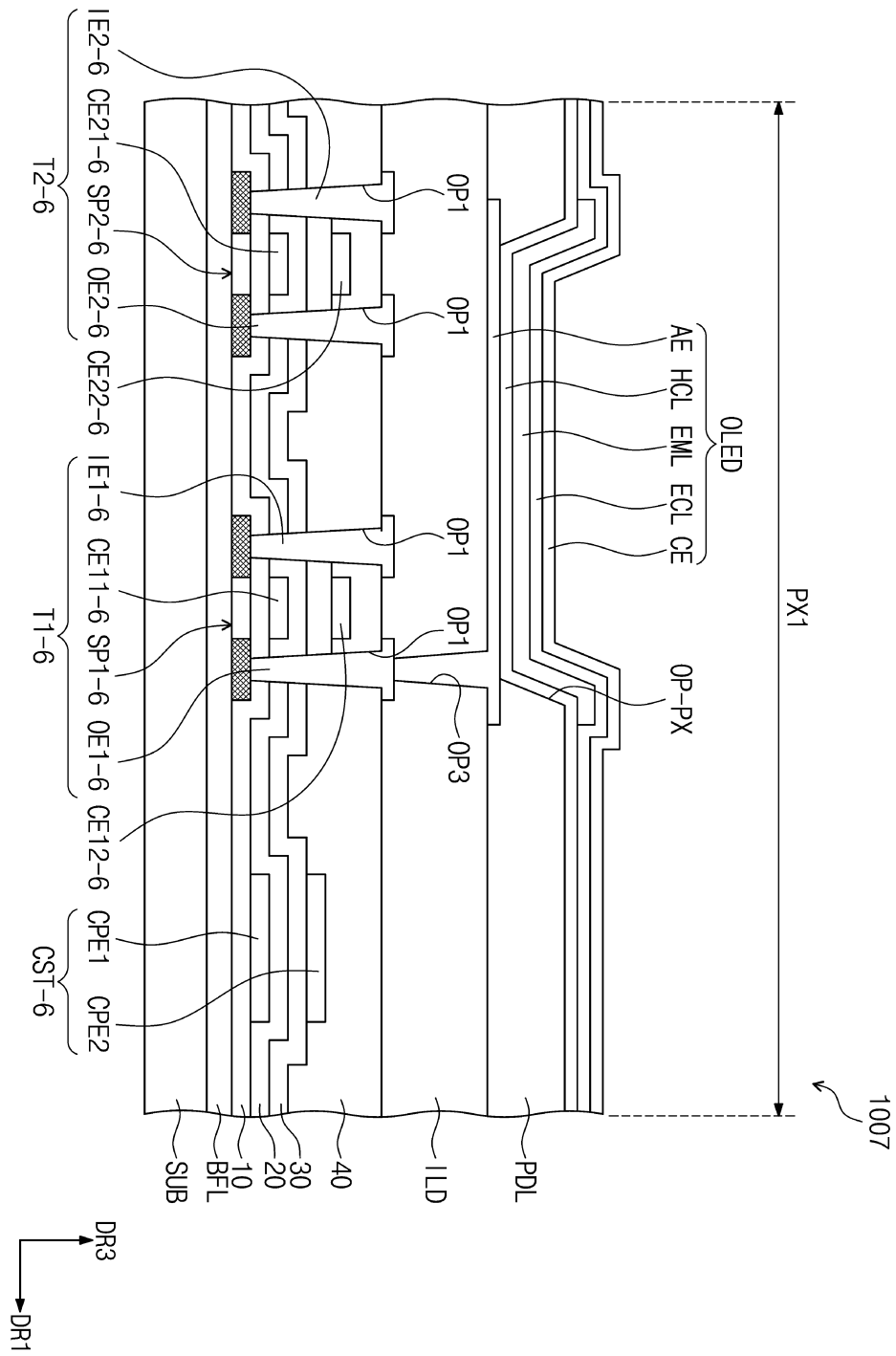
도면10a



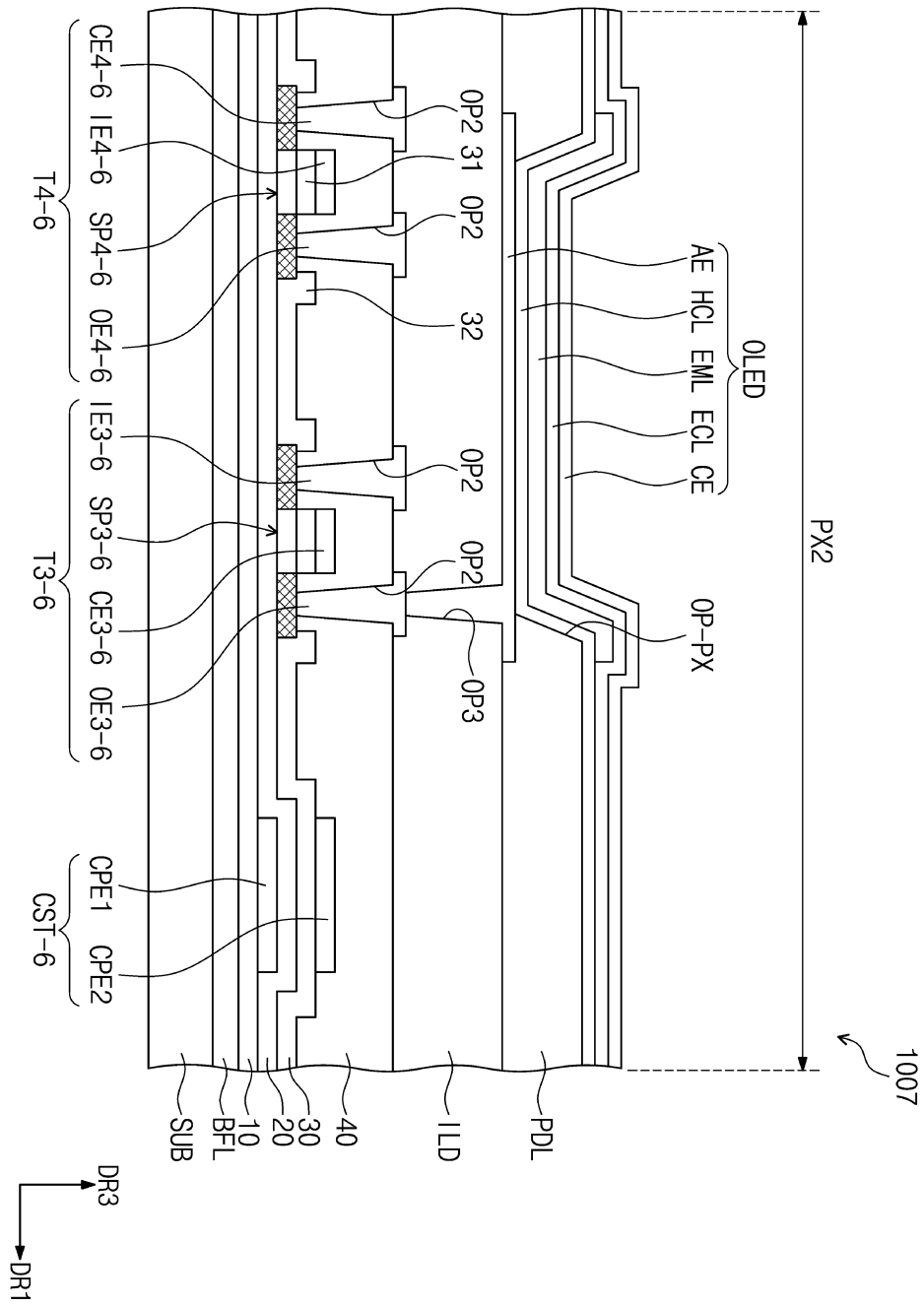
도면10b



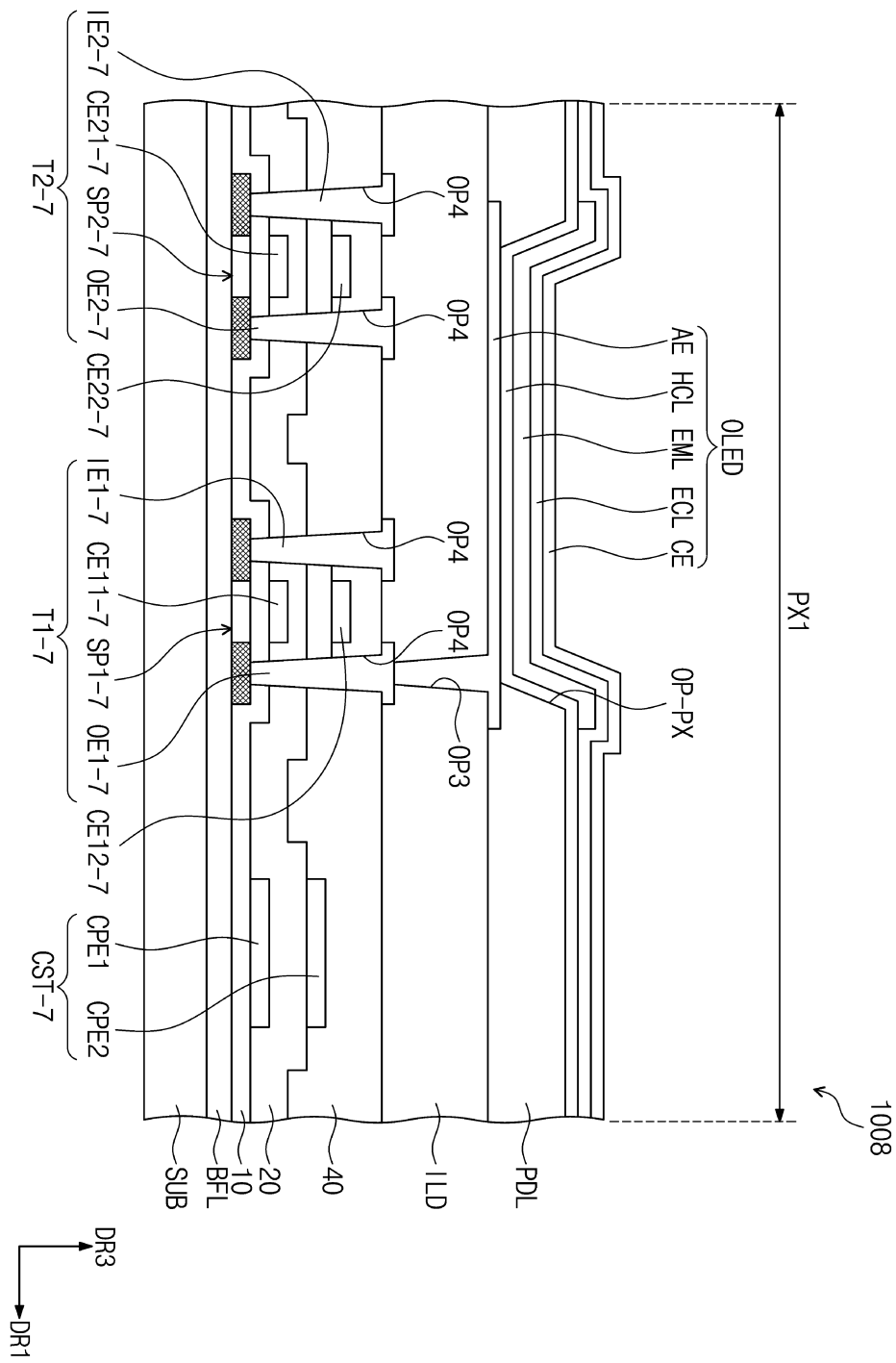
도면11a



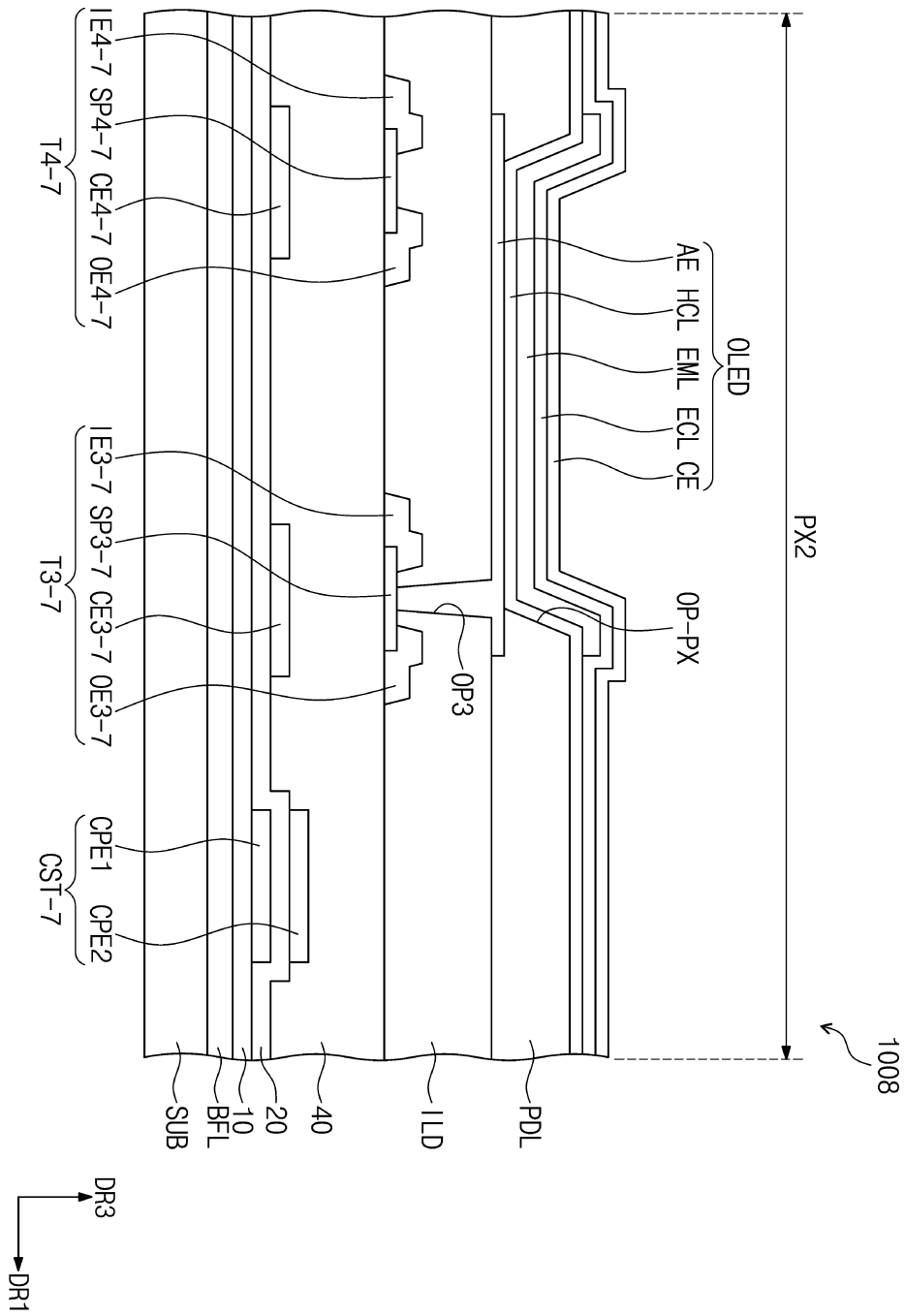
도면11b



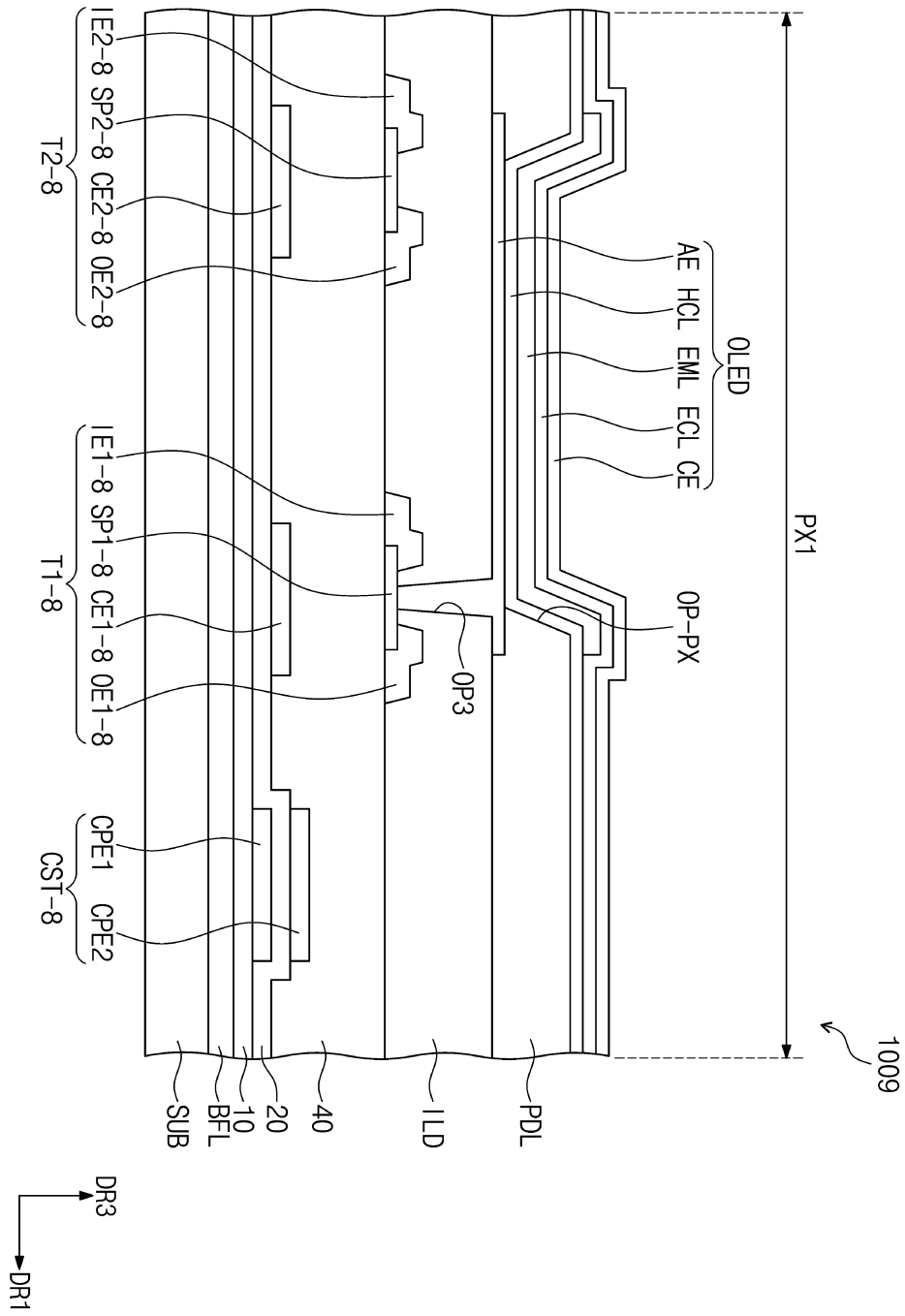
도면12a



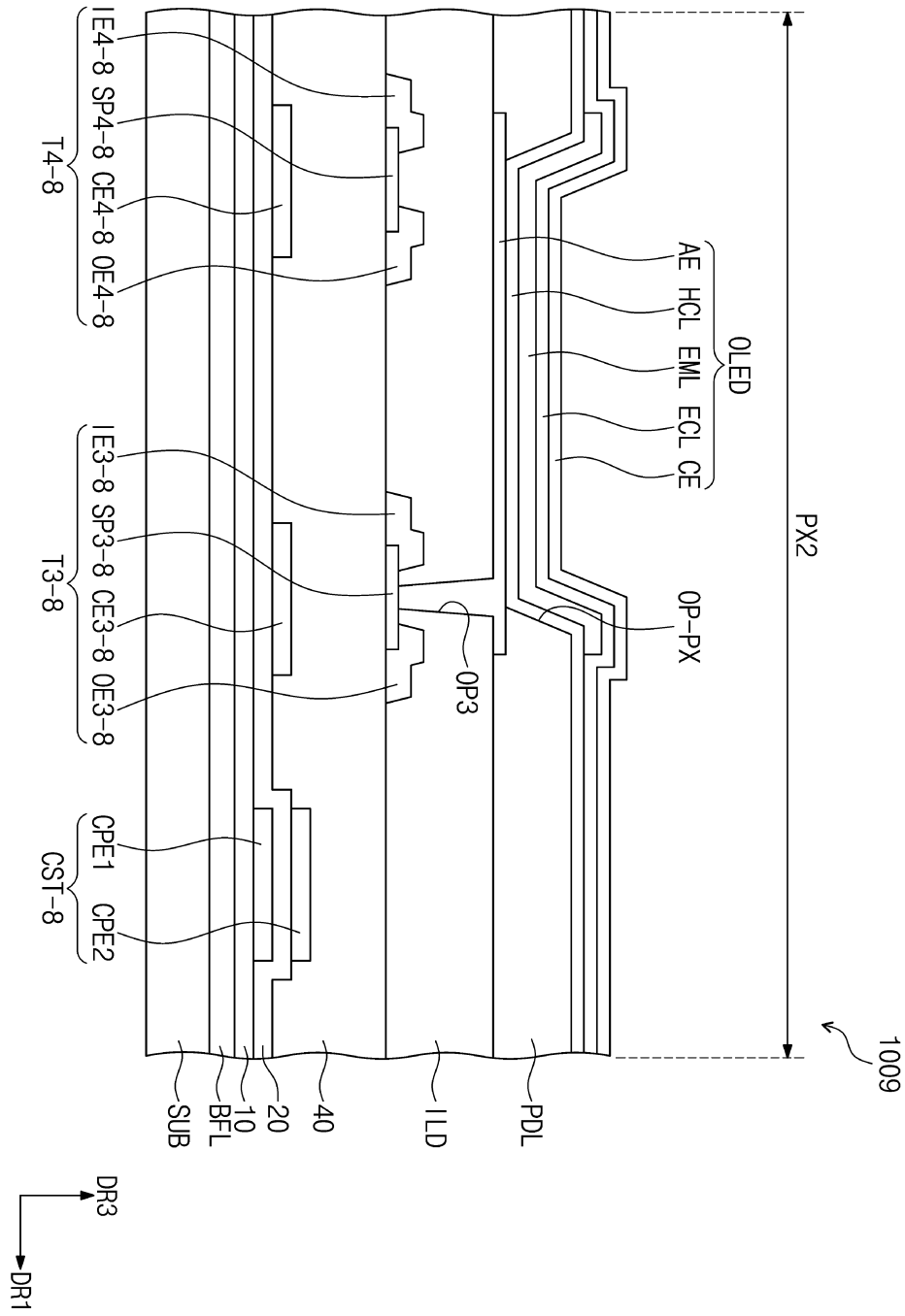
도면12b



도면13a



도면13b



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180023155A	公开(公告)日	2018-03-07
申请号	KR1020160107960	申请日	2016-08-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEONG CHANGYONG 정창용 KANG TAEWOOK 강태욱 KWAK HEEJUNE 박희준 KIM MUGYEOM 김무겸 LEE JAESEOB 이재섭 JEONG JONGHAN 정종한		
发明人	정창용 강태욱 박희준 김무겸 이재섭 정종한		
IPC分类号	H01L27/32 H01L27/12 H01L51/00		
CPC分类号	H01L27/3262 H01L51/0097 H01L27/1225 H01L27/1229 H01L27/1233 H01L27/1251 H01L2251/5338 H01L2251/558 H01L27/3244 H01L27/3248 H01L27/3211 H01L27/3246		
外部链接	Espacenet		

摘要(译)

有机发光显示器包括折叠部分和平坦部分。折叠部分沿折叠轴折叠并包括第一像素。平坦部分与折叠区域相邻并包括第二像素。第一像素包括第一有机发光二极管，耦合到第一有机发光二极管并包括第一半导体图案的折叠驱动晶体管，以及包括第二半导体图案的折叠控制晶体管。第二像素包括第二有机发光二极管，耦合到第二有机发光二极管并包括第三半导体图案的平坦驱动晶体管，以及包括第四半导体图案的平坦控制晶体管。第一和第二半导体图案中的至少一个可以包括氧化物半导体和晶体硅中的任何一种。并且第三和第四半导体图案中的每一个包括氧化物半导体和多晶硅中的另一个。

