



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0040866
(43) 공개일자 2017년04월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0140019
(22) 출원일자 2015년10월05일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박영주
서울특별시 성동구 성수일로8길 47 102동 2201호
(성수동2가, 성수롯데캐슬파크)

임상현
경기도 고양시 덕양구 화신로 233 (화정동) 옥빛
마을 15단지 1509동 1204호

정상훈
전라북도 익산시 서동로 164 1807호 (마동, 우림그
린맨션아파트)

(74) 대리인
특허법인로얄

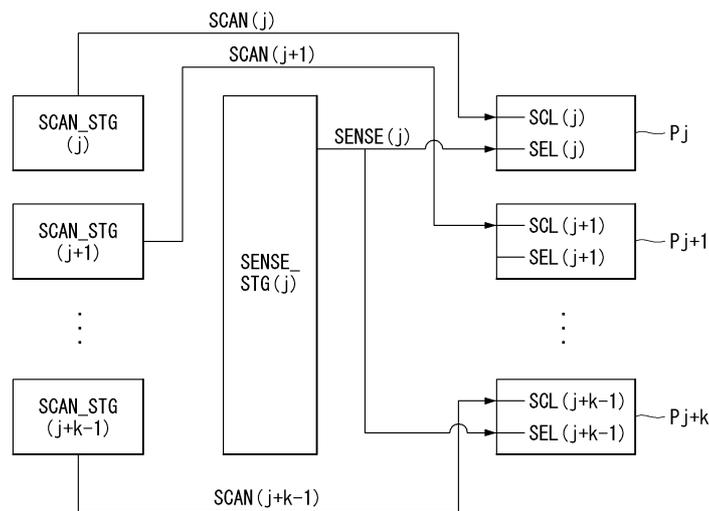
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광다이오드 표시장치는 화소들 및 화소들에 배치되는 트랜지스터들을 구동하는 쉬프트레지스터를 포함한다. 각 화소들은 구동트랜지스터, 스캔 트랜지스터, 센스 트랜지스터 및 스토리지 커패시터를 포함한다. 구동트랜지스터는 유기발광다이오드에 공급하는 구동전류를 제어한다. 스캔 트랜지스터는 구동트랜지스터의 게이트전극과 데이터라인 사이에 접속되고, 스캔신호에 의해서 스위칭된다. 센스 트랜지스터는 구동트랜지스터의 소스전극과 초기화라인 사이에 접속되고, 센스신호에 의해서 스위칭된다. 스토리지 커패시터는 구동트랜지스터의 게이트전극과 소스전극 사이에 접속된다. 쉬프트레지스터는 서로 인접하는 k(k는 자연수) 개의 수평라인에 배열된 화소들에 센스신호를 동시에 인가하는 센스신호 스테이지 및 서로 인접하는 k 개의 수평라인에 배열된 화소들에 스캔신호를 순차적으로 인가하는 스캔신호 스테이지를 포함한다.

대표도 - 도2



(52) CPC특허분류
G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

화소들 및 상기 화소들에 배치되는 트랜지스터들을 구동하는 쉬프트레지스터를 포함하되,

각 상기 화소들은

유기발광다이오드에 공급하는 구동전류를 제어하는 구동트랜지스터;

상기 구동트랜지스터의 게이트전극과 데이터라인 사이에 접속되고, 스캔신호에 의해서 스위칭되는 스캔 트랜지스터;

상기 구동트랜지스터의 소스전극과 초기화라인 사이에 접속되고, 센스신호에 의해서 스위칭되는 센스 트랜지스터; 및

상기 구동트랜지스터의 게이트전극과 소스전극 사이에 접속되는 스토리지 커패시터를 포함하고,

상기 쉬프트레지스터는

서로 인접하는 k (k 는 자연수) 개의 수평라인에 배열된 화소들에 상기 센스신호를 동시에 인가하는 센스신호 스테이지; 및

상기 서로 인접하는 k 개의 수평라인에 배열된 화소들에 상기 스캔신호를 순차적으로 인가하는 스캔신호 스테이지를 포함하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

영상표시 구동기간의 데이터기입 기간 동안,

상기 스캔 트랜지스터는 상기 스캔신호에 응답하여 상기 구동트랜지스터의 게이트전극에 데이터전압을 인가하고,

상기 센스 트랜지스터는 상기 센스신호에 응답하여 상기 구동트랜지스터의 소스전극에 초기화 전압을 인가하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

j (j 는 자연수) 번째 수평라인 내지 $(j+k-1)$ 번째 수평라인에 배열되는 화소들의 데이터기입 기간 동안에,

상기 스캔신호 스테이지는

제 j 스캔신호 내지 제 $(j+k-1)$ 스캔신호를 순차적으로 출력하기 위한 제 j 스캔신호 스테이지 내지 제 $(j+k-1)$ 스캔신호 스테이지를 포함하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

j 번째 수평라인 내지 $(j+k-1)$ 번째 수평라인에 배열되는 화소들의 데이터기입 기간 동안에,

제 j 센스신호 스테이지는 상기 j 번째 수평라인 내지 $(j+k-1)$ 번째 수평라인에 배열되는 화소들에 제 j 센스신호를 동시에 인가하는 유기발광다이오드 표시장치.

청구항 5

제 1 항에 있어서,

외부보상 구동기간의 초기화 기간 동안

상기 스캔 트랜지스터는 상기 스캔신호에 응답하여 상기 구동트랜지스터의 게이트전극에 센싱용 데이터전압을 인가하고,

상기 센스 트랜지스터는 상기 센스신호에 응답하여 상기 구동트랜지스터의 소스전극에 초기화 전압을 인가하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

j (j 는 자연수) 번째 수평라인 내지 $(j+k-1)$ 번째 수평라인에 배열되는 화소들의 외부보상 구동기간의 초기화 기간 동안,

제 j 스캔신호 내지 제 $(j+k-1)$ 스캔신호를 순차적으로 출력하기 위한 제 j 스캔신호 스테이지 내지 제 $(j+k-1)$ 스캔신호 스테이지를 포함하는 유기발광다이오드 표시장치.

청구항 7

제 6 항에 있어서,

j 번째 수평라인 내지 $(j+k-1)$ 번째 수평라인에 배열되는 화소들의 외부보상 구동기간의 초기화 기간 동안에,

제 j 센스신호 스테이지는 상기 j 번째 수평라인 내지 $(j+k-1)$ 번째 수평라인에 배열되는 화소들에 제 j 센스신호를 동시에 인가하는 유기발광다이오드 표시장치.

청구항 8

제 5 항에 있어서,

외부 보상 구동기간의 센싱 기간 동안

상기 스캔 트랜지스터는 턴-오프되고,

상기 센스 트랜지스터는 상기 센스신호에 응답하여, 상기 구동트랜지스터의 소스전극과 아날로그-디지털-변환기를 연결시키는 유기발광다이오드 표시장치.

청구항 9

제 8 항에 있어서,

외부 보상 구동기간의 센싱 기간 동안

상기 유기발광다이오드의 캐소드전극은 고전위전압을 인가받는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터 뿐만 아니라, 노트북컴퓨터, PDA 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각

이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 구동트랜지스터에 공급되는 데이터전압을 스토리지 커패시터에 충전한다. 그리고 발광제어신호를 이용하여 스토리지 커패시터에 충전된 데이터전압을 출력함으로써 유기발광다이오드를 발광시킨다.

[0004] 유기발광다이오드 표시장치는 데이터전압에 대응하는 계조를 표시하지만, 구동트랜지스터의 문턱전압 또는 이동도 등의 편차로 인해서 원하는 계조를 표시하지 못하기도 한다. 이를 개선하기 위해서 유기발광다이오드 표시장치는 구동트랜지스터의 문턱전압 또는 이동도를 센싱하여, 이를 기반으로 데이터전압을 보상하는 방법을 이용하기도 한다. 문턱전압 또는 이동도를 센싱하기 위한 경로를 스위칭하는 센스 트랜지스터는 센스신호에 응답하여 동작한다.

[0005] 데이터전압을 인가하기 위한 스캔신호 및 센스 트랜지스터를 스위칭하기 위한 센스신호는 표시패널의 베젤 영역에 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다.

[0006] 근래에는 사용자의 요구에 따라 베젤 영역을 줄이기 위한 방안들이 모색되고 있는데, GIP 회로부로 인해서 베젤 사이즈를 줄이기가 쉽지 않은 상태이다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 베젤 영역을 줄일 수 있는 유기발광다이오드 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광다이오드 표시장치는 화소들 및 화소들에 배치되는 트랜지스터들을 구동하는 쉬프트레지스터를 포함한다. 각 화소들은 구동트랜지스터, 스캔 트랜지스터, 센스 트랜지스터 및 스토리지 커패시터를 포함한다. 구동트랜지스터는 유기발광다이오드에 공급하는 구동전류를 제어한다. 스캔 트랜지스터는 구동트랜지스터의 게이트전극과 데이터라인 사이에 접속되고, 스캔신호에 의해서 스위칭된다. 센스 트랜지스터는 구동트랜지스터의 소스전극과 초기화라인 사이에 접속되고, 센스신호에 의해서 스위칭된다. 스토리지 커패시터는 구동트랜지스터의 게이트전극과 소스전극 사이에 접속된다. 쉬프트레지스터는 서로 인접하는 k(k는 자연수) 개의 수평라인에 배열된 화소들에 센스신호를 동시에 인가하는 센스신호 스테이지 및 서로 인접하는 k 개의 수평라인에 배열된 화소들에 스캔신호를 순차적으로 인가하는 스캔신호 스테이지를 포함한다.

발명의 효과

[0009] 본 발명에 의한 유기발광다이오드 표시장치는 하나의 스테이지로 구현되는 센스신호 스테이지를 이용하여 복수의 수평라인에 배열되는 화소들에 센스신호를 동시에 공급하기 때문에, 전체 표시패널을 구동하기 위한 센스신호 스테이지의 스테이지 개수를 줄일 수 있다. 그 결과, 센스신호 스테이지가 배치되는 베젤 영역을 줄일 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명에 의한 유기발광다이오드 표시장치의 구성을 나타내는 도면.
- 도 2는 본 발명에 의한 쉬프트레지스터의 구성을 나타내는 도면.
- 도 3은 도 1에 도시된 화소 구조를 나타내는 도면.
- 도 4는 도 2에 도시된 쉬프트레지스터의 일 실시 예를 나타내는 도면.
- 도 5는 영상표시 구동기간에서 화소에 인가되는 구동신호를 나타내는 도면.
- 도 6a 및 도 6b는 영상표시 구동기간에서의 화소 동작을 나타내는 도면들.
- 도 7은 센싱기간에서 화소에 인가되는 구동신호를 나타내는 도면.
- 도 8a 및 도 8c는 외부보상 구동기간에서의 화소 동작을 나타내는 도면들.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부된 도면을 참조하여, 본 발명의 바람직한 실시 예를 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0013] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 도면이다. 그리고 도 2는 본 발명에 의한 쉬프트레지스터를 나타내는 도면이고, 도 3은 본 발명에 의한 화소 구조를 나타내는 도면이다.
- [0014] 도 1 내지 도 3을 참조하면, 본 발명에 의한 유기발광다이오드 표시장치는 화소들(P)이 매트릭스 형태로 배열되는 표시패널(100), 데이터 구동부(120), 게이트 구동부(130,140) 및 타이밍 콘트롤러(110)를 구비한다.
- [0015] 표시패널(100)은 화소(P)들이 배치되어 영상을 표시하는 표시부(100A) 및 쉬프트레지스터(140)가 배치되고 영상을 표시하지 않는 비표시부(100B)를 포함한다.
- [0016] 표시부(100A)는 복수 개의 화소(P)를 포함하고, 각각의 화소(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 화소(P)들은 제1 내지 제n 수평라인(HL1 내지 HL[n])들을 따라 배열된다.
- [0017] 각각의 화소(P)는 컬럼라인(Column Line)을 따라 배열되는 데이터라인(DL)과 연결되고, 수평라인(HL)을 따라 배열되는 게이트라인(GL)에 연결된다. 게이트라인(GL)은 도 3에 보는 바와 같이, 스캔라인(SCL) 및 센싱라인(SEL)을 포함한다. 그리고 각각의 화소(P)들은 유기발광다이오드(OLED), 구동트랜지스터(DT), 스캔 트랜지스터(ST1), 센스 트랜지스터(ST2) 및 스토리지 커패시터(Cst)를 포함한다. 각각의 트랜지스터들(DT,ST1,ST2)은 다결정 반도체층을 포함한 다결정 박막트랜지스터(Thin Film Transistor;이하, 트랜지스터)로 구현될 수 있다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.
- [0018] 타이밍 콘트롤러(110)는 데이터 구동부(120) 및 게이트 구동부(130,140)의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 콘트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 콘트롤러(110)는 수직 동기 신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0019] 데이터 구동부(120)는 데이터라인부(DL)를 구동하기 위한 것이다. 이를 위해서 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)들에 공급한다.
- [0020] 스캔 구동부(130,140)는 레벨 시프터(130) 및 쉬프트 레지스터(140)를 포함한다. 레벨 시프터(130)는 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성되고, 쉬프트 레지스터(140)는 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.
- [0021] 레벨 시프터(130)는 타이밍 콘트롤러(110)의 제어하에 클럭신호들(CLK) 및 스타트신호(VST)를 레벨 쉬프팅한 후 쉬프트 레지스터(140)에 공급한다. 쉬프트 레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에서 다수의 박막 트랜지스터(이하 트랜지스터)조합으로 형성된다.
- [0022] 도 2를 참조하여, j 번째 수평라인에 배열되는 화소(P_j)들 및 (j+k) 번째 수평라인에 배열되는 화소(P_[j+k])들을 구동하기 위한 쉬프트레지스터(140)의 스테이지를 살펴보면 다음과 같다. j 번째 수평라인에 배열되는 화소(P_j)는 제j 스캔라인(SCL[j]), 제j 센싱라인(SEL[j])을 포함한다.
- [0023] k 개의 수평라인에 배열되는 화소들을 구동하기 위한 쉬프트레지스터(140)는 제j 스캔신호 스테이지

(SCAN_STG[j]) 내지 제(j+k-1) 스캔신호 스테이지(SCAN_STG[j+k-1]), 제j 센스신호 스테이지(SENSE_STG[j])를 포함한다.

- [0024] 제j 스캔신호 스테이지(SCAN_STG[j])는 j 번째 스캔신호(SCAN[j]) 생성하고, 이를 j 번째 수평라인에 배열되는 화소(P_j)들의 스캔라인(SCL[j])에 인가한다. 제(j+k-1) 스캔신호 스테이지(SCAN_STG[j+k-1])는 (j+k-1) 번째 스캔신호(SCAN[j+k-1]) 생성하고, 이를 (j+k-1) 번째 수평라인에 배치되는 화소(P_[j+k-1])들의 스캔라인(SCL[j+k-1])에 인가한다. 그리고, 제j 스캔신호 스테이지(SCAN_STG[j]) 내지 제(j+k-1) 스캔신호 스테이지(SCAN_STG[j+k-1])는 j 번째 스캔라인(SCL[j]) 내지 (j+k-1) 번째 스캔라인(SCL[j+k-1])에 스캔신호를 순차적으로 인가한다.
- [0025] 제j 센스신호 스테이지(SENSE_STG[j])는 j 번째 센스신호(SENSE[j])를 생성하고, 이를 j 번째 수평라인에 배치되는 화소(P_[j])들의 센스라인(SEL[j]) 내지 (j+k-1) 번째 수평라인에 배치되는 화소(j+k-1)들의 센스라인(SEL[j+k-1])에 동시에 공급한다.
- [0026] 이와 같이, k 개의 수평라인에 배열되는 화소들(P_j, P_[j+k-1])은 동일한 센스신호를 이용한다. 만약, 각각의 수평라인에 서로 다른 타이밍을 갖는 센스신호를 인가하기 위해서는 센스신호 스테이지의 개수가 수평라인의 개수에 대응하여야 한다. 이에 반해서, 본 발명은 k개의 수평라인에 센스신호를 인가하기 위해서 1개의 센스신호 스테이지가 요구되기 때문에, 센스신호 스테이지의 개수를 1/k 로 줄일 수 있다. 그 결과, 본 발명은 쉬프트레지스터(140)의 전체 면적을 줄일 수 있고, 그 만큼 비표시부(100B)의 베젤 영역을 줄일 수 있다.
- [0027] 도 3은 도 1에 도시된 화소 구조 및 화소와 데이터 구동부와의 연결을 나타내는 도면이다.
- [0028] 도 3을 참조하면, 각각의 화소(P)들은 유기발광다이오드(OLED), 구동트랜지스터(DT), 스캔 트랜지스터(ST1), 센스 트랜지스터(ST2) 및 스토리지 커패시터(Cst)를 포함한다.
- [0029] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함한다. 유기발광다이오드(OLED)의 애노드전극은 구동트랜지스터(DT)의 소스전극에 접속되고, 캐소드전극은 접지단(VSS)에 연결된다.
- [0030] 구동 트랜지스터(DT)는 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드(OLED)에 흐르는 구동전류(Ioled)를 제어한다. 구동 트랜지스터(DT)는 게이트전극은 제1 노드(N1)에 접속되고, 드레인전극은 고전위전압(VDD) 입력단에 접속되고, 및 소스전극은 제2 노드(N2)에 접속된다.
- [0031] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어서, 데이터라인(DL)으로부터 제공받는 데이터전압을 한 프레임 동안 유지한다.
- [0032] 스캔 트랜지스터(ST1)는 스캔신호(SCAN)에 따라 스위칭되어, 제1 노드(N1) 전위를 제어한다. 스캔 트랜지스터(ST1)는 스캔라인(SCL)에 접속된 게이트전극, 데이터라인(DL)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다.
- [0033] 센스 트랜지스터(ST2)는 센스신호(SENSE)에 따라 스위칭되어, 제2 노드(N2) 전위를 제어한다. 센스 트랜지스터(ST2)의 게이트전극은 센스라인(SEL)에 접속되고, 센스 트랜지스터(ST2)의 드레인전극은 제2 노드(N2)에 접속되며, 센스 트랜지스터(ST2)의 소스전극은 초기화전압(Vinit)의 입력단에 접속된다.
- [0034] 각각의 화소(P)들은 데이터라인(DL) 및 초기화라인(INL)을 통해 데이터 구동부(120)와 연결된다. 데이터 구동부(120)는 디지털-아날로그 컨버터(Digital-Analog-Convertor; 이하 'DAC'), 아날로그-디지털 컨버터(Analog-Digital-Convertor; 이하 'ADC'), 제1 및 제2 스위치(SW1, SW2)등을 포함한다.
- [0035] DAC는 타이밍 콘트롤러(110)로부터 입력되는 디지털 데이터를 아날로그 데이터전압(Vdata)으로 변환하여 데이터라인(DL)에 출력한다. 제1 스위치(SW1)는 초기화전압(Vini) 입력단과 초기화라인(INL) 사이의 전류 흐름을 스위칭한다. 제2 스위치(SW2)는 초기화라인(INL)과 ADC 사이의 전류 흐름을 스위칭한다. ADC는 아날로그 센싱전압(Vsen)을 디지털 값으로 변환하여 타이밍 콘트롤러(110)에 공급한다.
- [0036] 이하, 본 발명에 의한 화소 동작을 살펴보면 다음과 같다.
- [0037] 도 4는 도 2에서 k가 1일 경우, 즉 센싱 스테이지가 인접하는 두 개의 수평라인에 배열되는 화소들에 공통으로

센스신호를 인가하는 쉬프트레지스터의 실시 예를 나타내고 있다. 그리고, 도 5는 영상표시구동을 위한 구동신호의 타이밍을 나타내는 도면이고, 도 6a 및 6b는 구동신호에 따른 화소의 동작 상태를 나타내는 도면이다.

- [0038] 도 4를 참조하면, j 번째 수평라인에 배열되는 화소(P_j)들 및 (j+1) 번째 수평라인에 배열되는 화소(P_[j+1])들을 구동하기 위한 쉬프트레지스터(140)의 스테이지를 살펴보면 다음과 같다.
- [0039] 도 4에서와 같이, 인접하는 두 개의 수평라인에 배열되는 화소들을 구동하기 위한 쉬프트레지스터(140)는 제j 스캔신호 스테이지(SCAN_STG[j]) 및 제(j+1) 스캔신호 스테이지(SCAN_STG[j+1]), 제j 센스신호 스테이지(SENSE_STG[j])를 포함한다.
- [0040] 제j 스캔신호 스테이지(SCAN_STG[j])는 j 번째 스캔신호(SCAN[j])생성하고, 이를 j 번째 수평라인에 배치되는 화소(P_j)들의 스캔라인(SCL[j])에 인가한다. 제(j+1) 스캔신호 스테이지(SCAN_STG[j+1])는 (j+1) 번째 스캔신호(SCAN[j+1])생성하고, 이를 (j+1) 번째 수평라인에 배치되는 화소(P_[j+1])들의 스캔라인(SCL[j+1])에 인가한다. 그리고, 제j 스캔신호 스테이지(SCAN_STG[j]) 및 제(j+1) 스캔신호 스테이지(SCAN_STG[j+1])는 j 번째 스캔라인(SCL[j]) 및 (j+1) 번째 스캔라인(SCL[j+1])에 스캔신호를 순차적으로 인가한다.
- [0041] 제j 센스신호 스테이지(SENSE_STG[j])는 j 번째 센스신호(SENSE[j])를 생성하고, 이를 j 번째 수평라인에 배치되는 화소(P_j)들의 센스라인(SEL[j]) 및 (j+1) 번째 수평라인에 배치되는 화소(j+1)들의 센스라인(SEL[j+1])에 동시에 공급한다.
- [0042] 도 5를 참조하면, 영상표시 구동기간은 데이터기입 기간(T_w)과 발광 기간(T_e)을 포함한다. 도 5에 도시된, 데이터기입 기간(T_w)과 발광 기간(T_e)은 j 번째 수평라인에 배열된 화소(P_j)들을 중심으로 표시되어 있다. 영상표시 구동기간 동안, 도 3에 도시된 데이터 구동부(120)의 제1 스위치(SW1)는 계속해서 온 상태로 유지되는 데 반해, 제2 스위치(SW2)는 계속해서 오프 상태로 유지된다.
- [0043] 도 5 및 도 6a를 참조하면, j 번째 수평라인(HL_j)의 데이터기입 기간(T_w) 동안, 제j 스캔신호(SCAN[j]) 및 제j 센스신호(SENSE[j])는 턴-온 전압레벨로 인가된다. 그 결과, j 번째 수평라인에 배치된 화소(P_j)들의 스캔 트랜지스터(ST1)는 턴-온 되어, 데이터라인(DL)으로부터 공급받는 데이터전압(V_{data})을 구동 트랜지스터(DT[j])의 게이트전극에 인가한다. 그리고 센스 트랜지스터(ST2[j])는 턴 온 되어, 초기화라인(INL)으로부터 공급받는 초기화 전압을 구동 트랜지스터(DT[j])의 소스전극에 인가한다. 즉, 데이터기입 기간(T_w) 동안 구동트랜지스터(DT[j])의 게이트-소스 간의 전압(V_{gs})은 "데이터전압()과 초기화전압(V_{pre}) 간의 차"에 해당하는 전압으로 데이터기입이 된다.
- [0044] j 번째 수평라인(HL_j)의 데이터기입 기간(T_w) 동안, (j+1) 번째 수평라인에 배치된 화소(P_[j+1])들은 구동트랜지스터(DT[j+1])의 소스전극에 초기화전압(V_{ini})이 제공된다고 할지라도, 제1 노드(N1)에는 데이터전압(V_{data})이 인가되지 않기 때문에 데이터기입 동작이 수행되지 않는다.
- [0045] 도 5 및 도 6b를 참조하면, j 번째 수평라인(HL[j])의 발광 기간(T_e) 동안, 제j 스캔신호(SCAN[j])는 턴-오프 전압레벨로 반전되고, 제j 센스신호(SENSE[j])는 턴-온 전압레벨을 유지한다. j 번째 수평라인에 배치된 화소(P_j)들의 스캔 트랜지스터(SCAN[j])는 턴-오프되어, 구동 트랜지스터(DT[j])는 데이터기입 기간 동안에 설정된 게이트-소스 전압(V_{gs}) 레벨에 따라 구동전류(I_{oled})를 발생시켜 유기발광다이오드(OLED)에 인가한다. 그 결과 유기발광다이오드(OLED)는 구동전류(I_{oled})에 대응되는 밝기로 발광하여 계조를 표시한다.
- [0046] j 번째 수평라인(HL[j])의 발광기간 동안, (j+1) 번째 수평라인에 배치된 화소(P_[j+1])들은 제(j+1) 스캔신호(SCAN[j+1]) 및 제j 센스신호(SENSE[j])를 이용하여 데이터기입 동작을 수행한다. 즉, 두 개의 수평라인에 배열되는 화소들에 데이터기입을 하는 센스신호의 타이밍이 동일하기 때문에, 센스신호를 출력하는 쉬프트레지스터의 스테이지 개수를 줄일 수 있다.
- [0047] 도 7은 외부보상을 위한 구동신호의 타이밍을 나타내는 도면이고, 도 8a 내지 도 8c는 외부보상 구동기간 동안의 화소의 동작을 나타내는 도면들이다. 특히, 도 7은 도 4에 도시된 쉬프트레지스터를 이용하여 두 개의 수평라인에 동시에 센스신호를 인가하는 실시 예에 대한 구동신호들이다.
- [0048] 도 7 및 도 8a를 참조하면, 제1 초기화 기간(T_i) 동안, 제j 스캔신호(SCAN[j]) 및 제j 센스신호(SENSE[j])는 턴-온 전압레벨로 인가된다. 제1 스위치(SW1)는 턴-온되고, 제2 스위치(SW2)는 턴-오프되어 센스 트랜지스터(ST2[j])는 초기화전압(V_{ini}) 입력단과 연결된다. 그 결과, j 번째 수평라인에 배치된 화소(P_[j])들의 스캔 트랜지스터(ST1[j])는 턴-온 되어, 데이터라인(DL)으로부터 공급받는 센싱용 데이터전압을 구동 트랜지스터(DT[j])의 게이트전극에 인가한다. 그리고 센스 트랜지스터(ST2[j])는 턴 온 되어, 초기화라인(INL)으로부터

공급받는 초기화 전압을 구동 트랜지스터(DT)의 소스전극에 인가한다.

[0049] 도 7 및 도 8b 참조하면, 제2 초기화 기간(T_i) 동안, 제(j+1) 스캔신호(SCAN[j+1])는 턴-온 전압으로 인가되고, 제j 센스신호(SENSE[j])는 턴-온 전압레벨을 유지한다. 제1 스위치(SW1)는 턴-온되고, 제2 스위치(SW2)는 턴-오프되어 센스 트랜지스터(SENSE[j+1])는 초기화전압(V_{ini}) 입력단과 연결된다. 그 결과, (j+1) 번째 수평라인에 배치된 화소(P[j+1])들의 스캔 트랜지스터(ST1[j+1])는 턴-온 되어, 데이터라인(DL)으로부터 공급받는 센싱용 데이터전압을 구동 트랜지스터(DT[j])의 게이트전극에 인가한다. 제2 초기화 기간(T_{i2}) 동안 센스 트랜지스터(ST2[j+1])는 턴 온 상태를 유지하기 때문에, 구동 트랜지스터(DT[j+1])의 소스전극은 초기화전압(V_{ini})을 유지한다.

[0050] 도 7 및 도 8c 참조하면, 센싱 기간(T_s) 동안, 제j 스캔신호(SCAN[j]) 및 제(j+1) 스캔신호(SCNA[j+1])는 모두 턴-오프 전압으로 유지되고, 제j 센스신호(SENSE[j])는 턴-온 전압을 유지한다. 제1 스위치(SW1)는 턴-오프되고, 제2 스위치(SW2)는 턴-온되어 각각의 센스 트랜지스터(SENSE[j], SENSE[j+1])는 ADC와 연결된다. 또한 센싱 기간(T_s) 동안, 유기발광다이오드(OLED)의 캐소드전극에는 고전위전압(VDD)이 인가된다.

[0051] 제j 스캔신호(SCAN[j]) 및 제(j+1) 스캔신호(SCAN[j])는 모두 턴-오프되기 때문에, j 번째 수평라인에 배열된 화소(P[j])들 및 (j+1) 번째 수평라인에 배열된 화소([j+1])들의 제1 노드(N1)는 플로팅(floating) 된다. 제1 및 제2 초기화 기간(T_{i1}, T_{i2})을 거치는 동안, 각 구동 트랜지스터(DT[j], DT[j+1])의 게이트-소스 간 전압(V_{gs})은 문턱전압 보다 커지고, 구동 트랜지스터(DT[j], DT[j+1])의 드레인-소스를 경유하는 구동전류가 흐르게 된다. 센싱 기간(T_s) 동안에는 유기발광다이오드(OLED)의 캐소드 전극이 고전위전압(VDD)을 인가받기 때문에, 유기발광다이오드(OLED)는 발광하지 않고, 구동전류에 의해서 제2 노드($N2[j], N2[j+1]$)는 점차적으로 증가한다. 제2 노드($N2[j], N2[j+1]$)의 전압은 구동 트랜지스터(DT[j], DT[j+1])의 게이트-소스 간 전압(V_{gs})이 문턱전압(V_{th})으로 포화될 때까지 증가한다.

[0052] 센싱 기간(T_s) 동안 제2 스위치(SW2)가 턴-온되어 각각의 제2 노드($N2[j], N2[j+1]$)는 ADC에 연결되기 때문에, 각 제2 노드($N2[j], N2[j+1]$)의 전압(V_{sen})은 ADC에 의해서 검출된다.

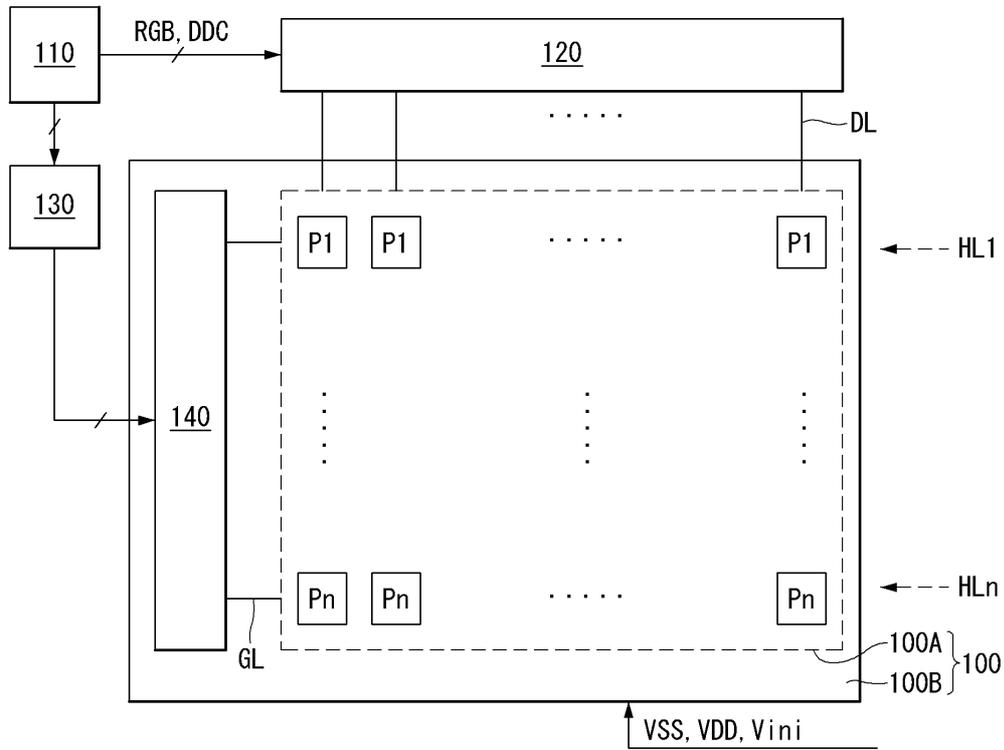
[0053] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

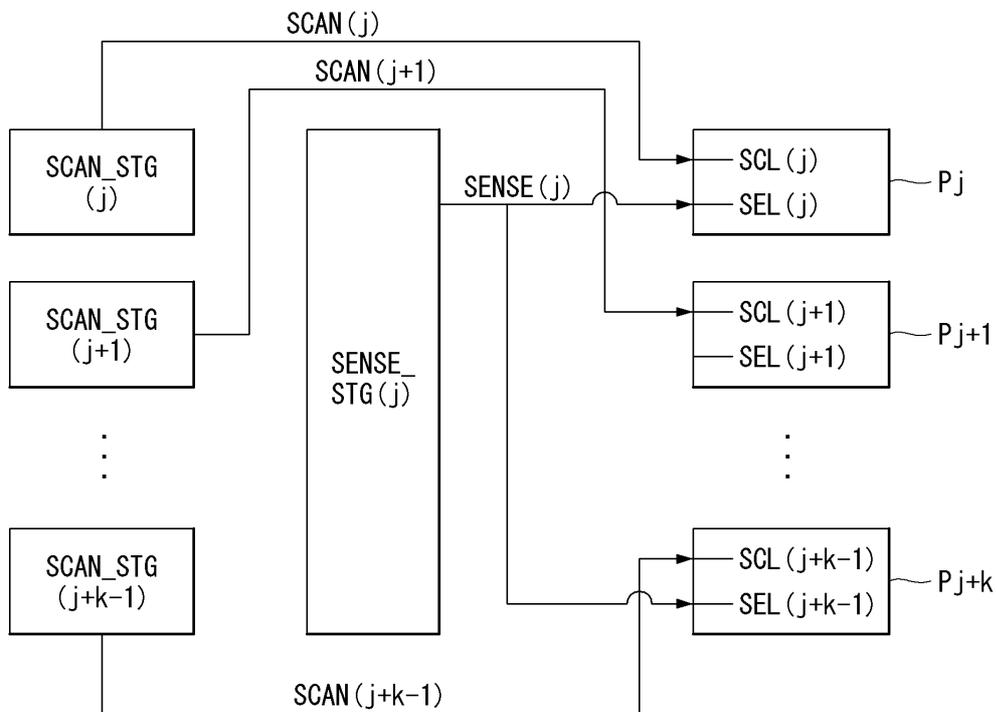
[0054] 100 : 표시패널 110 : 타이밍 컨트롤러
120 : 데이터 구동회로 130,140 : 게이트 구동회로

도면

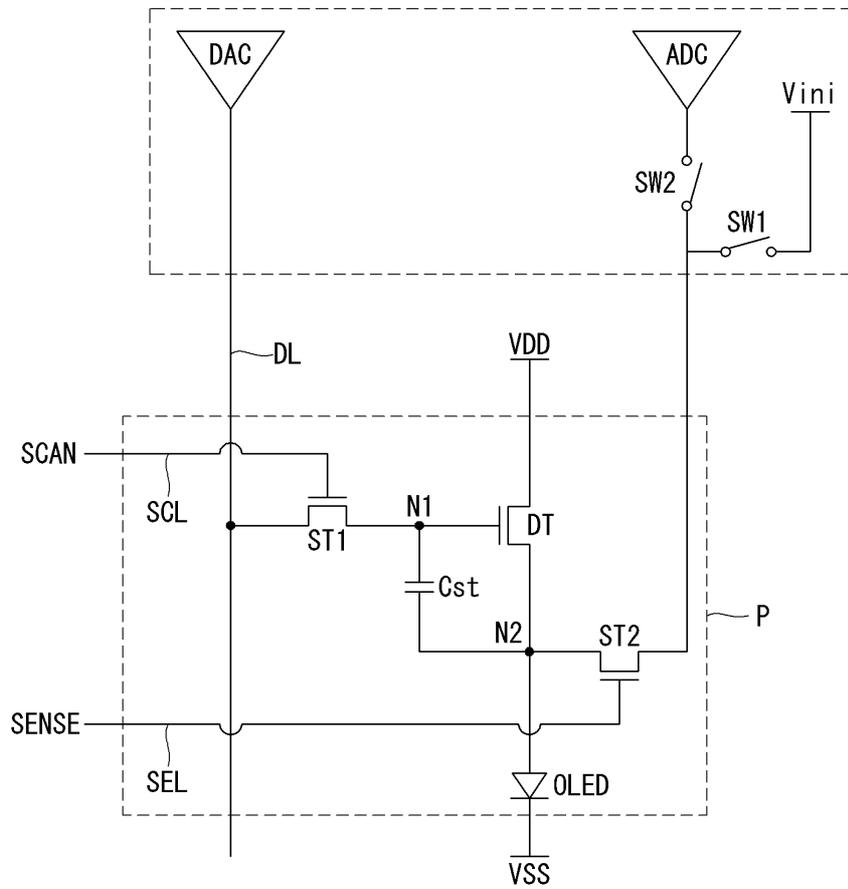
도면1



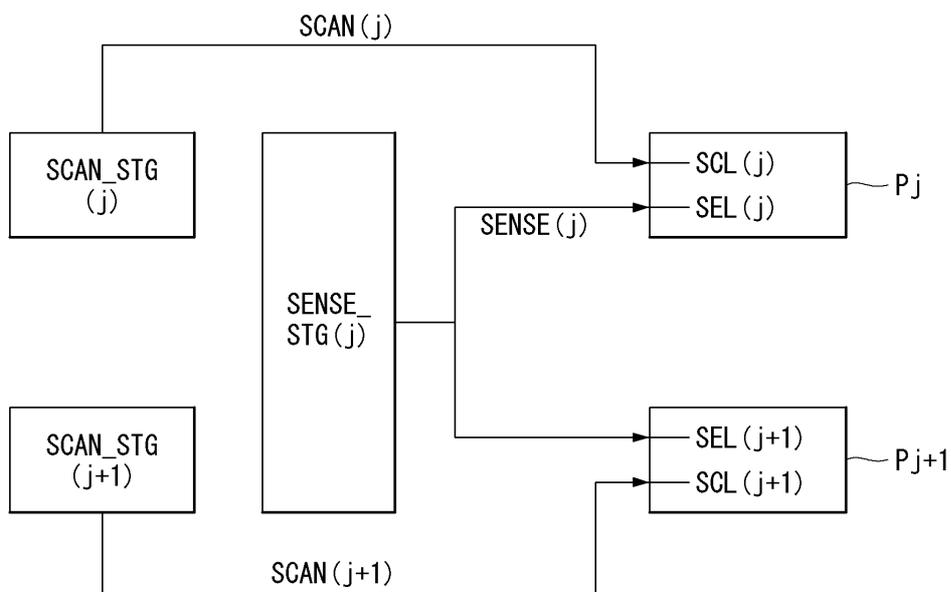
도면2



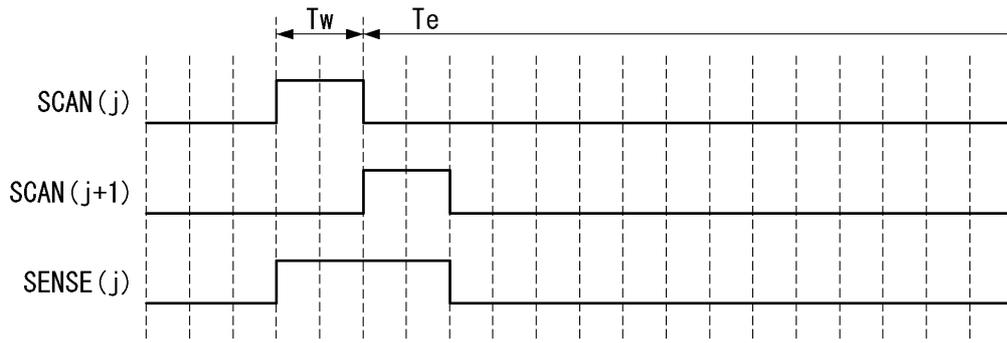
도면3



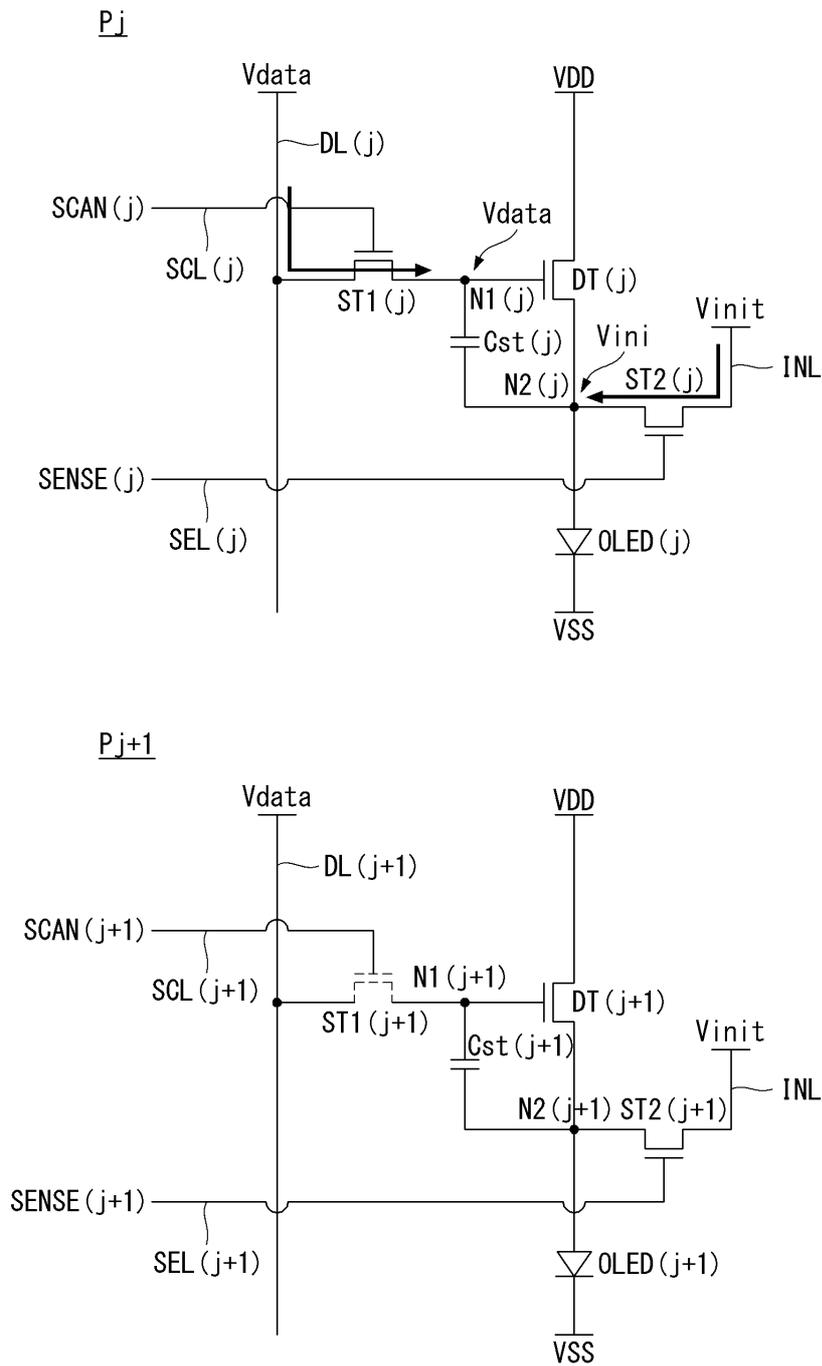
도면4



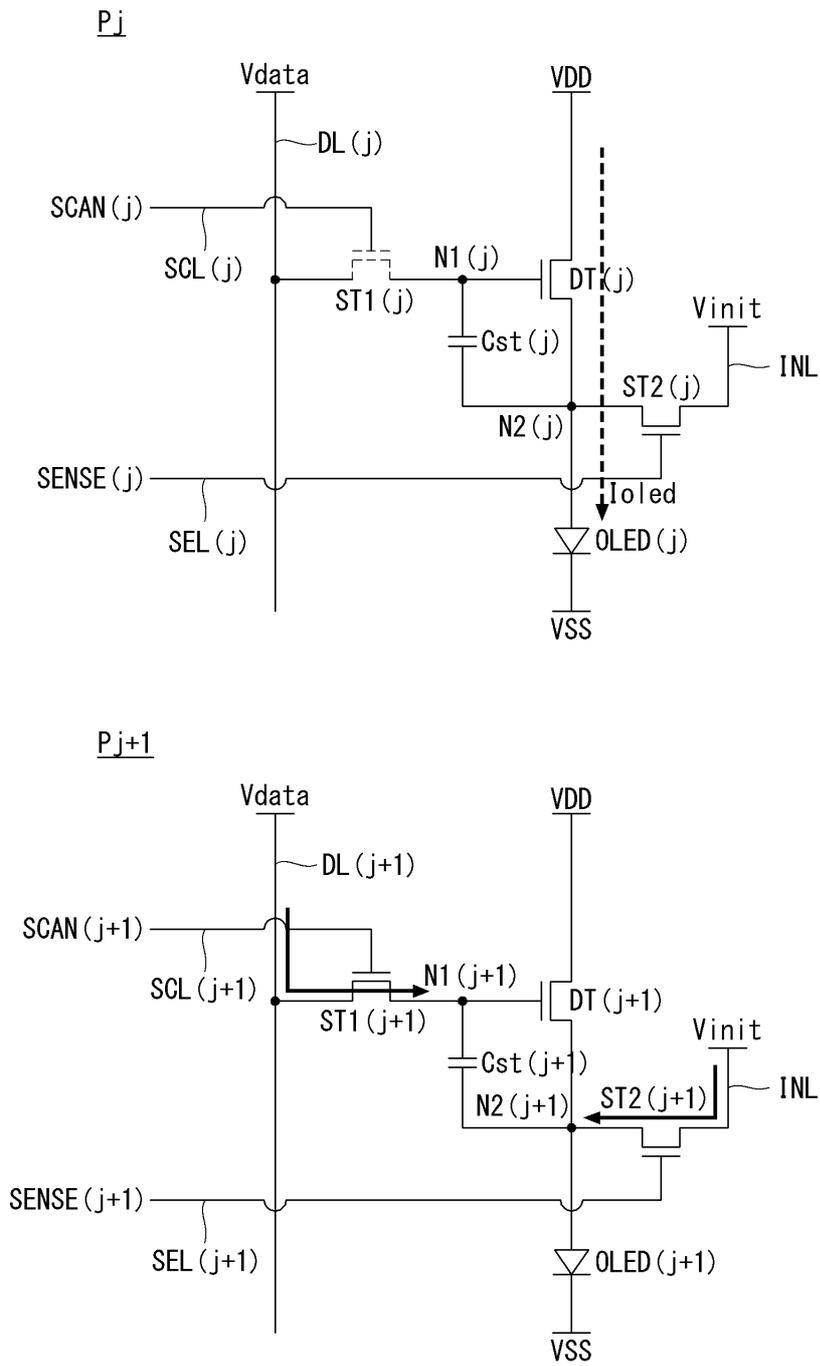
도면5



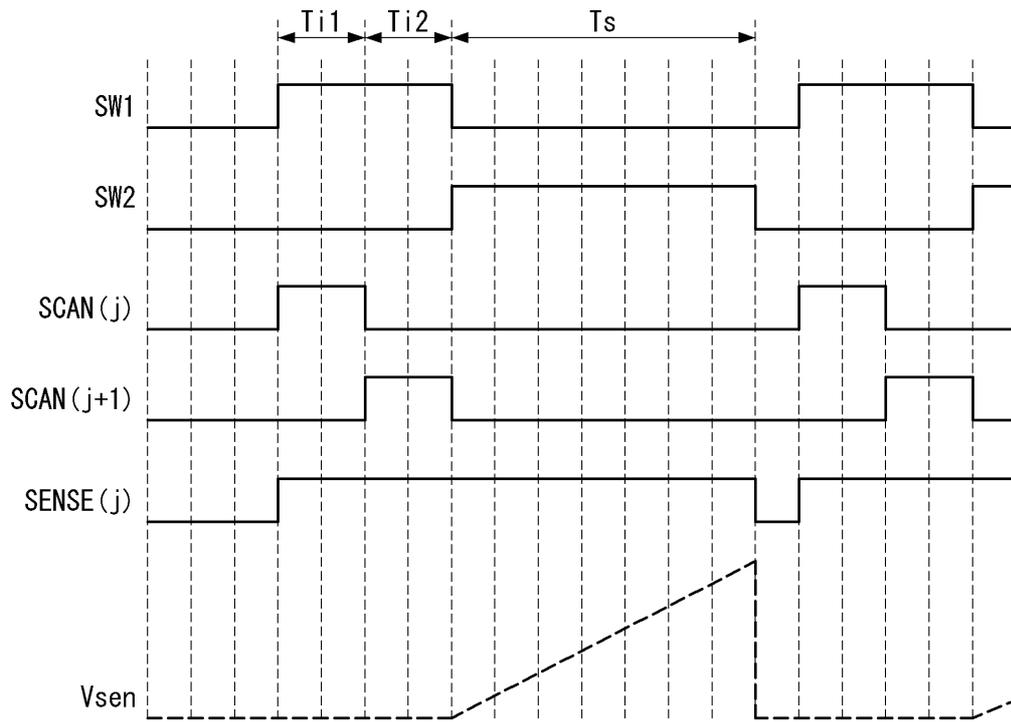
도면6a



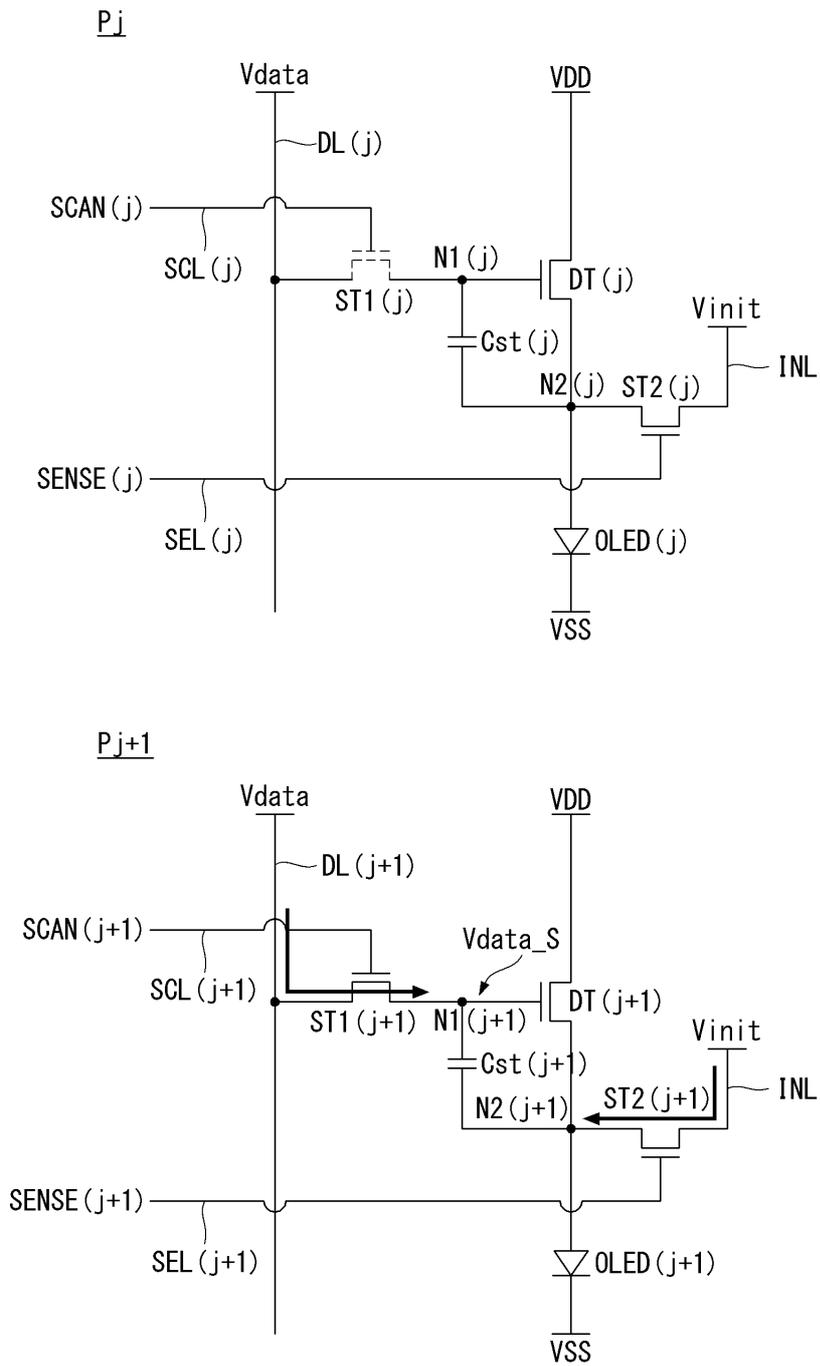
도면6b



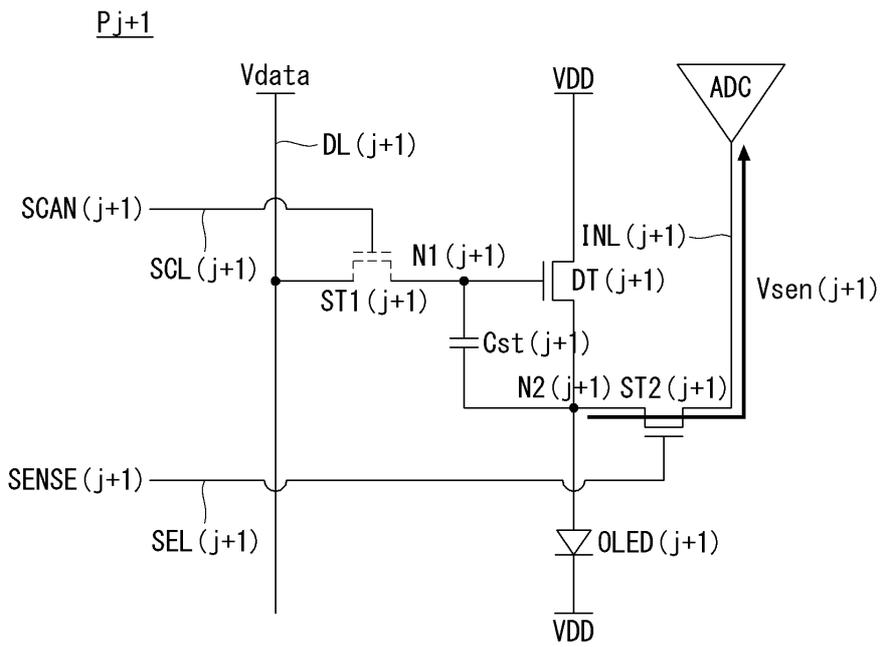
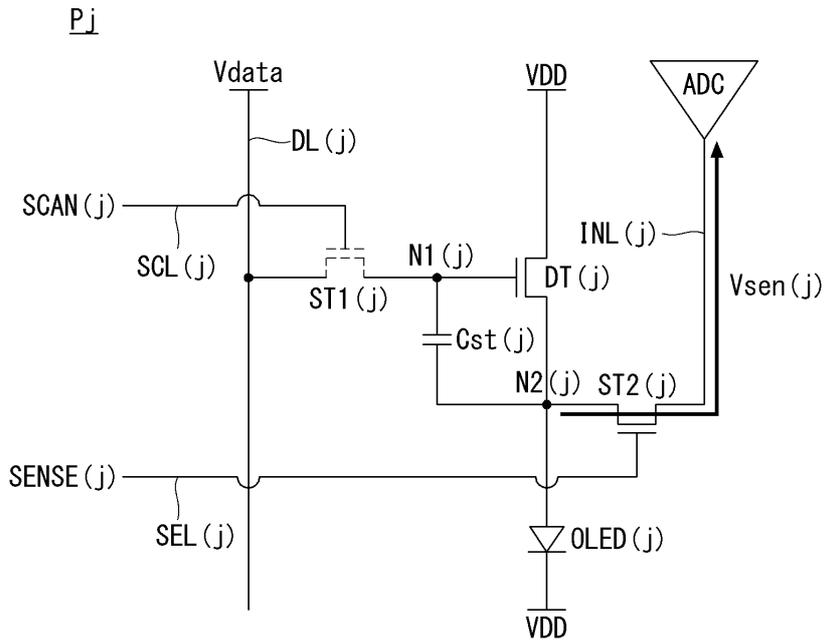
도면7



도면8b



도면8c



专利名称(译)	标题 : OLED显示器件		
公开(公告)号	KR1020170040866A	公开(公告)日	2017-04-14
申请号	KR1020150140019	申请日	2015-10-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK YOUNG JU 박영주 LIM SANG HYUN 임상현 JEONG SANG HOON 정상훈		
发明人	박영주 임상현 정상훈		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2310/0286 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示器包括用于驱动以像素和像素排列的晶体管的移位寄存器。每个像素包括驱动晶体管，扫描晶体管，感测晶体管和存储电容器。驱动晶体管控制提供给有机发光二极管的驱动电流。扫描晶体管连接栅电极和驱动晶体管的数据线之间，它是由扫描信号切换。感测晶体管连接在驱动晶体管的源电极和初始化线之间，并且由感测信号切换。存储电容器连接在驱动晶体管的栅电极和源电极之间。移位寄存器顺序地施加扫描信号到第k (k是自然数) 的像素阵列，以感测信号在相同的时间的像素的水平行是k个水平布置在彼此相邻的相互感测信号级和相邻和扫描信号阶段。

