



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0000061  
(43) 공개일자 2017년01월02일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/32* (2006.01) *H01L 29/786* (2006.01)  
(52) CPC특허분류  
*H01L 27/3262* (2013.01)  
*H01L 27/3258* (2013.01)  
(21) 출원번호 10-2015-0088713  
(22) 출원일자 2015년06월22일  
심사청구일자 2015년06월22일

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
이현  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(74) 대리인  
리엔목특허법인

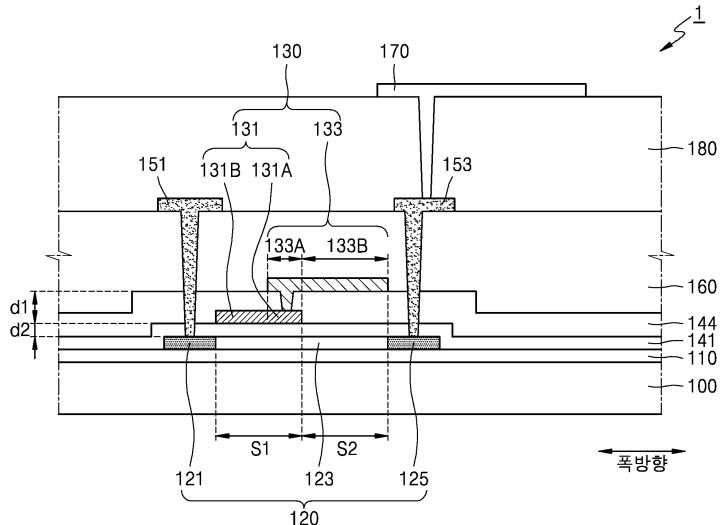
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 박막 트랜지스터 기판 및 이를 포함하는 유기 발광 표시 장치

### (57) 요 약

본 발명의 일 실시예는 기판 및 상기 기판 상에 위치하며, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터를 포함하며, 상기 박막트랜지스터의 게이트전극은, 상기 반도체층 위에 위치하는 제1 게이트층 및 상기 제1 게이트층과 전기적으로 연결되며, 상기 제1 게이트층과 중첩되는 중첩영역 및 상기 제1 게이트층과 중첩되지 않는 비중첩영역을 구비하는 제2 게이트층을 포함하는, 박막트랜지스터 기판을 제공한다.

### 대 표 도 - 도1



(52) CPC특허분류

*H01L 29/786* (2013.01)

*H01L 2227/32* (2013.01)

*H01L 2924/13067* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판; 및

상기 기판 상에 위치하며, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터;를 포함하며,

상기 박막트랜지스터의 게이트전극은,

상기 반도체층 위에 위치하는 제1 게이트층; 및

상기 제1 게이트층과 전기적으로 연결되며, 상기 제1 게이트층과 중첩되는 중첩영역 및 상기 제1 게이트층과 중첩되지 않는 비중첩영역을 구비하는 제2 게이트층;을 포함하는, 박막트랜지스터 기판.

#### 청구항 2

제 1항에 있어서,

상기 제1게이트층의 폭과 상기 비중첩영역의 폭의 합은, 상기 채널영역의 폭과 실질적으로 동일한, 박막트랜지스터 기판.

#### 청구항 3

제 1항에 있어서,

상기 제2 게이트층은 상기 제1 게이트층과 직접 접촉하는, 박막트랜지스터 기판.

#### 청구항 4

제 1항에 있어서,

상기 제1게이트층과 상기 제2게이트층을 전기적으로 연결하는 연결전극을 더 포함하는, 박막트랜지스터 기판.

#### 청구항 5

제 1항에 있어서,

상기 제1게이트층과 상기 제2게이트층은 서로 다른 층에 위치하는, 박막트랜지스터 기판.

#### 청구항 6

제 5항에 있어서,

상기 채널영역으로부터 상기 제2 게이트층의 비중첩영역까지의 제1거리는 상기 채널영역으로부터 상기 제1게이트층까지의 제2거리 보다 큰, 박막트랜지스터 기판.

#### 청구항 7

제 1항에 있어서,

상기 제1게이트층은 상기 제2게이트층과 중첩되는 중첩영역 및 상기 제2게이트층과 중첩되지 않는 비중첩영역을 포함하는, 박막트랜지스터 기판.

#### 청구항 8

제 7항에 있어서,

상기 제1게이트층의 비중첩영역과 상기 제2게이트층의 비중첩영역은, 상기 제1 및 상기 제2게이트층의 중첩영역

을 중심으로 서로 반대편에 위치하는, 박막트랜지스터 기판.

#### 청구항 9

기판;

상기 기판 상에 위치하며, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 및

상기 박막트랜지스터와 전기적으로 연결된 유기발광소자;를 포함하며,

상기 박막트랜지스터의 게이트전극은,

상기 반도체층 위에 위치하는 제1 게이트층;

상기 제1 게이트층 상에 위치하는 절연층; 및

상기 절연층 위에 위치하며, 상기 제1 게이트층과 중첩되는 중첩영역 및 상기 제1 게이트층과 중첩되지 않는 비중첩영역을 구비하는 제2 게이트층;을 포함하는, 유기 발광 표시 장치.

#### 청구항 10

제 9항에 있어서,

상기 박막트랜지스터는 스위칭 박막트랜지스터인, 유기 발광 표시 장치.

#### 청구항 11

제 9항에 있어서,

상기 제1 게이트층의 폭과 상기 비중첩영역의 폭의 합은, 상기 채널영역의 폭과 실질적으로 동일한, 유기 발광 표시 장치.

#### 청구항 12

제 9항에 있어서,

상기 제2 게이트층은 상기 제1 게이트층과 직접 접촉하는, 유기 발광 표시 장치.

#### 청구항 13

제 9항에 있어서,

상기 제1 게이트층과 상기 제2 게이트층을 전기적으로 연결하는 연결전극을 더 포함하는, 유기 발광 표시 장치.

#### 청구항 14

제 9항에 있어서,

상기 채널영역으로부터 상기 비중첩영역까지의 제1 거리는 상기 채널영역으로부터 상기 제1 게이트층까지의 제2 거리 보다 큰, 유기 발광 표시 장치.

#### 청구항 15

제 9항에 있어서,

상기 제1 게이트층은 상기 제2 게이트층과 중첩되는 중첩영역 및 상기 제2 게이트 전극과 중첩되지 않는 비중첩 영역을 포함하는, 유기 발광 표시 장치.

#### 청구항 16

제 15항에 있어서,

상기 제1 게이트층의 비중첩영역과 상기 제2 게이트층의 비중첩영역은, 상기 제1 및 상기 제2 게이트층의 중첩 영역을 중심으로 서로 반대편에 위치하는, 유기 발광 표시 장치.

## 발명의 설명

### 기술 분야

[0001]

본 발명의 실시예들은 박막 트랜지스터 기판 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

### 배경 기술

[0002]

유기발광표시장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자와 다른 전극으로부터 주입된 정공이 유기 발광층에서 결합하여 여기자를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003]

이러한 유기발광표시장치는 자발광소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 하나 이상의 커패시터가 형성되어 있다.

### 발명의 내용

#### 해결하려는 과제

[0004]

본 발명의 실시예들은 박막 트랜지스터 기판 및 이를 포함하는 유기 발광 표시 장치를 제공한다.

#### 과제의 해결 수단

[0005]

본 발명의 일 실시예는 기판; 및 상기 기판 상에 위치하며, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터;를 포함하며, 상기 박막트랜지스터의 게이트전극은, 상기 반도체층 위에 위치하는 제1 게이트층; 및 상기 제1 게이트층과 전기적으로 연결되며, 상기 제1 게이트층과 중첩되는 중첩영역 및 상기 제1 게이트층과 중첩되지 않는 비중첩영역을 구비하는 제2 게이트층;을 포함하는, 박막트랜지스터 기판을 개시한다.

[0006]

본 실시예에 있어서 상기 제1 게이트층의 폭과 상기 비중첩영역의 폭의 합은, 상기 채널영역의 폭과 실질적으로 동일할 수 있다.

[0007]

본 실시예에 있어서 상기 제2 게이트층은 상기 제1 게이트층과 직접 접촉할 수 있다.

[0008]

본 실시예에 있어서 상기 제1 게이트층과 상기 제2 게이트층을 전기적으로 연결하는 연결전극을 더 포함할 수 있다.

[0009]

본 실시예에 있어서 상기 제1 게이트층과 상기 제2 게이트층은 서로 다른 층에 위치할 수 있다.

[0010]

본 실시예에 있어서 상기 채널영역으로부터 상기 비중첩영역까지의 제1 거리는 상기 채널영역으로부터 상기 제1 게이트층까지의 제2 거리 보다 클 수 있다.

[0011]

본 실시예에 있어서 상기 제1 게이트층은 상기 제2 게이트층과 중첩되는 중첩영역 및 상기 제2 게이트층과 중첩되지 않는 비중첩영역을 포함할 수 있다.

[0012]

본 실시예에 있어서 상기 제1 게이트층의 비중첩영역과 상기 제2 게이트층의 비중첩영역은, 상기 제1 및 상기 제2 게이트층의 중첩영역을 중심으로 서로 반대편에 위치할 수 있다.

[0013]

본 발명의 일 실시예는 기판; 상기 기판 상에 위치하며, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 및 상기 박막트랜지스터와 전기적으로 연결된 유기발광소자;를 포함하며, 상기 박막트랜지스터의 게이트전극은, 상기 반도체층 위에 위치하는 제1 게이트층; 상기 제1 게이트층 상에 위치하는 절연층; 및 상기 절연층 위에 위치하며, 상기 제1 게이트층과 중첩되는 중첩영역 및 상기 제1 게이트 전극과 중첩되지 않는 비중첩영역을 구비하는 제2 게이트층;을 포함하는, 유기 발광 표시 장치를 개시한다.

[0014]

본 실시예에 있어서 상기 박막트랜지스터는 스위칭 박막트랜지스터일 수 있다.

[0015]

본 실시예에 있어서 상기 제1 게이트층의 폭과 상기 비중첩영역의 폭의 합은, 상기 채널영역의 폭과 실질적으로 동일할 수 있다.

[0016]

본 실시예에 있어서 상기 제2 게이트층은 상기 제1 게이트층과 직접 접촉할 수 있다.

[0017]

본 실시예에 있어서 상기 제1 게이트층과 상기 제2 게이트층을 전기적으로 연결하는 연결전극을 더 포함할 수

있다.

[0018] 본 실시예에 있어서 상기 채널영역으로부터 상기 비중첩영역까지의 제1거리는 상기 채널영역으로부터 상기 제1 게이트층까지의 제2거리 보다 클 수 있다.

[0019] 본 실시예에 있어서 상기 제1 게이트층은 상기 제2 게이트층과 중첩되는 중첩영역 및 상기 제2 게이트 전극과 중첩되지 않는 비중첩영역을 포함할 수 있다.

[0020] 본 실시예에 있어서 상기 제1 게이트층의 비중첩영역과 상기 제2 게이트층의 비중첩영역은, 상기 제1 및 상기 제2 게이트층의 중첩영역을 중심으로 서로 반대편에 위치할 수 있다.

[0021] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

### 발명의 효과

[0022] 본 발명의 실시예들에 관한 박막트랜지스터 기판 및 이를 포함하는 유기 발광 표시 장치는 제1 게이트층 및 제2 게이트층으로 형성된 비대칭구조의 게이트전극을 통해, 구동전류(on-current)를 유지하면서 박막트랜지스터 소자의 열화를 개선할 수 있게 된다.

### 도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 박막트랜지스터 기판을 개략적으로 도시한 단면도이다.

도 2는 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 게이트전극 및 반도체층을 개략적으로 도시한 평면도이다.

도 3은 본 발명의 다른 실시예에 따른 박막트랜지스터 기판을 개략적으로 도시한 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터 기판의 변형실시예를 도시한 단면도이다.

도 5는 도 3에 도시된 박막트랜지스터 기판의 게이트전극 및 반도체층을 개략적으로 도시한 평면도이다.

도 6은 도 4에 도시된 박막트랜지스터 기판의 게이트전극 및 반도체층을 개략적으로 도시한 평면도이다.

도 7은 본 발명의 일 실시예에 따른 박막트랜지스터 기판의 제1 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 8은 도 1에 도시된 박막트랜지스터 기판의 제2 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 9는 도 1에 도시된 박막트랜지스터 기판의 제3 및 제4 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 10은 도 1에 도시된 박막트랜지스터 기판의 제5 및 제6 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 11은 도 1에 도시된 박막트랜지스터 기판의 제7 및 제8 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 12는 도 1에 도시된 박막트랜지스터 기판을 포함하는 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0024] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0026] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

- [0027] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0028] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0029] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0030] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0031] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0032] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 박막트랜지스터 기판(1)을 개략적으로 도시한 단면도이고, 도 2는 본 발명의 일 실시예에 따른 박막트랜지스터 기판(1)의 게이트전극(130) 및 반도체층(120)을 개략적으로 도시한 평면도이다.
- [0034] 도 1 및 도 2를 참고하면, 본 발명의 일 실시예에 따른 박막트랜지스터 기판(1)은 기판(100) 상에 위치하며, 반도체층(120), 게이트전극(130), 소스전극(121) 및 드레인전극(125)을 포함하는 박막트랜지스터(Tr)를 포함한다.
- [0035] 기판(100)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등으로 형성될 수 있다.
- [0036] 기판(100) 상에는 기판(100)의 평활성 및 기판(100)으로부터의 불순원소의 침투를 차단하기 위한 베퍼층(110)이 더 구비될 수 있다. 베퍼층(110)은 실리콘질화물 및/또는 실리콘산화물이 단층 또는 복수층 배치될 수 있다.
- [0037] 반도체층(120)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 반도체층(120)은 채널영역(123)과, 채널영역(123) 외측에 위치하며 이온불순물이 도핑되어 형성된 소스영역 및 드레인 영역을 포함할 수 있다. 소스영역 및 드레인 영역 각각은 소스전극(121) 및 드레인 전극(125)으로서 기능을 수행할 수 있다.
- [0038] 반도체층(120) 상에는 게이트 절연막인 제1 절연층(141)을 사이에 두고 반도체층(120)의 채널영역(123)에 대응되는 위치에 게이트전극(130)이 구비될 수 있다. 게이트전극(130)은 반도체층(120) 위에 위치하는 제1 게이트층(131) 및 제1 게이트층(131)과 전기적으로 연결되는 제2 게이트층(133)을 포함할 수 있다.
- [0039] 제2 게이트층(133)은 제1 게이트층(131)과 중첩되는 중첩영역(133A) 및 제1 게이트층과 중첩되지 않는 비중첩영역(133B)을 구비하는 제2 게이트층(133)을 포함할 수 있다. 제1 게이트층(131)의 폭(S1)과 제2 게이트층(133)의 비중첩영역(133B)의 폭(S2)의 합(S1+S2)은, 반도체층(120)의 채널영역(123)의 폭(S3)과 실질적으로 동일할 수 있다.
- [0040] 제1게이트층(131)의 전부 또는 일부가 제2게이트층(142)과 중첩될 수 있다. 일 실시예로서, 제2 게이트층(133)의 중첩영역(133A)은 제1 게이트층(131) 전부와 중첩될 수 있다. 다른 실시예로서, 제2 게이트층(133)은 제1 게이트층(131)의 일부와 중첩되어, 제1 게이트층(131)은 제2 게이트층(133)과 중첩되는 중첩영역(131A) 및 제2 게이트층(133)과 중첩되지 않는 비중첩영역(131B)을 포함할 수 있다. 이 때, 본 발명에서는 제1 게이트층(131)과 제2 게이트층(133)의 중첩영역의 폭을 제한하지 않는다. 다만, 이하에서는 설명의 편의를 위하여, 제1 게이트층(131)과 제2 게이트층(133)의 일부만 중첩되는 경우를 중심으로 설명하기로 한다.
- [0041] 제1 게이트층(131)과 제2 게이트층(133)의 일부만 중첩되는 경우, 제1 게이트층(131)의 비중첩영역(131B)과 제2 게이트층(133)의 비중첩영역(133B)은, 제1 및 제2 게이트층(131, 133)의 중첩영역(131A, 133A)을 중심으로 서로

반대편에 위치할 수 있다.

[0042] 제1 게이트층(131)과 제2 게이트층(133)은 서로 다른 층에 위치할 수 있다. 제1 게이트층(131) 상에는 층간절연막인 제2 절연층(144)이 형성되고, 제2 절연층(144) 상에는 제2 게이트층(133)이 구비될 수 있다. 제1 게이트층(131)과 반도체층(120) 사이에는 제1 절연층(141)만이 개재되고, 제2 게이트층(133)의 비중첩영역(133B)과 반도체층(120) 사이에는 제1 절연층(141) 및 제2 절연층(144)이 개재될 수 있다. 따라서, 채널영역(123)으로부터 제2 게이트층(133)의 비중첩영역(133B)까지의 제1 거리(d1)는 채널영역(123)으로부터 제1 게이트층(131)까지의 제2 거리(d2) 보다 크게 형성되며, 게이트전극(130)은 중첩영역(131A, 132A)을 기준으로 양측이 비대칭인 구조를 가질 수 있다. 예컨대, 제1 게이트층(131)의 비중첩영역(131B)과 소스전극(121) 사이에 개재된 절연층 두께는 얇고, 제2 게이트층(133)의 비중첩영역(133B)과 드레인전극(125) 사이의 절연층 두께는 두껍게 형성될 수 있다.

[0043] 도 1에서는 제1 게이트층(131)이 소스전극(121)에 가깝고 제2 게이트층(133)이 드레인전극(125)에 가깝게 도시되었지만, 본 발명의 권리범위는 이로 제한되지 않는다. 또 다른 실시예에서, 제1 게이트층(131)이 드레인전극(125)에 가깝고 제2 게이트층(132)이 소스전극(121)에 가깝게 배치될 수 있다.

[0044] 제2 게이트층(133)은 제1 게이트층(131)과 직접 접촉하는 것으로, 제1 게이트층(131)과 제2 게이트층(133)은 전기적으로 연결될 수 있다. 제1 게이트층(131)과 제2 게이트층(133) 사이에 개재된 제1 절연층(141)에는 제1 게이트층(131) 상의 중첩영역(131A, 133A)에 제1 콘택홀(CNT1)이 형성될 수 있다. 제2 게이트층(133)은 제1 콘택홀(CNT1)을 이용하여 제1 게이트층(131)과 전기적으로 연결될 수 있다.

[0045] 게이트전극(130)은 저항이 작은 금속 물질로 이루어질 수 있으며, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다. 또한, 제1 게이트층(131)과 제2 게이트층(133)은 동일한 금속으로 형성되거나, 서로 다른 금속으로 형성될 수 있다.

[0046] 제2 절연층(144) 및 제2 게이트층(133) 상에는 제3 절연층(160)이 형성되고, 제3 절연층(160) 상에는 소스배선(151)과 드레인배선(153)이 구비된다. 소스배선(151)과 드레인배선(153)은, 제1 내지 제3 절연층(141, 144, 160)에 형성된 콘택홀을 통하여 각각 반도체층(120)의 소스전극(121)과 드레인전극(125)에 접속할 수 있다. 소스배선(151)은 소정의 신호를 인가하고, 드레인배선(153)은 화소전극(170)과 전기적으로 연결될 수 있다.

[0047] 소스배선(151)과 드레인배선(153)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0048] 소스 및 드레인배선(151, 153) 상에는 평탄화층인 제4 절연층(180)이 형성되고, 제4 절연층(180) 상에는 화소전극(170)이 구비된다. 화소전극(170)은 제4 절연층(180)에 형성된 콘택홀을 통해 드레인배선(153)에 접속될 수 있다.

[0049] 화소전극(170)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 혹은, 화소 전극(170)은 투명 도전성 산화물층/반투과 금속층/투명 도전성 산화물층으로 구성된 3중 구조로 구비될 수 있다.

[0050] 일반적으로, 박막트랜지스터는 온도 및 시간 등의 조건이 열악한 제품군에서 소자의 열화가 더 크게 발생할 수 있다. 예컨대, 자동차에 제품군의 경우, 실외에 방치되는 자동차의 내부온도 상승에 따라 박막트랜지스터의 열화속도가 증가될 수 있다. 박막트랜지스터의 열화는 게이트전극과 드레인전극 사이에 형성되는 전계 또는 게이트전극과 소스전극 간의 형성되는 전계에 의해 발생된다. 예컨대 박막트랜지스터가 N 형인 경우 게이트전극과 드레인전극 간의 전계에 의해 열화가 생기고, 박막트랜지스터가 P 형인 경우 게이트전극과 소스전극간의 전계에 의해 열화가 생길 수 있다.

[0051] 비교예로서, 게이트전극(130)과 드레인전극(125) 또는 게이트전극(130)과 소스전극(121) 사이의 전계의 세기를 줄이기 위해, 게이트 절연막의 두께를 두껍게 하여 게이트전극(130)과의 거리를 증가시키는 경우, 열화는 방지 할 수 있으나 구동전류(on current)가 저하되는 문제가 있다. 또 다른 비교예로서, 비교예로서 게이트전극과 반도체층 사이에 절연막이 얇게 형성한 경우, 구동전류는 확보할 수 있으나 열화의 방지가 불가능하다.

- [0052] 그러나 본 발명의 일부 실시예들은 도 1 및 도 2를 참조하여 설명한 구조를 가지므로, 제2게이트층과 드레인전극 사이의 거리가 멀어져 열화를 방지할 수 있고 제1게이트층(131)을 이용하여 충분한 구동전류를 확보할 수 있는 장점이 있다.
- [0053] 도 1 및 도 2에서는 제2게이트층(133)의 비중첩영역(133B)이 드레인전극(125) 측을 향해 배치된 경우를 도시하였으나, 본 발명은 이에 제한되지 않는다. 또 다른 실시예에서, 열화의 원인이 소스전극(121)과 게이트전극(130) 사이의 전계때문이라면, 도 1 및 도 2에서 도시된 소스전극(121)과 드레인전극(125)의 위치는 서로 바뀔 수 있다.
- [0054] 도 3은 본 발명의 다른 실시예에 따른 박막트랜지스터 기판(1)을 개략적으로 도시한 단면도이고, 도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터 기판(1)의 변형실시예를 도시한 단면도이다. 도 5는 도 3에 도시된 박막트랜지스터 기판(1)의 게이트전극(130) 및 반도체층(120)을 개략적으로 도시한 평면도이고, 도 6은 도 4에 도시된 박막트랜지스터 기판(1)의 게이트전극(130) 및 반도체층(120)을 개략적으로 도시한 평면도이다.
- [0055] 도 3 및 도 5를 참고하면, 박막트랜지스터 기판(1)은 기판(100) 상에 위치하며, 반도체층(120), 게이트전극(130), 소스전극(121) 및 드레인전극(125)을 포함하는 박막트랜지스터(Tr)를 포함한다. 본 발명의 다른 실시예에 따른 박막트랜지스터 기판(1)은 제1 게이트층(131)과 제2 게이트층(133)을 전기적으로 연결하는 연결전극(190)을 제외하고, 일실시예에 따른 박막트랜지스터 기판(1)의 구성과 동일하므로, 설명의 편의를 위하여 중복되는 설명은 생략하기로 한다.
- [0056] 박막트랜지스터 기판(1)은 제1 게이트층(131)과 제2 게이트층(133)을 전기적으로 연결하는 연결전극(190)을 더 포함할 수 있다. 다른 실시예에 따른 박막트랜지스터 기판(1)은 제3 절연층(160)까지 형성한 후, 소스배선(151) 및 드레인배선(153)과 동일 공정에서 연결전극(190)을 형성함으로써, 추가 공정이 발생하지 않는 장점이 있다.
- [0057] 연결전극(190)은 일종의 브릿지배선으로서, 제1 게이트층(131)의 일부 및 제2 게이트층(133)의 일부를 노출시키는 하나의 제2 콘택홀(CNT2)을 통해 제1 게이트층(131) 및 제2 게이트층(133)을 전기적으로 연결할 수 있다. 변형실시예로서, 도 4 및 도 6을 참고하면, 연결전극(190)은 제1 게이트층(131)의 일부를 노출시키는 제3 콘택홀(CNT3)과, 제2 게이트층(133)의 일부를 노출시키는 제4 콘택홀(CNT4)을 통해 제1 게이트층(131) 및 제2 게이트층(133)을 전기적으로 연결할 수 있다.
- [0058] 연결전극(190)은 소스배선(151) 및 드레인배선(153)과 동일한 공정을 통해 형성되며, 소스 및 드레인배선(151, 153)과 동일한 금속으로 형성될 수 있다. 연결전극(190)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텉스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0059] 전술한 바와 같이, 본 발명의 다른 실시예에 따른 박막트랜지스터 기판(1)은 제1 절연층(141)에 콘택홀을 형성하는 추가공정이 없어, 기존의 공정을 통해 비대칭구조의 게이트전극(130)을 형성할 수 있다는 장점을 갖는다.
- [0060] 이하, 도 7 내지 도 11을 참고하여 도 1에 도시된 박막트랜지스터 기판(1)의 제조방법에 대하여 설명한다.
- [0061] 도 7은 본 발명의 일 실시예에 따른 박막트랜지스터 기판(1)의 제1 마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0062] 도 7을 참고하면, 기판(100) 상에 패터닝된 반도체층(120)을 형성한다. 도면에는 도시되어 있지 않지만, 기판(100) 상에는 반도체물질(미도시)이 증착되고, 반도체물질(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1 포토마스크(미도시)를 이용한 포토리소그라파 공정에 의해 패터닝된 반도체층(120)이 형성된다. 포토리소그라파에 의한 제1 마스크 공정은 제1 포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(striping) 또는 애싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0063] 반도체물질(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential

lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

[0064] 박막트랜지스터의 제조방법은 반도체물질(미도시) 층착 전에 기판(100) 상에 벼퍼층(110)을 더 형성할 수 있다.

[0065] 도 8은 도 1에 도시된 박막트랜지스터 기판(1)의 제2 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0066] 도 8을 참고하면, 도 7의 제1 마스크 공정의 결과물 상에 제1 절연층(141)과 제1 도전층(미도시)을 차례로 적층한 후, 제1 도전층(미도시)을 패터닝한다.

[0067] 패터닝 결과, 제1 절연층(141) 상에 게이트전극(130)의 제1 게이트층(131)이 형성된다.

[0068] 도 9는 도 1에 도시된 박막트랜지스터 기판(1)의 제3 및 제4 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0069] 도 9를 참고하면, 도 8의 제2 마스크 공정의 결과물 상에 제2 절연층(144)을 적층한 후, 제1 게이트층(131) 상의 제2 절연층(144)에 제1 게이트층(131)의 일부를 노출시키는 제1 콘택홀(CNT1)을 형성한다. 이후, 제2 마스크 공정의 결과물 상에 제2 도전층(미도시)을 적층한 후, 제2 도전층을 패터닝한다. 패터닝 결과, 제2 절연층(144) 상에 제2 게이트층(133)이 형성되며, 제2 게이트층(133)은 제1 콘택홀(CNT1)을 통해 제1 게이트층(131)과 전기적으로 연결될 수 있다.

[0070] 제3 마스크 공정 후, 반도체층(120)에 이온 불순물이 도핑(Doping)된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데,  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 이상의 농도로 반도체층(120)을 타겟으로 하여 도핑한다. 제1 게이트층(131)과 제2 게이트층(133)으로 이루어지는 게이트전극(130)은 셀프-얼라인(self-align) 마스크로 사용 된다. 게이트전극(130)을 마스크로 하여 반도체층(120)에 이온 불순물을 도핑함으로서, 반도체층(120)은 이온 불순물이 도핑된 소스 및 드레인 영역(121, 125)과, 그 사이에 채널 영역(123)을 구비하게 된다.

[0071] 도핑결과에 의해, 반도체층(120)의 채널영역(123)은 제1 게이트층(131)과 제2 게이트층(133)으로 이루어지는 게이트전극(130)에 대응하게 된다.

[0072] 도 10은 도 1에 도시된 박막트랜지스터 기판(1)의 제5 및 제6 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0073] 도 10을 참고하면, 도 9의 제4 마스크 공정의 결과물 상에 제3 절연층(160)을 형성하고, 제3 절연층(160), 제2 절연층(144) 및 제1 절연층(141)에 소스전극(121) 및 드레인전극(125)의 일부를 노출시키는 콘택홀을 형성한다. 이후, 제5 마스크 공정의 결과물 상에 제3 도전층(미도시)을 적층한 후, 제3 도전층을 패터닝한다. 패터닝 결과, 제3 절연층(160) 상에 소스 및 드레인 전극(151, 153)이 형성되며, 소스배선(151) 및 드레인전극(155)은 콘택홀을 통해 소스전극(121) 및 드레인전극(125)과 전기적으로 연결될 수 있다.

[0074] 도 11은 도 1에 도시된 박막트랜지스터 기판(1)의 제7 및 제8 마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0075] 도 11을 참고하면, 도 10의 제6마스크 공정의 결과물 상에 제4 절연층(180)을 형성하고, 제4 절연층(180)에 소스배선(151) 및 드레인배선(153) 중 어느 하나의 일부를 노출시키는 콘택홀을 형성한다. 이후, 제7마스크 공정의 결과물 상에 제4 도전층(미도시)을 적층한 후, 제4 도전층을 패터닝한다. 패터닝 결과 제4 절연층(180) 상에 화소 전극(170)이 형성되며, 화소전극(170)은 콘택홀을 통해 소스배선(151) 또는 드레인배선(153) 중 하나와 전기적으로 연결될 수 있다. 다만, 본 발명에 따른 박막트랜지스터 제조방법은 박막트랜지스터의 종류에 따라서 화소전극(170) 제조 공정이 생략될 수 있다. 전술한 본 발명의 일 실시예에 따른 박막트랜지스터 기판(1)의 제조방법은 하나의 예일 뿐이며, 본 발명에서는 이를 제한하지 않는다.

[0076] 한편, 본 발명의 다른 실시예에 따른 박막트랜지스터 기판(1)의 제조방법은 일실시예에서 제1 게이트층(131) 및 제2 게이트층(133)을 전기적으로 연결하는 공정을 제외하고 동일하므로, 중복되는 설명은 생략하기로 한다.

[0077] 다시 도 3 및 도 5를 참고하면, 본 발명의 다른 실시예에 따른 박막트랜지스터 기판(1)의 제조방법은 전기적으로 연결되지 않은 제1 게이트층(131) 및 제2 게이트층(133)을 형성한 후, 제2 게이트층(133) 상에 제3 절연층을 형성한다. 이후, 제3 절연층(160), 제2 절연층(144) 및 제1 절연층(141)에 소스전극(121) 및 드레인전극(125)의 일부를 노출시키는 콘택홀을 형성한다. 이때, 제1 게이트층(131)의 일부 및 제2 게이트층(133)의 일부를 노출시키는 하나의 제2 콘택홀(CNT2)을 형성할 수 있다.

[0078] 이후, 전술한 공정의 결과물 상에 제3 도전층(미도시)을 적층한 후, 제3 도전층을 패터닝한다. 패터닝 결과, 제

3 절연층(160) 상에 소스배선(151), 드레인배선(153) 및 연결전극(190)이 형성된다. 소스배선(151) 및 드레인배선(153)은 소스전극(121) 및 드레인전극(125)과 전기적으로 연결된다. 동시에, 제1 게이트층(131) 및 제2 게이트층(133)은 제2 콘택홀(CNT2) 상에 형성된 연결전극(190)을 통해 전기적으로 연결될 수 있다.

[0079] 한편, 다시 도 4 및 도 6을 참고하면, 본 발명의 또 다른 실시예에 따른 박막트랜지스터 기판(1)의 제조방법은 제2 콘택홀(CNT2) 대신, 제1 게이트층(131)의 일부 및 제2 게이트층(133)의 일부를 각각 노출시키는 제3 및 제4 콘택홀(CNT3, CNT4)을 형성할 수 있다.

[0080] 이후, 전술한 공정의 결과물 상에 제3 도전층(미도시)을 적층한 후, 제3 도전층을 패터닝한다. 패터닝 결과, 제3 절연층(160) 상에 소스배선(151), 드레인배선(153) 및 연결전극(190)이 형성된다. 제1 게이트층(131) 및 제2 게이트층(133)은 제3 및 제4 콘택홀(CNT3, CNT4) 상에 형성된 연결전극(190)을 통해 전기적으로 연결될 수 있다.

[0081] 도 12는 도 1에 도시된 박막트랜지스터 기판을 포함하는 유기 발광 표시 장치를 개략적으로 나타낸 단면도이다.

[0082] 도 12를 참고하면, 본 발명의 일 실시예에 따른 박막트랜지스터 기판을 포함하는 유기 발광 표시 장치는 기판(100), 박막트랜지스터(1) 및 유기발광소자(30)를 포함할 수 있다.

[0083] 박막트랜지스터(1)는 기판(100) 상에 위치하며, 반도체층(120), 게이트전극(130), 소스전극(121) 및 드레인전극(125)을 포함할 수 있다. 유기 발광 표시 장치(2)는 복수개의 박막트랜지스터(20)를 포함할 수 있으며, 적어도 하나의 스위칭 트랜지스터 및 구동 트랜지스터를 포함할 수 있다. 유기 발광 표시 장치(2)는 구동 트랜지스터 및 스위칭 트랜지스터 모두 전술한 본 발명의 일 실시예에 따른 박막트랜지스터로 구성하거나, 스위칭 트랜지스터만을 전술한 본 발명의 일 실시예에 따른 박막트랜지스터로 구성할 수 있다. 이는 스위칭 트랜지스터는 구동 트랜지스터에 비해 상대적으로 반도체층의 길이가 짧기 때문에, 소자 열화에 더욱 취약하기 때문이다. 본 발명의 일 실시예에 따른 박막트랜지스터는 전술하였으므로 중복되는 설명은 생략하기로 한다.

[0084] 유기발광소자(30)는 박막트랜지스터(20)와 전기적으로 연결될 수 있다. 유기발광소자(30)는 박막트랜지스터의 화소전극(170)에 대응하는 위치에 형성된, 중간층(172) 및 대향전극(174)을 포함할 수 있다.

[0085] 중간층(172)은 적색, 녹색 또는 청색 광을 방출하는 유기 발광층을 포함하며, 유기 발광층은 저분자 유기물 또는 고분자 유기물을 사용할 수 있다. 유기 발광층이 저분자 유기물로 형성된 저분자 유기층인 경우에는 유기 발광층을 중심으로 화소 전극(170)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer:HIL)등이 위치하고, 대향 전극(174)의 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer:EIL) 등이 적층된다. 물론, 이들 홀 주입층, 홀 수송층, 전자 수송층, 전자 주입층 외에도 다양한 층들이 필요에 따라 적층되어 형성될 수 있다.

[0086] 중간층(172) 상에는 화소 전극(170)과 대향하는 대향 전극(174)이 구비된다. 대향 전극(174)도 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명전극으로 사용될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물을 유기 발광막을 향하도록 얇게 증착한 후, 그 위에 ITO, IZO, ZnO 또는 In203 등의 투명 도전성 산화물로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물을 전면 증착하여 형성한다. 그러나, 반드시 이에 한정되는 것은 아니며, 화소 전극(170) 및 대향전극(174)으로 전도성 폴리머 등 유기물을 사용할 수도 있다.

[0087] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

### 부호의 설명

[0088] 1 : 박막트랜지스터 기판

2 : 유기 발광 표시 장치

30 : 유기발광소자

100 : 기판

110 : 벼파총

120 : 반도체층

121, 123, 125 : 소스영역, 채널영역, 드레인영역

130 : 게이트전극

131 : 제1 게이트총

133 : 제2 게이트총

141 : 제1 절연총

144 : 제2 절연총

151, 153 : 소스전극 및 드레인전극

160 : 제3 절연총

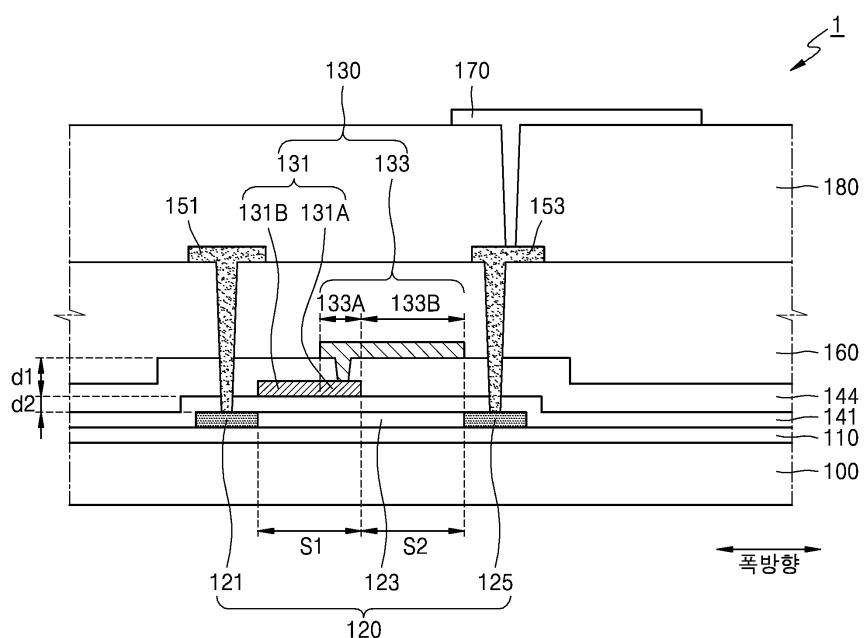
170 : 화소전극

172 : 중간총

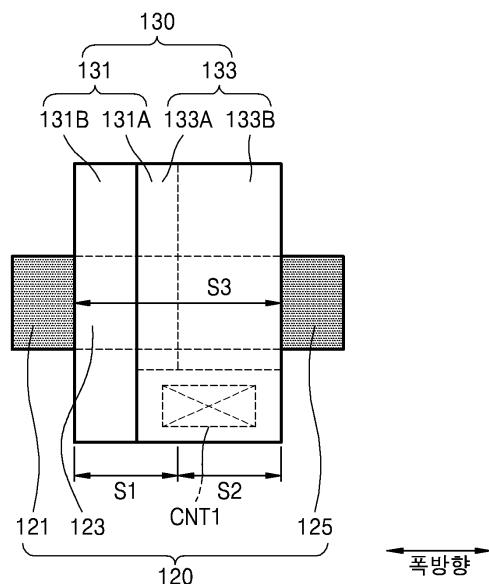
174 : 대향전극

180 : 제4 절연총

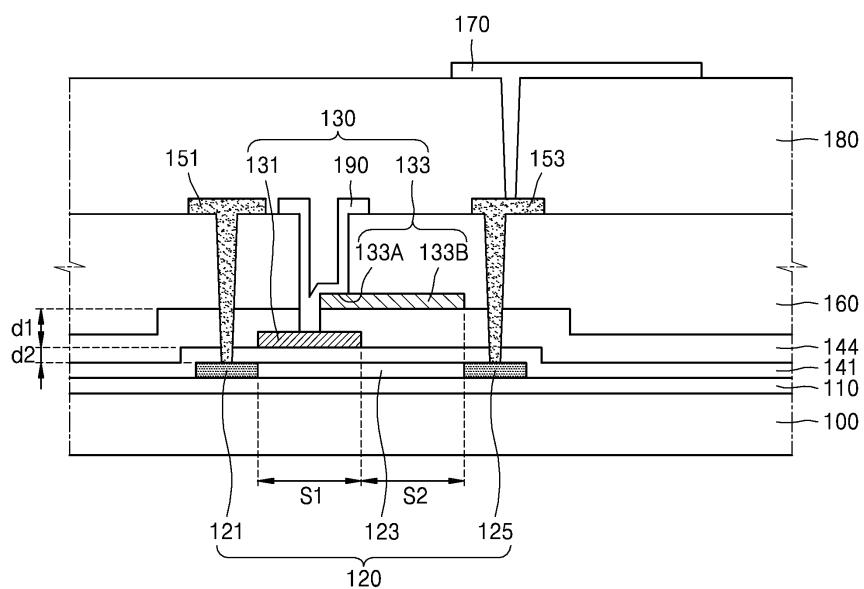
190 : 연결전극

**도면****도면1**

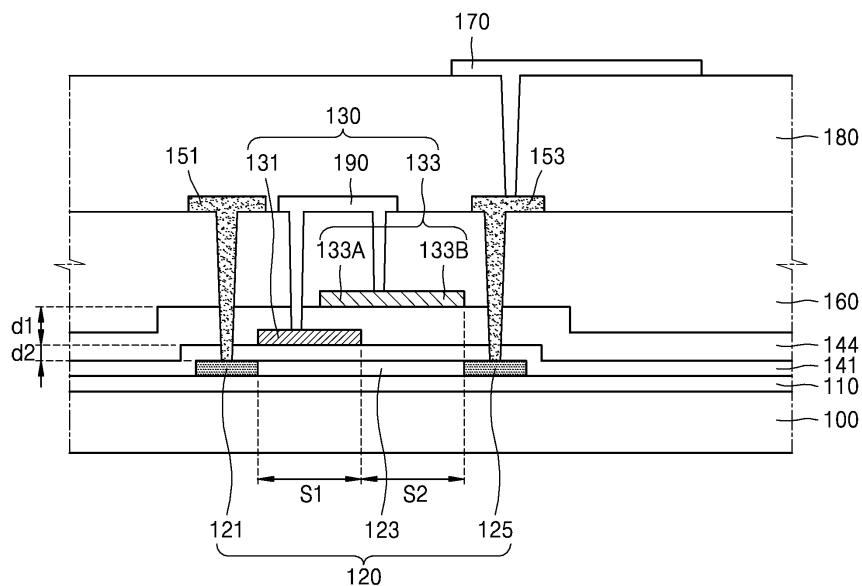
## 도면2



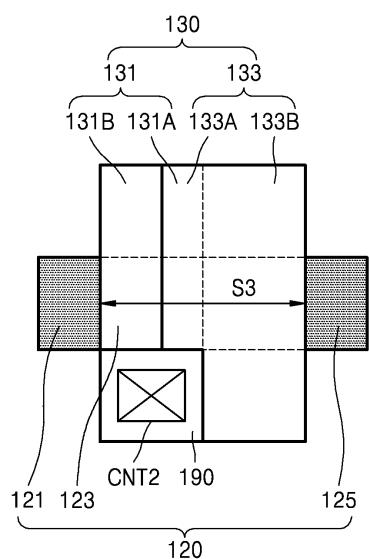
## 도면3



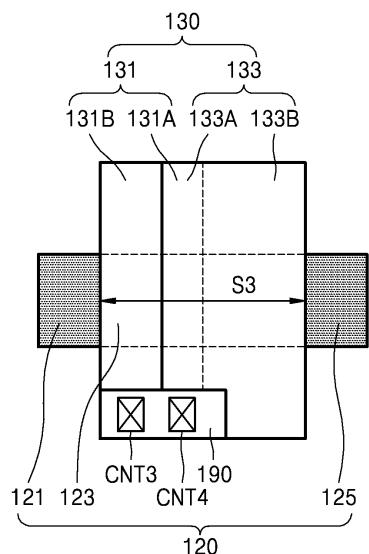
## 도면4



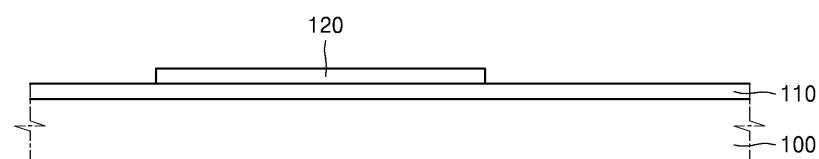
## 도면5



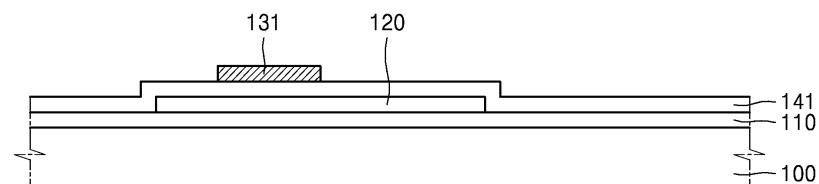
## 도면6



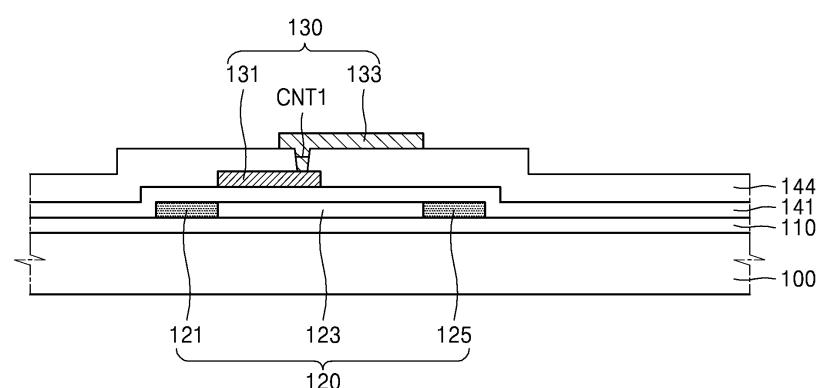
## 도면7



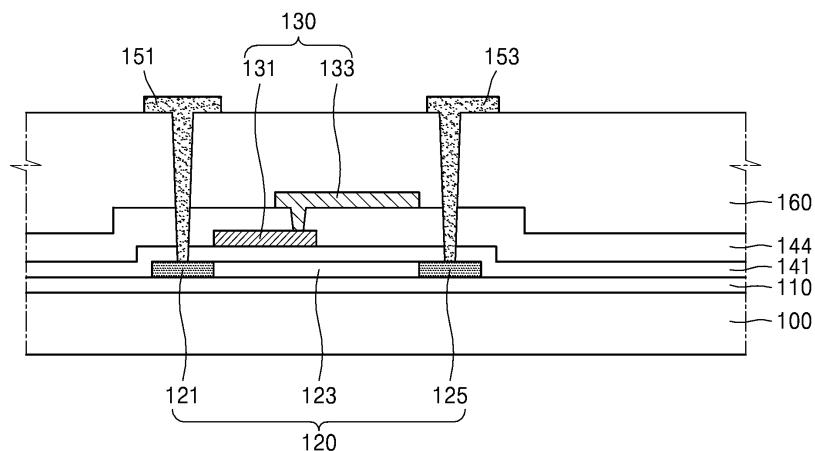
## 도면8



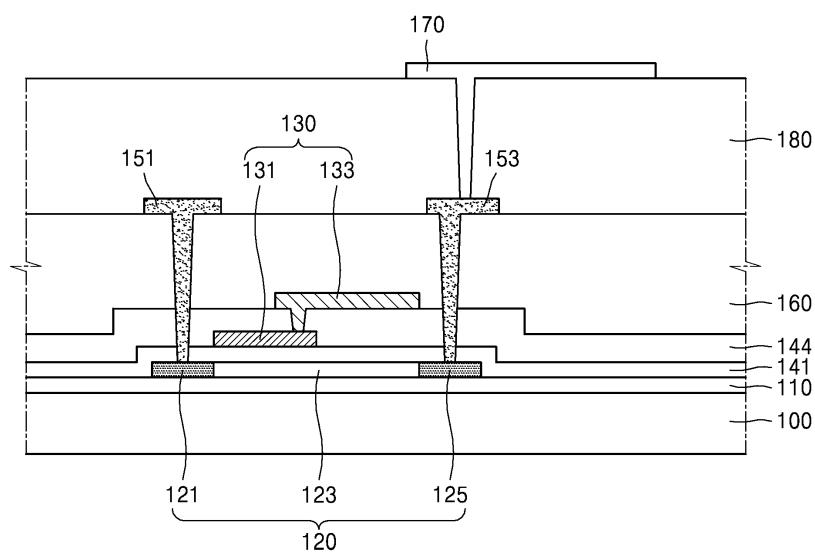
## 도면9



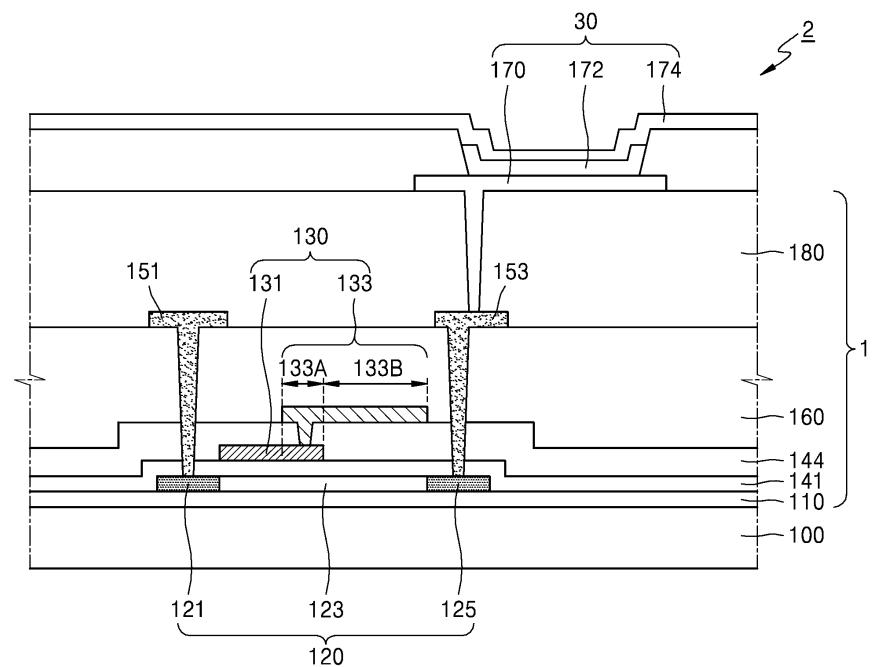
도면10



도면11



## 도면12



专利名称(译)	标题 : 薄膜晶体管基板和包括其的有机发光显示装置		
公开(公告)号	<a href="#">KR1020170000061A</a>	公开(公告)日	2017-01-02
申请号	KR1020150088713	申请日	2015-06-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE HYUN 이현		
发明人	이현		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L29/786 H01L27/3258 H01L2227/32 H01L2924/13067		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

本发明的一个优选实施例提供了薄膜晶体管的栅极位于上述半导体层上的第一栅极层，它包括薄膜晶体管和与第一栅极层电连接的薄膜晶体管基板。包括配置有与第一栅极层重叠的重叠区域的第二栅极层和不与包括半导体层的第一栅极层重叠的非重叠区域位于基板和基板，栅电极和基板的表面上源电极和漏电极。

